

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-195531

(P2017-195531A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.		F I		テーマコード (参考)
H03M	1/12	(2006.01)	H03M 1/12	A 5J022
H03M	3/02	(2006.01)	H03M 3/02	5J064

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号	特願2016-85243 (P2016-85243)	(71) 出願人	000116024
(22) 出願日	平成28年4月21日 (2016.4.21)		ローム株式会社
			京都府京都市右京区西院溝崎町2-1番地
		(74) 代理人	100105924
			弁理士 森下 賢樹
		(74) 代理人	100133215
			弁理士 真家 大樹
		(72) 発明者	橋本 哲朗
			京都府京都市右京区西院溝崎町2-1番地
			ローム株式会社内
		Fターム(参考)	5J022 AA01 AB01 BA01 CA10 CF01
			5J064 BA03

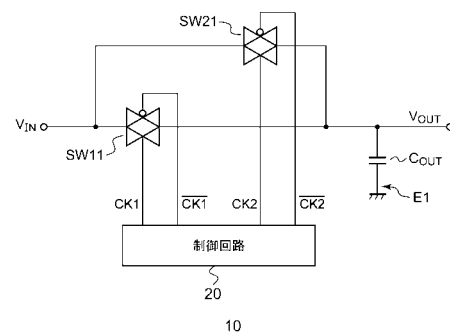
(54) 【発明の名称】 スイッチトキャパシタ回路、 $\Delta\Sigma$ A/Dコンバータ、A/Dコンバータ集積回路

(57) 【要約】

【課題】誤差を小さくしたスイッチトキャパシタ回路を提供する。

【解決手段】メインスイッチSW11は、CMOSスイッチである。サブスイッチSW21は、CMOSスイッチであり、メインスイッチSW11と並列に接続される。制御回路20は、メインスイッチSW11およびサブスイッチSW21を制御する。制御回路20は、サブスイッチSW21をメインスイッチSW11より遅れてターンオフする。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

CMOSスイッチであるメインスイッチと、
CMOSスイッチであり、前記メインスイッチと並列に接続されるサブスイッチと、
前記メインスイッチおよび前記サブスイッチを制御し、前記サブスイッチを前記メイン
スイッチより遅れてターンオフする制御回路と、
を備えることを特徴とするスイッチトキャパシタ回路。

【請求項 2】

前記サブスイッチのゲート幅 W は、前記メインスイッチのゲート幅より小さいことを特
徴とする請求項 1 に記載のスイッチトキャパシタ回路。

10

【請求項 3】

前記サブスイッチのゲート長 L は、前記メインスイッチのゲート長より短いことを特徴
とする請求項 1 または 2 に記載のスイッチトキャパシタ回路。

【請求項 4】

前記制御回路は、前記サブスイッチを前記メインスイッチより遅れてターンオンするこ
とを特徴とする請求項 1 から 3 のいずれかに記載のスイッチトキャパシタ回路。

【請求項 5】

前記制御回路は、前記メインスイッチを制御する第 1 クロックを遅延させて、前記サブ
スイッチを制御する第 2 クロックを生成する遅延回路を含むことを特徴とする請求項 1 か
ら 4 のいずれかに記載のスイッチトキャパシタ回路。

20

【請求項 6】

前記メインスイッチと直列に設けられ、その両端間がショートされた CMOS スイッチ
であるメインダミースイッチをさらに備え、

前記制御回路は、前記メインダミースイッチを前記メインスイッチと逆相で駆動するこ
とを特徴とする請求項 1 から 5 のいずれかに記載のスイッチトキャパシタ回路。

【請求項 7】

前記サブスイッチと直列に設けられ、その両端間がショートされた CMOS スイッチで
あるサブダミースイッチをさらに備え、

前記制御回路は、前記サブダミースイッチを前記サブスイッチと逆相で駆動することを
特徴とする請求項 1 から 6 のいずれかに記載のスイッチトキャパシタ回路。

30

【請求項 8】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 7 のいずれかに
記載のスイッチトキャパシタ回路。

【請求項 9】

請求項 1 から 8 のいずれかに記載のスイッチトキャパシタ回路を備えることを特徴とす
る $\Delta \Sigma A / D$ コンバータ。

【請求項 10】

それぞれにアナログ入力信号が入力可能な複数の入力端子と、
前記複数の入力端子のうち、ひとつを選択するマルチプレクサと、
前記マルチプレクサの出力信号を増幅するアンプと、
前記アンプの出力信号をフィルタリングするフィルタと、
前記フィルタの出力信号をデジタル信号に変換する請求項 9 に記載の $\Delta \Sigma A / D$ コンバー
タと、
を備えることを特徴とする A / D コンバータ集積回路。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スイッチトキャパシタ (Switched Capacitor) 回路に関する。

【背景技術】**【0002】**

50

サンプルホールド回路、積分器、スイッチトキャパシタフィルタなどに、スイッチトキャパシタ回路が用いられる。スイッチトキャパシタ回路は、キャパシタとアナログスイッチの組み合わせで構成される。

【 0 0 0 3 】

図 1 (a)、(b) は、スイッチトキャパシタ回路の基本構成を示す回路図である。このスイッチトキャパシタ回路 1 0 r はサンプルホールド回路であり、ホールド用のキャパシタ C_{OUT} と、アナログスイッチ $SW1$ を備える。アナログスイッチ $SW1$ の一端には、入力電圧 V_{IN} が印加され、その他端はキャパシタ C_{OUT} と接続される。アナログスイッチ $SW1$ がオンすると、キャパシタ C_{OUT} が入力電圧 V_{IN} で充電され (サンプル)、アナログスイッチ $SW1$ をオフした後も、入力電圧 V_{IN} が保持される (ホールド)

10

【 0 0 0 4 】

図 1 (b) に示すように、アナログスイッチ $SW1$ は、CMOS (Complementary Metal Oxide Semiconductor) スイッチで構成される。CMOS スイッチはトランスファゲートとも称され、並列に接続された NMOS (N-channel MOS) トランジスタと PMOS (P-channel MOS) トランジスタを含む。

【 0 0 0 5 】

制御回路 2 0 r が、クロック CK をハイレベル、相補クロック CKB をローレベルとすると、アナログスイッチ $SW1$ が導通状態となる。

【 0 0 0 6 】

20

図 1 (b) に示すように、NMOS トランジスタは、ゲートソース間、ゲートドレイン間、ゲート - 基板 (バックゲート) 間に、寄生容量 C_{NS} 、 C_{ND} 、 C_{NB} を有している。同様に PMOS トランジスタは、ゲートソース間、ゲートドレイン間、ゲート - 基板間に、寄生容量 C_{PS} 、 C_{PD} 、 C_{PB} を有している。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 1 1 - 1 5 0 5 6 1 号公報

【 特許文献 2 】 特開 2 0 1 4 - 1 7 1 0 3 5 号公報

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 0 8 】

図 2 は、図 1 のスイッチトキャパシタ回路 1 0 r の動作波形図である。時刻 t_0 にクロック CK がハイレベルに、相補クロック CKB がローレベルに遷移すると、アナログスイッチ $SW1$ がターンオンする。これによりキャパシタ C_{OUT} が入力電圧 V_{IN} で充電され、出力電圧 V_{OUT} が入力電圧 V_{IN} と等しくなる。続いて時刻 t_1 にクロック CK がローレベルに、相補クロック CKB がハイレベルに遷移すると、アナログスイッチ $SW1$ がターンオフする。このとき、寄生容量に起因するクロックフィードスルーおよびチャージインжекションによって、出力電圧 V_{OUT} と入力電圧 V_{IN} の間に誤差 ΔV_{OUT} が発生する。

40

【 0 0 0 9 】

クロックフィードスルーとは、MOS トランジスタのターンオフのタイミングにおいて、MOS トランジスタのゲート信号 (クロック信号) のエッジに含まれる高周波成分が、ゲートドレイン間容量 C_{PD} 、 C_{ND} を介して出力ノードに伝搬する現象である。具体的には、PMOS トランジスタはターンオフするときに、出力電圧 V_{OUT} を ΔV_1 、上昇させる。

$$\Delta V_1 = C_{PD} / (C_{OUT} + C_{PD}) \times V_{DD} \quad \dots (1)$$

【 0 0 1 0 】

また NMOS トランジスタはターンオフするときに、出力電圧 V_{OUT} を ΔV_2 、低下させる。

50

$$\Delta V_2 = C_{ND} / (C_{OUT} + C_{ND}) \times V_{DD} \quad \dots (2)$$

【0011】

またチャージインジェクションとは、MOSトランジスタのオン状態において、MOSトランジスタのゲート - 基板（バックゲート）間の容量 C_{PB} に蓄積された電荷が、ターンオフに際して、出力電圧 V_{OUT} に影響を及ぼす現象である。

【0012】

PMOSトランジスタはオン状態において、ゲート - 基板間に、電荷 $Q_P = C_{PB} \times (V_{DD} - V_{TP})$ が蓄えられる。 V_{TP} はしきい値電圧である。PMOSトランジスタをオフすると、その電荷 Q の一部（係数を α_P とする） $\alpha_P \times Q_P$ がキャパシタ C_{OUT} に移動し、その結果、出力電圧 V_{OUT} が ΔV_3 、上昇する。

$$\Delta V_3 = \alpha_P \times Q_P / C_{OUT} = \alpha_P \times C_{PB} \times (V_{DD} - V_{TP}) / C_{OUT} \quad \dots (3)$$

【0013】

NMOSトランジスタでは逆の現象が発生し、これにより出力電圧 V_{OUT} が ΔV_4 、低下する。

$$\Delta V_4 = \alpha_N \times Q_N / C_{OUT} = \alpha_N \times C_{NB} \times (V_{DD} - V_{TN}) / C_{OUT} \quad \dots (4)$$

【0014】

図2に示される出力電圧 V_{OUT} と入力電圧 V_{IN} の誤差 ΔV_{OUT} は、 $\Delta V_1 \sim \Delta V_4$ の合計となる。式(1)、(2)から明らかなように、ゲートドレイン間容量 C_{PD} 、 C_{ND} を小さくすれば、クロックフィードスルーの影響を小さくでき、したがってゲート幅 W を小さくすればよい。

【0015】

またチャージインジェクションの影響を小さくするには、式(3)、(4)から、ゲート基板間容量 C_{PB} 、 C_{NB} を小さくすればよく、したがってゲート幅 W 、ゲート長 L を短くすればよいことが分かる。

【0016】

しかしながら、クロックフィードスルーやチャージインジェクションを低減するためにゲート幅 W を小さくすると、アナログスイッチ $SW1$ のオン抵抗が大きくなるため、キャパシタ C_{OUT} を充電する際の時定数が大きくなってしまい、高速化の障害となる。

【0017】

同様の問題は、サンプルホールド回路のみでなく、積分器やフィルタにおいても生じうる。

【0018】

本発明者はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、誤差を小さくしたスイッチトキャパシタ回路の提供にある。

【課題を解決するための手段】

【0019】

本発明のある態様はスイッチトキャパシタ回路に関する。スイッチトキャパシタ回路は、CMOSスイッチであるメインスイッチと、CMOSスイッチであり、メインスイッチと並列に接続されるサブスイッチと、メインスイッチおよびサブスイッチを制御し、サブスイッチをメインスイッチより遅れてターンオフする制御回路と、を備える。

【0020】

メインスイッチのターンオフのタイミングにおいて、サブスイッチはオンしている。したがってメインスイッチのターンオフに起因して、出力電圧 V_{OUT} が変動したとしても、オン状態のサブスイッチが、出力電圧 V_{OUT} の誤差をゼロに近づける。サブスイッチをターンオフさせるときに、チャージインジェクションやクロックフィードスルーにより、出力電圧 V_{OUT} に誤差が発生するが、サブスイッチのサイズを小さく構成することで、この誤差は十分に小さくできる。したがって全体としての誤差を、従来より小さくできる。

10

20

30

40

50

【 0 0 2 1 】

サブスイッチのゲート幅 W は、メインスイッチのゲート幅より小さくてもよい。サブスイッチのゲート長 L は、メインスイッチのゲート長より短くてもよい。

【 0 0 2 2 】

制御回路は、サブスイッチをメインスイッチより遅れてターンオンしてもよい。これにより、サブスイッチのターンオン、ターンオフを両方とも、メインスイッチに対して遅れさせればよい。制御が簡単になる。

【 0 0 2 3 】

制御回路は、メインスイッチを制御する第 1 クロックを遅延させて、サブスイッチを制御する第 2 クロックを生成する遅延回路を含んでもよい。

10

【 0 0 2 4 】

スイッチトキャパシタ回路は、メインスイッチと直列に設けられ、その両端間がショートされた CMOS スイッチであるメインダミースイッチをさらに備えてもよい。制御回路は、メインダミースイッチをメインスイッチと逆相で駆動してもよい。これによりメインスイッチで生ずる誤差をメインダミースイッチにより相殺できる。その結果、サブスイッチで相殺すべき誤差が小さくなるため、サブスイッチのサイズをさらに小さくでき、サブスイッチによる誤差をさらに小さくできる。

【 0 0 2 5 】

スイッチトキャパシタ回路は、サブスイッチと直列に設けられ、その両端間がショートされた CMOS スイッチであるサブダミースイッチをさらに備えてもよい。制御回路は、サブダミースイッチをサブスイッチと逆相で駆動してもよい。これにより、サブスイッチをターンオフする際の誤差をキャンセルできる。

20

【 0 0 2 6 】

スイッチトキャパシタ回路は、ひとつの半導体基板に一体集積化されてもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。回路を 1 つのチップ上に集積化することにより、回路面積を削減することができるとともに、回路素子の特性を均一に保つことができる。

【 0 0 2 7 】

30

本発明の別の態様は、 $\Delta \Sigma A / D$ コンバータに関する。 $\Delta \Sigma A / D$ コンバータは、上述のいずれかのスイッチトキャパシタ回路を備える。これにより $\Delta \Sigma A / D$ コンバータの精度を高めることができる。

【 0 0 2 8 】

本発明の別の態様は、 A / D コンバータ集積回路に関する。 A / D コンバータ集積回路は、それぞれにアナログ入力信号が入力可能な複数の入力端子と、複数の入力端子のうち、ひとつを選択するマルチプレクサと、マルチプレクサの出力信号を増幅するアンプと、アンプの出力信号をフィルタリングするフィルタと、フィルタの出力信号をデジタル信号に変換する上述の $\Delta \Sigma A / D$ コンバータと、を備える。

【 0 0 2 9 】

40

なお、以上の構成要素の任意の組合せ、本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

【 発明の効果 】

【 0 0 3 0 】

本発明に係るスイッチトキャパシタ回路によれば、誤差を小さくできる。

【 図面の簡単な説明 】

【 0 0 3 1 】

【 図 1 】 図 1 (a)、(b) は、スイッチトキャパシタ回路の基本構成を示す回路図である。

【 図 2 】 図 1 のスイッチトキャパシタ回路の動作波形図である。

50

【図 3】実施の形態に係るスイッチトキャパシタ回路の回路図である。

【図 4】図 3 のスイッチトキャパシタ回路の動作波形図である。

【図 5】スイッチトキャパシタ回路の第 1 構成例の回路図である。

【図 6】スイッチトキャパシタ回路の第 2 構成例の回路図である。

【図 7】図 6 のスイッチトキャパシタ回路の具体的な回路図である。

【図 8】図 7 のスイッチトキャパシタ回路のスイッチのレイアウト図である。

【図 9】一次の $\Delta \Sigma A / D$ コンバータの回路図である。

【図 10】図 9 の $\Delta \Sigma A / D$ コンバータの一部の回路図である。

【図 11】 $\Delta \Sigma A / D$ コンバータを備える A / D コンバータ IC のブロック図である。

【発明を実施するための形態】

10

【0032】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0033】

本明細書において、「部材 A が、部材 B と接続された状態」とは、部材 A と部材 B が物理的に直接的に接続される場合のほか、部材 A と部材 B が、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

20

【0034】

同様に、「部材 C が、部材 A と部材 B の間に設けられた状態」とは、部材 A と部材 C、あるいは部材 B と部材 C が直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

【0035】

図 3 は、実施の形態に係るスイッチトキャパシタ回路 10 の回路図である。スイッチトキャパシタ回路 10 は、キャパシタ C_{OUT} 、メインスイッチ $SW11$ 、サブスイッチ $SW21$ および制御回路 20 を備える。ここでも理解の容易化、説明の簡素化のために、サンプルホールド回路を例とするが、スイッチトキャパシタ回路 10 の用途はそれに限定されない。すなわち図 3 では、キャパシタ C_{OUT} の一端 E1 は接地されているが、この一端 E1 は、別のノードや回路素子と接続されてもよい。スイッチトキャパシタ回路 10 は、ひとつの半導体基板に集積化することができる。

30

【0036】

メインスイッチ $SW11$ は CMOS スイッチであり、その一端はキャパシタ C_{OUT} と接続され、その他端には、入力電圧 V_{IN} を受ける。サブスイッチ $SW21$ も CMOS スイッチであり、メインスイッチ $SW11$ と並列に接続される。制御回路 20 は、第 1 クロック $CK1$ およびその相補クロック $CKB1$ （これらを第 1 クロック $CK1$ と総称する）および第 2 クロック $CK2$ およびその相補クロック $CKB2$ （これらを第 2 クロック $CK2$ と総称する）を生成し、メインスイッチ $SW11$ およびサブスイッチ $SW21$ を制御する。制御回路 20 は、サブスイッチ $SW21$ をメインスイッチ $SW11$ より遅れてターンオフする。つまりサブスイッチ $SW21$ のターンオフのタイミングは、メインスイッチ $SW11$ のターンオフのタイミングよりも、所定時間 τ 、遅延している。

40

【0037】

制御回路 20 は、第 1 クロック $CK1$ 全体（すなわちポジエッジとネガエッジの両方）を遅延させることにより、第 2 クロック $CK2$ を生成してもよい。

【0038】

メインスイッチ $SW11$ のサイズ、すなわちゲート幅 W 、ゲート長 L は、スイッチトキャパシタ回路 10 に要求される性能を考慮して設計すればよく、クロックフィードスルー

50

やチャージインジェクションの効果については、神経質にならなくてよい。

【0039】

一方、サブスイッチSW21のサイズは、そのターンオフにともなうチャージインジェクションおよびクロックフィードスルーの影響が十分に小さくなるように設計される。つまりサブスイッチSW21のゲート幅Wは、メインスイッチSW11のゲート幅Wより小さい。それに加えてサブスイッチSW21のゲート長Lを、メインスイッチSW11のゲート長Lより短くしてもよい。

【0040】

以上がスイッチトキャパシタ回路10の構成である。続いてその動作を説明する。図4は、図3のスイッチトキャパシタ回路10の動作波形図である。時刻 t_0 に、第1クロックCK1がハイレベルとなるとメインスイッチSW11がターンオンし、出力電圧 V_{OUT} は入力電圧 V_{IN} に近づいていく。それから遅延時間 τ 経過後の時刻 t_1 に、第2クロックCK2がハイレベルとなり、サブスイッチSW21がターンオンする。

10

【0041】

時刻 t_2 に第1クロックCK1がローレベルに遷移すると、アナログスイッチSW1がターンオフする。このとき、クロックフィードスルーやチャージインジェクションの影響で、出力電圧 V_{OUT} は ΔV_{OUT1} 変動する。このとき第2クロックCK2はハイレベルを維持しており、サブスイッチSW21はオン状態である。したがってサブスイッチSW21を介して、キャパシタ C_{OUT} が入力電圧 V_{IN} で充電（あるいは放電）され、出力電圧 V_{OUT} は入力電圧 V_{IN} に戻される。

20

【0042】

そして遅延時間 τ 経過後の時刻 t_3 に第2クロックCK2がローレベルに遷移し、サブスイッチSW21がターンオフする。このとき、サブスイッチSW21において、クロックフィードスルーやチャージインジェクションが発生し、出力電圧 V_{OUT} に変動 ΔV_{OUT2} が発生する。つまり、 ΔV_{OUT2} が最終的な誤差となる。

【0043】

サブスイッチSW21のサイズは、メインスイッチSW11に比べて小さいため、 $\Delta V_{OUT1} > \Delta V_{OUT2}$ である。したがってスイッチトキャパシタ回路10によれば、従来に比べて、出力電圧 V_{OUT} の誤差を小さくできる。

【0044】

本発明は、図3のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、回路に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や回路動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

30

【0045】

図5は、スイッチトキャパシタ回路10の第1構成例10aの回路図である。メインスイッチSW11は、NMOSトランジスタMN11とPMOSトランジスタMP11を備える。一例として、NMOSトランジスタMN11のゲート幅/ゲート長 $W_{N11}/L_{N11} = 20\mu\text{m}/1\mu\text{m}$ であり、PMOSトランジスタMP11の $W_{P11}/L_{P11} = 20\mu\text{m}/1\mu\text{m}$ であってもよい。

40

【0046】

サブスイッチSW21は、NMOSトランジスタMN21とPMOSトランジスタMP21を備える。一例として、NMOSトランジスタMN21とPMOSトランジスタMP21のゲート幅W/ゲート長Lは等しく、 $W_{N21}/L_{N21} = W_{P21}/L_{P21} = 2\mu\text{m}/0.6\mu\text{m}$ である。

【0047】

制御回路20は、遅延回路22、第1バッファ24、第1インバータ26、第2バッファ28、第2インバータ30を含む。第1バッファ24は、所定の周波数のクロックCKを受け、メインスイッチSW11のNMOSトランジスタMN11を駆動し、第1インバータ26はクロックCKを反転し、メインスイッチSW11のPMOSトランジスタMP

50

11を駆動する。

【0048】

遅延回路22は、クロックCKを遅延時間 τ 遅延させ、遅延クロックCKdを生成する。この遅延時間 τ は、レジスタ32の設定値に応じて可変とすることが好ましい。

【0049】

第2バッファ28は遅延クロックCKdを受け、サブスイッチSW21のNMOSトランジスタMN21を駆動し、第2インバータ30は遅延クロックCKdを反転し、サブスイッチSW21のPMOSトランジスタMP21を駆動する。

【0050】

図6は、スイッチトキャパシタ回路10の第2構成例10bの回路図である。スイッチトキャパシタ回路10bは、図3のスイッチトキャパシタ回路10に加えて、メインダミースイッチSW12、サブダミースイッチSW22を備える。

10

【0051】

メインダミースイッチSW12は、メインスイッチSW11と直列に設けられ、その両端間がショートされたCMOSスイッチである。制御回路20bは、メインダミースイッチSW12をメインスイッチSW11と逆相で駆動する。

【0052】

メインダミースイッチSW12は、メインスイッチSW11と逆相で動作するため、メインスイッチSW11の誤差 ΔV_{OUT1} を打ち消すように、メインダミースイッチSW12の誤差が発生する。これにより、メインスイッチSW11とメインダミースイッチSW12で生ずる誤差が小さくなる。これにより、サブスイッチSW21が相殺すべき誤差が小さくなるため、サブスイッチSW21のサイズを小さくでき、サブスイッチSW21のターンオフで生ずる誤差 ΔV_{OUT2} を小さくできる。

20

【0053】

サブダミースイッチSW22は、サブスイッチSW21と直列に設けられ、その両端間がショートされたCMOSスイッチである。制御回路20bは、サブダミースイッチSW22をサブスイッチSW21と逆相で駆動する。これによりサブスイッチSW21がターンオフするときの誤差 ΔV_{OUT2} を、サブスイッチSW21によって相殺できるため、スイッチトキャパシタ回路10b全体としての誤差をさらに小さくできる。

【0054】

30

図7は、図6のスイッチトキャパシタ回路10bの具体的な回路図である。メインダミースイッチSW12のNMOSトランジスタMN12とPMOSトランジスタMP12はそれぞれ、ドレインソース間が結線（ショート）されている。同様にサブダミースイッチSW22のNMOSトランジスタMN22とPMOSトランジスタMP22はそれぞれ、ドレインソース間が結線（ショート）されている。当業者によれば、図7と図6が電氣的に等価であることが理解されよう。

【0055】

たとえばトランジスタMP11のサイズ(W_{P11}/L_{P11})は、トランジスタMP12のサイズ(W_{P12}/L_{P12})のN倍としてもよい。たとえば $N=1.5\sim 4$ であり、一例として $N=2$ としてもよい。トランジスタMP12を比 W_{P1}/L_{P2} を有する素子で構成するとき、トランジスタMP11は、同じ素子を2個並列接続して構成してもよい。

40

【0056】

同様に、トランジスタMN11のサイズ(W_{N11}/L_{N11})は、トランジスタMN12のサイズ(W_{N12}/L_{N12})のN倍としてもよく、トランジスタMN11は、トランジスタMN12と同じ素子を2個並列接続して構成してもよい。

【0057】

また、トランジスタMP21のサイズ(W_{P21}/L_{P21})を、トランジスタMP22のサイズ(W_{P22}/L_{P22})のM倍としてもよい。M=1.5~4であり、一例としてM=2としてもよい。トランジスタMN21とMN22についても同様である。

50

【 0 0 5 8 】

図 8 は、図 7 のスイッチトキャパシタ回路 1 0 b のスイッチのレイアウト図である。メインスイッチ $SW 1 1$ およびメインダミースイッチ $SW 1 2$ は、同じサイズの CMOS 回路 4 0 の組み合わせで構成される。複数の CMOS 回路 4 0 は、半導体基板上で、第 1 方向 (X 方向) に並んでいる。同様に、サブスイッチ $SW 2 1$ およびサブダミースイッチ $SW 2 2$ は、同じサイズの CMOS 回路 4 2 の組み合わせで構成される。複数の CMOS 回路 4 2 は、半導体基板上で、第 1 方向 (X 方向) に並んでいる。複数の CMOS 回路 4 0 と、複数の CMOS 回路 4 2 は、第 1 方向と垂直な第 2 方向 (Y 方向) に隣接している。

【 0 0 5 9 】

メインスイッチ $SW 1 1$ は、複数 (図 8 では 2 個) の CMOS 回路 4 0 の並列接続である。同様にサブスイッチ $SW 2 1$ は、複数 (図 8 では 2 個) の CMOS 回路 4 2 の並列接続である。

【 0 0 6 0 】

続いてスイッチトキャパシタ回路 1 0 の用途を説明する。スイッチトキャパシタ回路 1 0 は、 $\Delta \Sigma A / D$ コンバータに好適に用いることができる。図 9 は、一次の $\Delta \Sigma A / D$ コンバータの回路図である。 $\Delta \Sigma A / D$ コンバータ 1 0 0 は、アナログ入力信号 V_{IN} をデジタル出力信号 D_{OUT} に変換する。 $\Delta \Sigma A / D$ コンバータ 1 0 0 は、減算器 1 0 2、積分器 1 0 4、量子化器 1 0 6、 D / A コンバータ 1 0 8 を備える。 D / A コンバータ 1 0 8 は、デジタル出力信号 D_{OUT} を 1 サンプル遅延させ、アナログのフィードバック信号 V_{FB} に変換する。フィードバック信号 V_{FB} は、 $D_{OUT} = 1$ のときハイレベル電圧 $V_{REF (+)}$ をとり、 $D_{OUT} = 0$ のときローレベル $V_{REF (-)}$ をとる。

【 0 0 6 1 】

減算器 1 0 2 は、アナログ入力信号 V_{IN} とフィードバック信号 V_{FB} の差分を生成する。積分器 1 0 4 は減算器 1 0 2 の出力である差分を積分する。量子化器 1 0 6 は、積分器 1 0 4 の出力 V_{OUT} を量子化し、デジタル出力信号 D_{OUT} を生成する。なお $\Delta \Sigma A / D$ コンバータ 1 0 0 の次数は特に限定されるものではない。

【 0 0 6 2 】

図 1 0 は、図 9 の $\Delta \Sigma A / D$ コンバータ 1 0 0 の一部の回路図である。具体的には図 1 0 には、 $\Delta \Sigma A / D$ コンバータ 1 0 0 の減算器 1 0 2、積分器 1 0 4、 D / A コンバータ 1 0 8 が示される。この $\Delta \Sigma A / D$ コンバータ 1 0 0 は、差動形式である。 $\Delta \Sigma A / D$ コンバータ 1 0 0 のトポロジーは公知のものであり、複数のスイッチ $SW 1 0 1 \sim SW 1 0 9$ 、全差動型オペアンプ 1 1 0、キャパシタ $C 1 P, C 1 N, C 2 P, C 2 N$ を備える。

【 0 0 6 3 】

$\phi 1$ は、サンプルクロックを、 $\phi 2$ はホールドクロックを表しており、バーが付されたクロックは、相補クロックを表す。

【 0 0 6 4 】

上述のスイッチトキャパシタ回路 1 0 のアーキテクチャは、図 1 0 のスイッチ $SW 1 0 1 \sim SW 1 0 9$ の少なくともひとつに適用することができ、好ましくはすべてに適用することができる。すなわちアナログスイッチ $SW 1 0 1 \sim SW 1 0 9$ はそれぞれ、図 3 のメインスイッチ $SW 1 1$ およびサブスイッチ $SW 2 1$ の並列接続で構成される。そして各アナログスイッチ SW のメインスイッチ $SW 1 1$ は、図 1 0 に示されるクロックを第 1 クロック $CK 1$ として駆動され、各アナログスイッチ SW のサブスイッチ $SW 2 1$ は、図 1 0 に図示しない遅延クロックを第 2 クロック $CK 2$ として駆動される。

【 0 0 6 5 】

ここで、いくつかのスイッチ $SW 1 0 7, 1 0 8, SW 1 0 9$ については、両端にキャパシタが接続されている。したがって、もし図 6 を参照して説明したダミースイッチ $SW 1 2 (SW 2 2)$ を用いる場合、メインスイッチ (あるいはサブスイッチ) の両端に、ダミースイッチを挿入すればよい。

【 0 0 6 6 】

図 1 1 は、 $\Delta \Sigma A / D$ コンバータ 2 0 0 を備える A / D コンバータ IC (集積回路) 3

10

20

30

40

50

00のブロック図である。複数の入力端子 $IN1 \sim INM$ (M は整数)はそれぞれ、外部からアナログ入力信号が入力可能となっている。たとえば入力端子 IN には、サーミスタや熱電対などの温度センサからの温度検出信号、電流検出用のセンス抵抗の電圧降下に応じた電流検出信号、バッテリーの電圧を示す信号などが入力される。

【0067】

マルチプレクサ302は、複数の入力端子のうち、ひとつを選択する。アンプ304は、マルチプレクサ302の出力信号を増幅するプログラマブルゲインアンプ(PGA)である。フィルタ306は、アンプ304の出力信号をフィルタリングする。 $\Delta \Sigma A/D$ コンバータ308は、フィルタ306の出力信号 V_{IN} をデジタル信号 $DOUT$ に変換する。 $\Delta \Sigma A/D$ コンバータ308は、上述の $\Delta \Sigma A/D$ コンバータ100のアーキテクチャを用いて構成される。ロジック回路310は、 $\Delta \Sigma A/D$ コンバータ308からのデジタル信号 $DOUT$ に所定の信号処理を施す。インタフェース回路312は、SPI (Serial Peripheral Interface) や I^2C (Inter IC) インタフェースであり、外部のプロセッサやマイクロコントローラと接続される。 $\Delta \Sigma A/D$ コンバータ308の出力信号 $DOUT$ や、それを処理した結果得られる信号は、インタフェース回路312を介して外部回路から読み出し可能である。

10

【0068】

実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

20

【0069】

制御回路20は、第1クロック $CK1$ のネガエッジのみを遅延させて第2クロック $CK2$ を生成してもよい。あるいは、ポジエッジとネガエッジの両方に遅延を与える際に、それぞれの遅延量が異なってもよい。

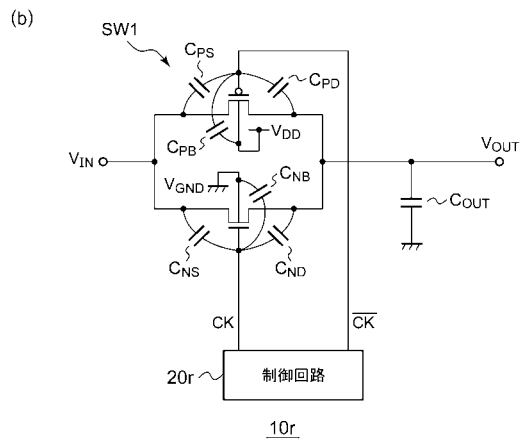
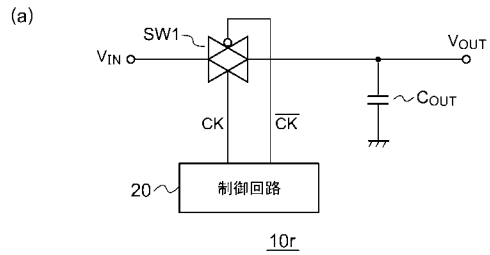
【符号の説明】

【0070】

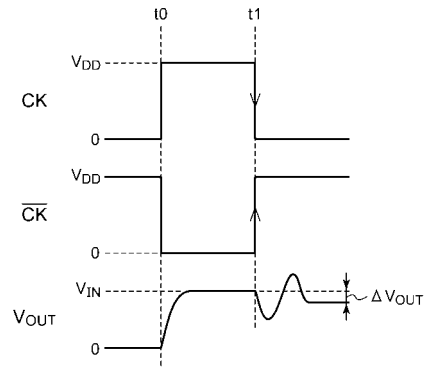
10 ... スイッチトキャパシタ回路、C1 ... キャパシタ、20 ... 制御回路、SW1 ... アナログスイッチ、SW11 ... メインスイッチ、SW21 ... サブスイッチ、SW12 ... メインダミースイッチ、SW22 ... サブダミースイッチ、20 ... 制御回路、22 ... 遅延回路、24 ... 第1バッファ、26 ... 第1インバータ、28 ... 第2バッファ、30 ... 第2インバータ、CK1 ... 第1クロック、CK2 ... 第2クロック、100 ... $\Delta \Sigma A/D$ コンバータ、102 ... 減算器、104 ... 積分器、106 ... 量子化器、108 ... D/A コンバータ、300 ... A/D コンバータIC、302 ... マルチプレクサ、304 ... アンプ、306 ... フィルタ、308 ... $\Delta \Sigma A/D$ コンバータ、310 ... ロジック回路、312 ... インタフェース回路。

30

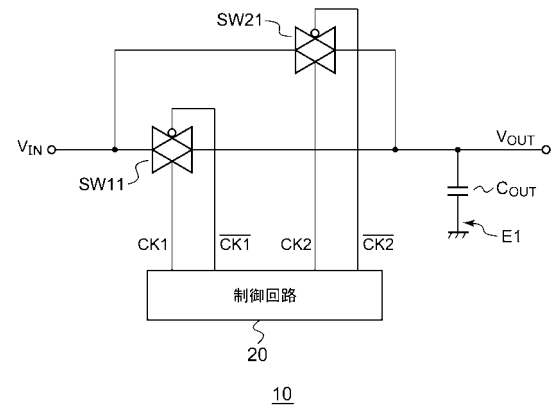
【図 1】



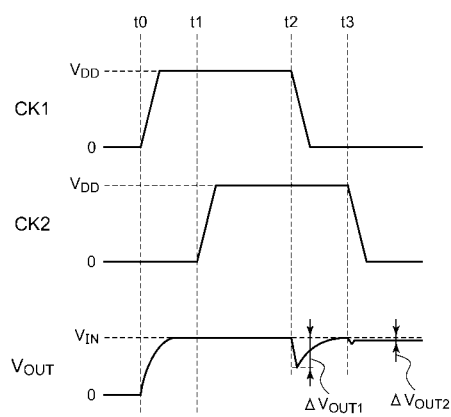
【図 2】



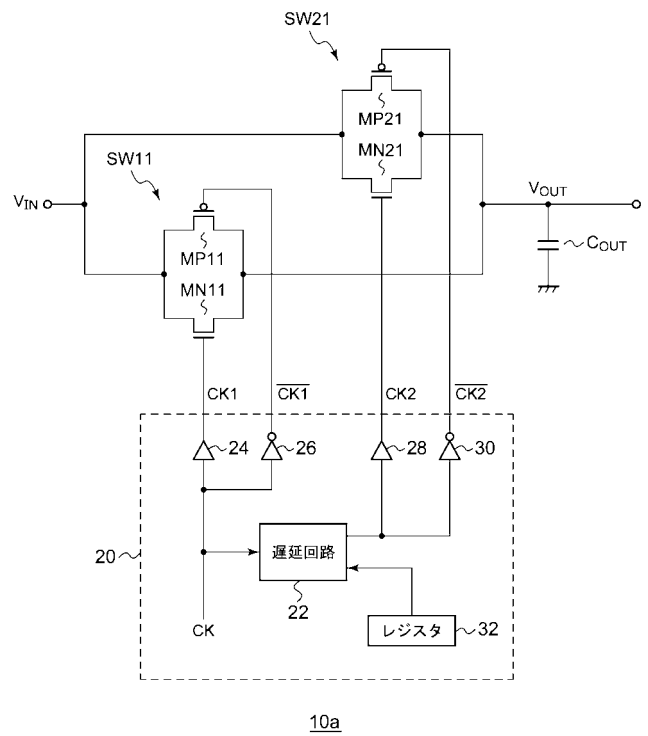
【図 3】



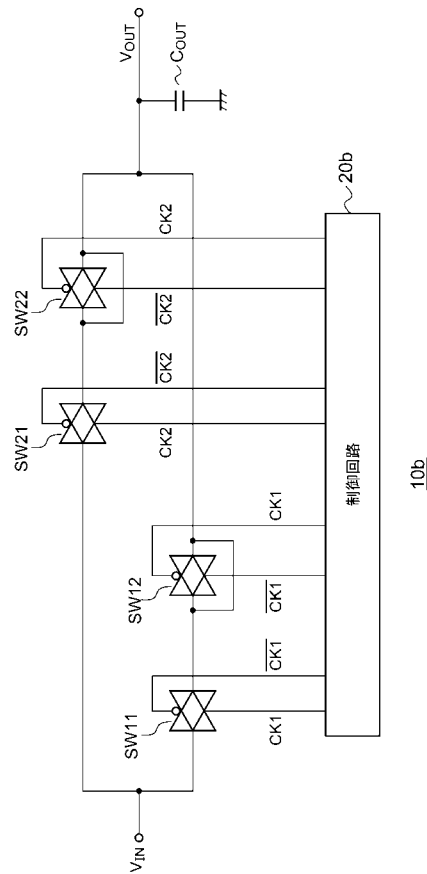
【図 4】



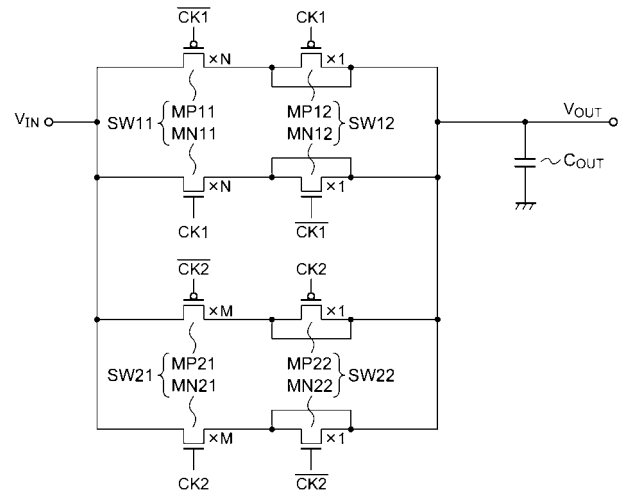
【図 5】



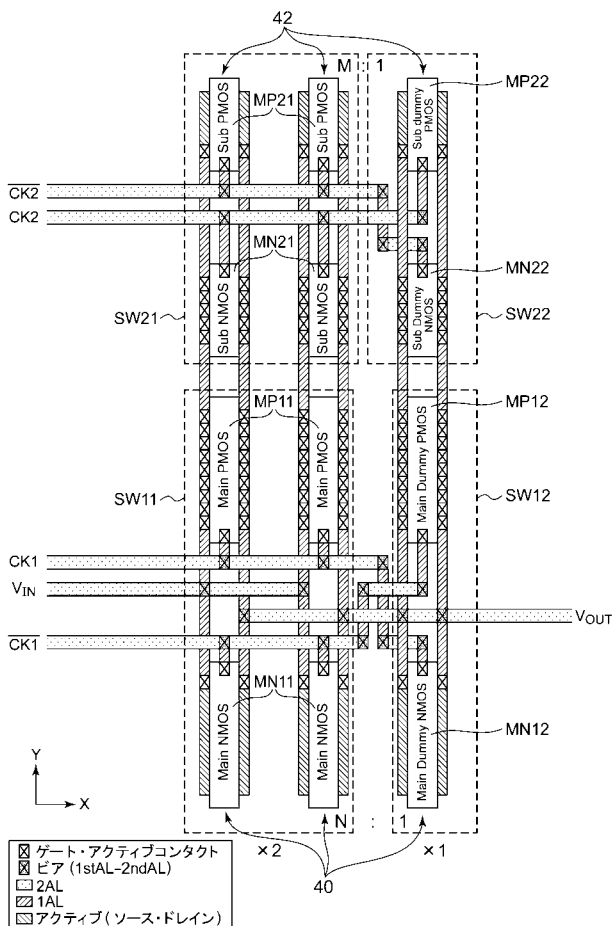
【図 6】



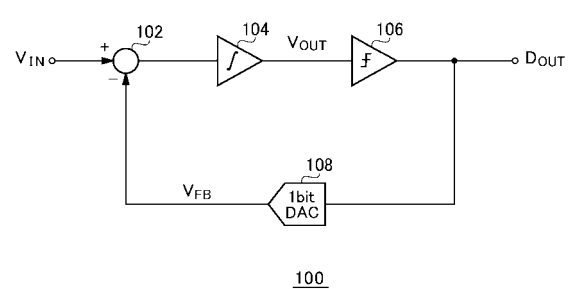
【図 7】



【図 8】



【図 9】



【 図 1 1 】

