



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098221
(43) 공개일자 2018년09월03일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 29/40 (2006.01) H01L 29/739 (2006.01)
H01L 29/861 (2006.01)</p> <p>(52) CPC특허분류
H01L 29/7811 (2013.01)
H01L 29/0619 (2013.01)</p> <p>(21) 출원번호 10-2018-7012069</p> <p>(22) 출원일자(국제) 2018년09월27일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2018년04월27일</p> <p>(86) 국제출원번호 PCT/US2016/053934</p> <p>(87) 국제공개번호 WO 2017/058776
국제공개일자 2017년04월06일</p> <p>(30) 우선권주장
14/873,831 2015년10월02일 미국(US)</p> | <p>(71) 출원인
디3 세미컨덕터 엘엘씨
미국 텍사스 75001 애디슨 이. 벨트우드 파크웨이 15050</p> <p>(72) 발명자
해링턴 토마스 이.
미국 텍사스주 75001 애디슨 이. 벨트우드 파크웨이 15050
스폰하이머 존 브이.
미국 텍사스주 75001 애디슨 이. 벨트우드 파크웨이 15050
쿠 지준
미국 텍사스주 75001 애디슨 이. 벨트우드 파크웨이 15050</p> <p>(74) 대리인
김태홍, 김진희</p> |
|---|--|

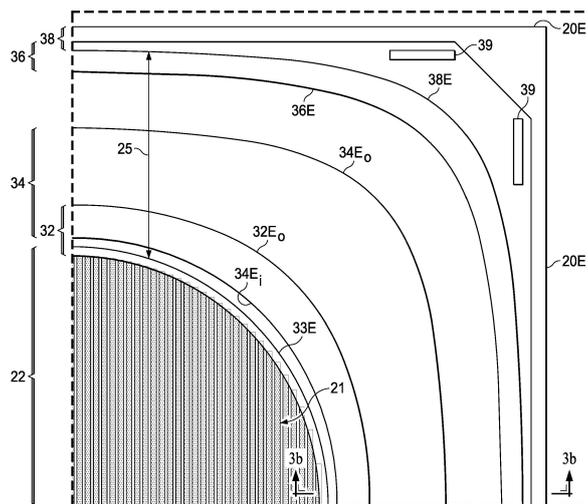
전체 청구항 수 : 총 32 항

(54) 발명의 명칭 수직형 전력 트랜지스터에 대한 종단 영역 아키텍처

(57) 요약

집적 회로의 코너에서의 종단 구조체가 횡방향 전계를 효율적으로 형성하도록 신장되는, 수직형 초접합 금속-산화물-반도체 전계-효과 트랜지스터(MOSFET)와 같은 수직형 전력 스위칭 디바이스가 제공된다. 디바이스의 종단 구조체는 도핑된 영역, 전계판, 절연체 막, 고전압 도전 영역 및 인가된 기관 전압에서의 요소들과 같은 피처를 포함한다. 이들 종단 구조체의 예지는 일정-거리 경로보다 디바이스의 코어 영역으로부터 다이 코너로 더 깊게 연장되도록 2차의 매끄러운 비원형 분석 함수에 따라 성형되어 배치된다. 또한 기생 p-n-p-n 구조체의 트리거링을 억제하기 위한, 종단 영역에 있는 전기적 부유 가드 링이 개시된다.

대표도 - 도3a



(52) CPC특허분류

H01L 29/0634 (2013.01)

H01L 29/0696 (2013.01)

H01L 29/404 (2013.01)

H01L 29/7395 (2013.01)

H01L 29/8611 (2013.01)

명세서

청구범위

청구항 1

집적 회로에 있어서,

제1 도전성 타입의 반도체 기판;

상기 기판 위에 놓이고, 상기 기판보다 더 약한 도펀트 농도를 갖는 상기 제1 도전성 타입의 에피택셜 층;

상기 에피택셜 층의 표면에 배치되고, 전기적으로 병렬로 접속된 단자 노드들을 갖는 수직형 트랜지스터 구조체들의 어레이를 포함하는 코어 영역으로서, 상기 기판은 상기 수직형 트랜지스터 구조체들의 상기 단자 노드들 중 하나로서의 역할을 하고, 상기 코어 영역은 상기 집적 회로의 에지들과 병렬로 정렬된 복수의 면을 갖는 것인 상기 코어 영역;

상기 코어 영역을 둘러싸는 중단 영역; 및

상기 중단 영역의 일부 위에 놓이고 상기 중단 영역의 표면 또는 그 부근에 배치되는 부분을 갖는 제1 중단 구조체

를 포함하고,

상기 제1 중단 구조체의 제1 에지는 상기 코어 영역의 면에 평행한 적어도 하나의 실질적으로 선형인 부분과, 국소 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 2

제1항에 있어서,

상기 제1 중단 구조체는,

상기 중단 영역의 일부 위에 놓이고 상기 중단 영역의 표면 또는 그 부근에 배치되는 부분을 갖고, 상기 코어 영역을 둘러싸는 연속적인 도전성 요소를 포함하는, 제1 전계판을 포함하고,

상기 제1 중단 구조체의 상기 제1 에지는 상기 제1 전계판의 외부 에지에 대응하는, 집적 회로.

청구항 3

제2항에 있어서,

상기 제1 전계판은, 상기 코어 영역의 면에 평행한 적어도 하나의 실질적으로 선형인 부분을 갖는 내부 에지와, 국부 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 4

제2항에 있어서,

상기 제1 전계판의 일부 위에 놓이는 부분을 가지며, 상기 코어 영역을 둘러싸는 연속적인 도전성 요소를 포함하는 제2 전계판을 더 포함하고;

상기 제2 전계판의 외부 에지는, 상기 코어 영역의 면에 평행한 적어도 하나의 실질적으로 선형인 부분과, 국소 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 5

제4항에 있어서,

상기 제1 전계판은 폴리실리콘으로 구성되고, 상기 제2 전계판은 금속으로 구성되는, 집적 회로.

청구항 6

제4항에 있어서,

상기 제2 전계판의 외부 에지는 상기 제1 전계판의 외부 에지보다 상기 코어 영역으로부터 더 멀리 배치되는, 집적 회로.

청구항 7

제1항에 있어서,

상기 제1 종단 구조체의 상기 제1 에지의 상기 적어도 하나의 굴곡된 코너 부분은 3차 이상의 베지어(Bézier) 곡선을 실질적으로 따르는, 집적 회로.

청구항 8

제1항에 있어서,

상기 에피택셜 층의 주변 액티브 영역은 상기 코어 영역을 둘러싸는, 상기 집적 회로의 에지 부근의 표면까지 연장되고;

상기 제1 종단 구조체의 상기 제1 에지의 상기 적어도 하나의 굴곡된 코너 부분은 상기 주변 액티브 영역과 상기 코어 영역 사이의 전계의 등각 매핑 솔루션(conformally mapped solution)을 실질적으로 따르는, 집적 회로.

청구항 9

제1항에 있어서,

상기 에피택셜 층의 주변 액티브 영역은 상기 코어 영역을 둘러싸는, 상기 집적 회로의 에지 부근의 표면까지 연장되고, 상기 주변 액티브 영역은 내부 에지를 갖고,

상기 주변 액티브 영역과 전기적으로 접촉하여 상기 표면 부근에 배치되고, 상기 주변 액티브 영역의 적어도 일부 위에 놓이는 부분을 가지며, 상기 코어 영역을 둘러싸는 내부 에지를 갖는 주변 도전체 요소를 더 포함하고,

상기 주변 도전체 요소의 상기 내부 에지는 국소 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 10

제9항에 있어서,

상기 표면 부근에 배치되고, 상기 주변 도전체 요소의 아래에 놓이는 부분을 갖는 두꺼운 산화물 층을 더 포함하고,

상기 제1 종단 구조체의 상기 제1 에지는 상기 두꺼운 산화물 층의 에지에 대응하는, 집적 회로.

청구항 11

제1항에 있어서,

상기 수직형 트랜지스터 구조체들은 수직형 금속-산화물-반도체 전계-효과-트랜지스터들이고, 각각은 상기 에피택셜 층의 표면에 형성된 제2 도전성 타입의 바디 영역, 상기 바디 영역의 표면에 배치되는 상기 제1 도전성 타입의 소스 영역, 상기 에피택셜 층 내의 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 상기 바디 영역의 일부 부근에 배치되는 게이트 전극을 포함하고,

상기 수직형 트랜지스터 구조체들의 상기 소스 영역들은 공통으로 접속되고;

상기 수직형 트랜지스터 구조체들의 상기 게이트 전극들은 공통으로 접속되고;

상기 기판은 상기 수직형 트랜지스터 구조체들의 공통 드레인으로서의 역할을 하는, 집적 회로.

청구항 12

제11항에 있어서,

상기 수직형 트랜지스터 구조체들의 각각은,

상기 바디 영역의 아래에 놓이고 상기 바디 영역과 접촉하는 위치에서 상기 에피택셜 층에 형성된 상기 제2 도전성 타입의 도핑된 기둥(pillar)을 포함하는, 집적 회로.

청구항 13

제12항에 있어서,

상기 에피택셜 층에 형성되고 상기 종단 영역에 적어도 부분적으로 배치되는 상기 제2 도전성 타입의 논-액티브(non-active) 기둥을 더 포함하고,

상기 도핑된 기둥 및 논-액티브 기둥은 서로 평행한 스트라이프(stripe)로 상기 표면을 따라 연장되고;

상기 제1 종단 구조체는 상기 종단 영역 내의 상기 도핑된 기둥 및 상기 논-액티브 기둥의 일부를 포함하고,

상기 제1 종단 구조체의 상기 제1 에지는 상기 종단 영역 내의 상기 도핑된 기둥 및 상기 논-액티브 기둥의 종점에 대응하는, 집적 회로.

청구항 14

제1항에 있어서,

상기 코어 영역은 그 인접 면들 사이의 그 코너 위치들에서 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 외부 경계를 갖는, 집적 회로.

청구항 15

제1항에 있어서,

상기 제1 에지의 상기 적어도 하나의 굴곡된 코너 부분의 곡률 반경은 상기 코어 영역으로부터 가장 먼 점에서 최소인, 집적 회로.

청구항 16

제1항에 있어서,

상기 에피택셜 층의 주변 액티브 영역은 상기 코어 영역을 둘러싸는, 상기 집적 회로의 상기 에지들 부근의 표면까지 연장되고;

상기 종단 영역의 일부를 둘러싸고, 상기 코어 영역과 상기 주변 액티브 영역 사이의 상기 에피택셜 층의 표면에 형성되는 제2 도전성 타입의 도핑된 영역을 포함하는 제1 전기적 부유(floating) 연속 가드 링을 더 포함하는, 집적 회로.

청구항 17

제16항에 있어서,

상기 수직형 트랜지스터 구조체들은 수직형 초접합(super junction) 금속-산화물-반도체 전계-효과 트랜지스터들이고, 각각은 상기 에피택셜 층에 일정한 깊이로 연장되는 상기 제2 도전성 타입의 기둥 영역, 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 바디 영역, 상기 바디 영역의 표면에 배치되는 상기 제1 도전성 타입의 소스 영역, 상기 에피택셜 층 내의 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 상기 바디 영역의 일부 부근에 배치된 게이트 전극을 포함하고,

상기 수직형 트랜지스터 구조체들의 상기 소스 영역들은 공통으로 접속되고,

상기 수직형 트랜지스터 구조체들의 상기 게이트 전극들은 공통으로 접속되고,

상기 기판은 상기 수직형 트랜지스터 구조체들의 공통 드레인으로서의 역할을 하고,

상기 제1 가드 링은 실질적으로 상기 기둥 영역의 깊이와 같은 깊이까지 연장되는, 집적 회로.

청구항 18

제16항에 있어서,

상기 수직형 트랜지스터 구조체들은 수직형 초접합 금속-산화물-반도체 전계-효과 트랜지스터들이고, 각각은 상기 에피택셜 층에 일정한 깊이로 연장되는 상기 제2 도전성 타입의 기둥 영역, 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 바디 영역, 상기 바디 영역의 표면에 배치된 상기 제1 도전성 타입의 소스 영역, 상기 에피택셜 층 내의 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 상기 바디 영역의 일부 부근에 배치된 게이트 전극을 포함하고,

상기 수직형 트랜지스터 구조체들의 상기 소스 영역들은 공통으로 접속되고,

상기 수직형 트랜지스터 구조체들의 상기 게이트 전극들은 공통으로 접속되고,

상기 기관은 상기 수직형 트랜지스터 구조체들의 공통 드레인으로서의 역할을 하고,

상기 제1 가드 링은 상기 기둥 영역의 깊이보다 작은 깊이까지 연장되는, 집적 회로.

청구항 19

제16항에 있어서,

상기 중단 영역의 일부를 둘러싸고, 상기 제1 가드 링과 상기 주변 액티브 영역 사이의 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 도핑된 영역을 포함하는 제2 전기적 부유 연속 가드 링을 더 포함하는, 집적 회로.

청구항 20

제19항에 있어서,

상기 수직형 트랜지스터 구조체들은 수직형 초접합 금속-산화물-반도체 전계-효과 트랜지스터들이고, 각각은 상기 에피택셜 층에 일정한 깊이로 연장되는 상기 제2 도전성 타입의 기둥 영역, 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 바디 영역, 상기 바디 영역의 표면에 배치된 상기 제1 도전성 타입의 소스 영역, 상기 에피택셜 층 내의 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 상기 바디 영역의 일부 부근에 배치된 게이트 전극을 포함하고,

상기 수직형 트랜지스터 구조체들의 상기 소스 영역들은 공통으로 접속되고,

상기 수직형 트랜지스터 구조체들의 상기 게이트 전극들은 공통으로 접속되고,

상기 기관은 상기 수직형 트랜지스터 구조체들의 공통 드레인으로서의 역할을 하고,

상기 제1 가드 링과 상기 제2 가드 링 중 적어도 하나는 실질적으로 상기 기둥 영역의 깊이와 같은 깊이까지 연장되는, 집적 회로.

청구항 21

제19항에 있어서,

상기 수직형 트랜지스터 구조체들은 수직형 초접합 금속-산화물-반도체 전계-효과 트랜지스터들이고, 각각은 상기 에피택셜 층에 일정한 깊이로 연장되는 상기 제2 도전성 타입의 기둥 영역, 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 바디 영역, 상기 바디 영역의 표면에 배치된 상기 제1 도전성 타입의 소스 영역, 상기 에피택셜 층 내의 드레인 영역, 및 상기 소스 영역과 상기 드레인 영역 사이의 상기 바디 영역의 일부 부근에 배치된 게이트 전극을 포함하고,

상기 수직형 트랜지스터 구조체들의 상기 소스 영역들은 공통으로 접속되고,

상기 수직형 트랜지스터 구조체들의 상기 게이트 전극들은 공통으로 접속되고,

상기 기관은 상기 수직형 트랜지스터 구조체들의 공통 드레인으로서의 역할을 하고,

상기 제1 가드 링과 상기 제2 가드 링 중 적어도 하나는 상기 기둥 영역의 깊이보다 작은 깊이까지 연장되는, 집적 회로.

청구항 22

집적 회로에 있어서,

제1 도전성 타입의 반도체 기판;

상기 기판 위에 놓이고, 상기 기판보다 더 약한 도펀트 농도를 갖는 상기 제1 도전성 타입의 에피택셜 층;

상기 에피택셜 층의 표면에 배치되고, 전기적으로 병렬로 접속된 단자 노드들을 갖는 수직형 초집합 트랜지스터 구조체들의 어레이를 포함하는 코어 영역으로서, 상기 기판은 상기 수직형 트랜지스터 구조체들의 상기 단자 노드들 중 하나로서의 역할을 하고, 상기 코어 영역은 상기 집적 회로의 에지들과 병렬로 정렬된 적어도 하나의 면을 갖는 것인 상기 코어 영역;

상기 코어 영역을 둘러싸고, 상기 에피택셜 층에 일정한 깊이로 연장되는 제2 도전성 타입의 하나 이상의 논-액티브 기둥을 포함하는 종단 영역;

상기 코어 영역을 둘러싸는, 상기 집적 회로의 상기 에지들 부근의 표면으로 연장되는 상기 에피택셜 층의 주변 액티브 영역; 및

상기 종단 영역에서 상기 하나 이상의 논-액티브 기둥을 둘러싸고, 상기 논-액티브 기둥과 상기 주변 액티브 영역 사이의 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 도핑된 영역을 포함하는 제1 전기적 부유 연속 가드 링

을 포함하는, 집적 회로.

청구항 23

제22항에 있어서,

상기 종단 영역에서 상기 하나 이상의 논-액티브 기둥을 둘러싸고, 상기 제1 가드 링과 상기 주변 액티브 영역 사이의 상기 에피택셜 층의 표면에 형성된 상기 제2 도전성 타입의 도핑된 영역을 포함하는 제2 전기적 부유 연속 가드 링을 더 포함하는, 집적 회로.

청구항 24

제23항에 있어서,

상기 제1 가드 링과 상기 제2 가드 링 중 적어도 하나는 상기 논-액티브 기둥의 깊이보다 작은 깊이까지 연장되는, 집적 회로.

청구항 25

제23항에 있어서,

상기 제1 가드 링과 상기 제2 가드 링의 각각은 실질적으로 상기 논-액티브 기둥의 깊이까지 연장되는, 집적 회로.

청구항 26

제22항에 있어서,

상기 제1 가드 링은 상기 논-액티브 기둥의 깊이보다 작은 깊이까지 연장되는, 집적 회로.

청구항 27

제22항에 있어서,

상기 제1 가드 링은 실질적으로 상기 논-액티브 기둥의 깊이까지 연장되는, 집적 회로.

청구항 28

집적 회로에 있어서,

제1 도전성 타입의 반도체 기관;

상기 기관의 표면에 배치되고, 전기적으로 병렬로 접속된 단자 노드들을 갖는 수직형 전력 디바이스 구조체들의 어레이를 포함하는 코어 영역으로서, 상기 기관의 후면은 상기 수직형 전력 디바이스 구조체들의 상기 단자 노드들 중 하나로서의 역할을 하고, 상기 코어 영역은 상기 집적 회로의 에지들과 병렬로 정렬된 복수의 면을 갖는 것인 상기 코어 영역;

상기 코어 영역을 둘러싸는 종단 영역; 및

상기 종단 영역의 일부 위에 놓이고 상기 종단 영역의 표면 또는 그 부근에 배치되는 부분을 갖는 제1 종단 구조체

를 포함하고,

상기 제1 종단 구조체의 제1 에지는 상기 코어 영역의 면에 평행한 적어도 하나의 실질적으로 선형인 부분과, 국소 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 29

제28항에 있어서,

상기 제1 종단 구조체는,

상기 종단 영역의 일부 위에 놓이고 상기 종단 영역의 표면 또는 그 부근에 배치된 부분을 갖고, 상기 코어 영역을 둘러싸는 연속적인 도전성 요소를 포함하는 제1 전계판을 포함하고,

상기 제1 종단 구조체의 상기 제1 에지는 상기 제1 전계판의 외부 에지에 대응하는, 집적 회로.

청구항 30

제29항에 있어서,

상기 제1 전계판의 일부 위에 놓이는 부분을 가지며, 상기 코어 영역을 둘러싸는 연속적인 도전성 요소를 포함하는 제2 전계판을 더 포함하고,

상기 제2 전계판의 외부 에지는, 상기 코어 영역의 면에 평행한 적어도 하나의 실질적으로 선형인 부분과, 국소 곡률 반경이 변하는 2차의 매끄러운 곡선을 실질적으로 따르는 적어도 하나의 굴곡된 코너 부분을 갖는, 집적 회로.

청구항 31

제28항에 있어서,

상기 기관의 상기 후면은 제2 도전성 타입의 도펀트로 도핑되는, 집적 회로.

청구항 32

제28항에 있어서,

상기 기관의 상기 후면은 상기 제1 도전성 타입의 도펀트로 추가로 도핑되는, 집적 회로.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 전력 디바이스들의 분야에 관한 것이다. 개시되는 실시예들은 금속-산화물-반도체-반도체 초 접합(superjunction) 트랜지스터를 포함하는 수직형 전력 트랜지스터에 대한 종단 영역에 관한 것이다.

배경 기술

[0002] 본 기술 분야에 알려진 바와 같이, 반도체 전력 스위칭 디바이스는 이상적으로, 최소 스위칭 시간 및 최소 스위칭 전력 소비로, "오프" 상태일 때, 최소 전도 전류로 큰 순방향 및 역방향 전압을 차단할 수 있고, "온" 상태일 때 최소 강하 전압으로 많은 전류를 전도시킬 수 있다. 제조 수율의 향상 및 제조 비용의 감소도 모색되고 있다. 이러한 이상적인 특성을 향한 진보는, 디지털 로직 및 메모리 디바이스와 같은 저전력 반도체 디바이스에서와 같이 디바이스 피쳐 크기의 축소를 통해서가 아니라 디바이스 아키텍처의 혁신을 통해 현대의 전력 트랜지스터에서 대부분 이루어지고 있다.

[0003] 이와 관련하여, 수직형 전력 디바이스가 현재 다수의 전력 애플리케이션에서 광범위하게 현재 사용되고 있다. 디바이스 표면과 그 기관 사이의 드리프트 영역을 통해 전류가 수직으로 전도된다는 의미에서 이러한 디바이스는 수직형이다. 이러한 드리프트 영역의 길이는 오프-상태에서 큰 공핍 영역을 흡수할 수 있어, 높은 역방향 항복 전압을 확립할 수 있고, 이는 높은 고전압 동작을 가능하게 한다. 공지의 유형의 수직형 전력 디바이스는 수직형 드리프트 금속-산화물-반도체(VDMOS) 전계-효과 트랜지스터, 절연 게이트 양극성 트랜지스터(IGBT) 및 수직형 전력 다이오드를 포함하며, 이들 모두는 원하는 높은 항복 전압을 지원하기에 충분한 드리프트 영역을 포함한다. VDMOS 디바이스는 고속의 스위칭 속도 때문에 특히 관심을 끌고 있으며, 이는 스위치드 모드 전력 공급 기로의 구현에 대해 특히 적절하다. 도 1a는 n-채널 MOS 트랜지스터 형태의 종래의 VDMOS의 구성의 예를 단면으로 나타낸다. 도 1a의 VDMOS(2)는 n+ 기관(4)에 있는 그 드레인 단자와, n-타입 에피택셜 층(6)에 의해 제공되는 드리프트 영역을 가지며, 드리프트 영역은 기관(4) 위에 놓이고 나타낸 바와 같이 디바이스의 표면으로 연장된다. n-타입 에피택셜 층(6)의 표면에 있는 p-타입 바디 영역(8)은 VDMOS 바디 영역으로서의 역할을 하며, 그 내부에 하나 이상의 n+ 영역(10)이 VDMOS(2)의 소스로서의 역할을 한다. 게이트 유전체(11) 및 게이트 전극(12)은 소스 영역(10)과 n-타입 에피택셜 층(6)에 있는 드레인 사이의 p-타입 바디 영역(8)의 일부 위에 놓인다. n+ 소스 영역(10) 및 p-타입 바디 영역(8)(통상적으로 p-타입 바디 영역(8) 내에 형성된 p+ 컨택 영역, 미도시)를 포함하는 금속 도전체(14)를 통해 바이어스가 VDMOS(2)에 공급되어, VDMOS(2)의 바디 영역이 소스 전위에서 바이어싱된다. 다른 도전체(미도시)가 게이트 전극(12) 및 기관(4)에 접촉하여 각각 게이트 및 드레인 바이어스를 공급한다. 임의의 n-채널 MOS 트랜지스터에서와 같이, 수직형 전력 VDMOS(2)는, 통상의 전력 애플리케이션에서 매우 높은(예를 들어, 수백 볼트만큼 높은) 충분한 드레인-대-소스 바이어스 아래의 트랜지스터 임계 전압을 초과하는, 게이트 전극(12)에서의 전압에 의해 온-상태로 바이어싱된다. 도 1a에 나타낸 바와 같이, 온-상태 소스-드레인 전류 I_{ds} 는 소스 영역(10)으로부터 p-타입 바디 영역(8)의 바디 영역에서 역전층을 따라 횡방향으로, 그리고 에피택셜 층(6)을 통해 수직으로 트랜지스터 드레인에 있는 기관(4)으로 전도된다. VDMOS(2)의 온-저항은 p-타입 바디 영역(8)의 채널 저항 R_{ch} 를 포함하지만, 통상적으로 n-타입 에피택셜 층(6)의 두께와 상대적으로 약한 도펀트 농도로 인해 n-타입 에피택셜 층(6)의 저항 R_{epi} 가 우세하다. 에피택셜 층(6)의 도핑 농도의 증가는 저항 R_{epi} 를 감소시켜 VDMOS(2)의 전체 온-저항을 감소시키지만, 통상의 VDMOS 디바이스는 오프-상태에서 높은 드레인-대-소스 전압(예를 들어, 대략 수백 볼트)을 견뎌야 한다. VDMOS(2)의 항복 전압이 n-타입 에피택셜 층(6)의 두께(즉, VDMOS "드리프트" 길이)와 직접 관련되고, 더욱 약하게 도핑된 에피택셜 층(6)의 도펀트 농도와 반비례로 관련되기 때문에, 이러한 구조는 온-트랜지스터와 오프-상태 항복 전압 사이에 상충관계를 나타낸다.

[0004] 또한, 본 기술 분야에 알려진 바와 같이, "초접합" VDMOS 트랜지스터는 이러한 상충관계를 다룬다. 도 1b는 이러한 종래의 초접합 VDMOS(2'), 또한 n-채널 디바이스의 경우에 대한 예를 나타낸다. 초접합 VDMOS(2')는, 표면 구조(p-타입 바디 영역(8), n+ 소스 영역(10), 게이트 전극(12) 등)에 관해서는, 도 1a의 비-초접합 VDMOS(2)와 유사하게 구성된다. 하지만, 도 1a의 비-초접합 VDMOS(2)와는 반대로, 초접합 VDMOS(2')의 에피택셜 층은 에피택셜 층(6')에 형성되는 p-타입 도핑된 "기둥"(9)으로 채워진다. 예를 들어, 각각의 기둥(9)이 다수의 수직으로 배열된 세그먼트로서 형성되도록, 층(6')의 일부의 에피택시 후에 p-타입 기둥 주입이 수행되는 복수 공정의 에피택셜 프로세스에서, 에피택셜 층(6') 실리콘의 형성 중에 p-타입 기둥(9)이 이온 주입에 의해 구성될 수 있다. p-타입 바디 영역(8) 및 n+ 소스 영역(10)은 게이트 전극(12)과 자기-정렬되고, p-타입 바디 영역(8)은 그 대응하는 n+ 소스 영역(10)보다 게이트 전극(12) 아래로 더 연장하도록 n+ 소스 주입 이전에 통상적으로 주입되고, 드라이브-인 어닐링을 받고, p-타입 바디 영역(8)은 n-타입 에피택셜 영역의 표면 영역으로 통상적으로 약간 연장된다. p-타입 바디 영역(8)의 도펀트 농도는 임계 전압 및 펀치-스루와 같은 원하는 MOSFET 특성에 대해 최적화되며, p-타입 기둥의 도펀트 농도는 오프-상태에서의 전하 평형을 위해 최적화되고, 통상적으로 바디 영역(8)보다 더 약하게 도핑될 것이다. 온-상태에서, VDMOS(2')는 비-초접합 VDMOS(2)에 대해 전술한 바와 동일한 방식으로 소스-드레인 전류 I_{ds} 를 전도하고, 이 경우에 p-타입 기둥들(9) 사이의 n-타입 에피택셜 층(6')의 부분이 나타내는 n-타입 드리프트 영역을 통해 전류가 전도된다. 하지만, 오프-상태에서, 에피택셜 층(6')의 p-

타입 기둥(9)과 n-타입 드리프트 영역은 통상적으로 높은 드레인-대-소스 영역 하에서 본질적으로 완전하게 공핍될 것이며, 즉, 기둥(9)에 의해 구조체로 깊게 나타내어지는 추가적인 p-타입 재료로 인해, 대응하는 전하량이 또한 n-타입 에피택셜 층(6')으로부터 공핍되어 전하 평형을 달성한다. 이러한 초집합 구성에 따라 기둥(9)으로부터 야기되는 오프-상태에서의 이러한 추가적인 전하 상쇄는 에피택셜 층(6')이 더 높은 도펀트 농도를 가질 수 있게 하여, 오프-상태에서 항복 전압에 불리하게 영향을 주지 않고도 더 낮은 온-상태 저항 R_{epi} 를 가질 수 있게 한다.

[0005] 도 1c는 종래의 트렌치 게이트 초집합 VDMOS 디바이스의 구성을 나타낸다. 본 예에서, VDMOS 트랜지스터(2")의 게이트 전극(12')은 디바이스의 표면에 에칭된 트렌치 내에 배치되고, 게이트 유전체(11')에 의해 둘러싸는 반도체로부터 절연된다. 바디 영역(8)의 VDMOS(2")의 채널 영역은 그에 따라 수직으로 배향되고, 게이트 유전체(11')와 게이트 전극(12')에 인접하다. 기둥(9)은 바디 영역(8') 아래로 연장하여, 전술한 바와 같이 오프-상태에서 VDMOS(2")에 대한 전하 상쇄를 제공한다.

[0006] 또한, 본 기술 분야에 알려져 있는 바와 같이, 의도된 애플리케이션에 요구되는 높은 전류를 지원하기 위하여, VDMOS 트랜지스터는 디바이스의 "코어" 또는 액티브 영역(즉, 온-상태에서 소스-드레인 전류를 통과시키는 집적 회로 다이의 영역) 내의 셀의 "스트립" 또는 어레이로서 통상적으로 배치되는, 복수의 병렬-접속 소스 및 바디 영역들과, 대응하는 게이트 전극들로서 통상적으로 구성된다. 오프-상태에서, 코어 영역의 상단면은 접지 전위에서, 게이트 및 소스 전압 또는 그에 가깝게 있을 것이며, 기판은 인가된 드레인 전압 또는 그에 가깝게 있을 것이다. 이러한 코어 영역에서의 전계는 완전히 공핍된 코어 영역으로부터 기판으로 수직으로 배향될 것이며, 애벌런치가 개시되는 반도체에 대한 임계 전계, 통상적으로 실리콘에 대해 약 3×10^7 V/m 아래로 유지되어야 한다.

[0007] 하지만, 이러한 구성에서, 집적 회로 디바이스의 상측 외부 에지는 또한 기판(즉, 드레인 단자)에 인가된 전압 또는 그에 가깝게 있을 것이다. 오프 상태에서, 디바이스의 표면에 평행한 횡방향 전계가 그에 따라 또한 코어 영역과 디바이스 디바이스의 주위 사이에 존재할 것이다. 이러한 횡방향에서의 집합 항복을 피하기 위하여, 통상의 VDMOS 디바이스는 오프-상태 드레인-대-소스 전압을 횡방향으로 유지하기 위해 코어 영역을 둘러싸는 종단 영역을 포함한다. 기능적으로, 이러한 종단 영역은 피크 전계가 임계 전계에 도달하는 것을 방지하면서, 전계를 (코어에서의) 수직으로부터 (다이의 외부 에지에서의) 수평으로 매끄럽게 비틀러는 것이다.

[0008] 통상적으로, 종단 영역의 폭은, 단지 전압 구배가 연장되는 거리를 증가시킴으로써 전계를 낮추기 위하여 충분한 크기(폭)로 만들어질 것이며, 이에 따라 전계 크기를 임계 전계 아래로 유지함으로써 종단 영역 내의 항복을 회피한다. 종단 영역 항복 전압이 충분히 높은 것을 보장함으로써, 디바이스 항복 성능은 디바이스의 더 큰 코어 영역에 의해 좌우될 것이며, 이는 에너지가 더 큰 영역에서 분산되는 것을 허용하고, 디바이스 파괴로 이어질 수 있는 국부 가열(localized heating)을 방지한다. 하지만, 종단 영역은 온-상태 드라이브 전류에 추가되지 않기 때문에, 종단 영역을 제공하기 위해 소모되는 칩 영역은 칩 영역의 단위당 전달되는 전류의 관점에서는 본질적으로 "오버헤드"이다. 따라서, 높은 항복 전압 및 낮은 오프-상태 전류 둘 다를 포함하는 우수한 항복 특성을 여전히 제공하면서도 종단 영역의 면적을 최소화하는 것이 바람직하다.

[0009] 추가적인 배경으로, 수직형 전력 다이오드 및 전력 트랜지스터에서와 같은 구성에서 공핍 영역 경계를 제어하기 위해 표면 전위를 설정하는 전계판의 사용이 알려져 있다. 본 기술분야에 알려진 바와 같이, 전계판은 코어 영역의 외측에 등전위 표면을 제공하는 전력 디바이스의 표면 또는 그 부근의 도전체 또는 반도체 구조체를 가리키고, 이러한 전계판은 원하는 전위로 바이어싱될 수 있거나, 전기적으로 부유상태(floating)로 있을 수 있다. 이러한 등전위 표면은 아래의 반도체에서의 공핍층의 형태를 바꾸고, 이는 전계 라인의 방향을 바꾸고 공핍층 경계의 곡률 반경을 증가시켜, 디바이스의 항복 전압을 증가시킨다. 공핍층 경계의 곡률 반경을 유사하게 제어하기 위한, 반도체 내의 대향 도전 타입의 도핑된 영역의 형태로 된 가드 링도 본 기술 분야에 알려져 있다. 기생 사이리스터의 가능성을 제시하는 구조(즉, p-n-p-n 구조)에서, 이러한 가드 링은 디바이스의 이러한 사이리스터 및 래치업(latchup)의 트리거링을 방지하기 위해 적절한 바이어스 전압으로 묶여 있다.

발명의 내용

- [0010] 개시되는 실시예는 향상된 항복 특성을 갖는 수직형 전력 트랜지스터 구조체를 제공한다.
- [0011] 개시되는 실시예는 감소된 종단 영역 칩 면적으로 구성될 수 있는 이러한 구조체를 제공한다.
- [0012] 개시되는 실시예는 기존의 제조 프로세스 흐름으로 용이하게 구현될 수 있는 이러한 구조체를 제공한다.

- [0013] 개시되는 실시예는 VDMOS, IGBT 및 수직형 전력 다이오드 디바이스로 실현될 수 있는 이러한 구조체를 제공한다.
- [0014] 개시되는 실시예는 초접합 및 비-초접합 디바이스 타입 양쪽에 적용될 수 있는 이러한 구조체를 제공한다.
- [0015] 개시되는 실시예들의 다른 목적 및 이점은 그 도면과 함께 후술하는 명세서를 참조하여, 본 기술 분야의 통상의 기술자에게 명백할 것이다.
- [0016] 본 발명의 실시예는 수직형 드리프트 금속-산화물-반도체 전계-효과 트랜지스터(VDMOS)와 같은 수직형 반도체 전력 트랜지스터 구조체로 구현될 수 있으며, 양쪽이 제1 도전성 타입의 반도체 층의 표면에 있는, 제2 도전성 타입의 바디 영역 내에 형성된 제1 도전성 타입의 복수의 소스 영역의 코어 영역을 포함하도록 구성된다. 도핑된 영역, 도전체 및 절연체와 같은 하나 이상의 중단 구조체는 코어 영역을 둘러싼다. 개별 집적 회로 디바이스의 직사각형 경계에 의해 규정되는 코너 영역 내에서, 하나 이상의 중단 구조체의 주변 에지는 비원형의 2차의 매끄러운 비원형 곡선에 따라 코어 영역으로부터 멀리 당겨진다. 따라서, 본 실시예는 코너로, 더 긴 거리에 걸쳐 중단 영역을 가로질러 전압을 효과적으로 신장하여, 전력 디바이스의 항복 특성을 향상시키고 국부 전계를 낮춘다.
- [0017] 본 발명의 다른 실시예는 수직형 드리프트 금속-산화물-반도체 전계-효과 트랜지스터(VDMOS)와 같은 수직형 초접합 전력 트랜지스터 구조체로 구현될 수 있으며, 양쪽이 제1 도전성 타입의 반도체 층의 표면에 있는, 제2 도전성 타입의 바디 영역 내에 형성되는 제1 도전성 타입의 복수의 소스 영역의 코어 영역을 포함하도록 구성된다. 이러한 실시예에서, 기관과는 반대의 도전성 타입의 연속적인 전기적 부유 도핑된 영역의 하나 이상의 가드 링이 디바이스의 코어 영역을 둘러싸는 중단 영역에 배치된다. 가드 링은 초접합 기둥의 깊이보다 얇거나 그 깊이까지 연장될 수 있다.

도면의 간단한 설명

- [0018] 도 1a, 1b 및 1c는 각각 종래의 비-초접합 및 초접합 VDMOS 트랜지스터의 단면도이다.
- 도 2a 및 2b는 실시예들이 구현될 수 있는 VDMOS 트랜지스터의 레이아웃의 평면도이다.
- 도 3a는 실시예에 따라 구성된 VDMOS 트랜지스터를 포함하는 집적 회로의 코너 부분의 평면도이다.
- 도 3b 및 3c는 본 실시예에 따른 도 3a의 집적 회로 부분의 상이한 구현체의 단면도이다.
- 도 3d는 도 3a에 나타난 코너 부분의 평면도이며, 종래의 구성과의 비교를 나타낸다.
- 도 3e는 실시예에 따라 구성된 VDMOS 트랜지스터를 포함하는 집적 회로의 코너 부분의 평면도이다.
- 도 4a 및 4b는 본 실시예와 관련하여 사용되는 큐빅 베지어(Bezier) 곡선의 플롯이다.
- 도 5a 내지 5d는 특정 실시예에 따라 구성된 VDMOS 트랜지스터의 레이아웃의 평면도이다.
- 도 6a 및 6b는 도 5a 및 5b의 실시예에 따라 구성된 집적 회로의 부분의 절단도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 명세서에서 설명되는 하나 이상의 실시예들은, 이러한 구현이 그 맥락에서 특히 유리한 것으로 고려되기 때문에, 초접합 타입의 수직형 드리프트 금속-산화물-반도체(VDMOS : vertical drift metal-oxide-semiconductor) 전계 효과 트랜지스터로 구현된다. 하지만, 본 발명의 개념은 또한 다른 애플리케이션, 예를 들어, 트랜치 게이트 VDMOS 디바이스, 비-초접합 VDMOS 트랜지스터, 및 절연 게이트 양극성 트랜지스터(IGBT), 수직형 전력 다이오드 등과 같은 다른 타입의 수직형 전력 디바이스에도 유리하게 적용될 수 있다. 따라서, 이하의 설명은 단지 예시로서 제공되며, 청구범위와 같이 본 발명의 진정한 범위를 제한하는 것으로 의도되지 않는다는 것이 이해되어야 한다.
- [0020] 본 발명의 배경 기술에서 앞서 언급한 바와 같이, 전력 VDMOS 디바이스, IGBT, 수직형 전력 다이오드 등과 같은 수직형 전력 스위칭 디바이스의 중단 영역의 설계는, 항복 이전의 낮은 누설 전류 및 충분히 높은 항복 전압에서의 항복 후 날카로운 I-V 곡선을 포함하는, 원하는 오프-상태 전류-전압 특성을 달성하는 데 중요하다. 이 목표를 달성하기 위하여, 중단 영역은 온 상태에서 전류 전도를 지원하는 디바이스의 액티브 코어 영역의 모든 면과 모든 코너에서 표면 전압을 차단해야 한다. 주어진 디바이스 아키텍처에 대한 중단 영역의 최적화는, 다양한

반도체 도핑 영역의 도핑 레벨 및 기하 구조, 디바이스의 표면 또는 그 위의 절연체 및 도전체 요소들의 기하 구조 및 두께와 같은 팩터와 관련된다. 본 명세서에서 설명되는 실시예는, 이하의 설명으로부터 명백해지는 바와 같이, 크기는 종단 영역에서의 이러한 요소들의 기하학적 설계 및 배치에 관련될 것이다.

[0021] 도 2a는 본 발명의 바람직한 실시예에 따른 초접합 VDMOS(20)의 구성에서의 다양한 피쳐들의 배치를 평면도로 나타낸다. 이들 실시예는 n-채널 VDMOS 트랜지스터의 예에 대해 설명될 것이고, (전술한 도 1a 및 1b를 참조하여) 기판 위에 n-타입 에피택셜 실리콘을 성장시킨 n-타입 실리콘 기판에 형성되는 것으로 설명될 것이며; 본 명세서를 참조하는 본 기술분야의 통상의 기술자는 이러한 실시예를 트랜치 게이트 VDMOS 트랜지스터, 비-초접합 VDMOS 디바이스, p-채널 VDMOS 트랜지스터, IGBT 및 수직형 전력 다이오드와 같은 대안적인 타입의 전력 디바이스에 과도한 실험 없이도 용이하게 적용할 수 있을 것으로 당연히 고려된다. 또한, 본 실시예는 개별 전력 디바이스, 즉 집적 회로 다이가 단일 디바이스, 특히 VDMOS(20)와 같은 전력 디바이스를 실현하는 경우에 대해 설명될 것이다. 이러한 의미에서, 다이의 에지에 대한 언급은 적절한 전력 디바이스(예를 들어, VDMOS(20))가 배치되는 반도체 바디의 물리적인 에지를 가리킨다. 물론, 본 실시예 및 그 변형이 부가적인 전력 디바이스, 로직 회로, 아날로그 회로 등과 같은 하나 이상의 액티브 또는 패시브 요소를 포함하는 더 큰 규모의 집적 회로에서 대안적으로 구현될 수 있다는 것이 이해되어야 한다.

[0022] 도 2a의 도면은, VDMOS(20)가 형성되고 있는 다이의 내부를 가로질러 연장되는 평행 "스트라이프(stripe)"의 형태의, VDMOS(20)에서의 p-타입 기둥(24)의 위치를 나타낸다. 이러한 초접합의 경우에, p-타입 기둥(24)은 도 1b와 관련하여 전술한 방식으로 n-타입 에피택셜 층으로(그리고 그와 함께) 형성되며, 이와 같이 에피택셜 층의 n-타입 실리콘이 도 2a의 도면에서 p-타입 기둥들(24) 사이에 존재할 것이다.

[0023] 도 2a에 나타낸 바와 같이, 스트라이프 형태인 p-타입 기둥(24) 대신, p-타입 기둥(24) 및 VDMOS(20)의 다른 대응 요소가 "셀"의 어레이로서 배치될 수 있다. 일반적으로 본원에 양도되고 본 명세서에 참고로 통합되는, 2015년 8월 25일자로 허여된 미국 특허 제9,117,899호는 트랜치 게이트 VDMOS 트랜지스터의 경우에 대한 이러한 셀 타입의 기하 구조의 예를 설명한다.

[0024] 본 실시예의 이 예에 따르면, 평면 게이트 VDMOS 디바이스에 대해 통상적으로, p-타입 바디 영역이 통상적으로 게이트 아래의 n-타입 에피택셜 영역으로 연장하는 이러한 기둥(24) 내에 형성될 것이며, n+ 소스 영역은 도 1b에 대해 전술한 바와 같이, 이러한 p-타입 바디 영역 내에 후속적으로 형성될 것이다. 이들 p-타입 바디 영역 및 n+ 소스 영역은 본 설명에서 "코어" 영역(22)으로 언급될 다이의 중심 영역 내에 형성될 것이다. 더욱 구체적으로, 본 실시예에서 코어 영역(22)은 전계 산화물과 같은 비교적 두꺼운 절연체 층이 존재하지 않고; 오히려, 게이트 유전체 층과 같은 얇은 산화물이 일반적으로 코어 영역(22) 위에 놓이는 표면의 일부인 VDMOS(20)의 표면의 "기능적으로 액티브인" 영역이다. 도 2a의 코어 영역(22)의 경계는 p-타입 바디 영역, n+ 소스 영역, 및 이러한 바디 및 소스 영역에 대한 컨택이 이러한 경계 내에, 즉 코어 영역(22) 내에 만들어질 수 있도록 하는, 두꺼운 절연체의 에지의 위치를 나타낸다. 반면, 두꺼운 절연체는 코어 영역(22)의 외측에 p-타입 바디 영역 및 n+ 소스 영역의 형성을 방지한다. 도 2b는 전술한 바와 같이 p-타입 기둥(24)(도 2b에서는 명확성을 위해 미도시) 내에 형성되고 통상적으로 그 외부로 연장되는 p-타입 바디 영역(26)의 배치를 나타낸다. 도 2b에 나타내고 전술한 바와 같이, p-타입 바디 영역(26)은 n+ 소스 영역 및 컨택 스트립(도 2b에는 명확성을 위해 미도시)과 같이 코어 영역(22) 내에만 존재한다.

[0025] 전술한 바와 같이, 본 발명의 실시예는 대안적으로 비-초접합 VDMOS 트랜지스터로 구현될 수 있으며, 이 경우에 기둥(24)은 코어 영역(22)의 내부 또는 외부 어디에도 존재하지 않는다. 비-초접합의 구현에서, p-타입 바디 영역(26)(그리고, 물론 n+ 소스 영역 및 각각에 대한 컨택)은 도 2b에 나타낸 방식으로 코어 영역(22) 내에만 존재한다.

[0026] 도 2a 및 2b에 나타낸 바와 같이, 종단 영역(25)은 코어 영역(22)의 외측의 VDMOS(20) 부분에 대응하며, 본 예에서는 집적 회로 다이의 에지까지 연장된다. 일부 실시예에서, 후술하는 바와 같이, "전이" 영역은 코어 영역(22)의 에지의 내부에만 존재하는 것으로 고려될 수 있다. 임의의 경우에, 전술한 바와 같이, p-타입 기둥(24)의 일부 단계(instance) 또는 부분이 존재할 수 있거나 코어 영역(22)의 외측으로 그리고 종단 영역(25) 내에서 연장할 수 있지만, 이들 단계에서는 바디 영역(26)이 없을 것이다. 이와 같이, 코어 영역(22)은 VDMOS(20)의 수직 온-상태 소스/드레인 전류를 실질적으로 지원할 것이지만, 온-상태 소스/드레인 전류는 거의 지원되지 않거나 지원되지 않을 것이며, 또는 그렇지 않은 경우 종단 영역(25)으로 전달되거나 통과될 것이다. 오히려, 종단 영역(25)은 인가된 드레인 전압이 나타낼 것인 다이 에지와, 오프-상태에서 VDMOS(20)의 바디 및 소스 영역(그리고 게이트 전극)의 접지 레벨에 있을 것인 코어 영역(22) 사이의 횡방향 전계를 지원하도록 VDMOS(20)에 제공

된다.

[0027] 통상적으로, 종래의 전력 반도체 디바이스에서, 디바이스 중단 영역 및 이러한 중단 영역에 위치한 구조체(즉, 중단 구조체)는 디바이스의 모든 면을 따라 기하학적으로 유사한 방식으로 구성된다. 이 설명의 목적을 위해, "중단 구조체(termination structure)"라는 용어는 디바이스의 기판 및 에피택셜 반도체 바디 내의 도핑 영역의 이러한 부분, 및 중단 영역 내에 있는 반도체 바디의 표면 또는 그 부근의 절연체 및 도전체를 나타낸다. 통상의 수직형 전력 디바이스에서, 한 면으로부터 이웃하는 수직면까지 직사각형 기하 구조(예를 들어, 코어 영역의 외측 에지 또는 중단 영역의 내측 에지)의 코너 위치에서의 전이는 원형 곡선 경로를 따르고, 필수적으로 임의의 지점을 중심으로 고정된 반경으로 에지를 회전시켜 코어 영역의 직선 면을 따라 코너에서 코어 영역과의 동일 거리를 유지한다. 작은-반경의 원형 전이는, 이러한 코너 위치가 디바이스의 항복 거동을 지배하는 경향이 있는 3차원으로 전계를 집중시킬 수 있다는 것이 본 기술분야에 잘 알려져 있다. 이와 같이, 원형 코너를 사용하는 종래의 중단 영역 설계는, 이러한 최악의 경우의 코너에서의 항복 성능이 디바이스 요건을 충족시키는 것을 보장하기 위해 중단 영역이 충분히 넓은 것을 확실하게 해야 한다.

[0028] 본 발명에 따르면, 모두 원형의 굴곡된 코너를 갖는 디바이스 코어 영역과 중단 영역 구조체의 일반적인 직사각형 배치에서는, 디바이스의 직사각형 코너와 코어 영역 사이에서, 종종 중단 영역의 코너에서의 미사용 영역이 크다. 도 2b는 평행으로부터 집적 회로 다이의 직선 에지로 코어 영역(22)의 면들이 벗어나기 시작하는 위치로부터 연장되는 중단 영역(25)의 그 부분에 대응하는 코너 위치(25C)를 식별한다. 일부 실시예에 따르면, 이러한 달리 미사용된 중단 영역(25)의 코너 위치(25C) 내의, 전계판, 도핑 영역, 절연체 막 및 도전체와 같은 하나 이상의 중단 구조체의 에지는, 전술한 종래의 원형의 굴곡된 에지에 비해 이러한 코너에서 항복 특성을 향상시키도록(즉, 항복 전압을 상승시키도록) 형상과 배치가 설계된다. 더욱 구체적으로, 이들 중단 구조체에 대한 2차의 매끄러운, 비원형 경로(즉, 다양한 곡률 반경의 경로)의 선택은, 이들 에지를 코어 영역(22)의 직선 면을 따르는 것보다 코너 위치에서의 코어 영역(22)으로부터 더 멀리, 다이의 코너에 더 가까이 "신장(stretch)"시키기 위해, 인가된 드레인 전압을 더 긴 거리에 대해 떨어질 수 있게 하여, 애벌런치 항복이 발생하는 전계 아래로 중단 영역(25)에서의 전체 전계를 낮춘다.

[0029] 이하, 도 3a 내지 3c를 참조하여, 이러한 초집합 실시예에 따른 VDMOS(20)의 구성을, VDMOS(20)가 실현되는 집적 회로 다이의 코너 위치(25C) 중 하나를 참조하여 상세히 설명할 것이다. 다이의 다른 3개의 코너도 마찬가지로 구성된다는 것이 이해되어야 한다.

[0030] 도 3a는 도 2a 및 2b에 나타난 집적 회로 다이의 상부 우측 코너 위치(25C)에서의 다양한 피쳐들의 레이아웃을 나타내고, 도 3b는 대응 단면이다. 도 3a에서, 일부 피쳐의 부분은, 이러한 부분이 실제 물리적 디바이스에서 반드시 보일 필요는 없지만, 다른 피쳐의 아래에 놓이는 것으로 표시된다. 본 실시예에서, 도 2a 및 2b와 관련하여 전술한 바와 같이, 코어 영역(22)은, 바디 및 소스 영역이 존재하고 콘택 스트립(21)에서 서로 접속되어 VDMOS(20)가 온-상태일 때 소스/드레인 전류가 흐르는 VDMOS(20)의 부분을 포함한다. 이 설명의 목적을 위해, 코어 영역(22)은 도 3b에 나타난 바와 같이, 전계 산화물(33)과 같은 비교적 두꺼운 절연체 층의 에지에 의해 경계화되는 것으로 고려될 것이다. 본 실시예에서, p-타입 기둥(24)은 전술한 바와 같이, n+ 소스 영역(미도시) 및 p-타입 바디 영역(26)으로 만들어진 콘택(21)과 함께 코어 영역(22) 내에서 스트립으로 배치되고, 본 기술분야에 알려진 바와 같이, 바디 영역(26)에 대한 콘택(21)은 바디 영역(26)에 양호한 저항 접촉을 제공하도록 주입된 p+ 영역(미도시)으로 통상적으로 만들어질 것이다. 도 3b는 p-타입 바디와 n+ 영역이 없어 온-상태 소스/드레인 전류를 지원하지 않는 기둥(24', 24'')을 나타낸다. 양쪽 모두 온-상태 소스/드레인 전류를 지원하도록 요구되는 p-타입 바디 및 n+ 영역이 없는 기둥 또는 기둥의 일부를 이하 논-액티브 기둥이라 칭한다. 본 예에서, 논-액티브 기둥(24')은 전계 산화물(33)의 아래에 있지 않고, 코어 영역(22)의 에지에서 "전이" 영역(23) 내에 놓여 있으며, 본 예에서, p-타입 바디 영역(26)(또는, 대안적으로, 게이트 전극 폴리실리콘 개구의 위치)의 위치를 규정하는 마스크된 주입이 이러한 전이 기둥(24')을 배제시킨다. 논-액티브 기둥(24'')은 전계 산화물(33)의 아래에 있고, 이와 같이 중단 영역(25) 내에 있다. 도 3b의 예에서, 기둥(24'')이 코어 영역(22)의 경계로부터 중단 영역(25)으로의 경로의 일부만을 연장한다.

[0031] 본 실시예에서, 폴리실리콘 전계판(32)은 코어 영역(22)의 에지에 제공된다. 폴리실리콘 전계판(32)은 (도 3b에 나타난 바와 같이) 코어 영역(22) 내의 VDMOS(20)의 게이트 전극(27)과 동일한 폴리실리콘의 레벨로 구성된다. 일부 구현에서, 폴리 전계판(32)은 게이트 전극(27)에 인접하여 전기적으로 접속될 수 있으며; 대안적으로 폴리 전계판(32)은 게이트 전극(27)을 규정하는 폴리실리콘 요소로부터 물리적으로 분리될 수 있다. 코어 영역(22)(전이 영역(23)을 포함)에서, 폴리 전계판(32) 및 게이트 전극(27)은 게이트 유전체(31) 위에 놓이며, 중단 영역(25)에서, 폴리 전계판(32)은 전계 산화물(33) 위에 놓인다. 폴리실리콘 전계판(32)은 코어 영역(22)의 둘레

주위의 모든 코너 및 모든 면에서 인접하게 연장된다.

[0032] 또한, 본 실시예에서, 금속 전계판(34)이 종단 영역(25)에 제공되어, 코어 영역(22) 주위의 모든 코너 및 모든 면에서 인접하게 연장된다. 본 예에서, 금속 전계판(34)은 n-타입 에피택셜 층(42)의 표면의 부근에 있도록 VDMOS(20)에서 금속 도전체의 제1 레벨로 형성되고; 대안적으로, 종단 영역(25)에서 오프-상태 전계에 대해 원하는 오프-상태 효과가 얻어지는 한 더 높은 금속 레벨로 형성될 수 있다. 도 3a 및 3b에 나타난 바와 같이, 금속 전계판(34)은 내측 에지(34E_i)까지 폴리 전계판(32) 위에 놓여 있고, 폴리 전계판(32)의 외부 에지(32E_o)를 넘어 종단 영역(25)으로 연장된다. 본 예에서, 금속 전계판(34)은, 이를 통해 컨택(35)이 형성되어 금속 전계판(34)을 폴리 전계판(32)에 접속시키는 레벨간(interlevel) 유전체(41)에 의해 통상의 방식으로 폴리 전계판(32)으로부터 분리된다.

[0033] 본 실시예에서, 금속 전계판(34) 및 그에 따른 폴리 전계판(32)은 오프 상태에서 드레인 전압에 비해 낮은 전압을 수신한다. 폴리 전계판(32)이 코어 영역(22)에서 게이트 전극(27)에 인접하거나 다른 방식으로 접속되어 있는 경우, 게이트 전압 G가 금속 전계판(34)에 인가되어 코어 영역(22)에서 VDMOS(20)에 의한 전도를 제어할 수 있다. 대안적으로, 폴리 전계판(32)이 게이트 전극(27)에 접속되지 않은 경우, 소스 전압 S(즉, 접지 전위)가 금속 전계판(34)에 인가될 수 있다.

[0034] 종단 영역(25)은, VDMOS(20)가 실현되는 집적 회로 다이의 에지(20E)까지 전계판(32, 34)의 외부로 연장된다. 기관(40) 위에 놓인 N-타입 에피택셜 층(42)은 코어 영역(22)으로부터 논-액티브 p-타입 기둥(24")의 위치를 넘어, 종단 영역(25)의 외부 부분에서의 전계 산화물(33) 아래의 표면에 존재한다. 에피택셜 층(42)의 표면의 액티브 영역(38)은 다이 에지(20E) 부근에서 노출된다. 본 실시예에서, 고전압 금속 도전체(36)가 코어 영역(22) 주위의 모든 면 및 모든 코너 및 다이의 외주 부근에서 많은 종단 영역(25)에 인접하게 연장된다. 금속 도전체(36)는 컨택(39)에서 액티브 영역(38)과 접촉하고, 다이 주변으로부터 종단 영역(25)으로 내측으로 연장되고, 전계 산화물(33)의 외부 부분의 위에 놓인다.

[0035] 전술한 바와 같이, VDMOS(20)가 오프 상태에 있을 때, 코어 영역(22)은 디바이스 소스 및 바디 영역과 게이트 전극의 저전압(접지) 전위에서 완전히 공핍되며, 고전압 액티브 영역(38)(및 기관(40))이 수백 볼트만큼 높을 수 있는, 인가된 드레인 전압에 있을 것이다. 이들 전위는 고전압 액티브 영역(38)과 공핍 코어 영역(22) 사이에서 횡방향으로 전계를 확립한다. VDMOS(20)가 오프 상태에 있으면, 폴리 전계판(32) 및 금속 전계판(34)은 액티브 코어 영역(22)의 외측에서 종단 영역(25) 내의 저전압 등전위 표면 및 구조체로서의 역할을 하며, 고전압 금속 도전체(36)는 다이 에지(20E)로부터 종단 영역(25)으로 연장하는 높은 전압 등전위면을 제공한다. 이러한 등전위면의 토폴로지, 형상 및 특성은, VDMOS(20)가 오프될 때 종단 영역(25)에서의 전계를 제어하는 역할을 할 것이다. 더욱 구체적으로, 종단 영역(25)의 코너 위치(25C)에서의 전계판(32, 34), 고전압 도전체(36) 및 액티브 영역(38)의 에지의 형상 및 배치는 VDMOS(20)의 항복 성능을 향상시키기 위하여 이러한 코너의 추가 영역을 이용한다. 이러한 개선은 이러한 에지에 대한 2차의 매끄러운 비원형 경로의 선택에 의해 달성되고, 따라서 대응하는 종단 구조체가 통상의 설계에 비해 더 긴 거리에 걸쳐 코어 영역(22)에서 접지 전위에 대한 드레인 전압을 강하시키며, 반도체에 대한 임계 전계 아래에서 전계 강도를 유지한다.

[0036] 도 3a에 나타난 실시예에서, 에지(33E)는 본 설명의 목적을 위해 코어 영역(22)의 외부 에지를 확립하는 전계 산화물(33)의 내부 에지이다(종단 구조체의 본 설명에서, "내부", "외부", "내측" 및 "외측"과 같은 방향 용어는 코어 영역(22)에 대해 상대적임). 폴리 전계판(32)의 외부 에지(32E_o)는 전계 산화물 에지(33E)의 외측에 위치하며, 금속 전계판(34)의 내부 에지(34E_i)는 전계 산화물 에지(33E)의 외측 및 폴리 전계판(32)의 외부 에지(32E_o)의 내측에 위치한다. 금속 전계판(34)의 외부 에지(34E_o)는 폴리 전계판(32)의 외부 에지(32E_o)의 외측에 위치한다. 고전압 도전체(36)는 금속 전계판(34)의 외부 에지(34E_o)의 외측에 위치한 내부 에지(36E)를 갖고, 액티브 영역(38)은 고전압 도전체(36)의 내부 에지(36E)의 외측에 위치한 내부 에지(38E)를 갖는다. 고전압 도전체(36) 및 액티브 영역(38)의 외부 에지의 위치는 본 실시예에서 오프-상태 전계를 제어하는 데 특히 중요하지는 않다.

[0037] 도 3c는 두꺼운 산화물(37)이 종단 영역(25)에 형성되는 VDMOS(20)의 종단 영역(25)의 대안적인 배치를 나타내고, 그 외부 에지(34E_o)를 포함하는 금속 전계판(34)의 외부 부분은 두꺼운 산화물(37) 위로 연장된다. 이 배치에서의 다른 피쳐는 도 3b와 관련하여 전술한 바와 동일하다. 본 실시예에 따르면, 두꺼운 산화물(37)은 또한 그 위치가 금속 전계판(34, 36)의 높이, 그에 따라 종단 영역(25)에서의 전계의 형상에 영향을 준다는 점에서

중단 구조체로 고려된다. 따라서, 두꺼운 산화물(37)의 내부 에지(37E_i) 및 외부 에지(37E_o)의 형상 및 배치는, 본 구현에서, 본 실시예에 따른 VDMOS(20)의 항복 성능을 향상시키기 위해, 다이의 코너에서의 추가 영역을 이 용하도록 설계될 수 있다.

[0038] 중단 영역(25) 내의 중단 구조체 에지의 이상적인 최적화된 설계는, 중단 영역(25) 내의 도전체와 유전체의 기하학적 배치를 고려하여 중단 영역(25C)의 내부 에지(전계 산화물 에지(33E)) 및 외부 에지(액티브 영역 에지(38E))에서 오프-상태 전위를 확립하는 이러한 디바이스 도전체 및 영역의 기하학적 배치의 경계 조건에 적용되는 (정전기학에 대한 푸아송(Poisson) 방정식의 솔루션을 따를 것이다. 본 기술 분야에 알려진 바와 같이, 물리적 원리 및 대응하는 수학적 유도는 푸아송 방정식에 대한 솔루션이 수학적 관점에서 분석적이고 2차 매끄러움을 가질 것을 요구한다. 본 실시예에 따르면, 중단 영역(25) 내의 전위 및 전계를 형성하고 규정하는 중단 구조체 에지는 국소 곡률 반경이 변하는, 분석적이고 2차의 매끄러운 곡선에 적어도 근접하게 근사되는 형상을 갖는다. 이러한 특성은, 애벌런치 항복의 시작으로 귀결되는, 반도체에 대한 임계 전계 위에 오프-상태 전계를 국부적으로 집중시킬 수 있는 "뒤틀림(kink)" 또는 급격한 변화가 없음을 보장한다.

[0039] 복잡한 기하 영역 내의 푸아송의 방정식에 대한 솔루션은, 알려진 단순한 기하학 솔루션을 취하고, 새로운 영역에 맞도록 등각 맵에 의한 솔루션을 "신장"시킴으로써 종종 도달될 수 있다는 것이 수학 원리에서 잘 알려져 있다. 일 실시예에 따르면, 전계판(32, 34), 고전압 도전체(36), 액티브 영역(38) 및 전계 산화물(33)과 두꺼운 산화물(37)과 같은 절연층의 에지의 기하학적 에지를 통상의 일정-반경 또는 "원형" 코너 기하 형태에 비해 중단 영역(25)의 코너 위치(25C)로 더 깊게 "신장"시키고, 그에 대응하여 VDMOS(20) 내의 오프-상태 등전위 라인을 다이의 코너로 대응하여 신장시키고 그 결과 코너 위치(25C) 내의 전계를 낮추는, 이러한 방식으로 등각 맵이 적용된다. 이러한 등각 맵 접근법은 중단 영역(25)에서 전계의 이상적으로 최적의 성형을 제공하고, 그에 따라 주어진 드레인 전압 레벨에 대해 중단 영역(25)에 의해 소비되는 칩 면적을 최적화할 수 있다.

[0040] 이들 실시예에 따르면, 중단 영역에서의 구조체의 이상적인 최적화된 에지가 항복 성능의 상당한 개선을 달성하기 위해 정확하게 필요하지는 않다는 것도 관찰되었다. 오히려, 전계에 바람직하지 않은 국부 뒤틀림을 도입하지 않도록, 중단 영역(25)의 코너 위치(25C)에서 중단 구조체 에지를 신장시키는 수학적 함수를 사용함으로써, 등각 매핑 솔루션(conformally mapped solution)의 근접 근사가 실질적인 의미에서 용이하게 도출될 수 있다는 것이 밝혀졌다. 일 실시예에 따르면, 이러한 타입의 신장에 대해 선택된 수학 틀은, 2차 매끄러운 분석 함수의 정의에 의한 3차 이상 베지어 곡선이다.

[0041] 본 실시예에 적용된 베지어 곡선의 일례는 원하는 최적 경로를 근사하도록 선택된 대응 제어점을 갖는 3차 다항식(즉, 큐빅) 베지어 곡선이다. 도 4a는 데카르트 평면의 1사분면에서 단위 원으로 매핑되고, 도 3a의 코너 위치(25C)에 적용될 수 있는 간단한 큐빅 베지어 곡선을 나타낸다. 이 예에서는, 4개의 제어점, P₀ 내지 P₃이 선택된다. 제어점 P₀ 및 P₃은 경로의 종점에 있으며, 본 실시예에 따른 중단 구조체와 관련하여 코너 위치(25C)에 진입할 때 에지가 그 직선면으로부터 벗어나기 시작하는 점이 될 것이다. 본 기술분야에서 베지어 곡선에 대해 알려진 바와 같이, 4개의 제어점은 다음과 같다:

[0042] P₀ : x₀, y₀ = (0, 1) // 경로의 개시점

[0043] P₁ : x₁, y₁ = (s, 1) // P₀-P₁은 경로가 P₀을 떠나는 각도를 설정

[0044] P₂ : x₂, y₂ = (1, s) // P₂-P₃은 경로가 P₃에 진입하는 각도를 설정

[0045] P₃ : x₃, y₃ = (1, 0) // 경로의 종점

[0046] 도 4a의 예에서, 통상적으로 이러한 실시예에 적용되는 바와 같이, 베지어 곡선은 그 중간점을 통해 축에 대해 대칭이 될 것이라는 점에서 "규칙적"이 될 것이다. 제어점 P₀ 내지 P₃의 선택에 후속하여, 곡선은 0과 1 사이에서 연속적으로 변하는 t의 파라미터화이다.

$$x(t) = x_0(1-t)^3 + 3x_1t^1(1-t)^2 + 3x_2t^2(1-t)^1 + x_3t^3$$

$$y(t) = y_0(1-t)^3 + 3y_1t^1(1-t)^2 + 3y_2t^2(1-t)^1 + y_3t^3$$

[0047]

[0048] 파라미터 s는 점 P₂를 향해 (그리고 제어점 P₂ 및 P₃에 대해 유사하게) 떨어지기 전에, 제어점 P₀에서 P₁까지 곡

선이 얼마나 멀리 이동하는지를 결정한다는 점에서 스케일링 팩터로 볼 수 있다. 스케일링 파라미터 $s = 4 \frac{(\sqrt{2}-1)}{3}$ 는 원형 경로에 대한 "근접한" 근사를 규정한다. 이 특정값은 파라미터 곡선이 원을 통과하도록 요구함으로써(즉, $t = 1/2$ 에 대해 $x = y = \sqrt{2}$ 를 선택하고 s 에 대해 풀어서) 도출될 수 있다. 스케일링 파라미터 s 를 이 값보다 작게 설정하는 것은 원의 내측으로 경로를 당길 것이며 더 큰 값을 갖는 스케일링 파라미터 s 는 원의 외측으로 대응 경로를 당길 것이다. 즉, 파라미터 s 는 경로 신장의 양을 설정하는 데 사용되는 변수가 된다. 본 실시예에 따르면, 스케일링 파라미터 s 는 이 원형값보다 커지도록 선택되어 코어 영역의 면을 따라 코너에서 에지와 코어 영역 사이의 동일한 거리를 유지하는 원형 경로 외측에서, 대응하는 중단 구조체 에지를 코너로 더욱 신장시킨다. 이러한 중단 구조체 에지의 신장은 코너 위치(25C)에서 차단 전압이 강해지는 거리를 증가시켜 코너 전계를 감소시킨다.

[0049] 차단 전계를 형성하는데 바람직하다면, 중단 구조체 에지가 VDMOS(20)의 4면 모두에서 대칭일 필요는 없음을 고려하여, 이들 실시예에 적용되는 큐빅 베지어 곡선에 추가의 자유도가 통합되어 높이 a 에서 y -축 상의 구조를 변환하여 원점으로부터의 거리 b 에서 x -축 상의 구조에 매칭시킬 수 있다. 이 경우, 베지어 곡선 공식은 (큐빅 경우에 대해) 제어점 P_0 내지 P_3 의 상이한 세트를 채용하도록 변형될 것이다.

[0050] $P_0 : x_0, y_0 = (0, a)$ // 경로의 개시점

[0051] $P_1 : x_1, y_1 = (s1, a)$ // P_1 - P_2 는 경로가 P_1 을 떠나는 각도를 설정

[0052] $P_2 : x_2, y_2 = (b, s2)$ // P_2 - P_3 는 경로가 P_3 에 진입하는 각도를 설정

[0053] $P_3 : x_3, y_3 = (b, 0)$ // 경로의 종점

[0054] 이 경우, 2개의 스케일링 팩터 $s1, s2$ 는 원형 경로로부터 외부로 경로의 형상을 비대칭으로 신장시키는 값을 갖도록 선택될 것이다. 경로가 곡률을 변경하는 속도는 이 접근법에서 서로 다른 팩터 $s1, s2$ 에 의해 결정된다. 도 4b는 이러한 대안적인 구현에 따른 비대칭 큐빅 베지어 곡선의 예를 나타낸다.

[0055] VDMOS(20)의 코너 위치(25C) 내의 중단 구조체의 배치에 적용되는 이러한 구현들 중 임의의 구현에서, 이러한 실시예에 따른 베지어 곡선의 사용은, 그렇지 않으면 전계를 왜곡시키지 않고 접속하는 것이 곤란한 중단 영역(25)의 이중 영역을 함께 스티칭(stitching)하는 것을 편리하게 한다.

[0056] 도 3a 내지 도 3c에 나타난 실시예에 따르면, 중단 구조체의 에지들 중 몇몇은 실질적으로 큐빅 베지어 곡선에 따라 신장된다. 이 설명의 목적을 위해, 특정 곡선을 따르는 것을 언급할 때, "실질적으로"이라는 용어는 특정의 수학적 함수에 대응하는 경로를 완벽하게 따르지는 않을 수 있지만 이러한 실시예의 맥락 내에서, 그 함수를 완벽하게 따른 이러한 구조체와 유사하게 거동하도록 충분히 근접하는 구조체를 가리킨다. 구체적으로, 본 실시예에서, 폴리 전계판(32)의 외부 에지(32E₀), 금속 전계판(34)의 내부 에지(34E_i) 및 외부 에지(34E₀), 고전압 도전체(36)의 내부 에지(36E) 및 액티브 영역(38)의 내부 에지(38E)의 각각은 도 3a 및 3b의 예에서 각각의 큐빅 베지어 곡선에 따라 실질적으로 신장되며; 도 3c의 예에서, 두꺼운 산화물(37)의 내부 에지(37E_i) 및 외부 에지(37E₀)는 또한 각각의 큐빅 베지어 곡선에 따라 실질적으로 신장될 수 있다.

[0057] 본 실시예에 따른 중단 구조체 에지의 형상 및 배치를 통상의 원형 설계의 형상 및 배치와 비교하는 것이 유용하다. 이와 관련하여, 도 3a 및 3b의 구조체에서, 도 3d는 종래의 원형 배치에 따라 폴리 전계판(32)의 외부 에지를 규정하는 일정한 반경 R_{FP1} 의 원형 경로를 나타낸다. 이 반경 R_{FP1} 은 코어 영역(22)의 직선 면을 따라, 그리고 코너 위치(25c) 양쪽에서 폴리 전계판(32)의 외부 에지와 코어 영역(22)의 경계(즉, 도 3a의 전계 산화물 에지(33E)) 사이의 동일한 거리를 유지하는 원의 반경에 대응한다. 외부 에지(32E₀)가 코어 영역(22)의 직선 면을 따라 코어 영역(22)의 경계로부터 거리를 둔 점 P_0 및 P_3 으로부터 큐빅 베지어 곡선을 실질적으로 따르는 본 실

시에 따르면, 스케일링 팩터 s 는 원형값 $4 \frac{(\sqrt{2}-1)}{3}$ 보다 크다. 결과적으로, 폴리 전계판(32)의 외부 에지(32E₀)는 코어 영역(22)의 직선 면을 따른 그 거리(즉, 반경 R_{FP1})보다 코너 위치(25C) 내에서 코어 영역(22)으로부터 더 멀리 신장된다. 이 코너 위치(25C)에서, 전계 산화물 에지(33E)로부터 외부 에지(32E₀)의 거리는, 점 P_0 및 P_3 에서 최소에서 코어 영역(22)의 직선 면으로부터의 코너 위치(25C)로 가장 먼 점에서 최대로 증가하며, 가장

면 점은 이러한 대칭의 경우에 점 P₀과 P₃ 사이의 중간점이다. 외부 에지(32E)와 일정한 반경 R_{FP1} 사이의 거리에 서의 최대 증가가 도 3d에 거리 Δ32E_{max}로서 표시된다.

[0058] 도 3d는 금속 전계판(34)의 외부 에지(34E₀), 고전압 도전체(36)의 내부 에지(36E) 및 액티브 영역(38)의 내부 에지(38E)에 대한 유사한 비교를 나타내며, 이들 각각은 원형값 $4 \frac{(\sqrt{2}-1)}{3}$ 보다 큰 스케일링 팩터 s를 갖는 큐빅 베지어 곡선을 실질적으로 따른다. 코너 위치(25C)에서의 이들 에지(34E₀, 36E, 38E)의 형상 및 배치는 코어 영역(22)의 면으로부터 그 거리를 두고 시작되지만, 코어 영역(22)으로부터 이들 직선 면으로부터 멀어지는 거리가 증가한다. 이들 에지(34E₀, 36E, 38E)의 배치에 대응하는 일정한 반경 경로는 도 3d에서 각각 일정한 반경 R_{FP2}, R_{HV1}, R_{HV2}로서 비교를 위해 표시되어 있다. 이러한 대칭 예에서, 각 에지(34E₀, 36E, 38E)는 코어 영역(22)의 직선 면으로부터 코너 위치(25C)로 가장 먼 에지를 따른 점에서의 일정한 반경 R_{FP2}, R_{HV1}, R_{HV2}에 대한 각각의 최대 증가 거리 Δ34E_{max}, Δ36E_{max}, Δ38E_{max}에 도달한다.

[0059] 종단 영역(25)에서의 다른 종단 구조체가 유사하게 본 실시예에 따라 형성될 수 있다. 예를 들어, 도 3c를 참조하면, 두꺼운 산화물(37)의 에지가 또한 코너 위치(25C)에서 2차의 매끄러운 비원형 경로를 따라 실질적으로 신장될 수 있다. 이러한 배치는, 두꺼운 산화물(37)이 금속 전계판(34)과 에피택셜 층(42)의 아래에 놓인 반도체 사이의 거리의 팩터라는 것을 고려하여, 종단 영역(25)의 전계에 약간의 영향을 미칠 것이다.

[0060] 도 3e는 본 실시예에 따른 종단 영역 코너 위치(25C)로 신장된 에지를 갖는 다른 유형의 종단 구조체를 나타낸다. 이 예에서, 코너 위치(25C) 내의 p-타입 기둥(24, 24")의 단부는 실질적으로 큐빅 베지어 곡선에 따라, 보다 구체적으로는 도 4b에 대해 전술한 바와 같이 상이한 스케일링 팩터 s₁, s₂를 갖는 비대칭 큐빅 베지어 곡선에 따라 코너로 신장되는 경로 또는 "에지"(24E)를 규정한다. 에지(24E)는 코너 위치(25C)의 외측에서 코어 영역(22)의 면과 평행하게, 예를 들면, 도 3e에 나타낸 바와 같이, 코어 영역(22)의 이러한 면을 따라, 또는 코어 영역(22)의 다른 면을 따라 종단 영역(25)으로 연장되는 기둥(24)의 중점을 따라 최 외각 기둥(24")과 평행하게 연장됨으로써 연장되는 것으로 고려될 수 있다. 전계판, 고전압 도전체 및 영역, 절연체 막 등과 같은 다른 종단 구조체가 또한 코너 위치(25C) 내에서 종단 영역(25)의 코너로 신장된 에지를 가질 수 있지만, 명확성을 위해 도 3e에는 나타내지 않았다. 종단 영역(25) 내의 p-타입 기둥(24, 24")으로 구성된 도핑 영역은 또한 코어 영역(22)과 다이의 에지를 향한 고전압 요소 사이의 전계에 영향을 미치고, 따라서 이러한 기둥(24, 24")의 중점에 의해 규정되는 "에지"(24E)의 코너로의 신장은 또한 본 구현에서 VDMOS(20)의 항복 특성을 향상시키기 위해 그 전계를 제어할 수 있다.

[0061] 전술한 바와 같이, 그리고 본 기술분야에 알려진 바와 같이, 정전 푸아송 방정식에 대한 솔루션은, 전계 강도가 관련 도전체의 날카로운 기하학적 코너(즉, 더 작은 곡률 반경)에서 강화된다는 것을 나타낸다. 예를 들어, 도 3a 및 3d에 나타낸 실시예를 참조하면, 각 에지(32E₀, 34E₀, 36E, 38E)의 곡률 반경은 코어 영역(22)의 직선 면으로부터 코너 위치(25C)로의 더욱 먼 점들에서 감소하고, 사실상 이들 에지가 각각 일정한 반경 R_{FP2}, R_{HV1}, R_{HV2}에 비해 그 각각의 최대 증가 거리 Δ34E_{max}, Δ36E_{max}, Δ38E_{max}에 도달하는 점에서 최소화되고, 이러한 일정한 반경 R_{FP2}, R_{HV1}, R_{HV2}의 원형 경로보다 각각 더 높은 곡률(즉, 더 작은 곡률 반경)을 가질 것이다. 이와 같이, 그 코너를 따르는 점에서의 전계는 최소 곡률 반경의 점에서 최대가 될 것이다. 그러나, 이들 종단 구조 에지(32E₀, 34E₀, 36E, 38E)가 다이의 코너를 향해 신장되기 때문에, 다이의 에지와 코어 영역(22) 사이의 전위차는, 종단 구조체 에지가 코너에서 원형 경로를 따르는 종래 레이아웃과 비교할 때, 종단 영역(25) 내에서 더 긴 전체 길이에 걸쳐 강화되고 있다. 따라서, 최소 곡률 반경의 이러한 점에서 전계가 강화되더라도, 전계의 크기는 코너에서 원형 경로를 따라 대응하는 에지에서보다 낮다. 결과적으로, 큐빅 베지어 곡선과 같은 실질적으로 2차의 매끄러운 비원형인 곡선을 따라 코너 위치(25C)에서 종단 구조체 에지를 신장시키는 것은 종단 영역(25) 내에서 횡방향 오프-상태 전계의 형상 및 크기의 최적화를 용이하게 한다.

[0062] 본 실시예에 따르면, 종단 구조체 에지의 형상 및 배치의 신장은 그에 따라 종단 영역(25)이 전력 VDMOS(20)의 오프-상태 드레인-대-소스 전압을 횡방향으로 지원하는 능력을 현저하게 향상시킬 수 있다. 이러한 개선, 및 VDMOS(20)가 실현되는 집적 회로 다이의 코너에서의 그렇지 않으면 낭비되는 칩 영역의 사용은 전력 VDMOS(20)의 단위 면적당 전달되는 전류의 관점에서 개선된 효율로 귀결될 수 있다.

- [0063] 본 실시예에 대한 다양한 대안 및 변형이 고려된다. 이러한 대안 중 하나에 따르면, 다이 코너를 향한 중단 구조체 에지의 이러한 신장에 의해 제공되는, 감소되고 제어된 전계는, 예를 들어, 전이 영역(23) 및 그 논-액티브 기둥(24')에 대한 필요성을 감소시키거나 심지어 제거할 수 있는, 전계 산화물(33)을 코어 영역(22)의 중심을 향하여 더 이동시킴으로써, 중단 영역(25)이 코어 영역(22)의 액티브 요소에 더 가깝게 배치되게 할 수 있다. 전계 산화물 에지(33E)의 이러한 배치는, 코어 영역(22)과 고전압 액티브 영역(38) 사이에서 전위가 강해지는 거리를 추가로 연장시켜, 중단 영역(25)에서의 전계의 강도를 낮출 것이다.
- [0064] 또 다른 대안에 따르면, 다이 코너를 향한 중단 구조체 에지의 신장은, 코어 영역(22)의 경계(즉, 도 3a 내지 3c의 실시예에서 전계 산화물 에지(33E))를 다이의 코너로 더 멀리 이동시키는 것을 허용할 수 있다. 예를 들어, 전계 산화물 에지(33E)는 또한, 전체 집적 회로 디바이스의 크기를 일정하게 유지하면서, 코어 영역(22)의 크기를 증가시키고, 그에 따라 디바이스의 구동 전류를 증가시키도록 실질적으로 2차의 매끄럽고 비원형의 경로를 따라 성형되어 배치될 수 있다.
- [0065] 다른 대안 및 변형은 비-초접합 타입의 수직형 MOSFET, IGBT, 수직형 전력 다이오드 등과 같은 전력 디바이스에서 이러한 방식으로 중단 구조체 에지를 신장시키는 것을 포함한다. 본 명세서를 참조하는 본 기술분야의 통상의 기술자에게 명백할 것인 이러한 대안 및 변형은 이하 청구되는 본 발명의 범위 내에 속하는 것으로 고려된다.
- [0066] 초접합 전력 MOSFET 디바이스의 표면으로부터 연장되는 교번하는 n-타입 및 p-타입 도핑된 기둥은 필연적으로 기생 사이리스터 또는 SCR 디바이스의 가능성을 제시한다. 도 3b 및 3c와 관련하여 전술한 바와 같이, 논-액티브 p-타입 기둥을 갖는 중단 영역을 포함하는 이러한 디바이스에서, 이들 논-액티브 기둥은, 소스 전위에 하드 와이어링되지 않았거나 다른 방식으로 디바이스의 정상적으로 바이어싱된 노드에 물리적으로 접촉되지 않았다는 점에서 부유되며, 또는 기둥의 논-액티브 부분의 경우에, 이들은 p-타입 기둥 자체의 액티브 부분을 통해 소스 전위에 약하게 전기적으로 접촉된다; 그러나, 기둥의 이러한 약하게 접촉된 논-액티브 부분은, 드레인 전위가 증가함에 따라 기둥의 약하게 접촉된 부분이 자유 캐리어가 점점 공핍될 수 있게 하여 기둥의 액티브 부분으로부터 전기적으로 접촉 해제된다. 결과적으로, 이러한 논-액티브 부유 또는 약하게 접촉된 도핑 영역은 디바이스의 액티브 코어 영역을 포함하여 인접한 기둥으로부터 국부적으로 바이어싱되기 쉽다. 이러한 국소 바이어싱이 기생 n-p-n-p SCR 디바이스 구조체를 트리거링하기에 충분히 커지면, 높은 누설 전류와 디바이스 항복이, 초접합 깊이 및 중단 영역 설계에 기초하여 그렇지 않은 경우 예상되는 것보다 훨씬 낮은 전압에서 발생할 것이다.
- [0067] 또 다른 실시예에 따르면, 수직형 초접합 반도체 디바이스의 중단 영역은, 그 디바이스의 중단 영역의 외부 에지 부근에 위치하고, 기생 SCR 구조체를 구성하는 도핑 영역을 둘러싸는 하나 이상의 전기적 부유 도핑 영역에 의해 그 타입의 장치에 내재된 기생 SCR 구조체의 기생 누설 및 트리거링을 억제하도록 구성된다. 이들 부유 도핑 영역 또는 가드 링은 이하 설명되는 바와 같이, 디바이스의 표면 위에서 볼 때 하나 이상의 동심 링으로서 2차원으로 보일 것이다.
- [0068] 도 5a는 VDMOS 트랜지스터(50), 예를 들어 위에 놓인 n-타입 에피택셜 층을 갖는 n-타입 실리콘 기판에 형성된 n-채널 VDMOS 트랜지스터를 나타낸다. 물론, VDMOS(50)는 대안적으로 p-채널 VDMOS 트랜지스터로서 형성될 수 있으며, 이 경우 그 다양한 요소들의 도전 타입이 본 설명의 도전 타입과는 반대일 것이다. 도 2a에 나타난 실시예에 대해 전술한 것과 유사한 방식으로, 평행 스트라이프 형태의 p-타입 기둥(54)이, VDMOS(50)가 실현되는 집적 회로 다이의 내부를 가로질러 연장되며, 전술한 바와 같이 n-타입 에피택셜 층으로 연장하여, 도 5a의 도면에서 n-타입 에피택셜 실리콘이 인접한 p-타입 기둥들(54) 사이에 존재할 것이다. 그리고, 전술한 바와 같이, p-타입 기둥(54) 및 VDMOS(50)의 다른 대응하는 요소가 대안적으로 "셀"의 어레이로서 배열될 수 있다.
- [0069] 도 5a에 경계가 정해진 코어 영역(52)은, p-타입 바디 영역, n+ 소스 영역 및 컨택이 이러한 기둥(54) 내에 형성되고, 이러한 n-채널 구현에서 접지 전위(V_{ss})로 바이어싱될 집적 회로 다이의 부분을 나타낸다. 전술한 바와 같이, 도 5a에 나타난 코어 영역(52)의 경계는 도 3b 및 3c의 실시예에서 전계 산화물(33)과 같은 절연 유전체막의 내부 에지의 위치에 대응한다. 전술한 바와 유사하게, 도 5a에 나타난 중단 영역(55)은 코어 영역(52)의 외측의 다이의 그 부분이다. 도 3a 내지 3d와 관련하여 전술한 바와 같은 구조체가 이 중단 영역(55) 내에 제공되어 오프-상태에서 VDMOS(50)에 인가되는 드레인-대 소스 전압을 횡방향으로 지원할 수 있다. 이와 관련하여, 전체적으로 코어 영역(52)의 외측에 있는 기둥(54)뿐만 아니라 코어 영역(52)의 외측에 있는 기둥(54)의 부분은 전술한 바와 같이 오프-상태에서 소스 전압에서 능동적으로 바이어싱되지 않을 것이지만, 전술한 바와 같이 중단 영역(55)의 전계에 영향을 줄 것이다.

- [0070] 도 5a에 나타낸 본 실시예에서, 전기적 부유 가드 링(60)은 중단 영역(55) 내에 배치되고 VDMOS(50)의 병렬 p-타입 기둥(54)을 둘러싸고 있다. 이 n-채널 수직형 MOSFET 구현에서, 가드 링(60)은 n-타입 에피택셜 층 내로 형성된 인접하는 p-타입 도핑 영역이다. 더욱 상세하게 후술하는 바와 같이, 가드 링(60)은 n-타입 실리콘의 에피택시 중에 형성된 p-타입 기둥(54)의 마지막 세그먼트들 중 하나 이상으로서 동시에 형성될 수 있으며, 이 경우에 가드 링(60)은 이들 세그먼트와 동일한 깊이, 폭 및 도펀트 농도를 가질 것이며, 도핑된 재료의 3차원 벽(이 예에서는 p-타입)을 형성할 것이다. 일부 구현에서, 가드 링(60)은 p-타입 기둥(54)의 전체 깊이까지 연장될 수 있다. 대안적으로, 가드 링(60)의 깊이, 형성 및 도펀트 농도는 p-타입 기둥(54)과 다를 수 있으며, 예를 들어, 전계 산화물의 형성 전에 n-타입 에피택셜 층으로의 마스크된 이온 주입에 의해 형성될 때 최상부의 초점합 기둥 세그먼트의 깊이를 부분적으로 갖는다. 예를 들어, 가드 링(60)은 현재의 기술에 따른 수직형 초점합 MOSFET 구현에 대해 약 10 μm 내지 약 100 μm 정도의 범위에서 통상의 깊이를 가질 수 있다.
- [0071] 도 5b는 중단 영역(55) 내에 전계판을 형성하기 이전의 제조 단계에서, VDMOS(50)의 코너 위치(55C) 부근에 가드 링(60)을 배치한 예를 나타낸다. 가드 링(60)은 코어 영역(52)과 중단 영역(55) 내에 논-액티브 기둥(및 기둥의 논-액티브 부분)(54')을 둘러싸고, 다이의 에지에서 액티브 영역(58)의 내측에 배치된다. 원하는 경우, 가드 링(60)은 액티브 영역(58)과 접촉하는 고전압 도전체의 아래에 놓일 수 있다. 도 5b의 도면에서, 가드 링(60)의 수직 연장 부분은 이들 논-액티브 기둥(54')과 평행하며, 인접 기둥(54, 54')의 간격과 동일한 간격만큼 최외각 논-액티브 기둥(54')으로부터 이격되어 포토리소그래피 규칙성을 유지한다. 코어 영역(52)의 다른 면상에, (도 5b의 도면에서) 가드 링(60)의 수평으로 연장하는 부분은 대략 동일한 간격으로 논-액티브 기둥 부분(54')의 단부와 평행하다. 대안적으로, 가드 링(60)과 기둥(54') 사이의 간격은 기둥들(54, 54') 자체 사이의 간격과 다를 수 있으며, 이는 중단 영역(55)에서 오프-상태 전계를 제어하는데 유용할 수 있다.
- [0072] 도 6a 및 6b는, 가드 링(60)이 VDMOS(50)의 n-타입 에피택셜 층(62)으로 연장될 수 있는 깊이의 변화를 나타낸다. 도 6a에 나타낸 VDMOS(50a)의 절단도는 도 3a 내지 3c와 관련하여 전술한 중단 구조체와 유사한 특징의 중단 구조체를 나타낸다. 이들 중단 구조체는 폴리 전계판(64), 금속 전계판(66), 두꺼운 산화물(67) 및 고전압 도전체(68)를 포함한다. 도 6a의 VDMOS(50a)는 초점합 타입이며, 이와 같이 p-타입 기둥(54, 54')이, n-타입 에피택셜 층(62)에 매우 깊이 연장되는 깊이까지 형성되며, 예를 들어, 복수 공정의 에피택셜 프로세스 형성층(62)의 각 공정 후에 복수의 주입에 의해 형성된다. 본 예에서, p-타입 가드 링(60a)은 기둥의 깊이와 유사한 깊이를 가지며, 이와 같이 n-타입 층(62)의 에피택시 중에 기둥(54, 54')과 유사한 방식으로 형성될 수 있다. 도 6a에 나타낸 VDMOS(50a)의 예에서, 가드 링(60a)은 인접한 바디 영역들(54, 54') 사이의 간격보다 최외각 논-액티브 바디 영역(54')으로부터 더 멀리 이격되어 있다.
- [0073] 도 6b는, p-타입 가드 링(60b)이 초점합 기둥들(54, 54')보다 훨씬 더 얇은 깊이를 갖는 초점합 VDMOS(50b)의 구성을 나타낸다. 이 구현에서, 가드 링(60b)은 n-타입 에피택셜 층(62)이 완전히 형성된 후에, 그리고 중단 영역(55)에서 전계 산화물의 퇴적 또는 열 성장 이전에 마스크된 이온 주입에 의해 형성된다. 대안적으로, 가드 링(60b)은 예를 들어 초점합 기둥들(54, 54')의 최상부의 하나 이상의 세그먼트와 함께 주입되어 에피택셜 층(62)으로 부분적으로 연장될 수 있다.
- [0074] 본 실시예에 따르면, 가드 링(60a, 60b)은 VDMOS(50)의 오프-상태에서 능동적으로 바이어싱되지 않고, 오히려 전기적으로 부유 상태로 남아 있다. 이것은 통상적으로 접지(예를 들어, 소스 전압)로 바이어싱되는 수직형 전력 디바이스에 대한 통상의 가드 링 구조체와 반대이다. 본 발명에 따르면, 전기적 부유 가드 링 구조체는 VDMOS(50)의 기관에서 인가된 드레인 전압과 동일한 전위에 있는, 도 5b의 도면에서의 액티브 영역(58)에서와 같이, 구조체의 에지에서 등전위 링 또는 "등화(equalization) 링"으로부터의 표유(stray) 캐리어의 주입으로부터 중단 영역에서 인터리빙된 p-타입 기둥 및 n-타입 에피택셜 실리콘의 다중층 양극성 구조체를 차폐한다. 교번하는 p-타입 및 n-타입 영역에 의해 생성된 기생 SCR을 트리거링하여 전력 MOSFET과 같은 전력 스위칭 디바이스에서 상당한 오프-상태 누설 및 항복을 야기할 수 있는 이러한 차폐가 없는 표유 캐리어이다.
- [0075] 또한, 본 실시예의 전기적 부유 가드 링 구조체는 현대의 전력 디바이스에서 효율적으로 구현될 수 있다. 특히, 중단 영역으로의 하나 이상의 부유 도핑된 가드 링을 구현하는 것은, 이들 영역을 수용하기 위해 중단 영역에 부가적인 폭을 부가 할 필요가 없다. 이것은, 가드 링이 중단 영역의 외부 에지 부근에 추가될 수 있다는 것을 고려하여, 이들 부유 가드 링의 부가로 중단 영역에서의 전계 분포와 간섭한다고 고려되지 않기 때문이며, 전계는 통상적으로 임계 전계보다 훨씬 낮으므로, 여기에서 교번하는 n-타입 및 p-타입 기둥 영역은 오프-상태의 개시에서 전하가 아직 공핍되지 않을 것이다. VDMOS(50)에 대해 전술한 바와 같이, 가드 링(60)은 VDMOS(50)의 바디 영역(54)과 동일한 프로세스에서 형성될 수 있으며, 이와 같이 본 실시예에 따른 부유 가드 링의 부가는 제조 프로세스에 추가적인 포토리소그래피 공정을 추가하지 않을 것이며, 따라서 웨이퍼 프로세싱 비용을 증가시

키지 않을 것이다.

[0076] 도 5a, 5b 및 6a와 6b와 관련하여 전술한 실시예에서, VDMOS(50)는 코너 위치(55C)에서 원형 경로를 따르는 에지를 갖는 중단 구조체(예를 들어, 액티브 영역(58); 전계판(64, 66); 고전압 도전체(68))로 구성된다. 대안적으로, 본 실시예에 따른 전기적 부유 가드 링은 도 5c 및 5d를 참조하여 이하 설명되는 바와 같이, 비원형의 2차의 매끄러운 경로를 따라 실질적으로 코너 위치(55C)로 신장된 에지를 갖는 중단 구조체로서 또한 고려될 수 있다.

[0077] 도 5c는 도 5c의 도면의 두 축을 따르는 그 다이의 에지(70E)로 나타낸 바와 같이, n-채널 전력 MOSFET이 구현되는 다이의 코너 위치를 나타낸다. 도 5c에 나타낸 구성은 도 3a와 관련하여 전술한 구성과 유사하다. 코어 영역(72)은 온-상태 소스/드레인 전류가 흘러, 바디 및 소스 영역이 형성되고 접촉 위치(76)에서 서로 접촉되는 전력 MOSFET의 부분을 포함한다. 전술한 바와 같이, 코어 영역(72)은 전계 산화물과 같은 상대적으로 두꺼운 절연체 층의 내부 에지(83E)로 연장되며, 그에 따라 중단 영역(75)은 내부 전계 산화물 에지(83E)로 시작하여 코어 영역(72) 외측의 다이 부분을 나타낸다. 폴리실리콘 전계판(82)은 코어 영역(72)의 모든 면 및 모든 코너에 인접하여 연장되며, 그 내부 부분은 코어 영역(72) 및 중단 영역(75) 내의 그 외부 에지(82E₀)로 연장된다. 중단 영역(75)의 금속 전계판(84)은 또한 코어 영역(72)의 모든 면 및 모든 코너에 인접하게 연장되며, 전술한 바와 같이, 그 내부 에지(84E_i)는 폴리 전계판(82) 위에 놓이고, 그 외부 에지(84E₀)는 중단 영역(75) 내의 두꺼운 산화물 위에 놓인다. 액티브 영역(88)은 기판 위에 놓이는 n-타입 에피택셜 층의 표면에 있고, 나타낸 바와 같이 컨택(89)에서 고전압 금속 도전체(86)에 의해 접촉된다. 고전압 도전체(86)는 다이의 외주 부근에서, 코어 영역(72)의 모든 면 및 모든 코너에서, 그리고 중단 영역(75)의 많은 부분에서 인접하게 연장되며, 나타낸 바와 같이 내부 에지(86E)를 갖는다.

[0078] 본 실시예에서, 도 3a 내지 3d와 관련하여 전술한 바와 같이, 중단 영역(75)의 중단 구조체의 다양한 에지는, 전력 MOSFET의 경우에 인가된 드레인 전압에 있는 다이 에지(70E) 부근의 액티브 영역(88)과 소스 전압에 있고 디바이스의 오프-상태에서 완전히 공핍되는 코어 영역(76) 사이의 횡방향 전계에서의 바람직하지 않은 뒤틀림을 도입하는 것을 회피하기 위해 등각 매핑 솔루션의 적어도 근사에 따라 코너 위치(75C)에서 성형되어 배치된다. 전술한 바와 같이, 이들 중단 구조체 에지는 이상적인 구현에서 중단 구조체 에지를 중단 영역(75)의 코너 위치(75C)로 신장하거나 구부리는 등각 매핑 솔루션에 따라 성형되어 배치될 수 있다. 대안적으로, 이러한 중단 구조체의 에지는 3차 이상의 베지어 곡선과 같은 2차의 매끄러운, 비원형의 분석 함수에 따라 실질적으로 코너 위치(75C)로 신장될 수 있다. 도 5c 및 5d에 나타낸 구현에서, 에지(82E₀, 84E_i, 84E₀, 86E 및 88E)는 원형값보다

큰 스케일링 팩터 s 를 갖는 큐빅 베지어 곡선을 실질적으로 따르고, 예를 들어, $s > 4 \frac{(\sqrt{2}-1)}{3}$ 이다.

[0079] 본 실시예에 따르면, 도 5c에 나타낸 바와 같이, 단일의 전기적 부유 p-타입 도핑된 가드 링(90)이 제공된다. 도 5a 및 5b와 관련하여 전술한 바와 같이, 가드 링(90)은 중단 영역(75)에서 코어 영역(72)의 외측에 있는 논-액티브 p-타입 기둥뿐만 아니라 그 p-타입 기둥으로 코어 영역(72)을 둘러싼다. 이러한 초집합 구현에서, 가드 링(90)은 전술한 바와 같이, 코어 영역(72) 및 중단 영역(75) 내의 기둥의 전체 깊이까지 연장될 수 있거나, 이들 바디 영역에 대한 부분 깊이까지만 연장될 수 있다. 가드 링(90)은 포토리소그래피 규칙성을 위해 인접한 기둥과 동일한 간격으로, 또는 대안적으로 전계의 제어를 위해 원하는 경우 더 넓은 간격으로 가장 가까운 논-액티브 기둥으로부터 이격될 수 있다. 도 5c의 예에서, 가드 링(90)은 고전압 액티브 영역(88) 및 아래에 놓인 고전압 도전체(86)에 인접하게 배치된다. 코너 위치(75C) 내에서, 전기적으로 절연된 가드 링(90)은 원형값보다

큰 스케일링 팩터 s 를 갖는 큐빅 베지어 곡선을 실질적으로 따르므로(예를 들어, $s > 4 \frac{(\sqrt{2}-1)}{3}$), 그 구조체의 다른 중단 구조체 에지와 유사한 방식으로 다이 코너를 향해 신장된다. 물론, 가드 링(90)은 또한 코어 영역(72)의 직선 면을 따라 평행하게 연장하는 직선 면을 가질 것이다.

[0080] 도 5d는 n-채널 VDMOS 트랜지스터의 코너 위치(75C)에 대한 본 실시예의 또 다른 구현을 나타낸다. 이 구현에서 코너 위치(75C') 및 중단 영역(75) 내의 다양한 중단 구조체의 배열은 도 5c와 관련하여 전술한 것에 대응한다. 그러나, 도 5d의 구현에서, 각각 코어 영역(72) 및 또한 코어 영역(72)의 외측에 놓인 임의의 논-액티브 p-타입 기둥 영역(미도시)을 둘러싸는 2개의 전기적으로 절연된 p-타입 가드 링들(90a, 90b)이 제공된다. 가드 링들(90a, 90b) 사이의 간격은 포토리소그래피 규칙성을 위해 코어 영역(72) 및 중단 영역(75) 내의 인접한 p-타입 기둥 영역들 사이의 간격에 대응할 수 있거나, 대안적으로 오프-상태 전계를 제어하는 것과 같은 간격과 다를 수 있다. 도 5c의 구현에서와 같이, 도 5d의 전기적으로 절연된 가드 링들(90a, 90b)은 각각 원형값보다 큰 스

케일링 팩터 s 를 갖는 큐빅 베지어 곡선을 실질적으로 따르며, 각각이 다이 코너를 향해 신장된다. 각각의 가드 링(90a, 90b)은 또한 코어 영역(72)의 직선 면과 평행하게 연장하는 직선 면을 가질 것이다.

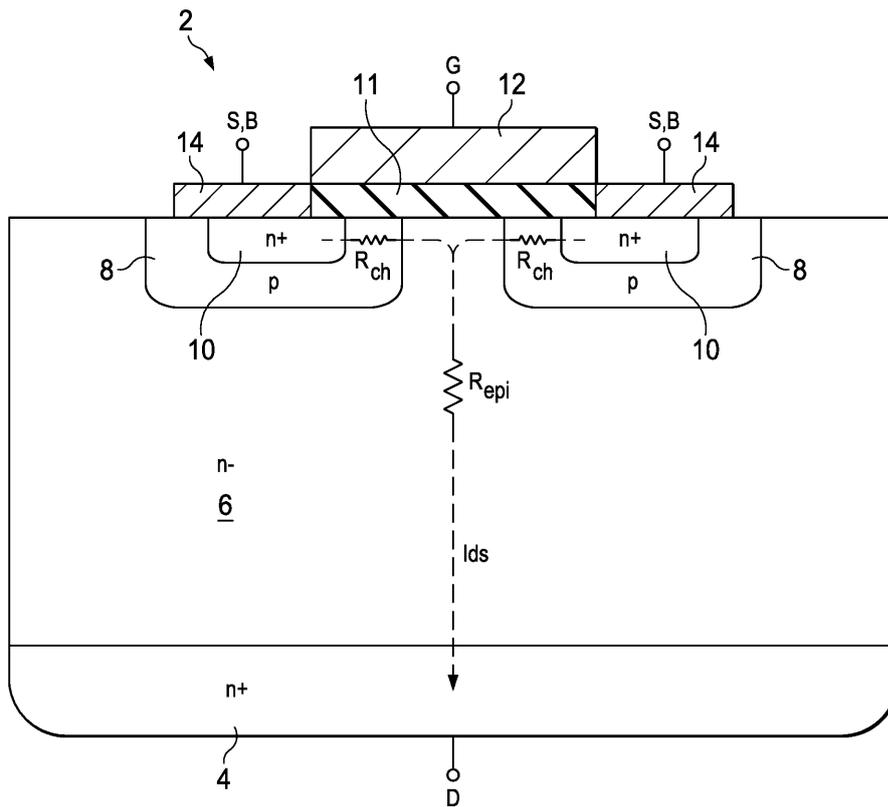
[0081] 따라서, 도 5c 및 5d와 관련하여 전술한 실시예는 종단 구조체의 신장된 코너에 의해 제공되는 개선된 항복 성능 및 칩 영역의 보다 효율적인 사용뿐만 아니라, 기생 p-n-p-n 구조체의 트리거링에 대한 감소된 취약성의 이점을 달성하며, 그에 따라 제조 프로세스 흐름에 부가적인 칩 영역을 필요로 하지 않고 부가적인 복잡성을 추가하지 않고 결과적인 구조체에서 전기적으로 격리된 가드 링에 의해 향상된 항복 성능이 제공된다.

[0082] 전술한 바와 같이, 이들 실시예가 n-채널 VDMOS 디바이스와 관련하여 설명되었지만, 제한 없이 초접합 및 비-초접합 트랜치 게이트 VDMOS 트랜지스터, 다양한 타입의 p-채널 VDMOS 디바이스, IGBT 및 수직형 전력 다이오드를 포함하는 다른 타입의 전력 스위칭 디바이스에서 본 실시예를 구현함으로써 유사한 이점이 달성될 수 있다. 본 명세서를 참조하는 본 기술분야의 통상의 기술자는 과도한 실험 없이도 이들 실시예를 이러한 대안적인 타입의 전력 스위칭에 용이하게 적응시킬 수 있을 것이다.

[0083] 하나 이상의 실시예가 본 명세서에서 설명되었지만, 본 발명의 하나 이상의 이점 및 장점을 얻을 수 있는, 이들 실시예들에 대한 변형 및 대안이 본 명세서 및 그 도면을 참조한 본 기술 분야의 통상의 기술자에게 명백할 것이라는 것이 물론 고려된다. 이러한 변형 및 대안은 여기에 후속적으로 청구되는 본 발명의 범위 내에 속하는 것으로 고려된다.

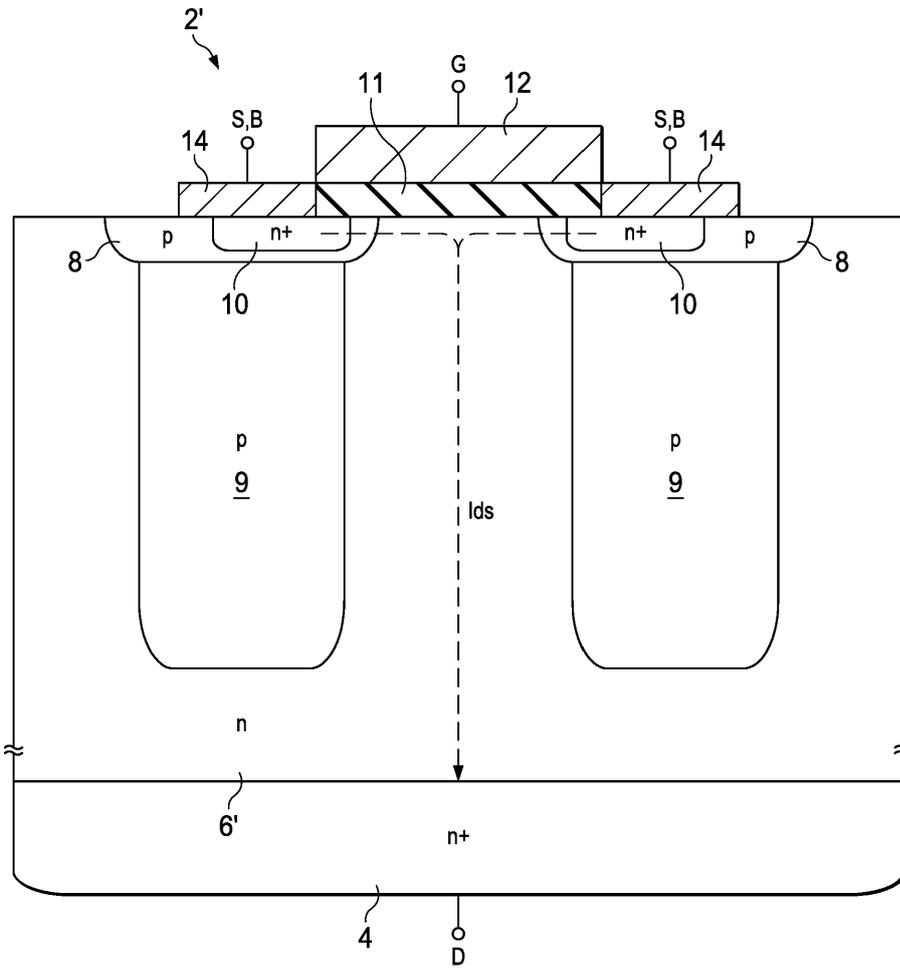
도면

도면1a



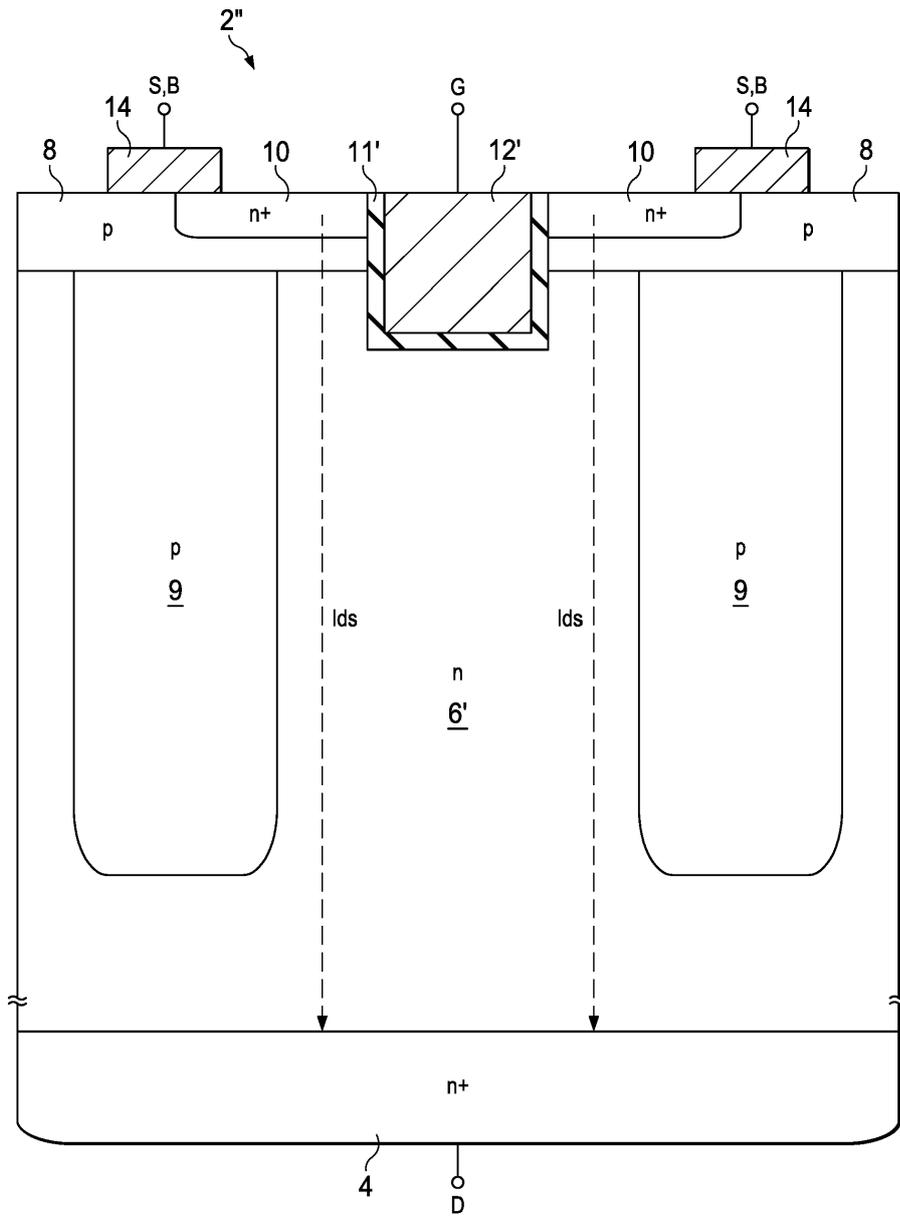
(종래 기술)

도면1b



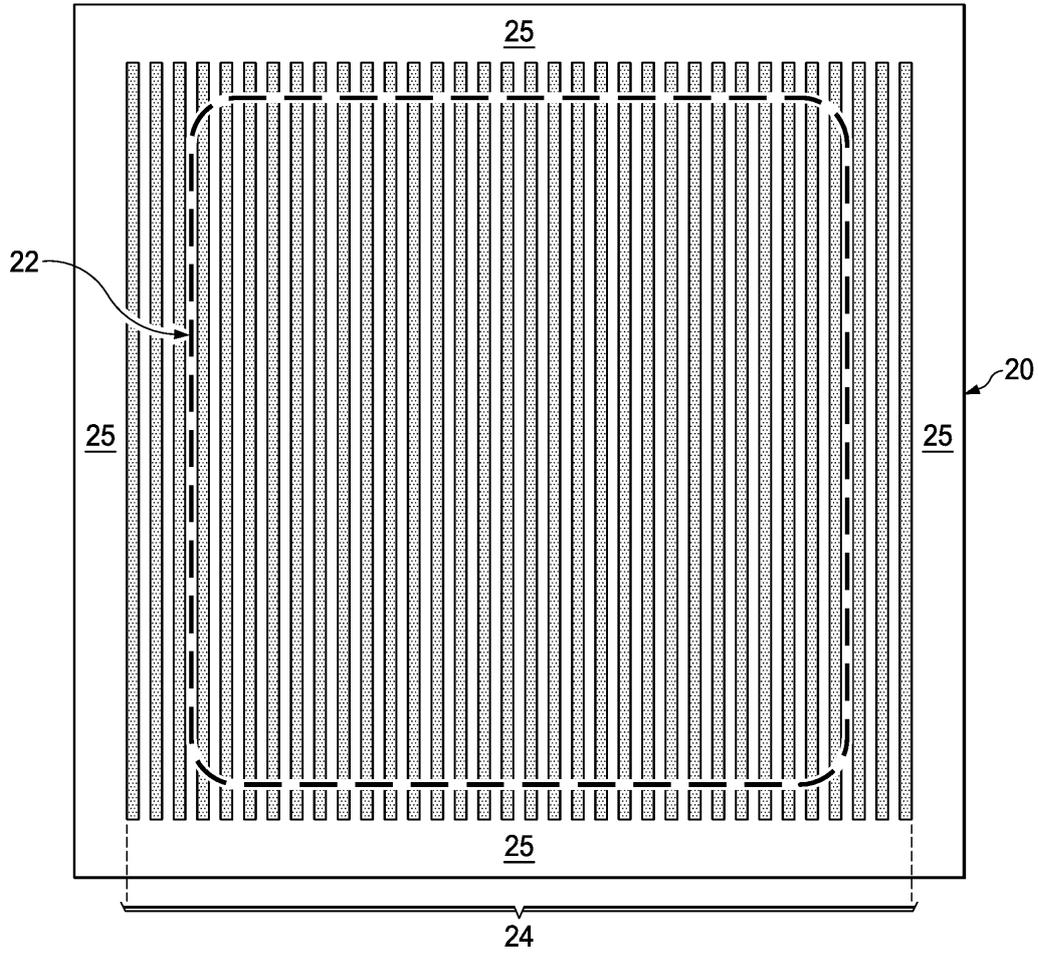
(종래 기술)

도면1c

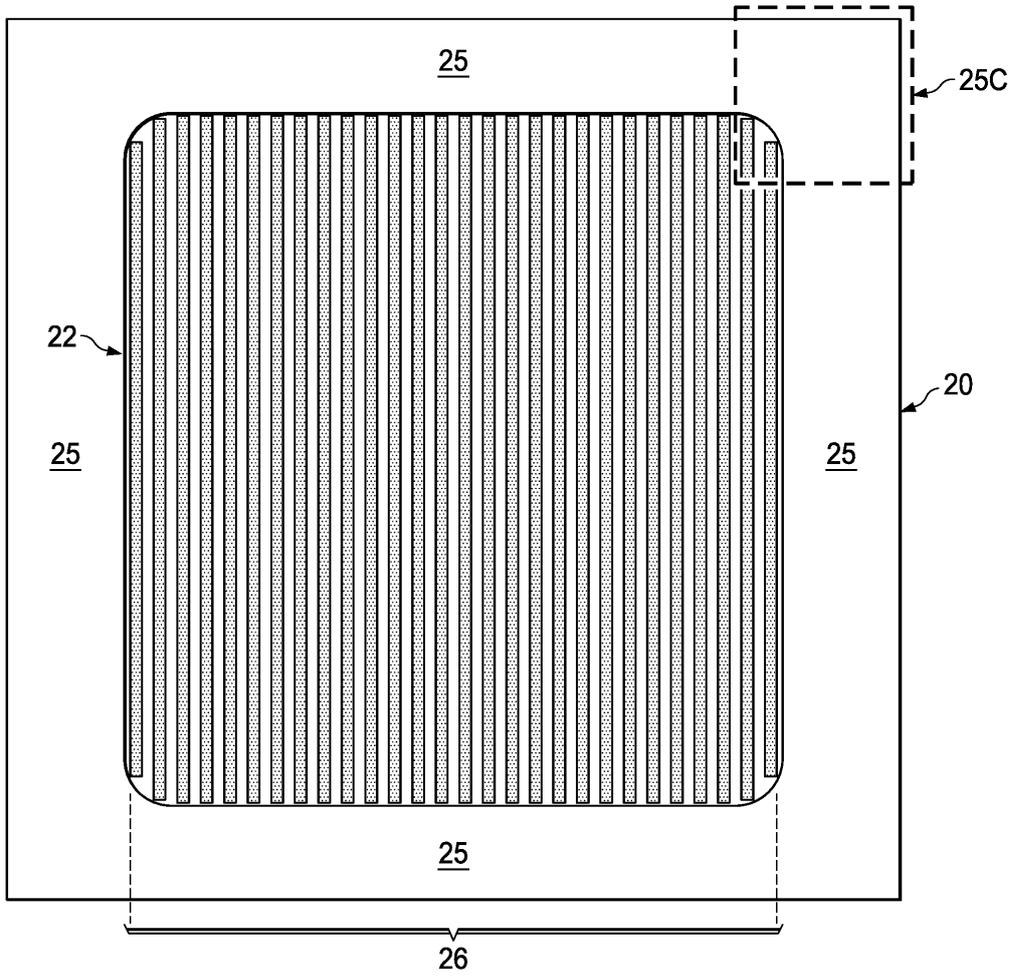


(종래 기술)

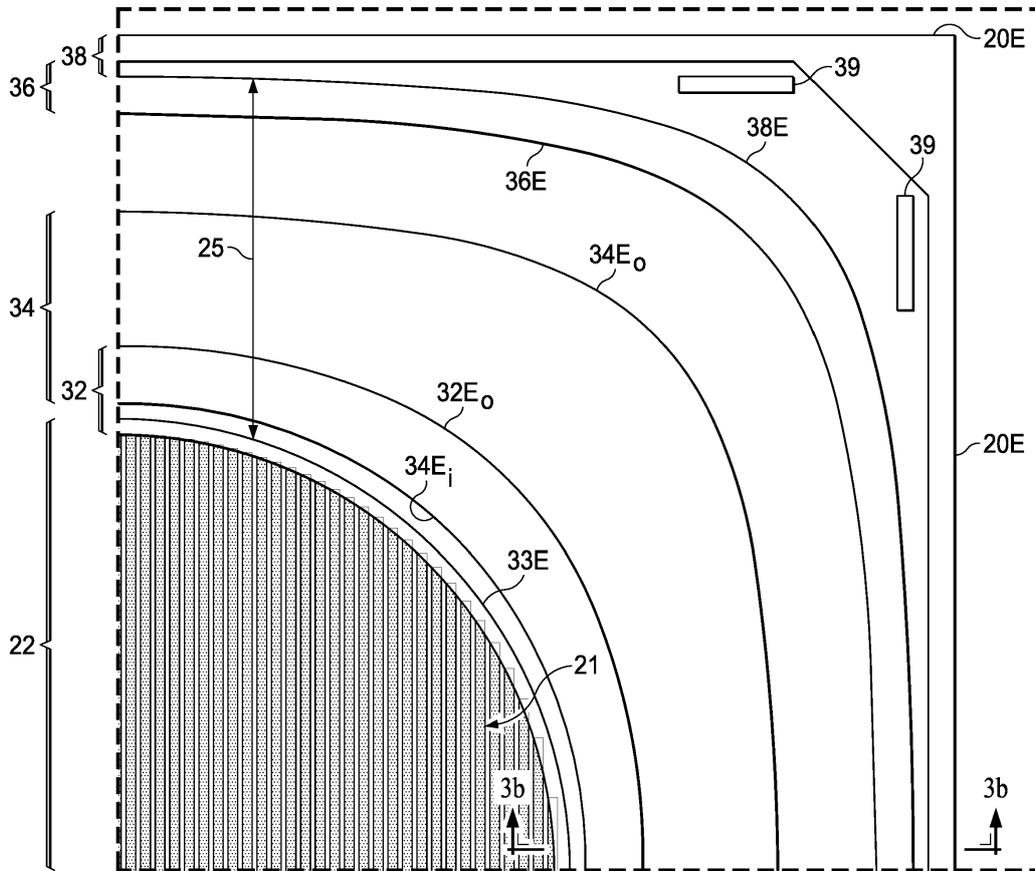
도면2a



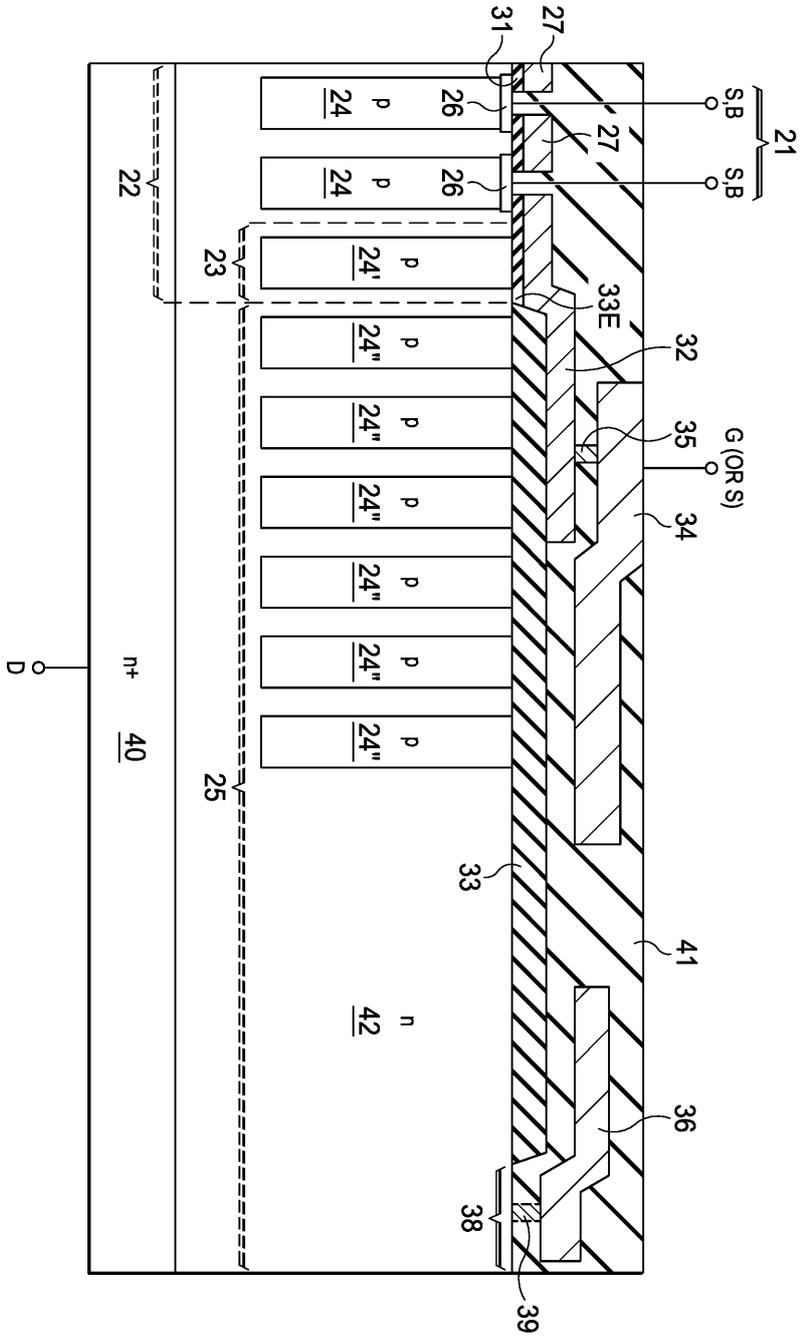
도면2b



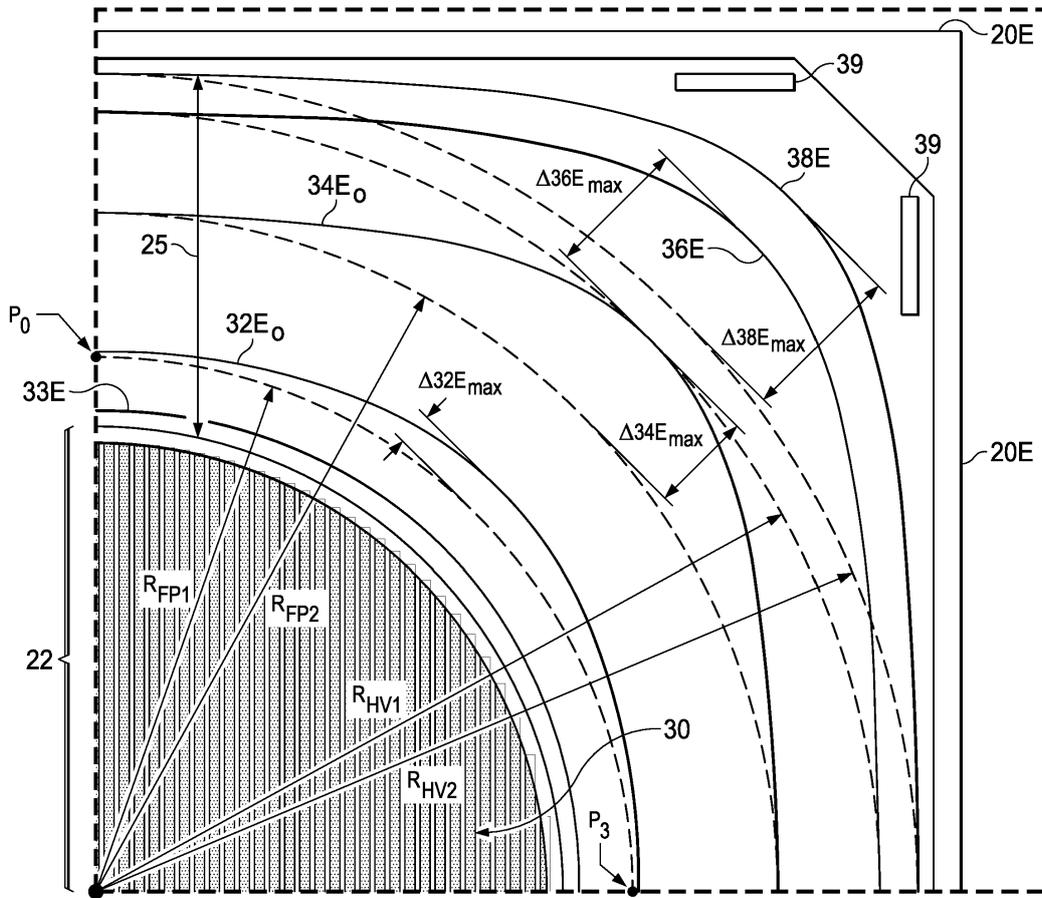
도면3a



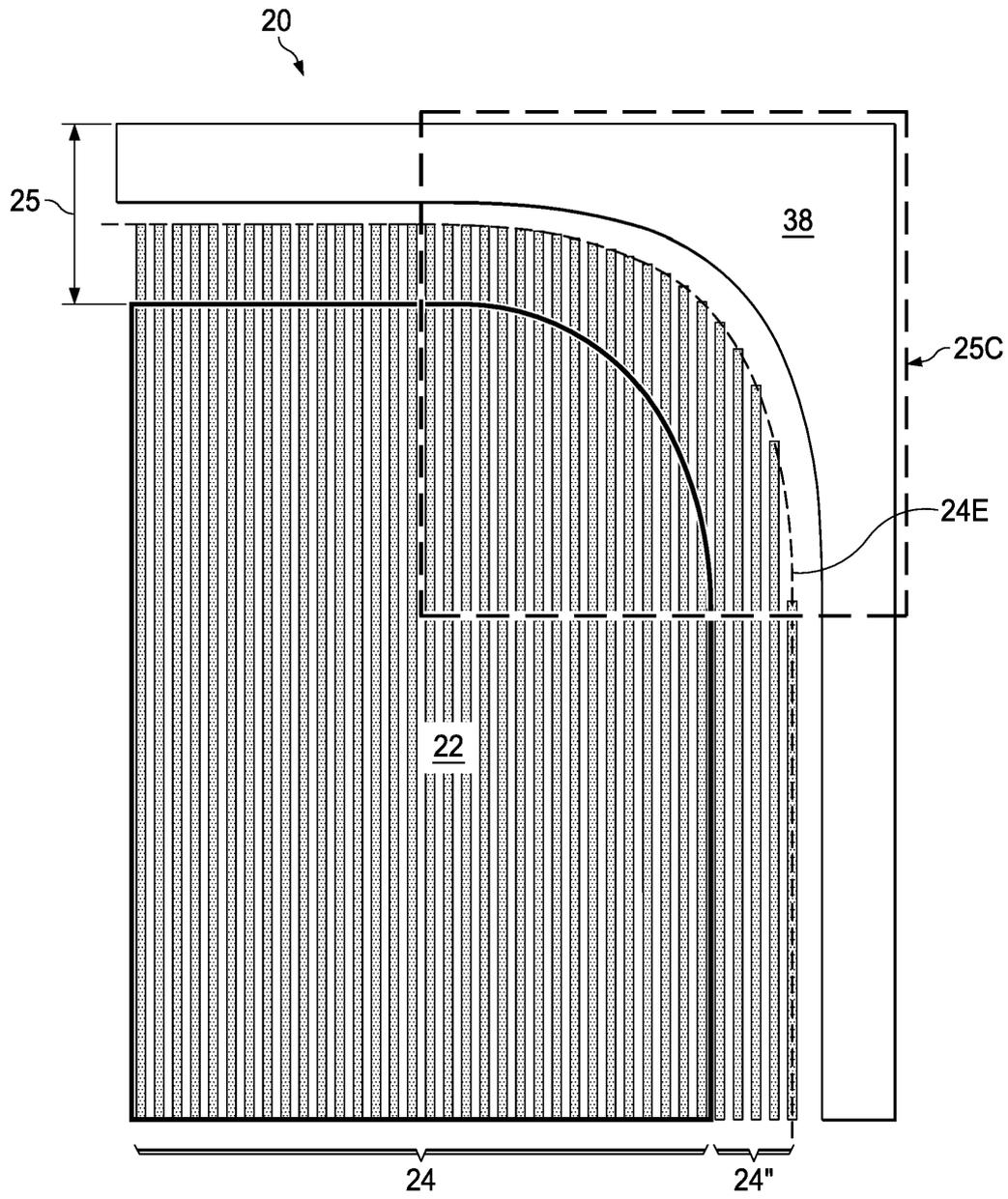
도면3b



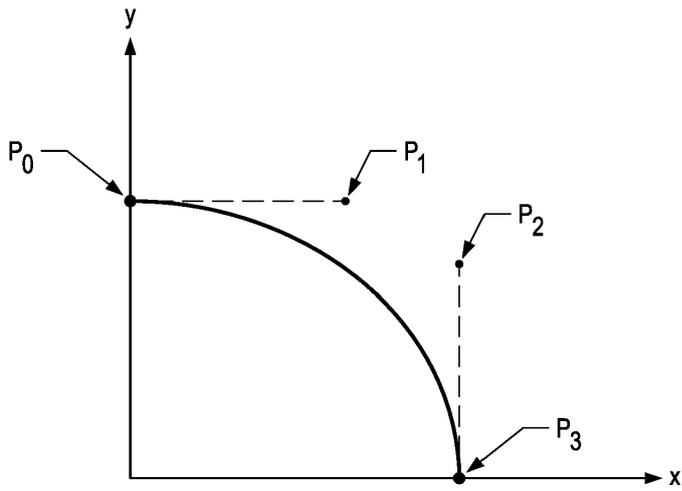
도면3d



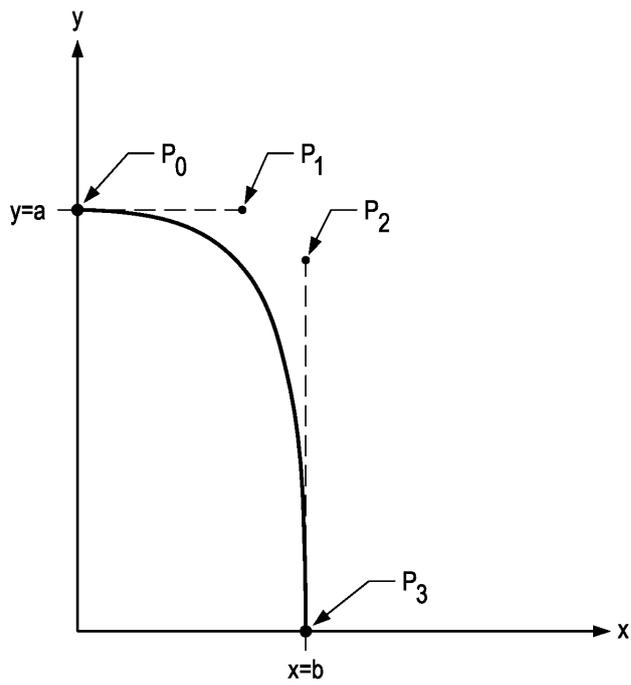
도면3e



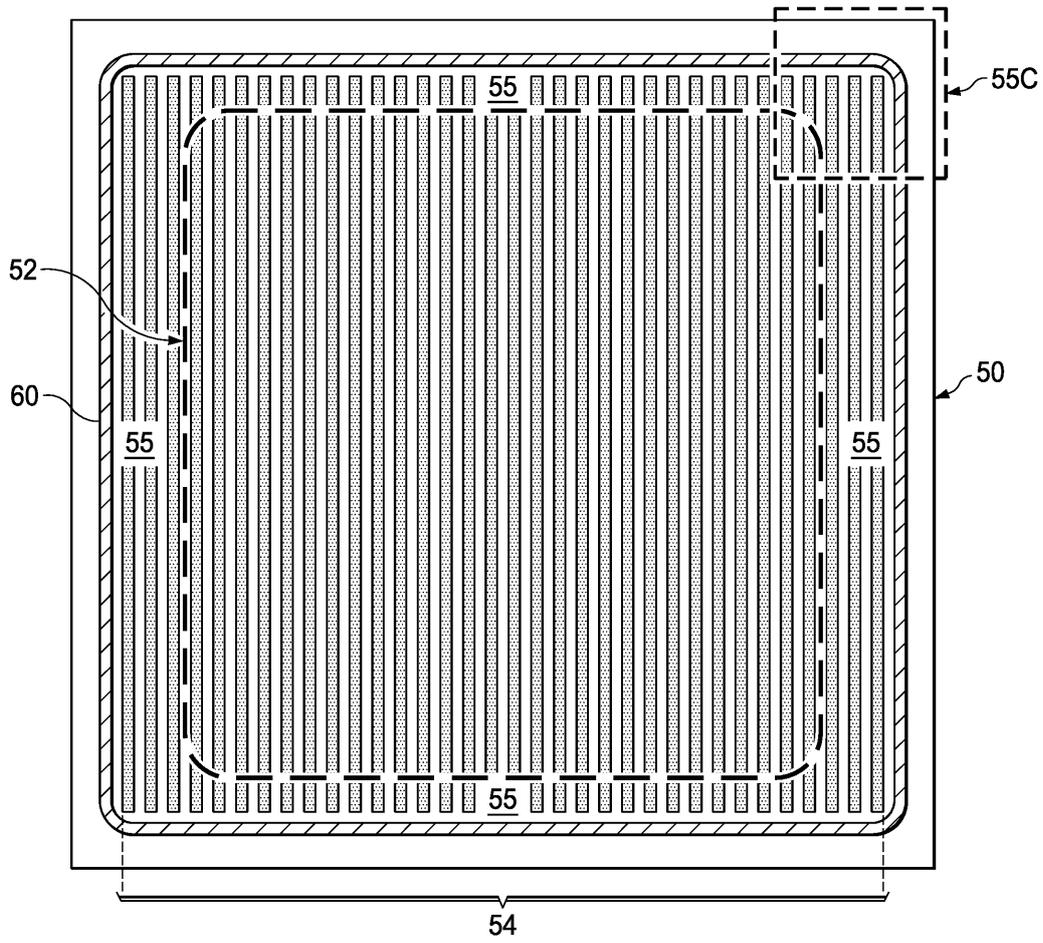
도면4a



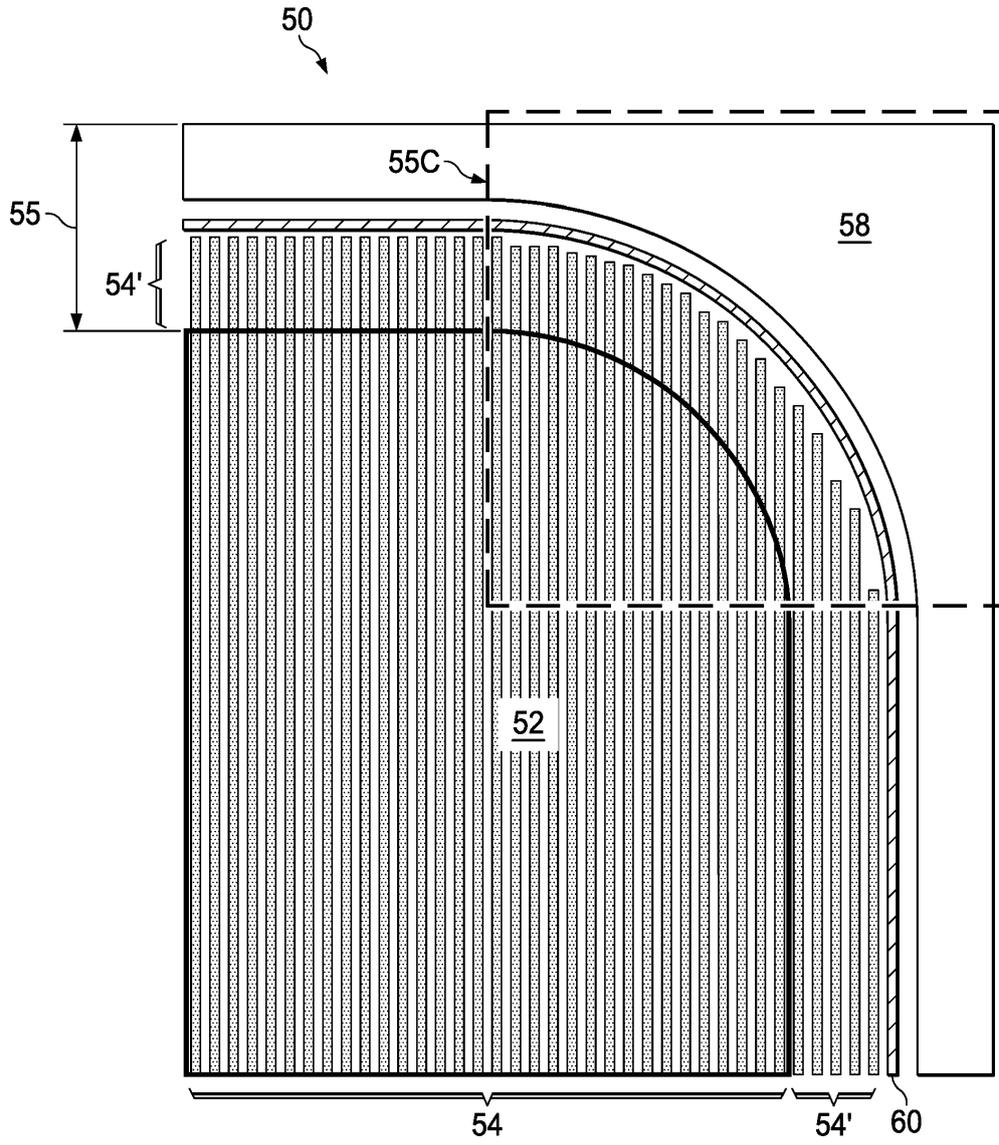
도면4b



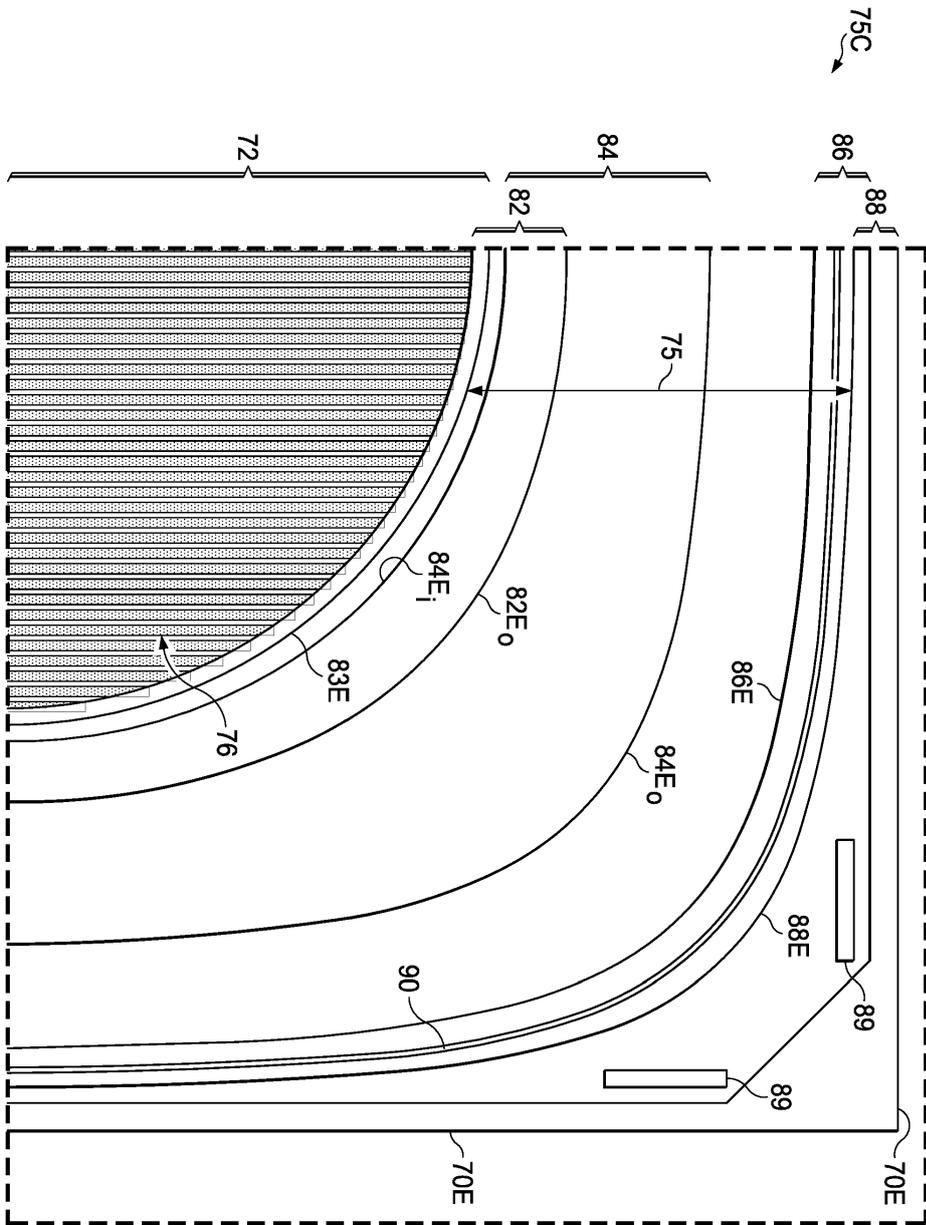
도면5a



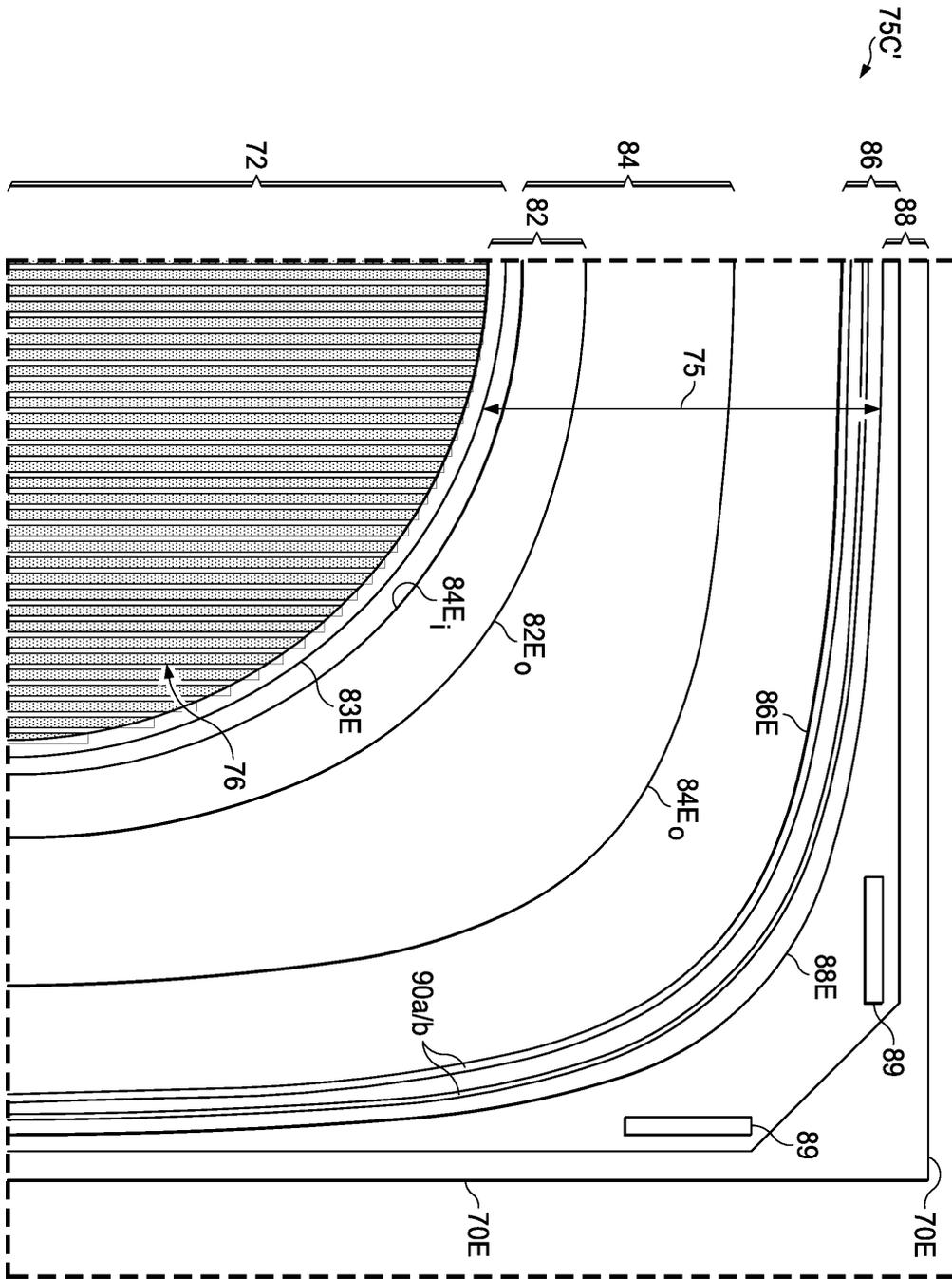
도면5b



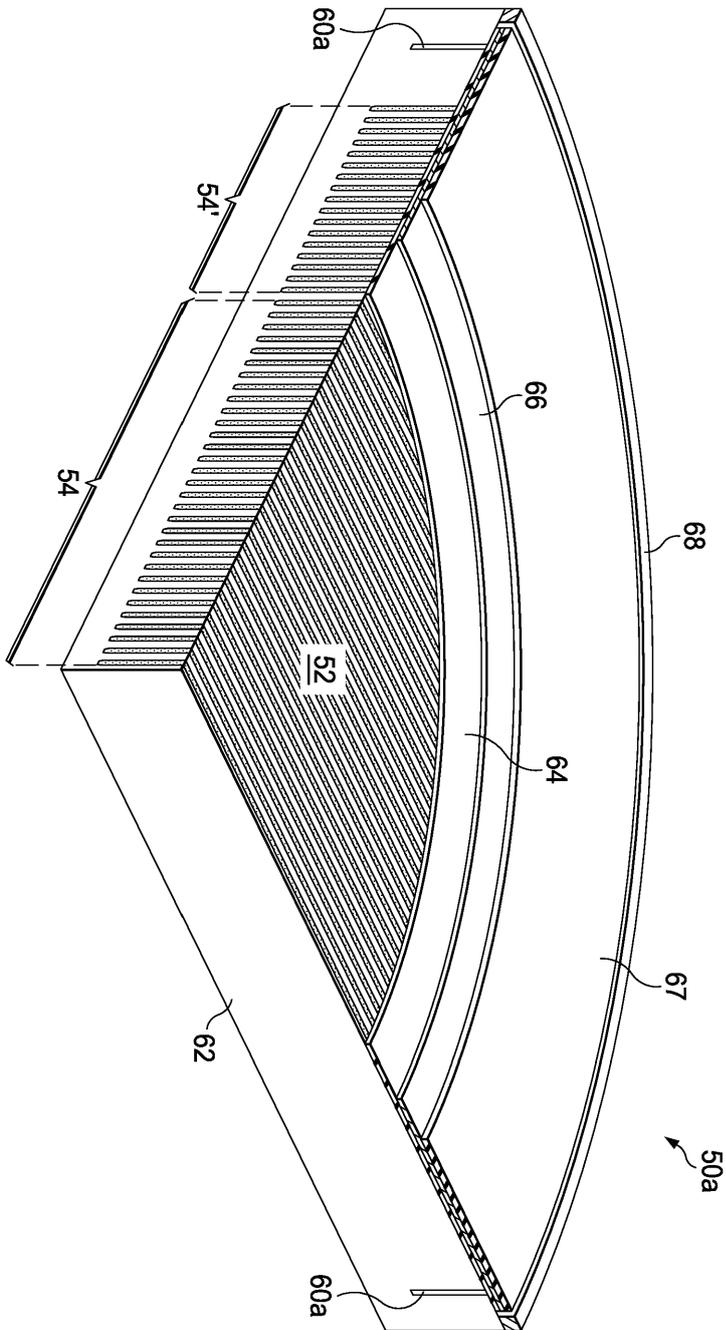
도면5c



도면5d



도면6a



도면6b

