公告本

739983

申請日期	90 年 2 月 27 日
案號	90104575
類別	906F 17/50

A4
C4

515964

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	資料處理系統之開發方法及評價基板
	英文	
二、發明 創作 人	姓名	(1) 竹山寬
	國籍	(1) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所㈱知的所有權本部內
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人 姓名	(1) 庄山悅彥

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

ＰＣＴ　　2001 年　2 月　2 日　PCT/JP01/00754　　☑無主張優先權

(指定日本國)

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1 ）

〔技術領域〕

本發明是有關開發ＳＯＣ(System On Chip)化的資料處理系統之方法，及利用於開發時之系統除錯或程式除錯支援的評價基板，例如有關適用於攜帶型通訊終端機用的ＳＯＣ化的半導體積體電路（ＬＳＩ：Large Scale Integrated circuits）的開發之有效技術。

〔技術背景〕

半導體積體電路隨著高集成化及高機能化，其設計會趨於複雜化，因此若ＬＳＩ的使用者在計畫該應用系統的開發後再來完成適用於該系統的ＬＳＩ的話，則通常需要長時間。就如何縮短開發期間方面而言，可利用ＦＰＧＡ(Filed Programmable Gate Array)來實現所要的邏輯機能，並使用該邏輯機能來進行應開發之目標系統的評價。例如，可在ＦＰＧＡ的多數記憶格中下載邏輯機能定義資料（連接定義資料），而來實現壓縮或通訊協定等所期望的邏輯機能，然後使動作，而根據該動作結果來進行目標系統的評價。藉此，在試做ＬＳＩ時，可在較早的階段發現邏輯機能的錯誤，而予以去除。

就使用上述ＦＰＧＡ的邏輯檢證技術而言，例如有藉由程式化的ＦＰＧＡ與ＣＰＵ核心等來使使用者邏輯構成作爲模擬用處理器的檢證用基板者（日本特開平８－１６４２５號），以及將ＬＳＩ的邏輯未確定部份置換成ＦＰＧＡ晶片，而使能夠與該ＬＳＩ結合來利用於檢

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2）

證者（日本特開２０００－４９２８７號），以及使設計成ＦＰＧＡ等程式元件的電路展開，而使能夠進行模擬者（日本特開平１１－２６５２９９號）。

但，ＳＯＧ的情況與多晶片的系統構成相較下，有可能將使用者邏輯連接於ＣＰＵ的高速匯流排，若將此情況換成多晶片形態的系統，則會形成在處理器的內外配置使用者邏輯，這對於將使用者基板（目標系統）連接於模擬器的習知模擬方式而言，回應如此要求的系統除錯會難以對應。上述日本特開平１１－２６５２９９號等，即是未考慮到這方面。亦即，使用ＦＰＧＡ的習知檢證技術只不過是以通路模擬器爲中心，並在此連接目標系統或使用者邏輯，而來進行除錯之所謂多晶片系統開發者。相對的，就ＳＯＧ之ＬＳＩ的開發而言，將可支援系統全體（含硬體與軟體）的開發，其有效性本發明者亦已明確指出。具體而言，(1)最好是實現一種供以開發ＳＯＧ的ＬＳＩ之統一性的開發方法，(2)最好是進行含軟體的系統全體除錯，而使能夠容易取得匯流排的佔有率，快取記憶體的擊中率，記憶體分配的最適化，軟體算法的評價結果等，(3)爲了提高評價的可靠度，最好是以能夠在接近實機的確認作業的形態下進行系統評價，(4)爲了能夠在系統開發的上游階段檢測出人－機介面(man-machine interface)等之人爲因素的問題點，最好是在同一環境下進行系統開發及系統評價。

本發明之目的是在於提供一種含軟體與硬體的系統全

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3）

體可支援應被ＳＯＣ化的資料處理系統用的系統開發之資料處理系統的開發方法。

本發明之另一目的是在於提供一種可容易在同一環境進行系統開發與評價之資料處理系統的開發方法。

本發明之另一目的是在於提供一種即使將使用者邏輯連接於ＣＰＵ的高速匯流排，還是能夠在接近實際機器的確認作業之形態下進行系統評價之評價基板。

本發明之上述及其他目的與新穎的特徵，可由本說明書以下所述內容及圖面明確得知。

〔發明之揭示〕

（資料處理系統的開發方法）

本發明之資料處理系統的開發方法是包含：

按照下載於多數個記憶格的邏輯構成定義資料，在邏輯機能被決定成可編成程序的第１可變邏輯裝置中實現第１使用者邏輯及評價用處理器機能之第１處理；及

按照下載於多數個記憶格的邏輯構成定義資料，在邏輯機能被決定成可編成程序的第２可變邏輯裝置中實現第２使用者邏輯，而構成目標基板之第２處理；及

將上述第１可變邏輯裝置及第２可變邏輯裝置連接於評價支援系統，而使目標程式執行於上述第１可變邏輯裝置中，且根據執行結果來評價上述目標基板及目標程式之第３處理；及

根據上述評價結果，在上述第１可變邏輯裝置，上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 4）

第２可變邏輯裝置，目標基板或上述目標程式中追加必要的修正之第４處理。

第１，第２可變邏輯裝置用的使用者邏輯並非只限於使用者本身所準備的使用者用的邏輯，亦可以根據半導體積體電路製造商或其他提管道所提供之所謂的ＩＰ(Intellectual Propaty)模組資料的邏輯，而來符合使用者的需求。

藉此，可將資料處理系統所應採用的ＳＯＣ化ＬＳＩ切割成：處理器，及連接於處理器且形成動作速度比較高速的電路模組之第１使用者邏輯，以及連接於處理器且形成動作速度比較低速的電路模組之第２使用者邏輯，將處理器及第１使用者邏輯的機能設定於第１可變邏輯裝置，將上述第２使用者邏輯的機能設定於第２可變邏輯裝置，利用第１可變邏輯裝置所實現的處理器機能來實現目標程式，而使執行結果的評價內容可以反餽於第１及第２可變邏輯裝置或目標程式。因此，對於企圖ＳＯＣ化的資料處理系統而言，可容易著眼於軟體與硬體雙方來支援系統開發。

針對第１及第２可變邏輯裝置的機能設定可以軟體來進行，在實際機器的硬體系統完成前，可進行系統的評價，藉此而能夠在同一環境來進行系統開發與評價。

即使是在實際機器的硬體系統完成前，形成動作速度比較高速的電路模組之第１使用者邏輯還是可以和處理器機能一起藉由相同的可變邏輯裝置來實現該機能，因此即

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 5）

使在將使用者邏輯連接於ＣＰＵ的高速匯流排時，還是能夠在接近實際機器的確認作業的狀態下進行系統評價。

就本發明之資料處理系統的開發方法的具體態樣而言，在上述第３處理中，亦可以安裝有上述第１可變邏輯裝置的評價基板與主系統來作爲上述評價支援系統之用。

上述評價基板具有：連接於所被安裝的上述第１可變邏輯裝置的評價用控制器及記憶體，及連接於上述評價用控制器及記憶體的評價用介面電路，及連接於所被安裝的上述第１可變邏輯裝置的使用者介面電路。

只要在上述使用者介面電路中連接上述目標基板的第２可變邏輯裝置，在上述評價用介面電路中連接上述主系統即可。

此刻，在上述第１處理中是根據邏輯構成定義資料來使：包含ＣＰＵ匯流排及所連接的ＣＰＵ之處理器核心，及連接於上述ＣＰＵ匯流排之第１使用者邏輯，及可連接於上述處理器核心及第１使用者邏輯且被介面於上述評價用控制器之測試介面單元，等形成於第１可變邏輯裝置。

在上述第１處理中，可在上述處理核心中含連接於ＣＰＵ匯流排的匯流排狀態控制器，且經由第１匯流排（系統匯流排）來將上述匯流排狀態控制器連接於上述使用者介面電路。

又，在上述第１處理中，可在上述處理核心中更含連接於ＣＰＵ匯流排的周邊匯流排橋接電路，且經由第２匯流排（周邊匯流排）來將上述周邊匯流排橋接電路連接於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 6）

上述使用者介面電路。

又，在用以取得上述第1可變邏輯裝置的目標程式的執行結果的手段之上述測試介面單元中，可將時脈端子，模式端子，資料輸入端子，及資料輸出端子設定爲外部端子，並根據自上述資料輸入端子所賦予的指令來決定上述資料輸入端子及資料輸出端子的連接端，按照上述模式端子的狀態來取入供應給上述資料輸入端子的資訊，將所取入的資訊送至上述所被決定的連接端，且取入來自上述所被決定的連接端的資訊，而來設定從上述資料輸出端子輸出至外部的機能。藉由此測試介面單元的採用，將可配合所需來選擇處理器核心或第1使用者邏輯的邏輯機能部份等的匯流排或訊號線，而使導通至除錯監視用外部。因此，較能夠自由進行評價或解析時所需的評價用微處理器的動作結果資訊等的收集。該測試介面單元可爲利用JTAG(Joint Test Action Group IEEE標準1149.1)之界限跟蹤機能的電路，依據IEEE1149.1的規格程序來進行訊號輸出入。特別是只要採用依據IEEE1149.1的規格之訊號輸出入機能，便可至少在測試專用外部端子的數量下收集除錯監視資訊。

上述評價用控制器具有：跟蹤控制，斷點控制，使用者程式的執行控制，及主介面控制的各機能，藉此只要實現通路模擬器的機能，而使目標程式執行於上述第1可變邏輯裝置中，且進行供以取得其執行結果的控制即可。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 7）

（評價基板）

本發明之評價基板的特徵爲：

在電路基板上安裝有：評價用控制器，連接於上述評價用控制器的可變邏輯裝置，連接於上述可變邏輯裝置的記憶體，連接於上述可變邏輯裝置的使用者介面電路，及連接於上述評價用控制器的評價用介面電路；

上述可變邏輯裝置爲：按照被下載於多數個記憶格中的邏輯構成定義資料來決定邏輯機能爲可編程序，而來實現評價用微處理器機能及第1使用者邏輯之半導體裝置。

在追求ＳＯＣ化的資料處理系統的開發時，上述評價基板的可變邏輯裝置擔負處理器與連接於該處理器之動作速度較高的電路模組的機能，有關連接於處理器之動作速度較低的第2使用者邏輯方面，是連接於評價基板的使用者介面電路。並且，將所應開發的資料處理系統的硬體性機能設定於可變邏輯裝置中，利用以該可變邏輯裝置所實現的處理器機能來使目標程式執行，而使能夠進行所應開發之系統的除錯。此評價基板是最適於上述資料處理系統的開發方法。

當評價基板的上述可變邏輯裝置非只專用於特定的系統，且在應開發的系統中無法只由上述可變邏輯裝置來滿足必要的邏輯時，可經由使用者介面電路來將外部的第2可變邏輯裝置連接於上述可變邏輯裝置，因此對種種的系統開發而言具有較高的泛用性。

上述可變邏輯裝置可根據邏輯構成定義資料而形成有

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 8）

：包含ＣＰＵ匯流排及所連接的ＣＰＵ之處理器核心，及連接於上述ＣＰＵ匯流排之第１使用者邏輯，及可連接於上述處理器核心及第１使用者邏輯且被介面於上述評價用控制器之測試介面單元者。

當上述處理器核心含有連接於ＣＰＵ匯流排的匯流排狀態控制器時，該匯流排狀態控制器可連接於上述使用者介面電路。又，當上述處理器核心更含有連接於ＣＰＵ匯流排的周邊匯流排時，上述周邊匯流排可連接於上述使用者介面電路。

又，只要在上述使用者介面電路中，例如連接有目標基板，在上述目標基板中配置供以實現第２使用者邏輯之上述第２可變邏輯裝置等即可。

上述測試介面單元可爲ＪＴＡＧ單元之類的電路。上述評價用控制器爲具有：跟蹤控制，斷點控制，使用者程式的執行控制，及主介面控制的各機能者，最好是能夠達成與通路模擬器相同的機能者。又，上述評價用介面電路可爲具有能夠連接於主電腦的主介面電路者。又，上述評價用介面電路可爲具有能夠連接檔案記憶卡的檔案記憶體介面電路者。又，由於一般能以跟蹤控制來儲存的匯流排資訊的記憶容量較小，因此有助於彌補該處的不足。

〔供以實施發明之最佳形態〕

第１圖是由硬體及軟體雙方來表示資料處理系統之說明圖。ＬＳＩ的使用者所欲設計或開發的資料處理系統（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 9）

稱爲使用者系統或目標系統）１的硬體是在預定的配線基板２上安裝有ＬＳＩ３～７。在特定的ＬＳＩ３，４中供以使操作任務執行的程式雖無特別加以限制，但主要是由：作業系統（ＯＳ）１０，及該ＯＳ１０所管理的中介軟體１１，及應用程式１２，以及裝置驅動程式１３等的程式所構成。並且，程式是被保存於ＬＳＩ３，４的記憶領域。

一個ＬＳＩ３會形成ＳＯＣ．ＬＳＩ，與其他ＬＳＩ相較下具有較大規模的邏輯構成，且於使用者系統中亦內藏固有使用者邏輯。在以多晶片構成ＬＳＩ３時，上述使用者邏輯是以閘極陣列或ＡＳＩＣ等手法來實現別的單體ＬＳＩ等。

第２圖是表示上述ＳＯＣ．ＬＳＩ的具體例。ＳＯＣ．ＬＳＩ雖無特別加以限制，但具有作爲半導體積體電路製造商所開發的處理器或微電腦之各種家族中所被共通使用的機能區塊之處理器核心１４。該處理器核心１４雖無特別加以限制，但連接有使用者所選擇的ＳＲＡＭ２２及作爲第１使用者邏輯的高速模組２５，而構成處理器部１５。並且，在此處理器部１５的外面連接有使用者所選擇的非揮發性記憶體與作爲第２邏輯的中速模組２７及低速模組２９。上述ＳＯＣ．ＬＳＩ３是在單結晶矽等半導體晶片中藉由ＣＭＯＳ等半導體積體電路製造技術所形成。

上述高速模組２５，中速模組２７及低速模組２９是

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10

根據所謂ＩＰ模組所提供的設計資料（光罩圖案資料或邏輯記述資料等）來形成。

上述處理器核心１４雖無特別加限制，但具有各共有ＣＰＵ匯流排２０的ＣＰＵ核心２１，靜態隨機存取記憶體（ＳＲＡＭ）２２，周邊匯流排橋接電路（ＰＰＢ）２３，及匯流排狀態控制器（ＢＳＣ）２４，並且更具備使用者除錯電路（ＡＵＤ）３１。高速模組２５及ＳＲＡＭ２２是被直接連結於ＣＰＵ匯流排２０。又，在上述周邊匯流排橋接電路（ＰＰＢ）２３中經由周邊匯流排（第２匯流排）２６而連接有上述中速模組２７。又，在上述匯流排狀態控制器２４中經由系統匯流排（第１匯流排）２８而連接有低速模組２９及非揮發性記憶體３０。匯流排狀態控制器２４是用以控制ＣＰＵ匯流排２０及系統匯流排２８上的訊號振幅，並列訊號位元數，及對應於資訊傳送速度等不同的輸出入動作。同樣的，周邊匯流排橋接電路２３也是用以控制ＣＰＵ匯流排２０及周邊匯流排２６上的訊號振幅，並列訊號位元數，及對應於資訊傳送速度等不同的輸出入動作。

上述ＣＰＵ核心２１雖無特別加以限制，但具備ＣＰＵ３２及ＤＳＰ３３，其動作程式，例如爲非揮發性記憶體３０所保持。又，雖無特別加以圖示，但ＣＰＵ核心２１中亦可內藏有快取記憶體。上述ＳＲＡＭ２２是例如利用於ＤＰＳ３３的資料記憶體等。又，非揮發性記憶體３０，例如可爲電氣性重寫可能的快閃記憶體等，形成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 1）

有調諧資料或控制資料等資料的資料表。又，使用者除錯電路（ＡＵＤ）３１是例如用以提供可利用ＪＴＡＧ介面來從外部任意參照周邊匯流排２６的狀態之板上狀態下進行除錯時的內部參照機能。

高速模組２５可取代ＣＰＵ３２來實現擔負預定的運算處理的加速器之類的高速運算電路等。中速模組２７是供以實現串列介面控制器等的周邊機能。低速模組２９是供以實現鍵輸入介面控制器等的低速周邊機能。並且，在ＳＯＣ．ＬＳＩ３的外部經由系統匯流排２８連接有同步動態隨機存取記憶體（ＳＤＲＡＭ）３４爲代表的其他半導體裝置。而且，ＳＤＲＡＭ３４是以上述ＬＳＩ４～７爲例。

第３圖慨略表示利用ＳＯＧ．ＬＳＩ的資料處理系統的開發方法之說明圖。在ＳＯＧ．ＬＳＩ的設計開發（Ｓ１）中是進行ＳＯＧ．ＬＳＩ的機能設計，邏輯設計，電路設計，及裝置設計，ＬＳＩ試做，最後在予以成品化。同時，以ＳＯＣ．ＬＳＩ３來開發供以執行所要的軟體機能的應用程式或中介軟體等使用者程式（Ｓ１）。

被製造的ＳＯＣ．ＬＳＩ３會例如安裝於數位相機或通訊裝置等系統，執行所被開發的使用者程式，而來實現所要的機能。

在設計開發中，試做ＬＳＩ或評價用ＬＳＩ在被製造前，在作爲可變邏輯裝置的ＦＰＧＡ３６，３７中會實現應搭載於ＳＯＣ．ＬＳＩ３的機能。例如，就第２圖的例

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12

子而言，在上述ＦＰＧＡ３６中會設定對應於上述處理器部１５的機能，在ＦＰＧＡ３７中會設定對應於上述中速度模組２７及低速度模組２９的機能。又，在開發對象的目標系統上，以開發途中的使用者程式來使這些ＦＰＧＡ３６，３７動作，而進行系統除錯及軟體除錯等的檢證／測試（Ｓ３）。並且，除錯結果會被反饋給設計開發處理Ｓ１及程式開發處理Ｓ２。

第４圖是表示ＦＰＧＡ３６，３７的一例。根據該圖，ＦＰＧＡ３６，３７是由：矩陣配置的多數個可變邏輯單元４０，可變連接單元４１，可變外部輸出入電路４２Ａ～４２Ｄ，延伸於行方向的複數個訊號配線４３，延伸於列方向的複數個訊號配線４４，及程式控制電路４５等所構成。

上述可變邏輯單元４０，可變連接單元４１及可變外部輸出入電路４２Ａ～４２Ｄ是分別具有：訊號通路，及選擇訊號通路之訊號線４３，４４等的連接路徑的複數個可變開關元件，及複數個可變邏輯元件，以及資料閂鎖電路。並且，根據可變邏輯元件的邏輯機能及可變開關之可變邏輯元件與訊號通路的連接形態，以及根據上述可變邏輯元件之訊號通路彼此的連接形態是依據被閂鎖於上述資料閂鎖電路中的邏輯構成定義資料（亦稱爲邏輯機能定義資料）來決定。而且，對各資料閂鎖電路之邏輯構成定義資料的供給是由程式控制電路４５來進行控制。

上述資料閂鎖電路是由靜態閂鎖或非揮發性記憶格所

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13

構成，藉由在全體的資料閂鎖電路中初期設定邏輯構成定義資料來決定ＦＰＧＡ３６，３７的硬體邏輯構成，而根據該邏輯構成來進行動作。只要變更邏輯構成定義資料，便能夠使ＦＰＧＡ３６，３７的邏輯機能變化。

第５圖是表示使用者程式的開發環境的概略說明圖。開發環境的使用者是利用各種編輯程序等，而以Ｃ語言乃至彙編語言來作成程式。這通常是分割成複數個的模組來予以作成。Ｃ編譯程序５０會輸入使用者所分別作成的Ｃ語言來源程式，輸出彙編語言程式乃至對象模組。彙編程序５１會輸入彙編語言來源程式，輸出對象模組。連接編輯程序５２會輸入上述Ｃ編譯程序５０或彙編程序５１所產生的複數個對象模組，然後進行各模組的外部參照或相對位址等的解決，結合１個程式來輸出載入模組。載入模組會被供應給具有上述ＦＰＧＡ３６的後述評價基板６０，如通路模擬一般在成爲開發對象的目標系統上使ＦＰＧＡ３６，３７動作，而來供應給系統除錯及軟體除錯等的檢證或測試。並且，上述載入模組亦可例如被輸入至模擬除錯器５３，在個人電腦等系統開發裝置上模擬ＣＰＵ的動作，顯示執行結果，進行程式的解析或評價。

第６圖是表示利用ＳＯＧ・ＬＳＩ的資料處理系統的開發方法之詳細例圖。ＦＰＧＡ開發處理ＧＳ１雖未特別加以限制，但可在ＦＰＧＡ３６中實現第１使用者邏輯及評價用處理器機能，在ＦＰＧＡ３７中實現第２使用者邏輯。若以第２圖的ＳＯＧ／ＬＳＩ３來詳細說明，則所謂

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14

上述第１使用者邏輯爲分配於第２圖所代表性顯示的高速模組２５的資料處理機能。又，所謂評價用處理器機能爲第２圖的處理器核心１４及ＳＲＡＭ２２的機能。總歸，在ＦＰＧＡ３６中是供以具有處理器部１５機能的微處理器實現模擬用微處理器機能。有關此模擬用微處理器機能方面會在往後詳述。

此外，決定ＦＰＧＡ３６，３７的邏輯機能的邏輯機能定義資料是從ＦＰＧＡ記錄器６１來供應給ＦＰＧＡ３６，３７。又，ＳＯＧ／ＬＳＩ３的邏輯設計資料是例如使用所謂ＲＴＬ(Register Transfer Level)或ＨＤＬ(Hardware Description Language)的形式來進行邏輯記述，主電腦６２會將該邏輯設計資料的對應電路部份的記述資料或其記述資料變換成預定的資料格式，然後賦予ＦＰＧＡ記錄器６１。又，ＦＰＧＡ記錄器６１會解讀此類的邏輯記述資料，而於ＦＰＧＡ３６，３７中產生設定邏輯機能時所需要的邏輯機能定義資料。又，主電腦６２具備第５圖所述的開發環境，具有爲了ＳＯＧ／ＬＳＩ３而產生的載入模組。

原型基板開發處理ＧＳ２爲搭載ＳＯＧ／ＬＳＩ３而來構成數位相機等時構成作爲必要的目標基板之原型基板６３的處理，與實機不同點是在於ＳＯＧ／ＬＳＩ３並未被搭載，取而代之，是搭載ＦＰＧＡ３７，且設有供以與ＦＰＧＡ３６連接的連接器６４，其他的使用者邏輯區６５與實機相同即可。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 15

目標程式執行處理ＧＳ３是在安裝ＦＰＧＡ３６的評價基板６０中連接安裝上述ＦＰＧＡ３７的原型基板６３，在評價基板６０中由主電腦６２來下載作爲目標程式的載入模組，使該載入模組執行於ＦＰＧＡ３６中，並將執行結果收集於快閃記憶卡６７。

評價基板６０是在電路基板６８中具有：ＦＰＧＡ３６，及連接於上述ＦＰＧＡ３６的評價用控制器７０及記憶體（ＳＤＲＡＭ）７１，及連接於上述評價用控制器７０的評價用介面電路７３，７４，及連接於上述ＦＰＧＡ３６的使用者介面電路７５。

並且，在上述使用者介面電路７５中結合有上述目標基板６３的連接器６４。在上述評價用介面電路７３中連接有主系統６２，在評價用介面電路７４中安裝有裝卸可能的快閃記憶卡６７。

分析・評價・編輯處理ＧＳ４是根據快收集於閃記憶卡６７中的目標程式執行結果，及目標程式的構成資訊，以及目標程式的開發資訊來解析目標程式，及針對所要的主題解析目標程式，而來取得結果之處理。該分析・評價・編輯處理ＧＳ４只要利用上述主系統６２等來進行即可。根據解析而發現程式中有錯誤，或系統構成中發現有不妥時，會按照其內容來對ＦＰＧＡ３６，ＦＰＧＡ３７，其他的使用者邏輯區６５，或上述目標程式進行必要的修正。

第７圖是表示設定有模擬用微處理器機能的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16

ＦＰＧＡ３６的詳細機能區塊與評價基板６０及原型基板６３之方塊圖。在被設定有模擬用微處理器機能的ＦＰＧＡ３６中，第２圖的處理器部１５的機能，亦即含ＣＰＵ核心２１，ＰＰＢ２３，ＢＳＣ２４及ＡＵＤ３１的處理器核心１４的機能，及ＳＲＡＭ２２的機能，及高速模組２５的機能會被實現，其他還設定有可連接於處理器核心１４及高速模組２５且作爲上述評價用控制器７０的介面之測試介面單元（ＥＦＴ）８０的機能。

此外，連接於上述匯流排狀態控制器２４的系統匯流排２８，以及連接於上述ＰＰＢ２３的周邊匯流排２６是經由使用者介面電路７５來連接於原型基板６３。

在連接有第７圖的評價基板６０與原型基板６３的狀態中，第２圖的ＳＯＣ・ＬＳＩ３的機能，可藉由設定有模擬用微處理器機能之ＦＰＧＡ３６，及設定有中速度模組２７及低速度模組２９的機能之ＦＰＧＡ３７，以及設置於其他使用者邏輯區６５中的非揮發性記憶體３０來代替。

評價用控制器７０具有：通路模擬的機能之跟蹤(trace)控制，斷點(break point)控制，使用者程式的執行控制，及主介面控制的各機能，且連接於ＦＰＧＡ３６，ＳＤＲＡＭ７１，及評價用介面電路７３，７４。評價用控制器７０並未特別加以限制，可連接於被實現於ＦＰＧＡ３６中的ＣＰＵ２０及測試介面單元８０。評價用測試器７０與ＦＰＧＡ３６的ＣＰＵ匯流排的連接是專

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 17）

門供以進行通路模擬的機能之跟蹤控制或斷點控制。評價用測試器７０與測試介面單元８０的連接是專門供以大規模收集藉由ＣＰＵ核心２１之使用者程式的執行而取得的結果。

又，ＳＤＲＡＭ７１可作爲自測試介面單元８０等取得的資訊之緩衝記憶體用，或作爲代替目標系統的記憶體之借出記憶體用。在進行軟體除錯時，可取代目標基板６３的非揮發性記憶體３０來將使用者程式配置於ＳＤＲＡＭ７１。

第８圖是表示上述測試介面單元８０之一例。該測試介面單元８０與ＵＤ３１相同，例如具備ＪＴＡＧ(Joint Test Action Group IEEE標準 1149.1)的訊號輸出入機能。

又，測試介面單元８０具備：測試時脈端子ＴＣＫ，測試模式選擇端子ＴＭＳ，測試復位端子／ＴＲＳＴ，測試資料輸入端子ＴＤＩ，及測試資料輸出端子ＴＤＯ等，是作爲在與ＦＰＧＡ３６的外部非同步下供以串列進行資訊的輸出入之外部介面端子。又，雖未特別加以限制，但爲了利用這５個端子來進行介面控制，而具有位移暫存器ＳＤＳＦＴ，指令暫存器ＳＤＩＲ，狀態暫存器ＳＤＳＲ，複數個的資料暫存器ＳＤＤＲ０～ＳＤＤＲｎ，指令解碼器８１，ＴＡＰ控制器８２，選擇器８３。

上述位移暫存器ＳＤＳＦＴ是與從ＴＡＰ控制器８２所輸出的控制訊號８４（特別是其中所含的位移時脈）同步，而來串列輸入測試資料輸入端子ＴＤＩ中所被輸入的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 18

串列資料。並且，被串列輸入的資料會被並列輸入至指令暫存器ＳＤＩＲ或資料暫存器ＳＤＤＲ０～ＳＤＤＲｎ中所被選擇的暫存器中。而且，上述暫存器ＳＤＩＲ，ＳＤＳＲ，ＳＤＤＲ０～ＳＤＤＲｎ會被連接於選擇器８３的一方，在選擇器８３的另一方連接於在上述ＣＰＵ匯流排２０，周邊匯流排２６，系統匯流排２８，ＣＰＵ核心２１的內部本來關閉的訊號線８５，以及在高速模組２５的內部本來關閉的訊號線８６。又，根據ＴＡＰ控制器８２所輸出的控制訊號８４來決定到底是將位移暫存器ＳＤＳＦＴ連接於暫存器ＳＤＩＲ，ＳＤＤＲ０～ＳＤＤＲｎ內的哪個暫存器，或經由選擇器８３來將暫存器ＳＤＩＲ，ＳＤＤＲ０～ＳＤＤＲｎ內的哪個暫存器連接於哪條訊號線８５，８６或匯流排２０，２６，２８。

又，供應給指令暫存器ＳＤＩＲ的指令會以並列方式供應給指令解碼器８１。指令解碼器８１會針對所被供給的指令加以解讀，而來產生供以控制應使輸出入之暫存器ＳＤＳＲ，ＳＤＤＲ０～ＳＤＤＲｎ的選擇或選擇器８３的選擇之輸出入模式資料，然後再賦予ＴＡＰ控制器８２。

又，ＴＡＰ控制器８２會針對上述輸出入模式資料所指定之暫存器ＳＤＳＲ，ＳＤＤＲ０～ＳＤＤＲｎ及選擇器８３的選擇態樣進行控制，根據端子ＴＭＳ的邏輯值，以及同步於來自上述端子ＴＣＫ的同步時脈來產生該態樣下的輸出入動作時間。控制訊號８４爲規定其選擇態樣或

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 19

輸出入動作時間等的控制訊號總稱。ＴＡＰ控制器８２是在狀態遷移控制下進行上述時間控制，根據測試模式選擇端子ＴＭＳ的邏輯值對目前的邏輯值而言是變化成“１“或“０“的情況來依照預定的狀態遷移模式使內部控制狀態依次遷移。換言之，從目前狀態前進至下次狀態的方向是根據賦予測試模式選擇端子ＴＭＳ的訊號的邏輯值來決定。按照依次遷移的各個控制狀態來使複數位元的控制訊號８４的狀態變化。

例如想要收集訊號線８５的狀態時，分配於該動作的指令會被輸入暫存器ＳＤＩＲ。並且，在ＴＡＰ控制器８２的狀態遷移控制的最初輸入等待狀態中，會將來自端子ＴＤＩ的輸入，由位移暫存器ＳＤＳＦＴ傳達至指令暫存器ＳＤＩＲ。指令解碼器８１會針對所被輸入的指令加以解讀，而根據解讀結果來進行狀態遷移控制。例如由ＣＰＵ來將訊號線８５的狀態依次循環儲存於暫存器ＳＤＤＲ０～ＳＤＤＲｎ，且依暫存器ＳＤＤＲ０～ＳＤＤＲｎ的順序，循環重複進行使儲存的資訊經由位移暫存器ＳＤＳＲ來從端子輸出至外部的動作。

又，在不賦予特定狀態給訊號線８５時，分配於該動作的指令碼會從端子ＴＤＩ輸入至指令暫存器ＳＤＩＲ。指令解碼器８１會針對所被輸入的指令加以解讀，而根據解讀結果來進行狀態遷移控制。例如將來自端子ＴＤＩ的串列輸入資料設定於暫存器ＳＤＤＲ０～ＳＤＤＲｎ中預定的暫存器，且使被設定的資訊同步於端子ＴＭＳ的預定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 20）

狀態變化，而從選擇器８３輸出至訊號線８５。

雖省略其詳細說明，但實際上有關其他的訊號線８６及匯流排２０，２６，２８方面，來自端子ＴＤＯ的訊號輸出及來自端子ＴＤＩ的訊號輸入亦可根據指令來進行。

根據該測試介面單元８０的訊號輸出入機能，在ＦＰＧＡ３６所構成的模擬用微處理器機能之模擬介面機能或測試用監視機能會被實現。因此，可經由評價用控制器７０來依次儲存藉由ＣＰＵ核心２１執行使用者程式而產生的各種執行結果資訊，或由評價用控制器７０來直接賦予除錯用的控制資訊給ＣＰＵ核心２１的內部電路，然後令使用者程式執行。

第９圖是表示ＡＵＤ３１之一例。ＡＵＤ３１和ＥＩＦ８０同樣的也是具備ＪＴＡＧ的訊號輸出入機能，但資料暫存器會被限定於ＳＤＤＲＨ，ＳＤＤＲＬ兩個，可連接於暫存器ＳＤＩＲ，ＳＤＳＲ，ＳＤＤＲＨ，ＳＤＤＲＬ的訊號線亦被限定於周邊匯流排２６，因應於此，ＴＡＰ控制器８２Ａ及解碼器８１Ａ的機能亦被縮小。

第１０圖是表示針對使目標系統動作而取得之動作結果的資料進行分析・評價的處理之除錯資訊的流程。在第７圖的ＣＰＵ核心２１中令使用者程式執行，而使評價基板６０與原型系統基板６３一起動作時，該動作結果資訊會經由測試介面單元８０來從匯流排２０，２６，２８及訊號線８５，８６輸入至評價控制器７０，且所被輸入的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 21）

動作結果資訊會從評價用介面電路７４儲存於快閃記憶卡６７。此刻，評價控制器７０是以ＳＤＲＡＭ７１來作爲資料緩衝器用。並且，被收集於快閃記憶卡６７的目標程式的執行結果資訊９０會被讀入主電腦６２。主電腦６２是在輔助記憶裝置（未圖示）等中取得目標程式的開發資訊９１及目標系統的構成資訊９２，根據這些目標程式的執行結果資訊９０，目標程式的開發資訊９１及目標系統的構成資訊９２來針對上述目標系統及目標程式的所要主題進行解析。

第１１圖是表示在分析・評價處理所使用的資訊例。上述目標程式的執行結果資訊９０並非只限定於匯流排資訊的跟蹤，分歧跟蹤或記憶體存取跟蹤，甚至ＣＰＵ狀態或ＣＰＵ核心２１內部的訊號亦爲收集對象。例如，上述目標程式的執行結果資訊９０包含：ＣＰＵ核心２１的動作基準時脈等的時脈訊號狀態，匯流排資訊（匯流排２０，２６，２８的位址，資料），匯流排狀態資訊（讀出，寫入選通脈衝，ＤＭＡ週期等），匯流排控制訊號（等待訊號，匯流排要求訊號，匯流排忙線訊號），ＣＰＵ狀態資訊（指令取出，上位／下位配置指令執行訊號，中斷訊號，及其他硬體例外處理訊號等），斷路狀態（硬體斷路的產生訊號，斷路承認訊號，斷路觸發訊號）等。

在目標程式的開發資訊９１中只要利用上述目標程式的開發環境所取得的符號表，模組表，物件資訊，行資訊等的資訊即可。亦即，在進行程式開發的主電腦６２上存

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 22）

在有關目標程式的各種模組的來源程式的來源檔案，被編譯或彙編的物件模組檔案，連接編輯程序的輸出檔案。並且，由這些資訊所任意選出的必要資訊會作爲目標程式的開發資訊９１用。例如，作爲目標相關的資訊包含：標題，次標題，單元控制資訊，區段，符號表，區段要素標題，物件碼，重新配位資訊等。又，作爲除錯相關的資訊含有：除錯單元，程式構造，符號，函數型態，程序參數，函數參數等的資訊。可根據這些資訊來參照必要的物件資訊或除錯用資訊。

又，就作爲目標系統的構成資訊９２而言，只要是使用ＦＰＧＡ３６，３７的機能設定時所利用的硬體記述資訊等即可。

根據上述目標程式的執行結果資訊９０，目標程式的開發資訊９１，及目標系統的構成資訊９２來作成系統評價資訊９３。例如形成：能夠時序列掌握處理的跟蹤樹狀表，及供以使用指令位址等來特定產生分歧的處理之分歧跟蹤表，及表示系統的狀態之資訊表，以及賦予指令執行相關的物件模組或除錯資訊關聯性之參照輸出檔案資訊等。

又，利用上述系統評價資訊９３來進行以下的解析（全體系統分析處理）。解析內容的其中之一爲全體評價，含執行程式模組系列（執行後之模組的樹枝狀），快取擊中率的解析，呼叫(call)元的解析，分歧指令的產生元的解析（分歧指令的來源跟蹤解析），各種匯流排循環解析（

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 23

外部存取執行時間，更新週期，ＣＰＵ的位址時間解析），副程序執行時之其他副程序的套用狀態的解析，同一分析的執行時間解析，指定模組的動作時間圖表等。又，作爲指令執行時間系的評價有：每一處理程序的處理能力，同一分析的抽出，由指令計算後之執行時間的解析，在來源記述上函數被呼叫之狀態的解析，副程序的套用與堆疊指示器的最大使用量的解析，ＤＭＡ或ＣＰＵ之匯流排循環的分布解析，指定程式模組的執行時時間圖表，使用指令語的分布解析，呼叫元程式模組的分布解析等。又，作爲記憶體存取系的評價有：記憶體存取的時間圖表，記憶體存取時間的計測，存取對象記憶體的種別與分布的解析等。

在此，針對利用上述資訊的解析手法的具體例加以說明。在表示執行程式模組系列（解析結果）時，只要從目標程式的開發資訊９１中所含的物件資訊來檢索目標程式的執行結果資訊９０中所含的指令存取位址，而來特定執行後的程式模組即可。又，分歧指令位址跟蹤，只要參照目標程式的執行結果資訊９０中所含的分歧指令存取即可。又，同一分析的執行時間，只要從目標程式的執行結果資訊９０中所含的執行指令碼與目標程式的開發資訊９１中所含的物件資訊之對應情況來檢測出所被執行的同一分析，而針對該分析來考量依目標系統的構成資訊９２所取得的指令執行週期數，進而計算該執行時間即可。又，執行指令語的分布，可由目標程式的執行結果資訊９０中所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 24

含的指令碼分布來取得。又，記憶體存取的累計時間，可由表示目標程式的執行結果資訊９０中所含的記憶體存取週期的狀態的產生及根據目標系統的構成資訊９２而取得的記憶體存取週期時間來進行運算。又，快取擊中率，可由表示目標程式的執行結果資訊９０中所含的記憶體存取週期的狀態來解析ＣＰＵ之全體的記憶體存取次數，同時在進行記憶體存取時，解析對ＣＰＵ核心２１的外部記憶體所進行的存取動作次數，且參照目標系統的構成資訊９２來解析記憶體存取位址是否爲快取對象區域，而根據以上解析來進行評價。在此，快取記憶體並未特別加以限制，但可理解爲含於ＣＰＵ２１者。又，指令執行的處理能力，可藉由解析程序執行時所需要的時脈週期數來取得。此刻，若ＣＰＵ核心爲進行管線(piple line)處理，則必須考量到有可能會發生管線失速。

解析結果（評價結果）可顯示於主電腦６２的顯示器。並且，可以圖表來顯示跟蹤樹枝狀或各種解析結果。

由於可藉主電腦６２來進行利用上述系統評價資訊的解析，因此能在不仰賴系統開發者的技術能力下進行系統分析。

第１２圖是表示經由網路來請託上述全體系統分析處理時的資訊的流程。在第１２圖中，爲了方便起見，而將要求上述全體系統分析處理的電腦裝置稱爲終端裝置１００，以及將請託上述全體系統分析處理的電腦裝置稱爲主裝置１０１。並且，終端裝置１００與主裝置１０１

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 2

可經由網際網路等的網路１０２來連接。

終端裝置１００爲目標系統的開發者所管理的裝置，例如經由上述快閃記憶卡６７來輸入上述目標程式的執行結果資訊９０，且具有上述目標程式的開發資訊９１及目標系統的構成資訊９２。終端裝置１００雖爲第１０圖的主電腦６２之類的裝置，但在此裝置１００中並不進行或不能進行上述全體系統分析處理。在此，將對主裝置１０１要求接受更專門的系統諮詢。亦即，終端裝置１００會經由網路１０２來對主裝置１０１發行系統分析要求，和使用者ＩＤ一起將目標系統的構成資訊９２（作爲目標系統資訊），以及目標程式的執行結果資訊９０與目標程式的開發資訊９１（作爲目標系統除錯動作資訊）賦予主裝置１０１。主裝置１０１會接受上述資訊９０，９１，９２，並根據此來針對所要的主題解析目標系統及目標程式。解析內容，例如可爲第１１圖所述之內容。解析結果會作爲系統分析資訊來與使用者辨識ＩＤ一起從主裝置１０１返回終端裝置１００。此刻，爲了使利用於解析的使用者系統資訊更爲明確，亦可附加其使用者系統資訊或其版本資訊。

若利用經由上述網路１０２的系統諮詢業務，則對於必須要專門性系統諮詢的使用者而言，可經由網路１０２來接受目標程式執行結果資訊９０，目標程式開發資訊９１及目標系統構成資訊９２，而來進行專門性系統分析的諮詢。例如，若進行該諮詢業務的主題爲提供開發上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 26）

ＣＰＵ核心２１或其設計資料的ＩＰ模組資料之半導體積體電路的製造商，則諮詢的委託者爲所欲利用上述半導體積體電路的製造商所製造的半導體積體電路之使用者。

第１３圖是表示利用ＩＰ模組資料來開發ＳＯＧ・ＬＳＩ的處理的具體例之全體說明圖。

在第１３圖中，攜帶型數位相機通訊終端機爲使用者系統（目標系統）。該此使用者系統是以ＣＰＵ２１爲中心，爲利用搭載ＣＣＤ(Charge Coupled Device)訊號處理機能，ＪＰＥＧ(Joint Photograpic Experts Group)，小型快閃記憶體介面（ＣＦＩ／Ｆ），ＧＳＭ通訊模組等之攜帶型數位相機通訊終端機用ＳＯＣ・ＬＳＩ（亦可簡稱爲相機通訊終端機用ＳＯＣ・ＬＳＩ）者。在此類的系統開發中必須與開發相機通訊終端機用ＳＯＣ・ＬＳＩ一起開發執行用的程式，以及進行系統除錯。

在相機通訊終端機用ＳＯＣ・ＬＳＩ的開發中，例如在處理器部１５的開發中會利用處理器核心模組資料１１１，作爲高速模組的ＣＣＤ訊號處理模組資料１１２。同時還準備有應搭載對應於該處理器部１５的評價用處理器機能的ＥＩＦ模組資料１１３。這些模組資料會被記錄於ＣＤ－ＲＯＭ(Compact Disk-Read Only Memory)，ＤＶＤ(Digital Video Disk-Random Access Memory)或磁帶等之電腦可讀取的記錄媒體１１０，然後提供給主電腦６２ａ。又，主電腦６２ａ會根據這些模組資料１１１，１１２，１１３來作成ＦＰＧＡ３６中供以設定處理器核

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 27

心，ＣＣＤ訊號處理模組２５，ＥＩＦ８０的機能之資料。又，根據該邏輯機能設定資料而定義的電路會經由ＦＰＧＡ記錄器６１ａ來設定於ＦＰＧＡ３６，在ＦＰＧＡ３６中模擬用微處理器機能會比較簡單地被實現。此刻，ＦＰＧＡ３６對評價基板６０的基板６８的端子配置，若制定一定的規則，則只要在電路基板６８安裝被機能設定的ＦＰＧＡ３６，便可完成評價基板６０。因此，不必拘泥於ＦＰＧＡ３６中所被設定的處理器機能或使用者邏輯，可以評價基板６０來作爲相機通訊用終端機用ＳＯＣ・ＬＳＩ的開發平台，可謀求其開發環境的統一。藉此來完成攜帶型數位相機通訊終端機系統開發用途的評價基板６０。

假設應搭載於上述照相通訊終端機用ＳＯＣ・ＬＳＩ的ＪＰＥＧ，ＣＦ／Ｆ，ＧＭＳ通訊模組，然後在系統的開發階段中準備供以實現這些模組之ＦＰＧＡ３７的搭載插槽，且開發出攜帶型數位相機通訊終端機的系統中所利用的使用者邏輯區６５，而構成搭載這些元件的原型基板６３。在使用者邏輯區６５中只要連接ＣＣＤ或其他介面群即可。又，連接有原型基板６３的安裝裝置之訊號線或匯流排可經由連接器６４來連接於從上述評價基板６０的ＦＰＧＡ３６所導出的匯流排２６，２８。

對應搭載於照相通訊終端機用ＳＯＣ・ＬＳＩ的ＪＰＥＧ，ＣＦ／Ｆ，ＧＭＳ通訊模組進行機能設計，並根據其設計資料，藉主電腦６２ｂ來作成ＦＰＧＡ３７中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 28）

供以設定ＪＰＥＧ，ＣＦ／Ｆ，ＧＭＳ通訊模組的機能之資料。又，利用所被作成的機能設定資料來藉ＦＰＧＡ記錄器６１在ＦＰＧＡ３７中設定ＪＰＥＧ，ＣＦ／Ｆ，ＧＭＳ通訊模組的機能。被設定機能的ＦＰＧＡ３７會被安裝於原型基板６３。然後針對所被安裝的ＦＰＧＡ３７進行單體除錯。在單體除錯中只要使用評價用控制器７０的通路模擬機能即可。如此一來，在照相通訊終端機用ＳＯＣ・ＬＳＩ下動作的硬體環境便可完成。

在主電腦６２ｂ中是利用相機控制，使用者介面，通訊控制等之程式模組來進行使用者程式的開發。在開發中，主電腦６２ｂ上的編譯程序，彙編程序，及連接編輯程序等會被利用。對於使用者程式而言，可藉評價用控制器７０的通路模擬機能來進行程式除錯。程式除錯可配合硬體對目標程式的解放狀況來以積木式(building block)除錯方式進行。亦即，一邊依次追加有關硬體構成明確部份的程式，一邊進行除錯。

在軟體除錯或原型基板６３的個別性除錯一次完成後，實施令使用者系統全體連動的系統除錯。由於上述評價基板６０及原型基板６３是在於實現全體目標系統的執行環境，因此有關製品出廠時因人－機介面(man-machine interface)或各零件的結合所造成之人爲因素的問題點等的對策，可藉由進行檢證來提高系統的完成度。

由於可根據收集於記憶卡６７的目標程式的執行結果資訊等在主電腦６２ｃ上進行上述全體系統分析處理，因

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 29）

此開發者可利用該全體系統分析處理結果來對目標系統取得高可靠性的全體性評價或解析結果，亦即不必假借人手來進行分析・評價・編輯作業。就此解析而言，由於可取得與在實機進行照相通訊終端機用ＳＯＣ・ＬＳＩ的確認作業時等價的結果，因此可迅速且適切地使從該解析結果所掌握的問題點提供給照相通訊終端機用ＳＯＣ・ＬＳＩ的開發。亦即，當開發者根據其處理結果而發現目標系統中有不良的部份時，以能夠修正的方式來變更ＦＰＧＡ３７，３７的邏輯機能，而使能夠在變更後的邏輯機能下持續進行系統除錯。

若照相通訊終端機用ＳＯＣ・ＬＳＩ完成時，可使用原型基板６３來作爲綜合確認系統，則只要將連照相通訊終端機用ＳＯＣ・ＬＳＩ也能夠搭載的插槽配置於原型基板６３，便可容易在目標系統完成前進行照相通訊終端機用ＳＯＣ・ＬＳＩ的機能確認或最終確認。

若根據以上的說明，則可取得以下的作用效果。

〔１〕若利用以上說明的資料處理系統的開發方法，則可將資料處理系統中所應採用的ＳＯＣ・ＬＳＩ３分割成：處理器１４及連接於該處理器１４，且形成動作速度較爲高速的電路模組之高速模組２５（第１使用者邏輯）的部份，及連接於上述處理器１４，且形成動作速度較爲低速的電路模組之中速模組２７及低速模組２９（第２使用者邏輯）的部份，並將各部份的機能分別設定於ＦＰＧＡ３６（第１可變邏輯裝置）與ＦＰＧＡ３７（第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 30）

２可變邏輯裝置），利用在ＦＰＧＡ３６所被實現的處理器機能來執行目標程式，而使執行結果的評價內容能夠反饋於ＦＰＧＡ３６，３７或目標程式。因此，對於企圖ＳＯＣ化的資料處理系統而言，可容易著眼於軟體與硬體雙方來支援系統開發。

對ＦＰＧＡ３６，３７的機能設定，可藉軟體來進行，可在原型的硬體系統完成前進行系統的評價，藉此可在同一環境下進行系統開發與評價。

由於在原型的硬體系統完成前，形成動作速度較爲高速的電路模組之高速模組２５可與處理器機能一起藉由ＦＰＧＡ３６來實現，因此即使將使用者邏輯連接於ＣＰＵ的高速匯流排２０時，還是能夠在接近實機的確認作業的形態下進行系統評價。

本發明並非是採用以軟體模擬器來進行ＳＯＣ・ＬＳＩ的開發，然後於最終再進行實機的除錯處理之習知的開發手法，而是可以搭載ＦＰＧＡ３６，３７（被設定有應開發的所要邏輯機能）的評價基板６０及原型基板６３來執行使用者程式，根據藉此而收集的各種資訊來針對系統全體（非僅限於軟體或硬體）的性能進行除錯處理，而使能夠大幅度地縮短資料處理系統的開發時間。

〔２〕若利用上述評價基板６０，則由於在ＳＯＣ・ＬＳＩ３的開發中，上述評價基板６０的ＦＰＡＧ３６肩負處理器與連接於該處理器且動作速度較高速的電路模組的機能，而有關連接於處理器且動作速度較慢完成的第２

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 3）

使用者邏輯是連接於評價基板的使用者介面電路７０，因此可將應開發的資料處理系統的硬體性機能設定於ＦＰＧＡ３６，利用在此ＦＰＧＡ３６所被實現的處理器機能來使目標程式執行，而來進行應開發之資料處理系統的除錯。因此，評價基板６０非常合適於上述資料處理系統的開發方法。

又，當評價基板６０的ＦＰＧＡ３６非僅專用於特定的系統，且於應開發的系統中無法僅以上述ＦＰＧＡ３６來供給必要的邏輯時，由於可經由使用者介面電路７５來將外部的ＦＰＧＡ３７連接於上述ＦＰＧＡ３６，因此可對各種的系統開發具有高度的泛用性。

〔３〕爲了收集目標程式的執行結果資訊９０，在ＦＰＧＡ３６中設定ＪＴＡＧ單元之類的測試介面單元８０的邏輯構成，藉此可依所需來選擇處理器核心１４或高速模組２５的邏輯機能部份等之匯流排或訊號線，而使導通於評價用控制器７０。因此，可較爲自由地進行評價或解析時所必要的動作結果資訊收集。特別是，若採用ＪＴＡＧ基準的訊號輸出入機能，則可以較少的測試專用外部端子數來進行目標程式動作結果資訊的收集。

〔４〕若利用上述全體系統分析處理，則由於可根據目標程式的執行結果資訊９０，目標系統的構成資訊９２及目標程式的開發資訊９１來自動進行執行程式模組系列的顯示，快取擊中率，分歧指令位址跟蹤，同一算法的執行時間，指令執行的處理能力，實效指令語的分布，記憶

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 32）

體存取的累計時間等之系統全體評價，指令執行時間系評價，及記憶體存取系評價等的解析，因此可在不須仰賴系統開發者的技術能力下來進行具有高度可靠性之系統評價或分析。亦即，因爲是根據目標程式的執行結果資訊９０，目標系統的構成資訊９２及目標程式的開發資訊９１，所以可進行包含軟體及硬體的系統全體之系統評價或解析。並且，在此解析中，其解析結果至少可取得執行程式模組系列，分歧指令位址跟蹤，指令執行的處理能力，及執行指令語的分布等，該解析結果會顯示有關目標程式是以何種的構造來如何使用硬體。藉此，可在不須仰賴系統開發者的技術能力下來進行具有高度可靠性之系統評價或分析。

若利用經由上述網路１０２的系統諮詢業務，則對於必須要專門性系統諮詢的使用者而言，可經由網路１０２來接受目標程式執行結果資訊９０，目標程式開發資訊９１及目標系統構成資訊９２，而來進行專門性系統分析的諮詢。例如，想要利用上述半導體積體電路的製造商所製造的半導體積體電路之使用者本身無法進行專門性的系統分析時，只要開發上述ＣＰＵ核心２１或提供其設計資料的ＩＰ模組資料之半導體積體電路的製造商爲形成上述諮詢的服務主體，半導體積體電路的製造商便可更爲容易對該使用者提供便利性。

如此一來，即使針對ＳＯＣ・ＬＳＩ等，還是能夠藉由賦予有關開發系統的專門性系統分析（提供服務）來寄

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 33）

與該系統開發的容易性及系統開發期間的縮短。

〔５〕若利用上述ＦＰＧＡ３６之類的可變邏輯裝置所構成的評價用微處理器，則由於具有：將高速模組２５之類的第１使用者邏輯的機能電路部份連接於處理器核心１４的機能電路部份所結合的ＣＰＵ匯流排２０，作爲予以連接於外部的評價用控制器等的評價用介面之測試介面單元８０的機能，及可將ＣＰＵ匯流排２０連接於目標系統之使用者介面２３，２４的機能，因此可在考量將使用者邏輯連接於ＣＰＵ的高速匯流排（ＣＰＵ匯流排）２０之所謂ＳＯＣ・ＬＳＩ的固有情事後，以接近實際ＬＳＩ或接近實機的確認作業的形態下進行系統評價或除錯。

供以將如此的評價用微處理器的機能設定於ＦＰＡＧ３６之類的可變邏輯裝置的機能記述資料會被記錄於ＳＤ－ＲＯＭ或ＤＶＤ－ＲＡＭ等的記錄媒體，而來提供給半導體積體電路的使用者，藉此可在ＦＰＧＡ３６中容易實現上述評價用微處理器的機能，使資料處理系統的評價及資料處理系統的開發容易化，且可寄與系統開發期間的縮短。

以上是根據實施例來具體說明本發明，但本發明並非只限於此，亦可適宜地進行變更。

例如，ＳＯＧ・ＬＳＩ完成後，可將該ＳＯＧ・ＬＳＩ搭載於評價基板，而來進行最後確認。此情況，可利用載裝插座之類的針腳變換連接器來吸收ＳＯＧ・ＬＳＩ的針腳（外部端子）配置與ＦＰＧＡ的針腳配置的

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 34）

不同。又，評價基板與原型基板亦可不分割而一體化構成於單一電路基板上。藉此，將可排除評價基板與原型基板的連接不良等外部不良因素。此刻，只要能切離原型部份，便可馬上使切離後的部份流用於示範系統。

又，可變邏輯裝置並非只限於所謂ＦＰＧＡ的裝置，亦可使用所謂ＣＰＬＤ(Complex Programmable Logic Device)的裝置，廣義而言亦可利用屬於所謂ＰＬＤ(Programmable Logic Device)的領域之裝置。

又，記錄媒體並非只限於ＣＤ－ＲＯＭ，ＤＶＤ－ＲＡＭ，亦可爲ＦＤ(Floppy Disk)，ＣＤ－Ｒ(Compact Disk-Recordable)，ＣＲ－ＲＷ(Compact Disk-Rewritable)，ＤＶＤ－ＲＯＭ(Digital Video Disk-Read Only Memory)等電腦可讀取的其他記錄媒體。

〔產業上之利用可能性〕

本發明可廣泛適用於統合ＣＰＵ及其他機能區塊以及中介軟體等之ＳＯＣ形態的微處理器應用系統，例如行動電話或攜帶型資訊終端機等的開發。

〔圖面之簡單說明〕

第１圖是由硬體及軟體雙方來表示資料處理系統之說明圖。

第２圖是表示ＳＯＣ・ＬＳＩ的具體例之方塊圖。

第３圖慨略表示利用ＳＯＣ・ＬＳＩ的資料處理系統

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 35）

的開發方法之說明圖。

第４圖是表示ＦＰＧＡ之一例的方塊圖。

第５圖是表示使用者程式的開發環境的概略說明圖。

第６圖是更詳細表示利用ＳＯＣ・ＬＳＩ的資料處理系統的開發方法之說明圖。

第７圖是表示設定有模擬用微處理器機能的ＦＰＧＡ的詳細機能區塊與評價基板及原型基板之方塊圖。

第８圖是表示測試介面單元之一例的方塊圖。

第９圖是表示ＡＵＤ之一例的方塊圖。

第１０圖是表示分析・評價處理的除錯資訊的流程之說明圖。

第１１圖是表示在分析・評價處理所使用的資訊之說明圖。

第１２圖是經由網路來請託分析・評價處理時的資訊的流程之系統圖。

第１３圖是表示利用記錄於記錄媒體的模組資料來開發ＳＯＣ・ＬＳＩ的處理的具體例之全體說明圖。

〔符號之說明〕

１：資料處理系統

２：配線基板

３～７：ＬＳＩ

１０：作業系統（ＯＳ）

１１：中介軟體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 36）

１２：應用程式

１３：裝置驅動程式

１４：處理器核心

１５：處理器部

２０：ＣＰＵ匯流排

２１：ＣＰＵ核心

２２：ＳＲＡＭ

２３：周邊匯流排橋接電路（ＰＰＢ）

２４：匯流排狀態控制器（ＢＳＣ）

２５：高速模組

２６：周邊匯流排（第２匯流排）

２７：中速模組

２８：系統匯流排（第１匯流排）

２９：低速模組

３０：非揮發性記憶體

３１：使用者除錯電路（ＡＵＤ）

３２：ＣＰＵ

３３：ＤＳＰ

３６，３７：ＦＰＧＡ

４０：可變邏輯單元

４１：可變連接單元

４２Ａ～４２Ｄ：可變外部輸出入電路

４３，４４：訊號配線

４５：程式控制電路

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 37）

５０：Ｃ編譯程序

５１：彙編程序

５２：連接編輯程序

５３：模擬除錯器

６０：評價基板

６１：ＦＰＧＡ記錄器

６２：主電腦

６３：原型基板

６４：連接器

６５：使用者邏輯區

６７：快閃記憶卡

６８：電路基板

７０：評價用控制器

７１：記憶體（ＳＤＲＡＭ）

７３，７４：評價用介面電路

７５：使用者介面電路

８０：測試介面單元（ＥＩＦ）

８１：指令解碼器

８２：ＴＡＰ控制器

８３：選擇器

８４：控制訊號

８６：訊號線

９０：執行結果資訊

９１：開發資訊

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 38）

９２：構成資訊

９３：系統評價資訊

１００：終端裝置

１０１：主裝置

１０２：網路

１１０：記錄媒體

１１１：處理器核心模組資料

１１２：ＣＣＤ訊號處理模組資料

１１３：ＥＩＦ模組資料

ＳＤＤＲ０～ＳＤＤＲｎ：資料暫存器

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　　）

資料處理系統之開發方法及評價基板

本發明之資料處理系統的開發方法是將資料處理系統中所應採用的ＳＯＣ・ＬＳＩ（３）分割成：處理器，及連接於該處理器，且形成動作速度較爲高速的電路模組之第１使用者邏輯的部份，及連接於上述處理器，且形成動作速度較爲低速的電路模組之第２使用者邏輯的部份，並將各部份的機能分別設定於第１可變邏輯裝置（３６）與第２可變邏輯裝置（３７），利用在第１可變邏輯裝置所被實現的處理器機能來執行目標程式，使執行結果的評價內容反饋於上述可變邏輯裝置或目標程式。並且，對上述可變邏輯裝置的機能設定可藉軟體來進行，且在實機完成前可進行系統的評價，可在同一環境下進行系統開發與評價。換言之，可容易著眼於軟體與硬體雙方來支援被ＳＯＣ化的資料處理系統的開發。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種資料處理系統之開發方法，其特徵是包含：

按照下載於多數個記憶格的邏輯構成定義資料，在邏輯機能被決定成可編成程序的第1可變邏輯裝置中實現第1使用者邏輯及評價用處理器機能之第1處理；及

按照下載於多數個記憶格的邏輯構成定義資料，在邏輯機能被決定成可編成程序的第2可變邏輯裝置中實現第2使用者邏輯，而構成目標基板之第2處理；及

將上述第1可變邏輯裝置及第2可變邏輯裝置連接於評價支援系統，而使目標程式執行於上述第1可變邏輯裝置中，且根據執行結果來評價上述目標基板及目標程式之第3處理；及

根據上述評價結果，在上述第1可變邏輯裝置，上述第2可變邏輯裝置，目標基板或上述目標程式中追加必要的修正之第4處理。

2．如申請專利範圍第1項之資料處理系統之開發方法，其中在上述第3處理中，以安裝有上述第1可變邏輯裝置的評價基板與主系統作爲上述評價支援系統之用；

上述評價基板具有：連接於所被安裝的上述第1可變邏輯裝置的評價用控制器及記憶體，及連接於上述評價用控制器及記憶體的評價用介面電路，及連接於所被安裝的上述第1可變邏輯裝置的使用者介面電路；

在上述使用者介面電路中連接有上述目標基板的第2可變邏輯裝置，在上述評價用介面電路中連接有上述主系統。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

3．如申請專利範圍第2項之資料處理系統之開發方法，其中上述第1處理是根據邏輯構成定義資料來使：包含CPU匯流排及所連接的CPU之處理器核心，及連接於上述CPU匯流排之第1使用者邏輯，及可連接於上述處理器核心及第1使用者邏輯且被介面於上述評價用控制器之測試介面單元，等形成於第1可變邏輯裝置。

4．如申請專利範圍第3項之資料處理系統之開發方法，其中在上述第1處理中，在上述處理核心中含連接於CPU匯流排的匯流排狀態控制器，且將上述匯流排狀態控制器連接於上述使用者介面電路。

5．如申請專利範圍第4項之資料處理系統之開發方法，其中在上述第1處理中，在上述處理核心中更含連接於CPU匯流排的周邊匯流排，且將上述周邊匯流排連接於上述使用者介面電路。

6．如申請專利範圍第3項之資料處理系統之開發方法，其中在上述第1處理中，在上述測試介面單元中，將時脈端子，模式端子，資料輸入端子，及資料輸出端子設定爲外部端子，並根據自上述資料輸入端子所賦予的指令來決定上述資料輸入端子及資料輸出端子的連接端，按照上述模式端子的狀態來取入供應給上述資料輸入端子的資訊，將所取入的資訊送至上述所被決定的連接端，且取入來自上述所被決定的連接端的資訊，而來設定從上述資料輸出端子輸出至外部的機能。

7．如申請專利範圍第6項之資料處理系統之開發方

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

法，其中上述測試介面單元爲依據ＩＥＥＥ１１４９．１的規格程序來進行訊號輸出入者。

８．如申請專利範圍第２項之資料處理系統之開發方法，其中上述評價用控制器爲具有：跟蹤控制，斷點控制，使用者程式的執行控制，及主介面控制的各機能者。

９．一種評價基板，其特徵爲：

在電路基板上安裝有：評價用控制器，連接於上述評價用控制器的可變邏輯裝置，連接於上述可變邏輯裝置的記憶體，連接於上述可變邏輯裝置的使用者介面電路，及連接於上述評價用控制器的評價用介面電路；

上述可變邏輯裝置爲：按照被下載於多數個記憶格中的邏輯構成定義資料來決定邏輯機能爲可編程序，而來實現評價用微處理器機能及第１使用者邏輯之半導體裝置。

１０．如申請專利範圍第９項之評價基板，其中上述可變邏輯裝置是根據邏輯構成定義資料而形成有：包含ＣＰＵ匯流排及所連接的ＣＰＵ之處理器核心，及連接於上述ＣＰＵ匯流排之第１使用者邏輯，及可連接於上述處理器核心及第１使用者邏輯且被介面於上述評價用控制器之測試介面單元者。

１１．如申請專利範圍第１０項之評價基板，其中上述處理器核心含連接於ＣＰＵ匯流排的匯流排狀態控制器，上述匯流排狀態控制器是連接於上述使用者介面電路。

１２．如申請專利範圍第１１項之評價基板，其中上述處理器核心更含連接於ＣＰＵ匯流排的周邊匯流排橋接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電路，上述周邊匯流排橋接電路是連接於上述使用者介面電路。

１３．如申請專利範圍第１２項之評價基板，其中在上述使用者介面電路中連接有目標基板，上述目標基板爲具有：按照被下載於多數個記憶格中的邏輯構成定義資料來決定邏輯機能爲可編程序，而來實現第２使用者邏輯之可變邏輯裝置。

１４．如申請專利範圍第１０項之評價基板，其中上述測試介面單元具有作爲外部端子之時脈端子，模式端子，資料輸入端子，及資料輸出端子，並根據自上述資料輸入端子所賦予的指令來決定上述資料輸入端子及資料輸出端子的連接端，按照上述模式端子的狀態來取入供應給上述資料輸入端子的資訊，將所取入的資訊送至上述所被決定的連接端，且取入來自上述所被決定的連接端的資訊，而從上述資料輸出端子來輸出至外部。

１５．如申請專利範圍第１４項之評價基板，其中上述測試介面單元爲依據ＩＥＥＥ１１４９．１的規格程序來進行訊號輸出入者。

１６．如申請專利範圍第１０項之評價基板，其中上述評價用控制器具有：跟蹤控制，斷點控制，使用者程式的執行控制，及主介面控制的各機能者。

１７．如申請專利範圍第９項之評價基板，其中上述評價用介面電路爲具有可連接於主電腦的主介面電路者。

１８．如申請專利範圍第９項之評價基板，其中上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

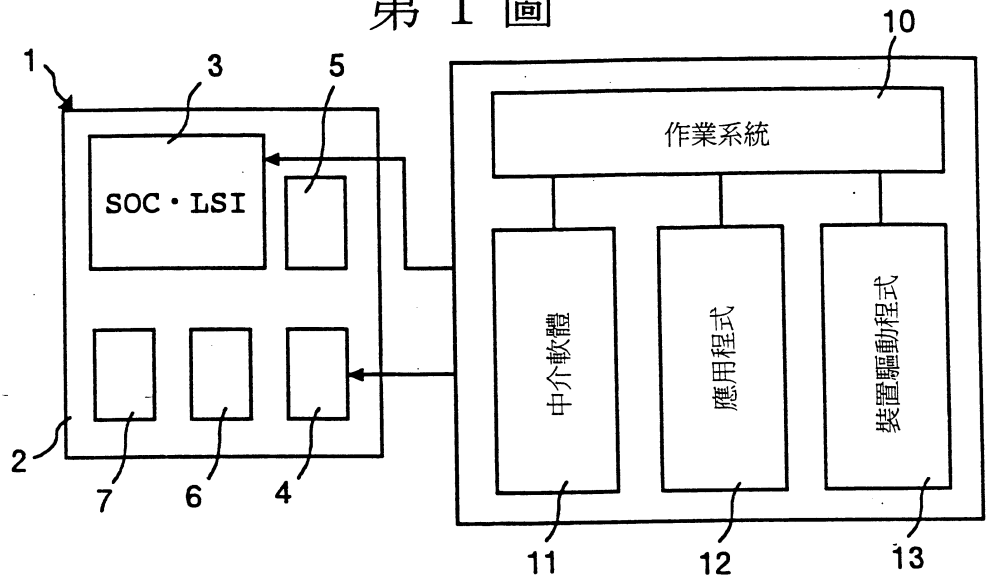
A8
B8
C8
D8

六、申請專利範圍

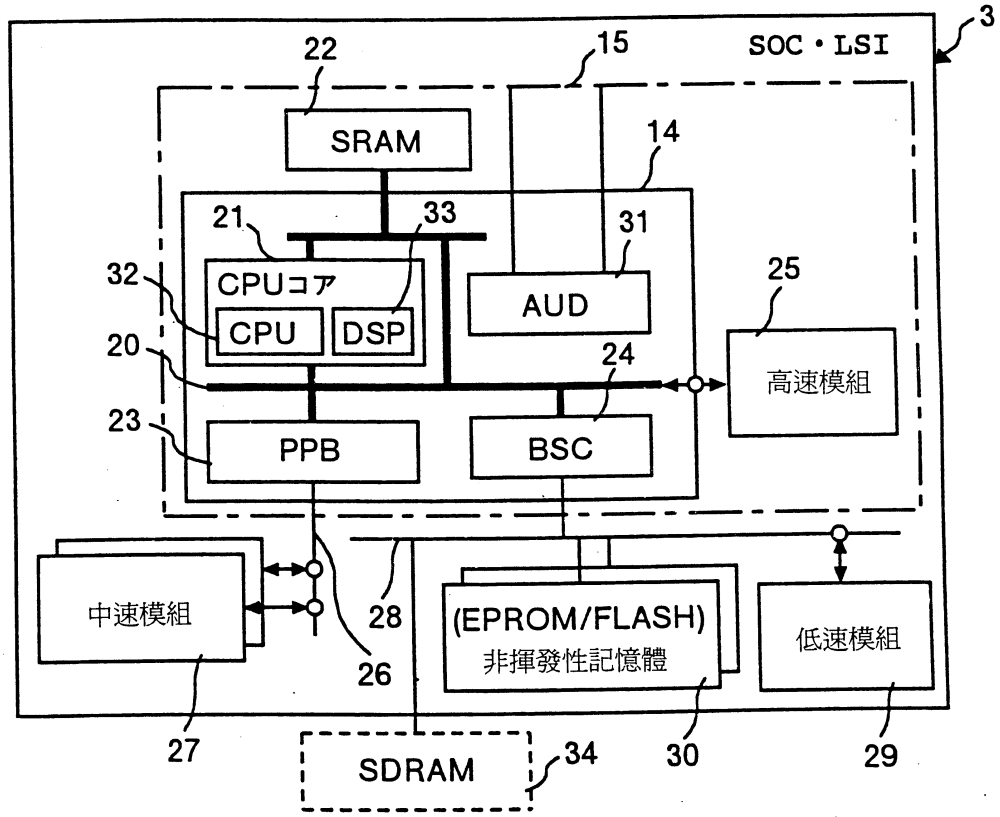
評價用介面電路爲具有可連接檔案記憶卡的檔案記憶體介面電路者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

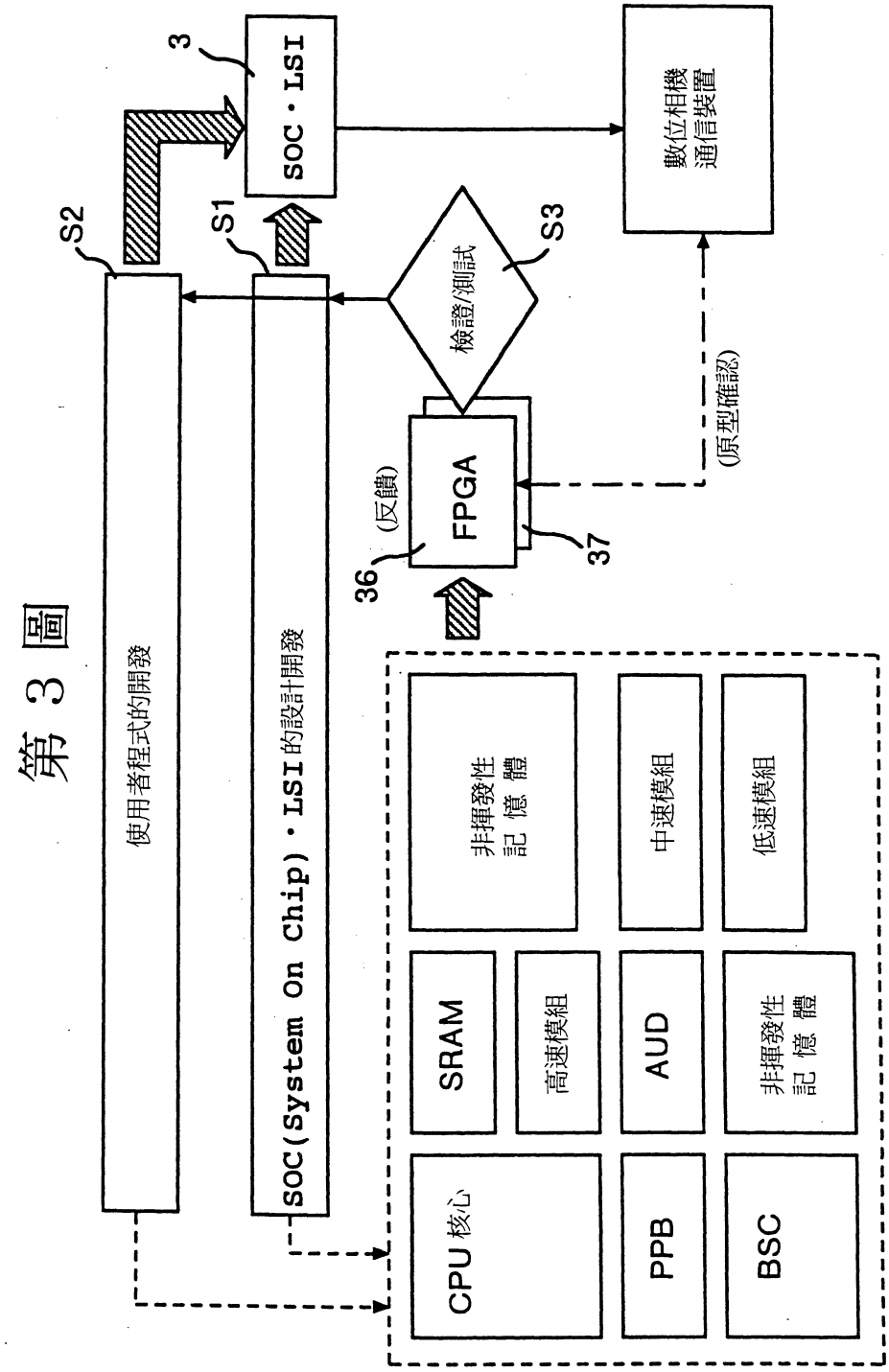
第 1 圖


1
3
5
10
SOC・LSI
作業系統
中介軟體
應用程式
裝置驅動程式
2
7
6
4
11
12
13

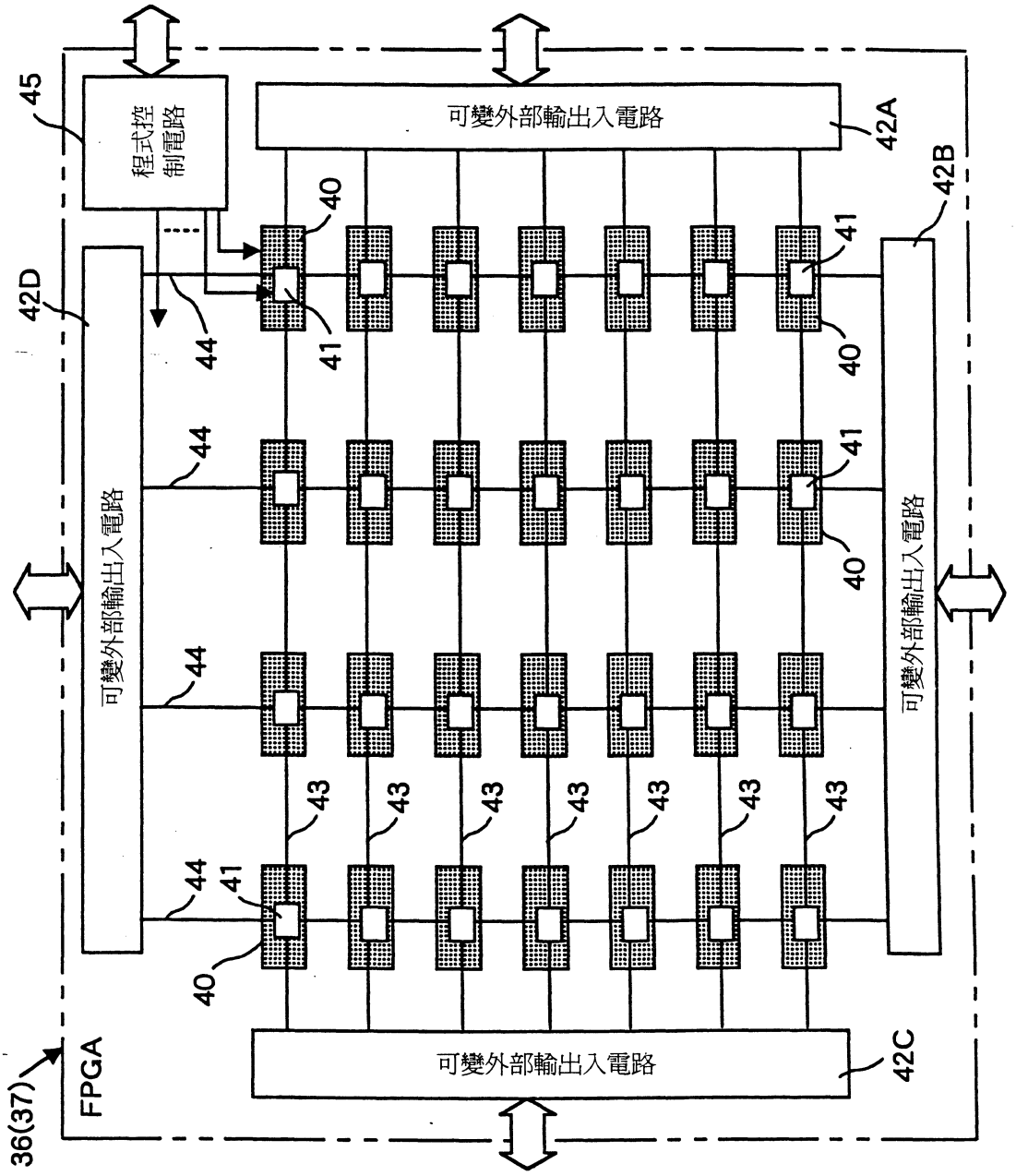
第 2 圖


3
SOC・LSI
22
15
SRAM
14
21
33
31
32
CPUコア
CPU
DSP
AUD
25
20
24
高速模組
23
PPB
BSC
中速模組
28
(EPROM/FLASH)
非揮發性記憶體
低速模組
26
27
SDRAM
34
30
29

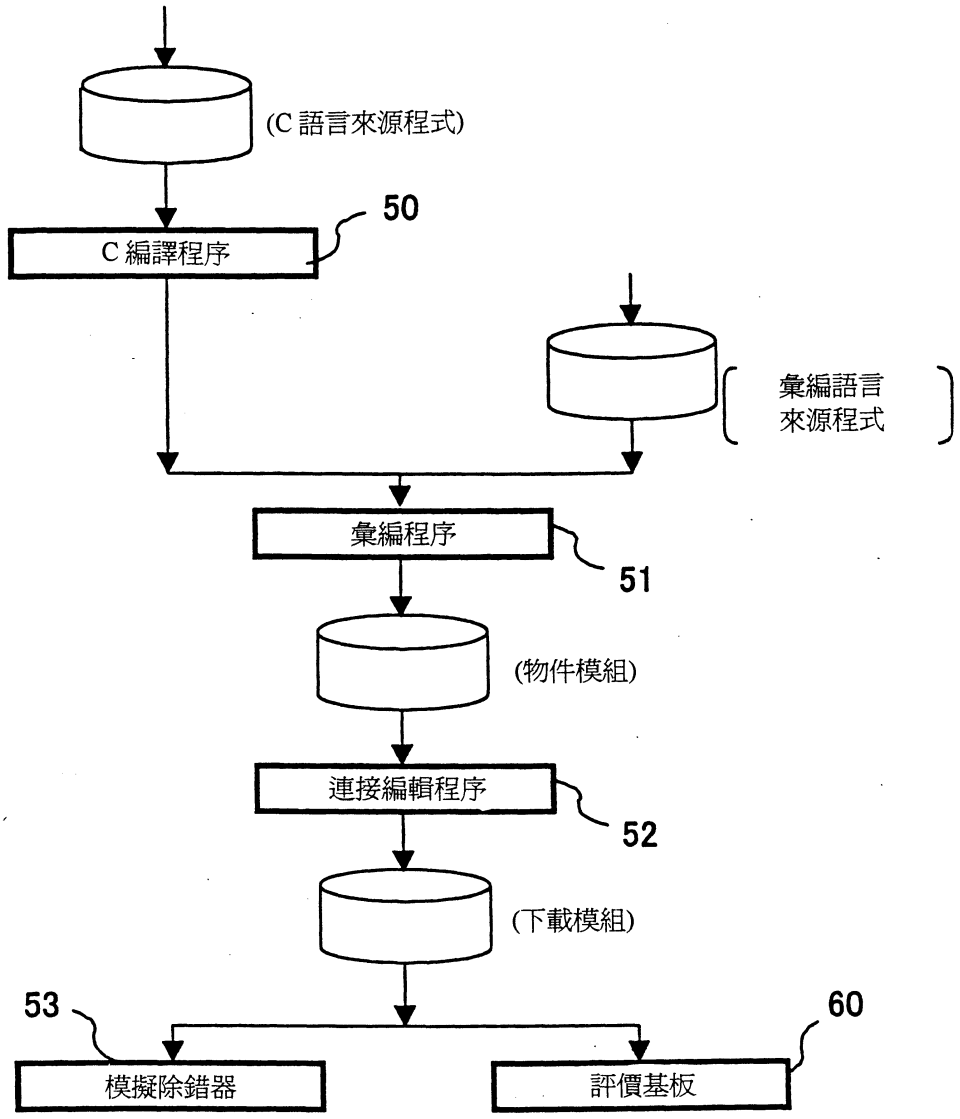
第 3 圖


3
SOC・LSI
數位相機
通信裝置
S2
S1
S3
檢證/測試
(原型確認)
(反饋)
FPGA
36
37
使用者程式的開發
SOC(System On Chip)・LSI的設計開發
非揮發性
記 憶 體
中速模組
低速模組
SRAM
高速模組
AUD
非揮發性
記 憶 體
CPU 核心
PPB
BSC

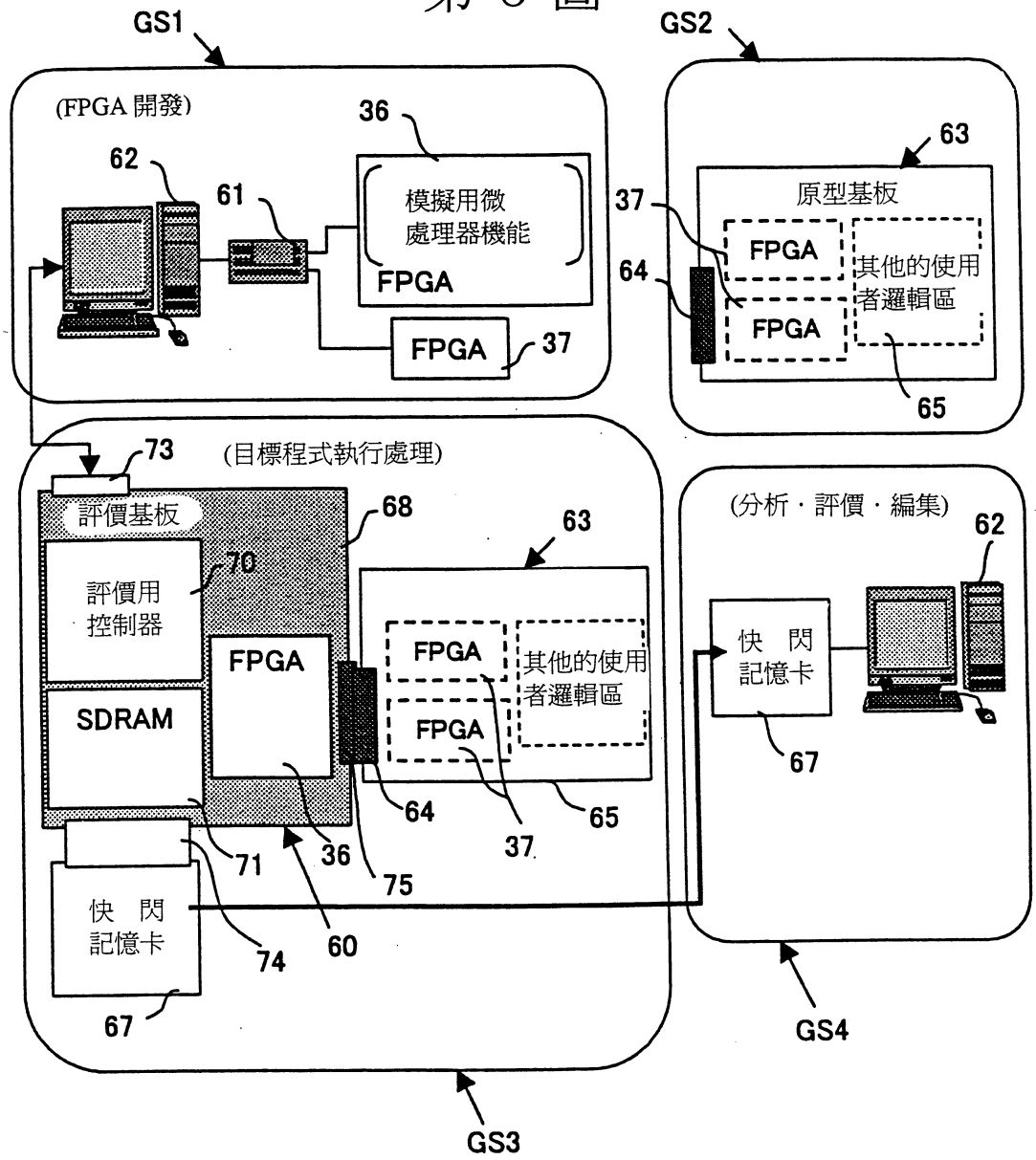
第 4 圖


45
程式控制電路
可變外部輸出入電路
42A
42B
42C
42D
40
41
43
44
可變外部輸出入電路
可變外部輸出入電路
可變外部輸出入電路
FPGA
36(37)

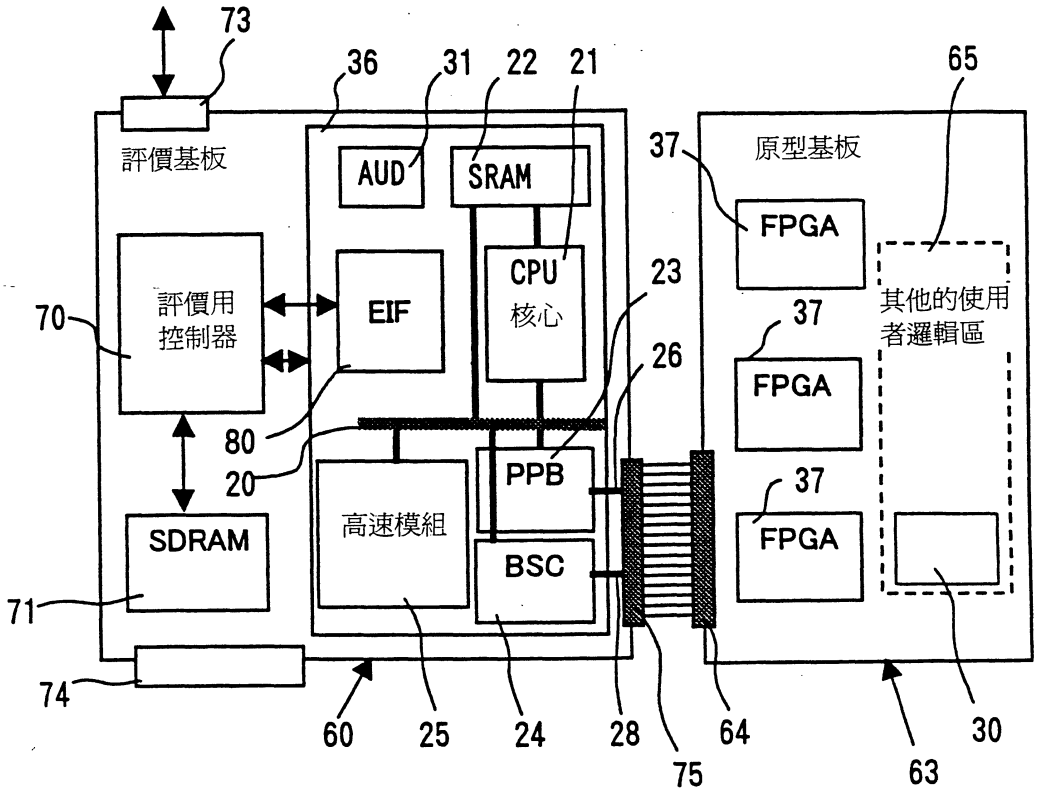
第 5 圖


(C 語言來源程式)
C 編譯程序
50
彙編語言
來源程式
彙編程序
51
(物件模組)
連接編輯程序
52
(下載模組)
53
模擬除錯器
60
評價基板

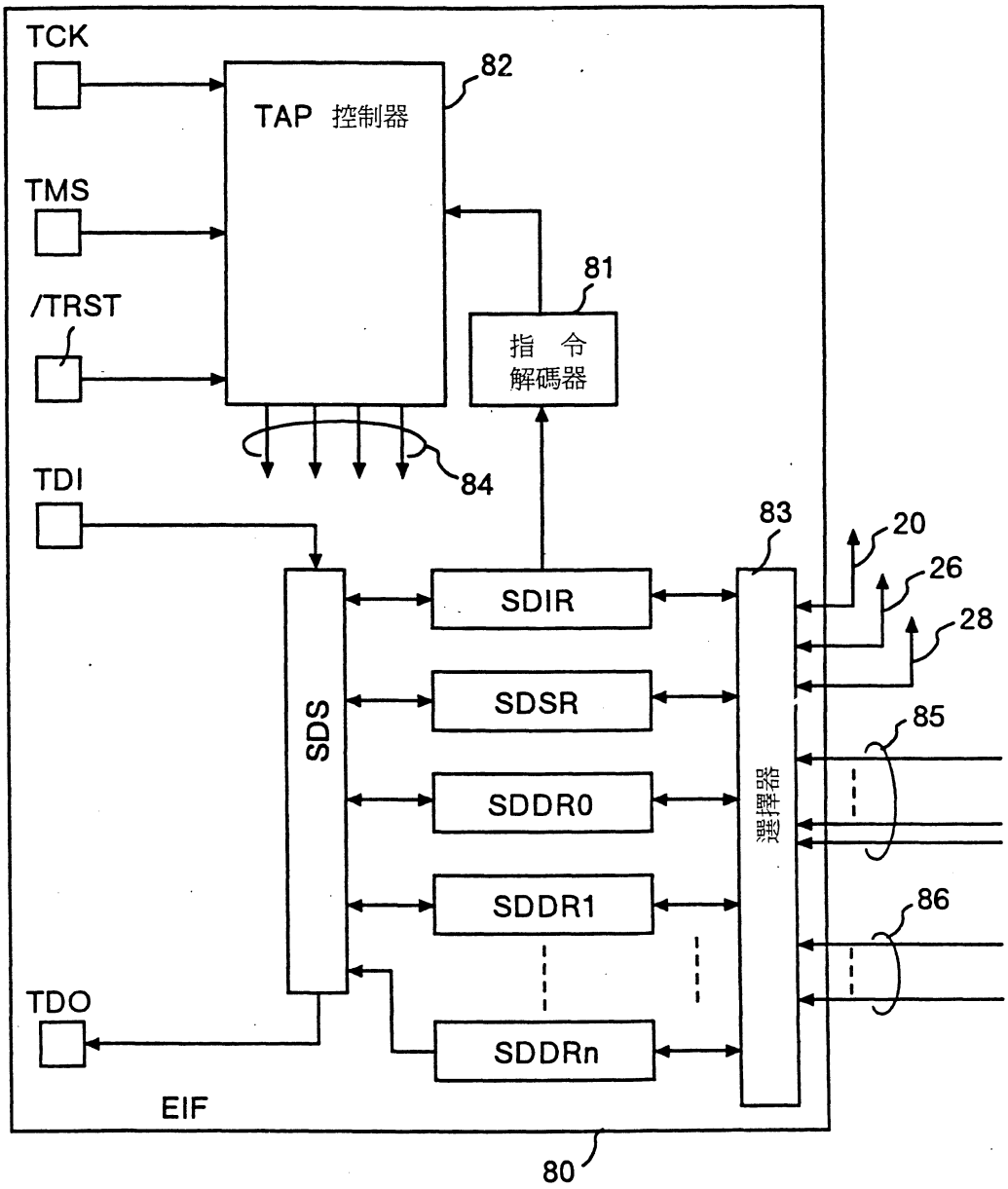
第 6 圖


GS1
(FPGA 開發)
36
62
61
模擬用微
處理器機能
FPGA
FPGA
37
GS2
63
原型基板
37
FPGA
其他的使用
者邏輯區
64
FPGA
65
73
(目標程式執行處理)
評價基板
68
63
評價用
控制器
70
FPGA
FPGA
其他的使用
者邏輯區
SDRAM
FPGA
64
37
65
71
36
75
快 閃
記憶卡
74
60
67
GS3
(分析・評價・編集)
62
快 閃
記憶卡
67
GS4

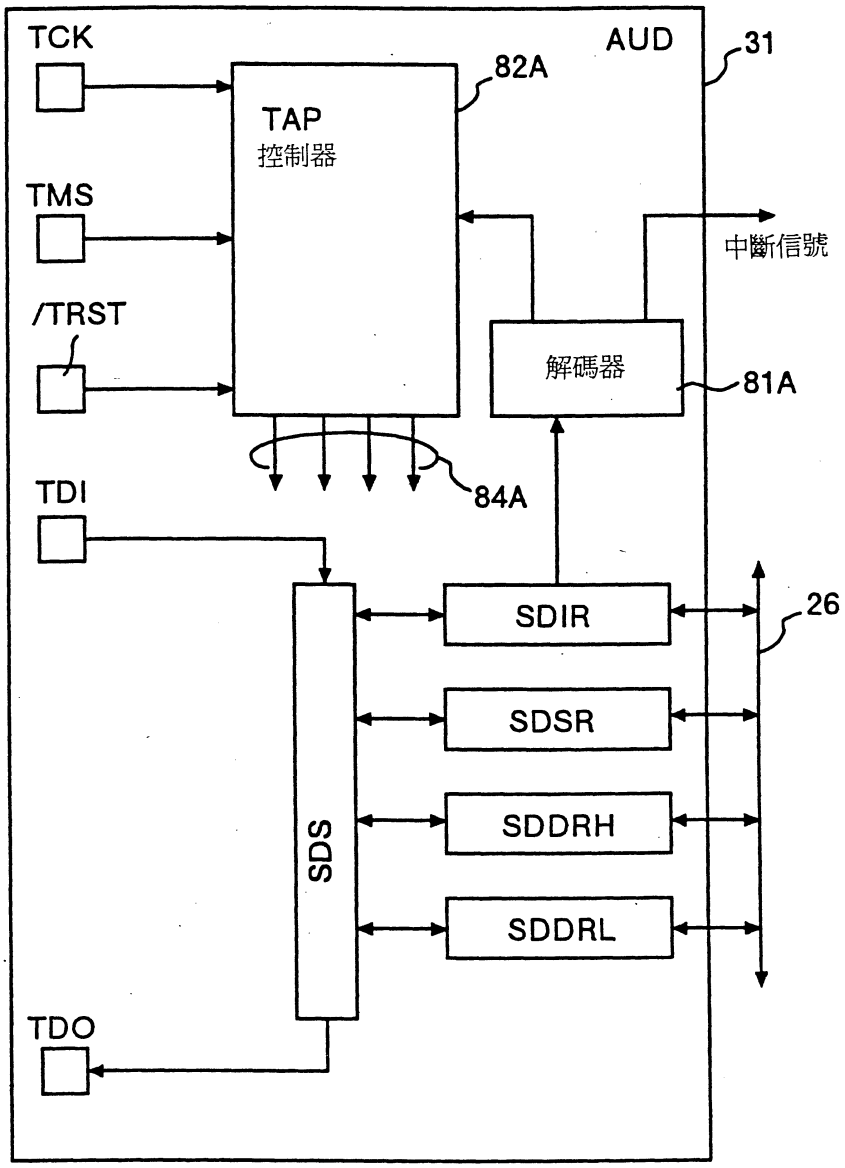
第 7 圖


73
36
31
22
21
65
評價基板
AUD
SRAM
37
原型基板
FPGA
CPU
核心
23
其他的使用
者邏輯區
70
評價用
控制器
EIF
37
FPGA
26
80
20
PPB
37
SDRAM
高速模組
FPGA
BSC
71
74
60
25
24
28
64
30
75
63

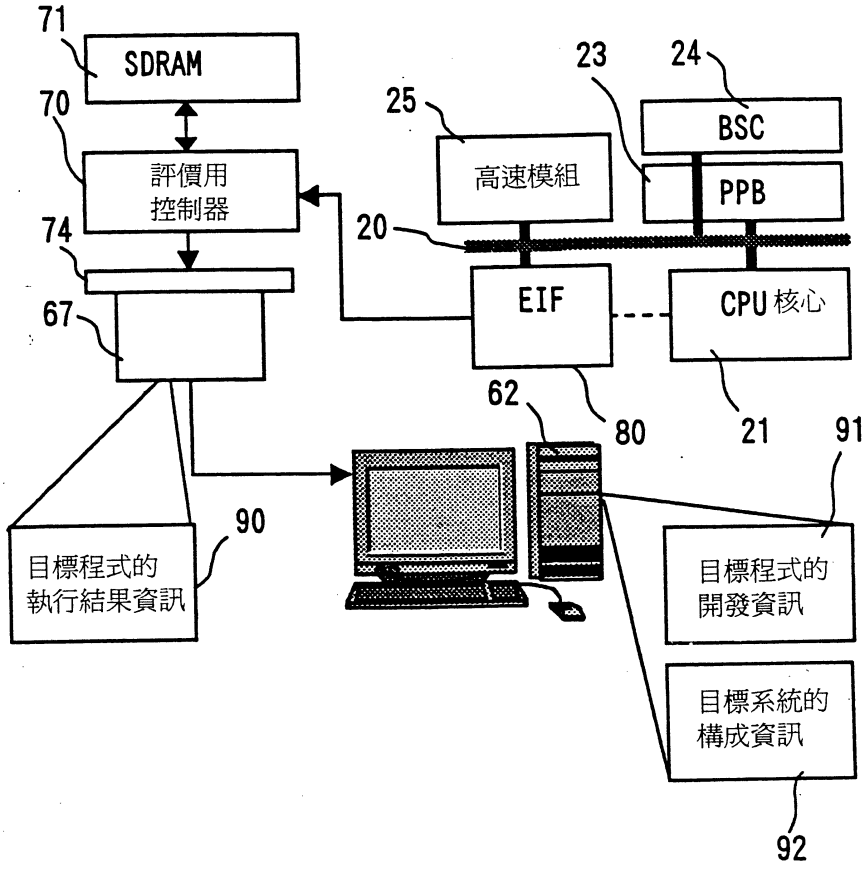
第 8 圖


TCK
TMS
/TRST
TDI
TDO
TAP 控制器
82
81
指 令
解碼器
84
83
20
26
28
85
86
SDS
SDIR
SDSR
SDDR0
SDDR1
SDDRn
選擇器
EIF
80

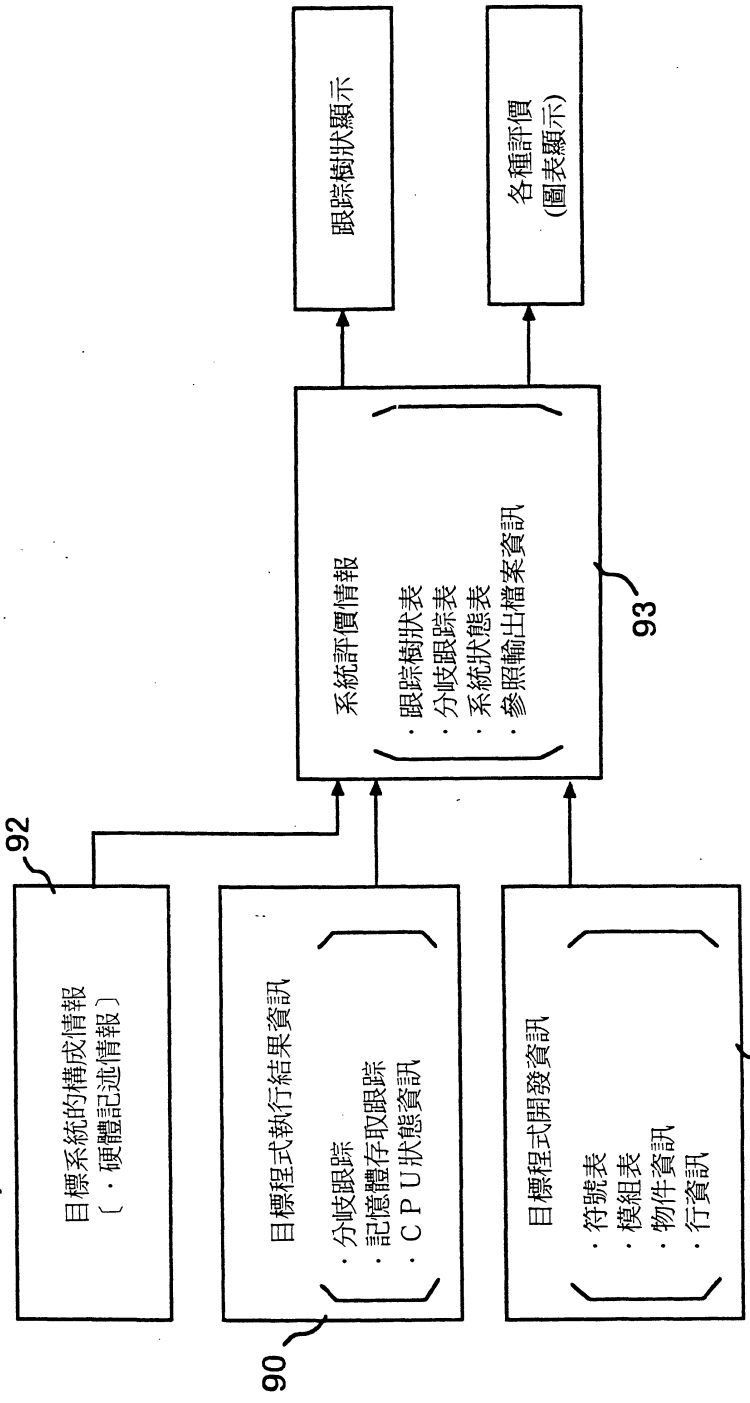
第 9 圖


TCK
AUD
31
82A
TAP
控制器
TMS
中斷信號
/TRST
解碼器
81A
84A
TDI
SDIR
26
SDSR
SDS
SDDRH
SDDRL
TDO

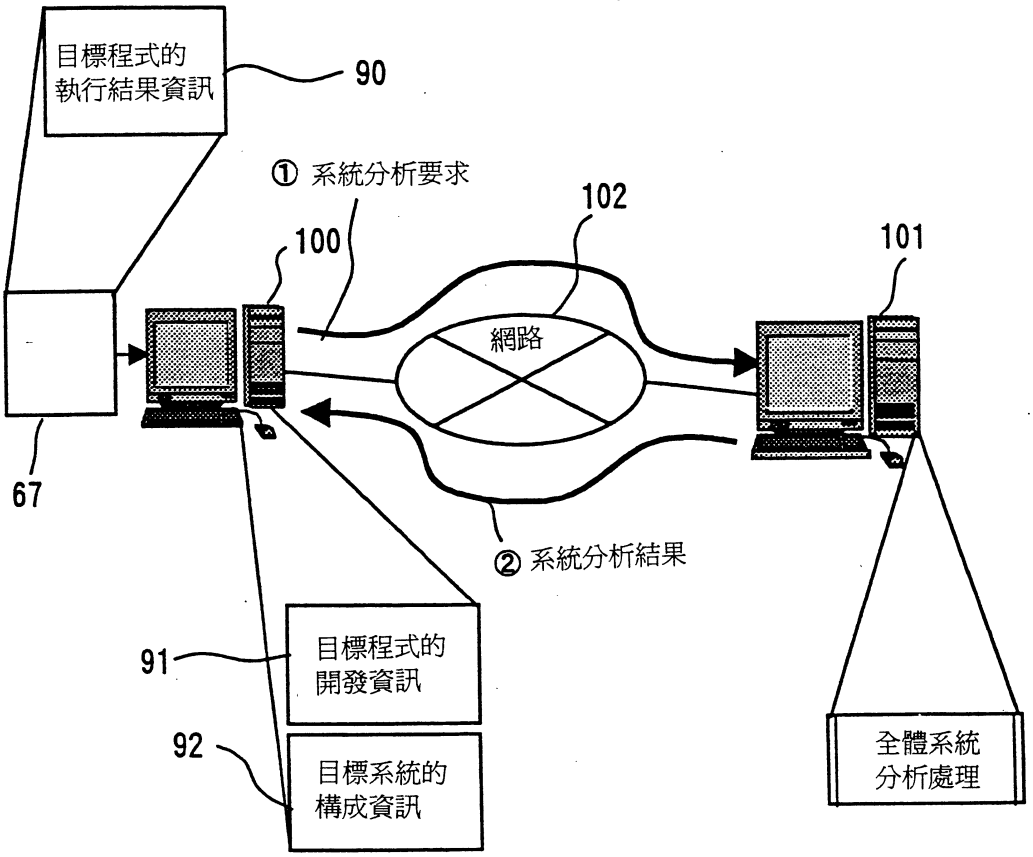
第１０圖


71
SDRAM
70
評價用
控制器
74
67
25
高速模組
23
24
BSC
PPB
20
EIF
CPU 核心
62
80
21
91
90
目標程式的
執行結果資訊
目標程式的
開發資訊
目標系統的
構成資訊
92

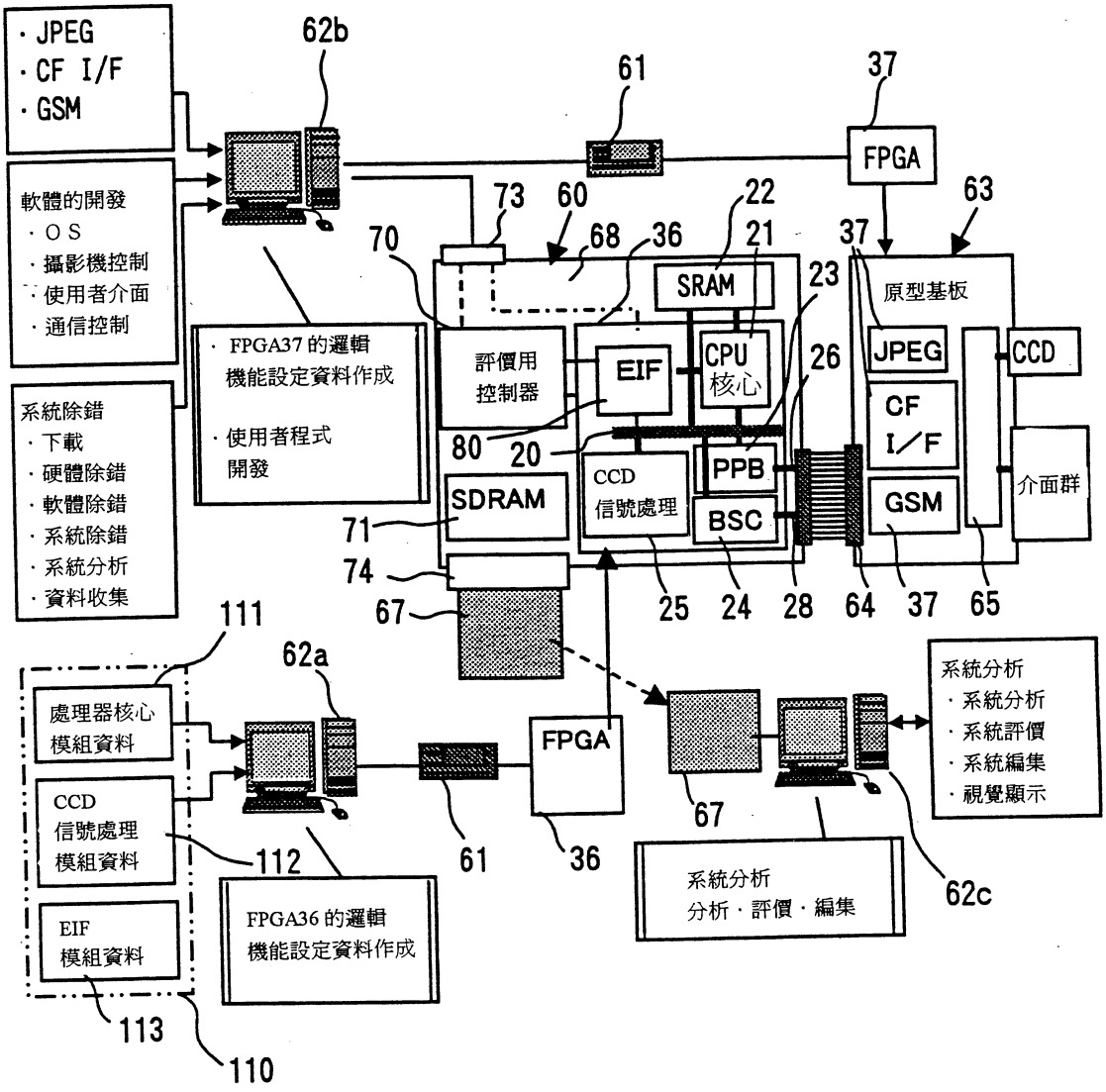
第１１圖


目標系統的構成情報
〔・硬體記述情報〕
92
目標程式執行結果資訊
・分岐跟踪
・記憶體存取跟踪
・ＣＰＵ狀態資訊
90
目標程式開發資訊
・符號表
・模組表
・物件資訊
・行資訊
91
系統評價情報
・跟踪樹狀表
・分岐跟踪表
・系統狀態表
・參照輸出檔案資訊
93
跟踪樹狀顯示
各種評價
(圖表顯示)

第１２圖


目標程式的
執行結果資訊
90
① 系統分析要求
100
102
101
網路
67
② 系統分析結果
91
目標程式的
開發資訊
92
目標系統的
構成資訊
全體系統
分析處理

第１３圖


· JPEG
· CF I/F
· GSM
軟體的開發
· OS
· 攝影機控制
· 使用者介面
· 通信控制
系統除錯
· 下載
· 硬體除錯
· 軟體除錯
· 系統除錯
· 系統分析
· 資料收集
· FPGA37 的邏輯機能設定資料作成
· 使用者程式開發
62b
61
37
FPGA
63
73
60
68
36
22
21
70
SRAM
23
原型基板
評價用控制器
EIF
CPU 核心
26
JPEG
CCD
CF I/F
80
20
CCD 信號處理
PPB
介面群
SDRAM
BSC
GSM
71
74
67
25
24
28
64
37
65
111
62a
處理器核心模組資料
CCD 信號處理模組資料
EIF 模組資料
112
113
110
FPGA36 的邏輯機能設定資料作成
61
FPGA
36
67
系統分析
分析・評價・編集
62c
系統分析
· 系統分析
· 系統評價
· 系統編集
· 視覺顯示