

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

特開2012-69119

(P2012-69119A)

(43) 公開日 平成24年4月5日(2012.4.5)

(51) Int.Cl.

G06F 12/00 (2006.01)

F I

G O 6 F 12/00

550C

G O 6 F 12/00

550 K

テーマコード (参考)

5 B 0 6 0

審査請求 未請求 請求項の数 3 O L 外国語出願 (全 16 頁)

(21) 出願番号 特願2011-207642 (P2011-207642)

(22) 出願日 平成23年9月22日 (2011. 9. 22)

(31) 優先權主張番号 12/889,469

(32) 優先日 平成22年9月24日 (2010. 9. 24)

(33) 優先權主張国 米国 (US)

(71) 出願人 500575824

ハネウェル・インターナショナル・インコーポレーテッド

アメリカ合衆国ニュージャージー州079
62-2245, モーリスタウン, コロン
ビア・ロード 101, ビー・オー・ボッ
クス 2245

(74) 代理人 100140109

弁理士 小野 新次郎

(74) 代理人 100075270

弁理士 小林 泰

(74) 代理人 100080137

弁理士 千葉 昭男

(74) 代理人 100096013

弁理士 富田 博行

[最終頁に続く](#)

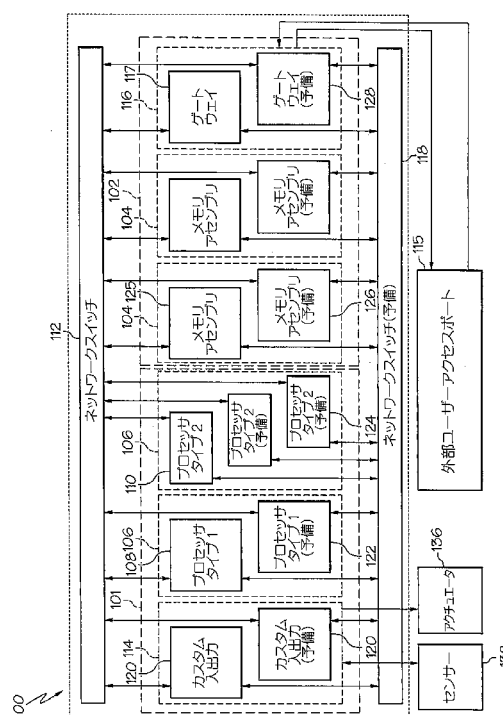
(54) 【発明の名称】 ランダムアクセス動作及びファイル格納動作をサポートする分散型メモリアレイ

(57) 【要約】 (修正有)

【課題】ランダムアクセス動作及びファイル格納動作をサポートする分散型メモリアレイを提供する。

【解決手段】分散型メモリアレイ 102 は、データを格納するメモリアセンブリ 125 を備え、各メモリアセンブリ 125 は双方向交差ストラップ式ネットワークを介して共に結合された複数のメモリモジュールを有し、各メモリモジュールはスイッチングメカニズムを有する。メモリアセンブリ 125 と結合されたゲートウェイ 117 をさらに備える。ゲートウェイ 117 は、メモリアセンブリ 125 へのアクセスを提供する複数のユーザーアクセスポートと、ユーザーアクセスポートにおいて、ユーザーからファイル格納動作又はランダムアクセス動作のいずれかのためのメモリアセンブリ 125 へのアクセス要求を受信するように、かつ、メモリアセンブリ 125 における利用可能なメモリの割当てユニットを割り当てるように構成されたファイルマネージャーとを備える。

【選択図】図 1 B



【特許請求の範囲】

【請求項 1】

ファイル格納動作及びランダムアクセス動作の両方をサポートする分散型メモリアレイであって、

データを格納する少なくとも一つのメモリアセンブリであって、各前記メモリアセンブリは双方向交差ストラップ式ネットワークを介して共に結合された複数のメモリモジュールを有し、各前記メモリモジュールはスイッチングメカニズムを有する、少なくとも一つのメモリアセンブリと、

前記双方向交差ストラップ式ネットワークを介して、前記少なくとも一つのメモリアセンブリと結合された少なくとも一つのゲートウェイであって、

前記少なくとも一つのメモリアセンブリへのアクセスを提供する複数のユーザーアクセスポートと、

前記ユーザーアクセスポートにおいて、ユーザーから、前記ファイル格納動作又は前記ランダムアクセス動作のいずれかのための、前記少なくとも一つのメモリアセンブリへのアクセス要求を受信するように、かつ、前記少なくとも一つのメモリアセンブリにおける利用可能なメモリの少なくとも一つの割当てユニットを、前記ユーザーからの前記要求に基づいて割り当てるように構成されたファイルマネージャーであって、前記ユーザーからのさらなる要求を、前記少なくとも一つの割当てユニットにアクセスするメモリマップド方式のトランザクションに変換するようにさらに構成された、ファイルマネージャーと、

を含む、少なくとも一つのゲートウェイとを備える分散型メモリアレイ。

【請求項 2】

前記ファイルマネージャーは、

前記複数のユーザーポートと通信するコントローラーと、

前記ユーザーからの前記要求に基づいて、前記コントローラーによって構成されたファイルマップであって、前記ユーザー要求における論理アドレスを物理アドレスに変換し、前記少なくとも一つのメモリアセンブリにおける前記少なくとも一つの割当てユニットへのアクセスを提供する、ファイルマップと、

前記ファイルマネージャーに対してサポートされているプロトコル間でメッセージを変換するように構成されたプロトコルブリッジと

を含み、前記ゲートウェイは、

前記複数のユーザーポート及び前記ファイルマネージャーと結合された通信エンドポイントと、

前記複数のメモリモジュール及び前記ファイルマネージャーと結合された通信エンドポイントと、

を含む請求項 1 に記載の分散型メモリアレイ。

【請求項 3】

前記少なくとも一つのメモリモジュールのそれぞれは、

複数のメモリカードと、

前記ユーザー要求に基づいて、認証を提供するように、かつ前記メモリカード内のデータの格納及び読出しを行うように、前記コントローラーによって構成されたメモリマネージャーであって、各前記メモリマネージャーは、

データの packets を受領するか又は該データの packets を、前記双方向交差ストラップ式ネットワーク内の次のメモリマネージャーに渡すように構成された packets セレクターと、

前記データの packets の物理メモリアドレスをデコードするように動作可能なアドレスデコーダーと、

メモリモジュール内の内部データの格納動作及び読出し動作を管理するように構成可能なメモリコントローラーと、

10

20

30

40

50

を備える、メモリマネージャーと、
を含む請求項 1 に記載の分散型メモリアレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ランダムアクセス動作及びファイル格納動作をサポートする分散型メモリアレイに関する。

【背景技術】

【0002】

[0001] 既存の宇宙船のペイロード処理システムは主に二つの機能、特にランダムアクセス処理アプリケーション及びファイル格納動作に対して、大容量のメモリを利用している。ランダムアクセス処理アプリケーションによって使用されるメモリシステムは通常、ファイル格納動作に使用される性能特性及び容量特性と異なった性能特性及び容量特性を有している。したがって、処理アプリケーションは通常、集積した専用処理ユニットにおいて低レイテンシー（latency）かつ高スループットのメモリを用いて構成され、一方ファイル格納動作では、大容量及び高スループットが要求され、一般には独立した専用のメモリユニットを使用する。

【発明の概要】

【発明が解決しようとする課題】

【0003】

[0002] このような、現在の宇宙船ペイロード処理システムにおける専用メモリのこの固定された構成によって、容量要件の増大に起因して、複数のアプリケーションの同時処理を行うコストが高くなる。今日のますます向上するデータ転送レート及びより複雑なデータ操作要件のための容量の増大には、過剰の専用メモリリソースが必要とされる。専用メモリの増加は、現行の宇宙船ペイロード処理システムに必要とされる全体的なサイズ、重量及び電力利用を増加させる。

【課題を解決するための手段】

【0004】

ファイル格納動作及びランダムアクセスの両方の動作をサポートする分散型メモリアレイが提供される。この分散型メモリアレイは、データを格納する少なくとも一つのメモリアセンブリを備え、各メモリアセンブリは双方向交差ストラップ式（cross-strapped）ネットワークを介して共に結合された複数のメモリモジュールを有し、各メモリモジュールはスイッチングメカニズムを有する。この分散型メモリアレイは、双方向交差ストラップ式ネットワークを介して、少なくとも一つのメモリアセンブリと結合された少なくとも一つのゲートウェイをさらに備える。このゲートウェイはまた、少なくとも一つのメモリアセンブリへのアクセスを提供する複数のユーザーアクセスポートと、ユーザーアクセスポートにおいて、ユーザーから、ファイル格納動作又はランダムアクセス動作のいずれかのための、少なくとも一つのメモリアセンブリへのアクセス要求を受信するように、かつ、少なくとも一つのメモリアセンブリにおける利用可能なメモリの少なくとも一つの割当てユニットを、ユーザーからの要求に基づいて割り当てるように構成されたファイルマネージャーとを備える。このファイルマネージャーは、ユーザーからのさらなる要求を、少なくとも一つの割当てユニットにアクセスするメモリマップド方式のトランザクションに変換するようにさらに構成される。

【0005】

[0003] これら及び他の特徴、態様及び利点については、以下の記述、添付の特許請求の範囲及び添付の図面を参照してより良好に理解される。

【図面の簡単な説明】

【0006】

【図 1 A】 [0004] 本発明の教示による分散型メモリアレイを含むサテライトシステムの一実施形態の概略図である。

10

20

30

40

50

【図 1 B】[0005]本発明の教示による分散型メモリアレイ及びコンピューターの一実施形態を含むパイロード処理ユニットの概略図である。

【図 2】[0006]本発明の教示による分散型メモリアレイの別の実施形態の概略図である。

【図 3】[0007]本発明の教示による分散型メモリアレイの一実施形態の概略図である。

【図 4】[0008]本発明の教示によるメモリモジュールにおけるメモリマネージャーの一実施形態の概略図である。

【図 5】[0009]本発明の教示によるゲートウェイの一実施形態の概略図である。

【図 6】[0010]本発明の教示による分散型メモリアレイの動作方法の一実施形態のフローチャートである。

【発明を実施するための形態】

10

【 0 0 0 7 】

[0011]一般的な方法に従って、記述された種々の特徴は一定の縮尺で描かれたものではなく、本発明に関連する特徴が強調されて描かれている。類似の参照符号は図面及び本文全体を通じ、類似の要素又は構成部分を示す。

【 0 0 0 8 】

[0012]本明細書にて開示されるいくつかの実施形態は、サテライトシステムのための分散型メモリアレイに関する。説明のために一つ又は複数のアプリケーション例を参照して、少なくとも一つの実施形態を以下に説明する。数々の明確な詳細、関係、及び方法が、開示される実施形態のより完全な理解をもたらすために示されていることが理解される。同様に、開示される実施形態の詳細を不必要に不明瞭にすることを避けるために、以下ではよく知られた構成部分及びプロセスの動作は図示も説明もしていない。特に、マスマモリストレージのための分散型メモリアレイが、故障耐性 (fault tolerance) を向上させるために提供され、それがスループット及びランダムアクセス、さらに容量及びスループットの拡張性も同様にサポートする。

20

【 0 0 0 9 】

[0013]例示のために図面に図示されているように、本発明の実施形態は、信頼性のある高速のデータ格納をもたらす故障耐性型の分散型のメモリアレイを提供する。分散型メモリアレイは、少なくとも一つのメモリアセンブリからなる配列及び特定用途のゲートウェイのセットがマスマストレージアプリケーションに対して双方向交差ストラップ式である分散型の、モジュール式構造を採用する。少なくとも一つのメモリアセンブリは少なくとも一つのメモリモジュールからなる分散型の双方向交差ストラップ式配列を具備している。分散型の双方向交差ストラップ式アーキテクチャは、レイテンシー (待ち時間、latency) を減じ故障した構成部分をバイパスさせることができ、そうしてメモリ、制御、及びスイッチングに対して故障耐性を提供する。メモリシステムのマネジメント機能は、非専用メモリを再配置することにより、この分散型構造におけるメモリ割当てを管理して、故障耐性の高度化を提供する。分散型メモリアレイはマスマストレージアプリケーションに必要な大容量及び高スループットを維持しつつ、処理動作に必要な低レイテンシー及び高スループットを可能にする。

30

【 0 0 1 0 】

[0014]図 1 A はパイロード 1 3 4 の一実施形態を含むサテライトシステム 1 0 の一実施形態の概略図である。パイロード 1 3 4 はサテライトインフラストラクチャ 1 3 8 に結合されている。サテライトインフラストラクチャ 1 3 8 は、サテライトシステム 1 0 を軌道上に維持するための構成部分を含み、該構成部分には、これらに限定されないが、電源、位置情報、及び指令制御センターが含まれる。

40

【 0 0 1 1 】

[0015]パイロード 1 3 4 は特定のアプリケーション、たとえば通信、気象観測、テレビ放送又は他の適切なアプリケーションを実施するのに使用されるサブシステムを含む。パイロード 1 3 4 はパイロード関連の機能を実行するパイロード処理ユニット 1 0 0 を含む。パイロード処理ユニット 1 0 0 はセンサー 1 3 2 及びアクチュエーター 1 3 6 に結合されている。パイロードの複雑さに応じて、様々なセンサー及びアクチュエーターを管理す

50

る専用のプロセッサが存在することができる。パイロードアプリケーションの計算面での専用のプロセッサも同様に存在することができる。

【0012】

[0016]パイロード処理ユニット100はコンピューター101に結合された分散型メモリアレイ102を含む。分散型メモリアレイ102は、たとえばコンピューター101、パイロード通信ユニット141及びパイロードコントロール143のようなユーザー構成部分にユーザーアクセスポートを介して結合されている。他の実施形態においては、分散型メモリアレイ102はサテライトシステム100の他のパイロードに対して格納容量を提供するスタンドアローンユニットを具備している。また、代替的な実施形態においては、パイロード134は、種々の処理の必要性に対して、二つ以上のパイロード処理ユニット100又は二つ以上のコンピューター101を含むことができることが理解される。

10

【0013】

[0017]動作時に、センサー132はパイロード134を感知し、信号をその信号を処理するパイロード処理ユニット100に送信する。それに応答して、パイロード処理ユニット100はアクチュエーター136に信号を送信し、アクチュエーター136はパイロード134に対し必要な機能を実行する。また、パイロード処理ユニット100は、以下により詳細に記述されているように、たとえばセンサー132からのデータも、分散型メモリアレイ102の中に格納することができる。

【0014】

[0018]一実施形態においては、分散型メモリアレイ102は大容量ファイル格納動作又は低レイテンシーのランダムアクセス処理動作のために構成可能な複数のメモリモジュールを含む。コンピューター101は分散型メモリアレイ102のためのデータプロセッサとして動作し、ファイル格納動作又はランダムアクセス動作のいずれかのためのデータを処理する。

20

【0015】

[0019]動作時に、パイロード処理ユニット100は、たとえばセンサー132のような入力源からの入力データを受け取る。コンピューター101は必要に応じてそのデータを処理し、処理されたデータを、ランダムアクセス動作又はファイル格納動作のいずれかを用いて分散型メモリアレイ102に格納するようデータ格納要求を生成する。その後、コンピューター101はデータ格納要求を分散型メモリアレイ102に渡す。分散型メモリアレイ102は、アレイ内の宛先メモリモジュールを選択し、その要求に対するデータ格納に対応するように構成する。一実施形態においては、分散型メモリアレイ102は、コンピューター101からの要求に対して適切な粒度(granularity)の程度で、メモリを割当てユニットと称する単位にて割り当てる。割当てユニットのサイズはシステムの必要性に基づき変化するが、しかしながら、割当てユニットの粒度は、メモリの最小のアドレッシング可能な単位と同程度まで小さくすることができることが理解される。

30

【0016】

[0020]分散型メモリアレイ102は、分散型メモリアレイ102にデータを格納するというコンピューター101からのさらなる要求を、宛先メモリモジュールにおける該要求のための割当てユニットにアクセスするメモリマップド式のトランザクションに変換する。入力データは、その後、分散型メモリアレイ102を介して選択されたメモリモジュールに渡され格納される。ファイル格納動作又はランダムアクセス動作のいずれかである要求されたメモリアccessのメカニズムを使用してデータの読出しを行う場合、分散型メモリアレイ102は同様に、要求されたデータを保持する分散型メモリアレイ102のメモリモジュールからデータを読み出し、該データをコンピューター101へ提供する。

40

【0017】

[0021]図1Bはネットワークスイッチ112を介して分散型メモリアレイ102と結合されているコンピューター101を具備したパイロード処理ユニット100の一つの例の概略図である。分散型メモリアレイ102はメモリアセンブリレイヤー104及びゲートウェイレイヤー116を具備する。コンピューター101はパイロード処理ユニット10

50

0 に対し異種の (heterogeneous) 機能を提供するプロセッサレイヤー 106 を具備する。メモリアセンブリレイヤー 104 は、たとえばメモリアセンブリ 125 のような、少なくとも一つのメモリアセンブリからなる分散型アレイを具備する。分散型メモリアレイ 102 は入出力レイヤー 114 を含むコンピューター 101 からの入力データを受信する。入出力レイヤー 114 は、たとえばセンサー 132 のような外部入力からの情報を受理する。

【0018】

[0022] ゲートウェイレイヤー 116 は、分散型メモリアレイ 102 に内部的な特定機能向けのアクセスコントローラーを提供する。ゲートウェイレイヤー 116 は、ネットワークスイッチ 112 と結合している。ゲートウェイレイヤー 116 は、ネットワークスイッチ 112 と結合したメモリポートを介して、メモリアセンブリレイヤー 104 と通信する。さらに、ゲートウェイレイヤー 116 は、ネットワークスイッチ 112 と結合した内部的なユーザーポートを介して、プロセッサレイヤー 106 及びカスタム入出力レイヤー 114 と通信する。

【0019】

[0023] 一実施形態においては、ゲートウェイレイヤー 116 は、サポートしているメッセージングプロトコルのデータパケットを受理しかつ変換して、メモリアセンブリレイヤー 104 の内で宛先メモリ及び物理的なメモリアドレスを求める。ゲートウェイレイヤー 116 は、ペイロード処理ユニット 100 が種々のアプリケーションからのデータを効率的に処理することを可能にする。特に、ゲートウェイレイヤー 116 は、単独システムにおいては、以下により詳細に述べるように、ファイル格納動作及びランダムアクセス処理動作のためのメモリアccessのメカニズムを実施するように構成されている。具体的には、ゲートウェイレイヤー 116 は、或るアプリケーションによって要求された場合に、ファイル格納メモリアccessのメカニズムを実施するように構成された第一のゲートウェイのセットと、他のアプリケーションによって要求された場合に、ランダムアクセスのメモリアccessメカニズムを実施するように構成された第二のゲートウェイのセットとを含む。しかしながら、いずれのゲートウェイもファイル格納動作及びランダムアクセス動作のうちの少なくとも一方を処理するように、後から動的に再構成することができることが理解される。

【0020】

[0024] 一実施形態においては、プロセッサレイヤー 106 は、ペイロード処理ユニット 100 のための多数のアプリケーションを実施する。プロセッサレイヤー 106 上で実行されている各アプリケーションは、ファイル格納又はランダムアクセスのいずれかのメモリアccessメカニズムを使ってデータをより効率的に格納する。プロセッサレイヤー 106 は、第一のプロセッサユニット 108 及び第二のプロセッサユニット 110 を具備している。一実施形態においては、第一のプロセッサユニット 108 は、ファイル格納メモリアccessメカニズムを使用してデータを分散型メモリアレイ 102 へ格納するアプリケーションを実行する。第二のプロセッサユニット 110 は、ランダムアクセスメカニズムを使用してデータを分散型メモリアレイ 102 へ格納するアプリケーションを実行する。コンピューター 101 の代替的な一実施形態においては、ペイロード処理ユニット 100 が意図するアプリケーションに応じて、第一のプロセッサユニット 108 又は第二のプロセッサユニット 110 のいずれかを具備しないこともできる。たとえば、主にランダムアクセス処理のために設計されたペイロード処理ユニットは、第一のプロセッサユニット 108 がなくても機能することができる。反対に、主にマスタストレージシステムを利用するように設計されたペイロード処理ユニットは、第二のプロセッサユニット 110 がなくても機能することができる。

【0021】

[0025] 例示的な一実施形態においては、コンピューター 101 及び分散型メモリアレイ 102 は、初期構成の後でも、ペイロード処理ユニット 100 の内で動的に再構成できる。たとえば、メモリアセンブリレイヤー 104 を制御するメモリマネジメントシステム

は、メモリアセンブリレイヤー 104 内で割り当てられた任意の割当てユニットを、ペイロード処理ユニット 100 の現行の要件をサポートする必要性に応じて、ファイル格納からランダムアクセス処理へと動的に再割当てすることができる。さらに、各割当てユニット内のデータは、以下により詳細に議論されているように、廃棄又は転送され、そうして割当てユニットの再割当てを可能にすることができる。これにより、ペイロード処理ユニット 100 がシステム動作及びアプリケーション要求の変更に応じて、変化することが可能になる。

【0022】

[0026] コンピューター 101 及び分散型メモリアレイ 102 は予備構成部分のシステムをさらに採用し、冗長性を提供している。たとえば、ペイロード処理ユニット 100 の各構成部分は少なくとも一つの予備構成部分 118、120、122、124、126、及び 128 に関連付けられている。このペイロード処理ユニット 100 の冗長的な接続は、本ユニットに故障耐性リソースを提供する。この故障耐性リソースは、故障に際して、不備の構成部分を適切に機能する予備の構成部分に置き換えることにより、ペイロード処理ユニット 100 が適切に動作し続けることを可能にする。

【0023】

[0027] 動作時に、ペイロード処理ユニット 100 は、コンピューター 101 と、ファイル格納動作及びランダムアクセス動作の両方のための分散型メモリアレイ 102 とを使用して、ペイロードアプリケーションに対するデータの格納及び読出しを行う。データ格納のために、分散型メモリアレイ 102 がネットワークスイッチ 112 を介して、又は外部のユーザーアクセスポート 115 を介して入力データを受信する。分散型メモリアレイ 102 はプロセッサレイヤー 106、カスタム入出力レイヤー 114、又はネットワークスイッチ 112 と結合されている任意の他のデータソース、たとえばこのサテライトシステムの別のペイロードのプロセッサ、からネットワークスイッチ 112 を介してデータを受信することができる。

【0024】

[0028] 分散型メモリアレイ 102 は、ゲートウェイレイヤー 116 において要求及びデータを受信する。ゲートウェイレイヤー 116 は分散型メモリアレイ 102 に対するメモリ割当てを管理する。ゲートウェイレイヤー 116 は要求の発生源及び要求されているメモリアccessのタイプ、たとえばランダムアクセス又はファイル格納を判断する。この判断に基づき、ゲートウェイレイヤー 116 のコントローラーは、要求に対するデータ格納のための分散型メモリアレイ 102 を選択し構成する。この要求に対するデータが受信されると、入力されたデータがゲートウェイレイヤー 116 によってメモリマップド方式の (memory mapped) トランザクションに変換され、その後メモリアセンブリレイヤー 104 を介して選択されたメモリモジュール内の選択された位置に渡される。同様に、データの読出しでは、データは分散型メモリアレイ 102 内の選択されたメモリモジュールから、機能処理するコンピューター 101、又は任意の他の要求している構成要素若しくはアプリケーションへ渡される。一つの例においては、データは、該データを要求しているアプリケーションに応じて、プロセッサレイヤー 106 内のプロセッサ 108 又はプロセッサ 110 のいずれかに渡される。

【0025】

[0029] 図 2 は、分散型メモリアレイ 200 の代替的な一実施形態の概略図である。この概略図は、メモリアセンブリレイヤー 230 とゲートウェイレイヤー 216 との間の、ネットワークスイッチ 212 を介した接続関係を示している。ゲートウェイレイヤー 216 は、たとえばゲートウェイ 217 のような少なくとも一つのゲートウェイを具備している。ゲートウェイ 217 は、特定機能向けゲートウェイ 206 及びコントローラー 208 をさらに具備している。ネットワークスイッチ 212 は、より高いスループットのためのノンブロッキングスイッチング (non-blocking switching) を提供する標準形式のネットワークプロトコルを通して、集中型スイッチングのレイヤーを付加する。図 2 の例示的な実施形態において、ネットワークスイッチ 212 はシリアルラピッド I/O (Serial Rapid

10

20

30

40

50

10) を使用している。シリアルラピッド I/O は、組込みシステムでの通信のための、高性能のパケットスイッチ型の相互接続技術である。メモリアセンブリレイヤー 230 の代替的な実施態様においては、ネットワークスイッチ 212 は代替的技術を採用し、周辺機器相互接続エクスプレス (Peripheral Component Interconnect Express (PCIe)) スwitchング及び他の同様な相互接続方法のようなノンブロッキングスイッチングを提供していることが理解される。ネットワークスイッチ 212 はメモリアセンブリレイヤー 230 とゲートウェイ 206 との間の通信の分岐として動作する。

【0026】

[0030] 例示的な実施形態においては、ネットワークスイッチ 212 は、双方向アーキテクチャ 202 を介してメモリアセンブリレイヤー 230 と接続されている。メモリアセンブリレイヤー 230 は、メモリアセンブリ 201 のような、少なくとも一つのメモリアセンブリを具備する。例示した一実施形態においては、メモリアセンブリ 201 はネットワークスイッチ 212 との複数の双方向接続を具備する。双方向アーキテクチャ 202 は分散型メモリアレイ 200 に対して、数々の利点を導入する。第一に、複数の双方向接続 202 はメモリアセンブリレイヤー 230 からのデータの読出しにおいて、レイテンシーの低減を提供する。さらに双方向接続 202 はまた、メモリアセンブリレイヤー 230 とネットワークスイッチ 212 との間の、より効率的な誤り訂正を可能にする。ネットワークスイッチ 212 はまた、双方向交差ストラップ式 (cross strapping) 接続 204 を介して、ゲートウェイレイヤー 216 と結合している。双方向交差ストラップ式接続 204 は予備のゲートウェイ 228 及び予備のネットワークスイッチ 218 と連結して、システムの故障耐性の特性を高める。ネットワークスイッチ 212 又はゲートウェイ 217 のいずれかが故障した場合、双方向交差ストラップ式接続 204 は不備の構成部分をマッピングから取り除くことにより、該不備の構成部分をバイパスする。予備の構成部分に絶え間なく電力を提供するシステムにおいては、この切替えは瞬時に行うことができる。

【0027】

[0031] 動作時に、ゲートウェイレイヤー 216 は、格納要求がランダムアクセスのためのメモリアクセスメカニズムを要求しているか、又はファイル格納のためのメモリアクセスメカニズムを要求しているかを判断する。この判断及び要求の発生源に基づいて、ゲートウェイレイヤー 216 はデータ格納のためのメモリアセンブリレイヤー 230 のメモリモジュールを選択し構成する。要求に関してデータが受信されると、ゲートウェイレイヤーは、その要求を選択されたメモリモジュールに対するメモリマップド方式のトランザクションに変換する。入力データは、その後ゲートウェイレイヤー 216 からメモリアセンブリレイヤー 230 へ送信される。

【0028】

[0032] 図 3 は、分散型メモリアレイ 300 の一実施形態の概略図である。分散型メモリアレイ 300 はメモリアセンブリ 320 を含む。メモリアセンブリ 320 は、たとえばメモリモジュール 306 のような、少なくとも一つのメモリモジュールを含む。メモリアセンブリ 320 の代替的な実施形態は、システムの特定のアプリケーションに必要なだけ多くのメモリモジュールを具備することができることが理解される。例示的な実施形態においては、メモリモジュール 306 は、メモリアセンブリ 320 の他のメモリモジュールと同様に、各々がメモリストレージ構成部分として振舞う。メモリモジュール 306 に格納されたデータは、後の使用のために読出し、転送、及び / 又は格納することができる。さらに、メモリモジュール 306 は、適切なアプリケーションに応じて専用又は非専用のいずれかのメモリとすることができる。動作が進化する必要があるか又は分散型メモリアレイの故障耐性をさらに向上させる必要があるので、非専用メモリはいずれかのメモリアクセスメカニズム、たとえばファイル格納又はランダムアクセスの形態で使用するよう再割当てすることができる。非専用で再割当て可能なメモリの使用は、全体的なシステムのサイズ及び重量を減少させることにより、全体的な電力使用を減じ、効率を改善する。それにより、さらに、各メモリモジュール内の各割当てユニットを必要に応じてファイル格納用又はランダムアクセス用に選択的に構成することが可能になることによって、システ

10

20

30

40

50

ムのスケーラビリティが改善する。

【 0 0 2 9 】

[0033] 例示的な実施形態においては、メモリアセンブリ 3 2 0 の個々のメモリモジュール 3 0 6 は、双方向交差ストラップ式ネットワーク 3 0 4 を介して接続されている。各メモリモジュール 3 0 6 は、双方向交差ストラップ式ネットワーク 3 0 4 を実装するように構成された、メモリマネージャ 3 0 5 と呼ばれる、或る程度に内部制限されたスイッチング (degree of internal limited switching) を保有する。システム障害に際して、コントローラ、たとえばコントローラ 3 1 0 は内部スイッチング機能を利用し、双方向交差ストラップ式ネットワーク 3 0 4 内の適切なリンクを取り除くことによって、不備のメモリモジュールの直接的な置換えを提供する。例示的な実施形態においては、メモリモジュール 3 0 6 は、図 1 B のように、ネットワークスイッチ 1 1 2 のような集中した接続レベルを介して接続される代わりに、ゲートウェイ / コントローラレイヤー 3 1 6 と直接的に、双方向交差ストラップ式接続される。さらに、図 2 のメモリアセンブリ 2 0 1 は、一実施形態においては、図 3 のメモリアセンブリ 3 2 0 に示されるように構成される。

10

【 0 0 3 0 】

[0034] 一実施形態においては、ゲートウェイ 3 0 8 は変換ファイアウォールとして振舞い、メモリストレージに関する意思決定を取り扱う。たとえばゲートウェイ 3 0 8 は、メモリアセンブリ 3 0 0 内のいずれのメモリモジュールがユーザーアクセスポート 3 1 5 からの読出し要求又は書込み要求を受信するかを決定する。コントローラ 3 1 0 は、ゲートウェイ 3 0 8 と結合されていて、ゲートウェイ 3 0 8 への管理機能を提供し、分散型メモリアレイ内のメモリの割当てを指揮する。ゲートウェイレイヤー 3 1 6 は、以下に記述される図面において、より詳細に議論される。

20

【 0 0 3 1 】

[0035] 図 4 は、一つ又は複数の関連するゲートウェイの制御下にある複数のメモリカード 4 1 5 へのアクセスを管理する、メモリマネージャ 4 0 0 の一実施形態の概略図である。メモリマネージャ 4 0 0 のような、一つ又は複数のメモリマネージャは、たとえばメモリアセンブリ 3 2 0 のようなメモリアセンブリの各メモリモジュールに存在して、制限されたスイッチングメカニズムを提供する。メモリマネージャ 4 0 0 は、インタフェース 4 0 1、たとえばデュアルインラインメモリモジュール (dual in-line memory module: DIMM) インタフェースを通してメモリカード 4 1 5 に結合されている。メモリマネージャ 4 0 0 は、ラピッド I/O (RapidIO) エンドポイント 4 0 4 - 1 ~ 4 0 4 - 8 及び通信リンク 4 0 2 を介した、メモリモジュールの上流接続と下流接続をさらに提供する。ラピッド I/O エンドポイント 4 0 4 - 1 ~ 4 0 4 - 8 はメモリマップド方式の通信をサポートする。

30

【 0 0 3 2 】

[0036] 例示した一実施形態においては、パケットセクター 4 0 8 は、双方向接続でラピッド I/O エンドポイント 4 0 4 と結合されていて、エンドポイント 4 0 4 において受信された各パケットを検査し、宛先メモリがメモリマネージャ 4 0 0 にローカルであるか否か判断する。宛先メモリ及びパケットのパケット選択情報に応じて、パケットセクター 4 0 8 はそのパケットを受理するか又は渡すかを判断する。パケットが受理された場合、パケットセクター 4 0 8 はそのパケットを認証する。パケットセクター 4 0 8 は、発信元と、パケットセクター 4 0 8 内のアクセス制御テーブル情報とを利用することによって、そのパケットがローカルメモリにアクセスする権利を有しているか否か判断し、アクセス権限を認証する。パケットが権限を有している場合、アドレスデコーダ 4 1 0 はその後、パケットの物理的メモリアドレスをデコードし、そのメモリモジュールに対する特定の動作を実行する。データがそのメモリモジュール内に格納されることになる場合、メモリコントローラ 4 1 4 は、たとえばメモリカード 4 1 5 のようなメモリカードを選択し、そのデータを格納する。データが格納された後、パケットセクター 4 0 8 は各パケットの要求者に対して、成功又は失敗を示す応答を発行する。パケットが渡された場合、パケットセクター 4 0 8 はそのパケットを、ラピッド I/O エンドポイント 4 0 4 及

40

50

び情報通信接続 4 0 2 を介して、メモリアセンブリ内の一連のメモリモジュール内にある、次のメモリマネージャーへ渡す。

【 0 0 3 3 】

[0037] 図 4 においては、ラピッド I O エンドポイント 4 0 4 のうちのいくつかがオプションとして示されている。これらのオプションのエンドポイント 4 0 4 は、含まれているときは、ゲートウェイとメモリモジュールとの間のより幅広い帯域幅の通信を提供する。

【 0 0 3 4 】

[0038] 図 5 は、分散型メモリアレイ 1 0 2 (図 1 A、図 1 B)、2 0 0 (図 2) 及び 3 0 0 (図 3) のような分散型メモリアレイにおいて使用されるゲートウェイ 5 0 0 の一実施形態の概略図である。例示的な実施形態においては、ゲートウェイ 5 0 0 は、シリアルラピッド I O ネットワークのプロトコルを利用して、ユーザーに対するアクセス (外部) 接続及びメモリアセンブリ / モジュールへの (内部) 接続を提供する。ゲートウェイ 5 0 0 の代替的な実施形態では、代替的な技術が採用されて、防衛、航空宇宙、及び電気通信において一般に使用されている P C I e プロトコル及び他の相互接続のような接続が提供されることが理解される。ゲートウェイ 5 0 0 のアーキテクチャは、メモリ割当てに関連して内部的な意思決定を提供する、システムの保護メカニズムを提供する。

【 0 0 3 5 】

[0039] 一実施形態においては、ゲートウェイ 5 0 0 は、ファイルマネージャー 5 0 1 と、複数のラピッド I O エンドポイント 5 0 8 及び 5 1 0 とを含む。ラピッド I O エンドポイント 5 0 8 はユーザーアクセスポート 5 1 5 を介してユーザーと通信する。ラピッド I O エンドポイント 5 1 0 は種々のメモリモジュールのメモリマネージャーと通信する。ファイルマネージャー 5 0 1 は、プロトコルブリッジ 5 0 2、ファイルマップ 5 0 4、及びコントローラー 5 0 6 をさらに含み、単一の分散型メモリアレイにおける、ファイル格納及びランダムアクセスのようなメモリアクセスの型をサポートする。例示的な実施形態においては、ゲートウェイ 5 0 0 は、アプリケーションからの要求を取り扱い、分散型メモリアレイにおけるデータの格納及び読出しを行う。これらの要求は、必要とされるメモリアクセスメカニズム、たとえばファイル格納動作又はランダムアクセス処理のいずれかを指定する。たとえば、ゲートウェイ 5 0 0 は、たとえばラピッド I O エンドポイント 5 0 8 - 1 のようなラピッド I O エンドポイント 5 0 8 において、パケットを受理する。ゲートウェイ 5 0 0 は、ラピッド I O エンドポイント 5 1 0、たとえばラピッド I O エンドポイント 5 1 0 - 1 を介して、関連するメモリモジュールと通信する。代替的な一実施形態においては、メモリマネージャーはゲートウェイに含まれることに留意されたい。

【 0 0 3 6 】

[0040] 動作時に、コントローラー 5 0 6 は、プロトコルブリッジ 5 0 2、ファイルマップ 5 0 4 のための変数を構成又は調整し、これらのためのグローバル設定を制御することによって、ゲートウェイ 5 0 0 及び関連するメモリモジュールの全体的な挙動を管理し、システムに対して、必要であれば、種々のメモリモジュールのメモリマネージャーを選択する。さらに、コントローラー 5 0 6 は、ファイルマネージャー 5 0 1 に必要とされる抽象化を実行するための、内部ディレクトリ及びサブディレクトリへのアクセスを有する。例示的な一実施形態においては、コントローラー 5 0 6 はソフトウェアベースのプロセッサであるが、しかしながら、コントローラー 5 0 6 は配線接続された状態マシンとして実装することができることが理解される。

【 0 0 3 7 】

[0041] プロトコルブリッジ 5 0 2 及びファイルマップ 5 0 4 は共に、ゲートウェイ 5 0 0 に対して、マッピング及び変換の機能を実行する。特に、プロトコルブリッジ 5 0 2 は、ラピッド I O エンドポイント 5 0 8 において、到着したパケットを、サポートしている種々のメッセージプロトコル間で変換する。ファイルマップ 5 0 4 は、仮想メモリのマッピング関数として振舞う。動作時に、ファイルマップ 5 0 4 は、ユーザーに理解されるような論理アドレスを、分散型メモリアレイに関する格納場所を指定するために必要な、対応する物理アドレス、たとえば、メモリマップド方式のメッセージ又はトランザクション

10

20

30

40

50

に変換する。

【 0 0 3 8 】

[0042]ゲートウェイ 5 0 0 は、ファイル格納及びランダムアクセスのメモリアクセスメカニズムのうちの少なくとも一つを必要とするアプリケーションからの要求を処理するように構成することが可能であり、その後、システムの必要に基づいて異なったメカニズムを指定する要求を処理するように後から動的に再設定することができることが理解される。

【 0 0 3 9 】

[0043]ゲートウェイ 5 0 0 は、ファイル格納動作を実行する。たとえば、一実施形態においては、ファイルマネージャー 5 0 1 はラピッド I O エンドポイント 5 0 8 においてラピッド I O パケットを受信する。これらのパケットは、必要に応じて、プロトコルブリッジ 5 0 2 へ渡される。プロトコルブリッジ 5 0 2 はそのパケットを要求されたプロトコル、たとえば I O 論理書込みパケットに変換する。プロトコルブリッジ 5 0 2 はさらに、ユーザーアクセスポート 5 1 5 を通して、ユーザーに回答し、パケットの受信に成功したことを示すことによって、そのパケットを終結させる。プロトコルブリッジ 5 0 2 はその後、メモリマップド方式のプロトコルを使用した、適切なメモリロケーションへの、パケットの内容の書込みの成功に責任を負うようになる。メッセージングパケットに対して使用されるメモリロケーションは設定情報及びファイルマップ 5 0 4 から求められる。ファイルマネージャー 5 0 1 はまた、全体的なファイル格納動作に対するより高効率な格納機能及び読出し機能のために、メッセージングプロトコルパケットを追跡し、ファイルマップ 5 0 4 内部の情報を維持及び更新する。

【 0 0 4 0 】

[0044]代替的な一実施形態においては、ゲートウェイ 5 0 0 は、ランダムアクセス処理のアプリケーションを実行する。たとえば、ファイルマネージャー 5 0 1 は、プロトコルブリッジ 5 0 2 を通して、ラピッド I O エンドポイント 5 0 8 において I O 論理プロトコルのラピッド I O パケットを受信し、パケットの仮想宛先アドレスを、等価な宛先メモリアドレス及び物理メモリアドレスに変換する。ゲートウェイ 5 0 0 は各パケット源に固有のネットワークアドレス変換をさらに実行し、宛先のファイルマネージャーに対してそのパケットを認証する。

【 0 0 4 1 】

[0045]例示的な一実施形態においては、ファイルマネージャー 5 0 1 は、ファイル格納アプリケーションの目的の場合、ラピッド I O エンドポイント 5 0 8 においてラピッド I O メッセージパケットを受信するのに対して、ランダムアクセス処理動作の場合、ファイルマネージャー 5 0 1 は、I O 論理プロトコルのラピッド I O パケットだけを受理する。I O 論理プロトコルのラピッド I O パケットは、より高位のアプリケーションのサポートなしで、メモリのアクセス及びアドレッシングのようなメモリマッピングだけをサポートする。スペースの節減と効率化の目的で、例示的な一実施形態においては、ランダムアクセス処理動作に対して代替的なラピッド I O プロトコルを使用していない。しかしながら、代替的な実施形態が、必要とされるゲートウェイアプリケーションのうちの一つ又は両方に対して、代替的なラピッド I O プロトコルを利用することができるということが理解される。

【 0 0 4 2 】

[0046]図 6 は、ファイル格納動作及びランダムアクセス動作、たとえば、上述の分散型メモリアレイ 1 0 2、2 0 0 又は 3 0 0、をサポートする分散型メモリアレイを動作させる方法 6 0 0 の一実施形態のフローチャートである。例示的な一実施形態においては、分散型メモリアレイは、或るユーザーから、たとえばコンピューター 1 0 1、処理レイヤー 1 0 6、又は他のユーザーからのアクセス要求を受信する（ブロック 6 0 2）。このユーザーは、任意のカスタムユーザー入力若しくはたとえばセンサー 1 3 2 のようなセンサー、又は種々の他のデータ生成デバイス若しくはデータ処理デバイスとすることができると理解される。分散型メモリアレイがユーザーからのアクセス要求を受信すると（プロ

ック 6 0 2)、分散型メモリアレイは少なくとも一つのメモリの割当てユニットをそのユーザーに割り当て、宛先メモリモジュールの選択を含む、元のアクセス要求に関連付けられたユーザーからの後続のアクセス要求を取り扱うのに必要な分散型メモリアレイの構成部分を構成する(ブロック 6 0 4)。このメモリ割当て動作はたとえば、ゲートウェイ 1 1 7、2 1 7、又は 3 0 8 のような分散型メモリアレイのゲートウェイによって指揮される。

【 0 0 4 3 】

[0047]この時点で、分散型メモリアレイは、ユーザーからの付加的なアクセス要求を受信する準備ができています(ブロック 6 0 6)。アクセス要求がユーザーから受信されると、ゲートウェイはその要求を、その要求に関連付けられた、物理メモリ内のアドレスを含む、メモリマップド方式のトランザクションに変換する(ブロック 6 0 8)。その要求は、その後分散型メモリアレイを通して選択されたメモリモジュールへ渡され、各メモリモジュールに配置されたメモリマネージャーはその要求が受理されるべきか又は次のメモリモジュールに渡されるべきかを判断する。その要求が選択されたメモリモジュールに渡されると、要求は認証される(ブロック 6 1 0)。その要求が認証に合格した場合、要求は認可されて実行され、選択されたメモリモジュール内に定められた宛先において、データが格納されるか又は読み出される(ブロック 6 1 2)。

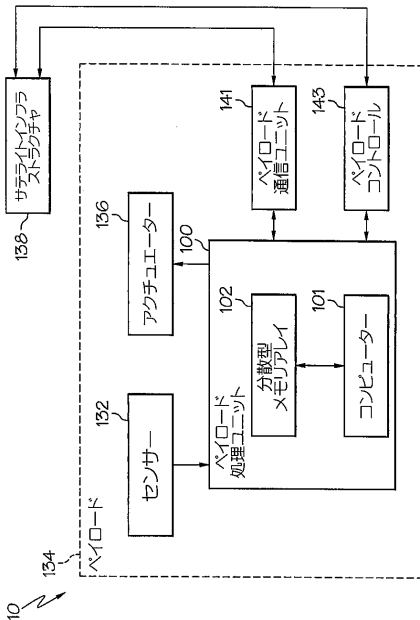
10

【 0 0 4 4 】

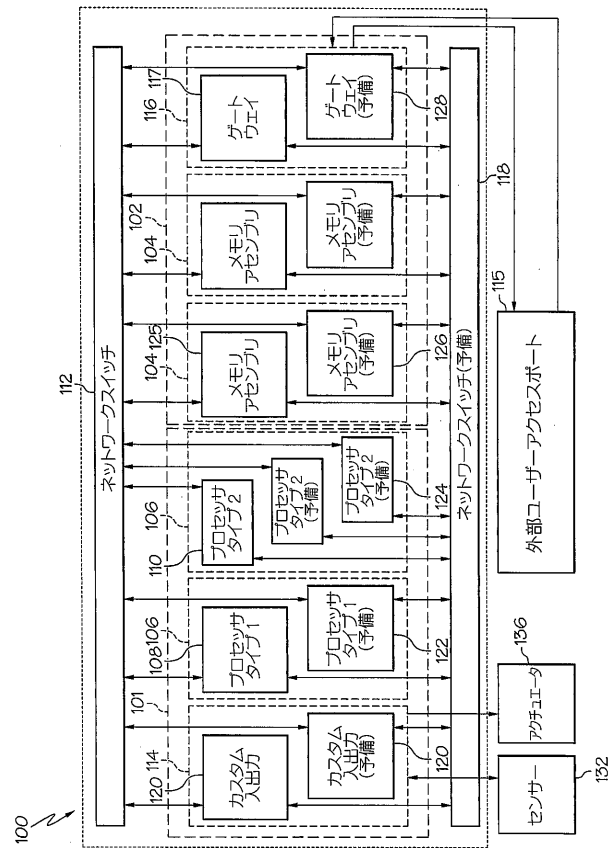
[0048]この記述は、説明の目的でなされており、開示した実施形態に対して、網羅的であることも、限定的であることも意図していない。以下に述べる特許請求の範囲内で、変更及び修正が可能である。たとえば、上述の例のいくつかは、ネットワークプロトコルとしてシリアルラピッド I O を利用しているが、しかしながら、代替技術を使用して、P C I e スイッチング及び他の同様な相互接続メカニズムのような非ブロッキングスイッチングを提供することで、代替的な実施態様が実施可能であることが理解されることである。さらに、上述のネットワーク構成部分のいくつかは、適切な処理回路部及びマシン可読格納媒体上で実行されるソフトウェアを用いて又は配線論理回路を通じて実装することができる。

20

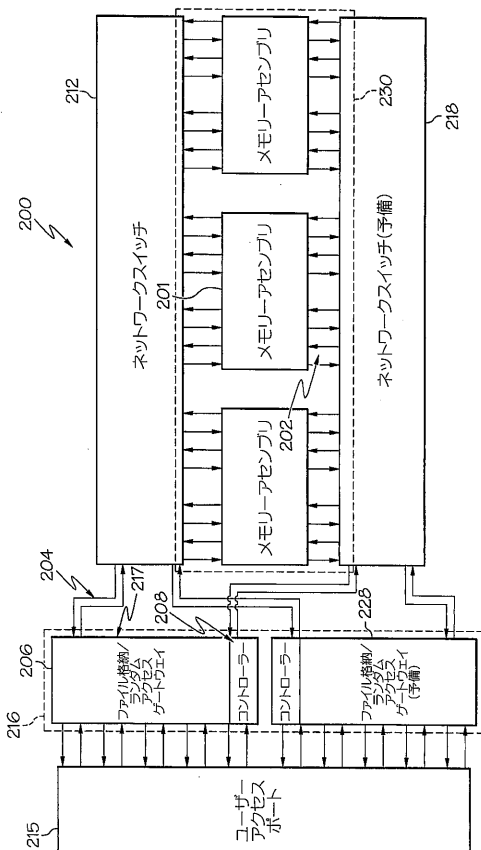
【 図 1 A 】



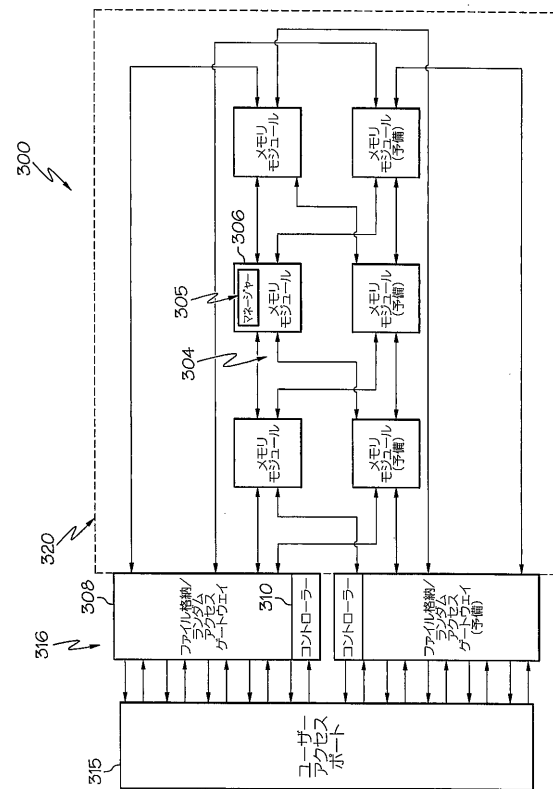
【 図 1 B 】



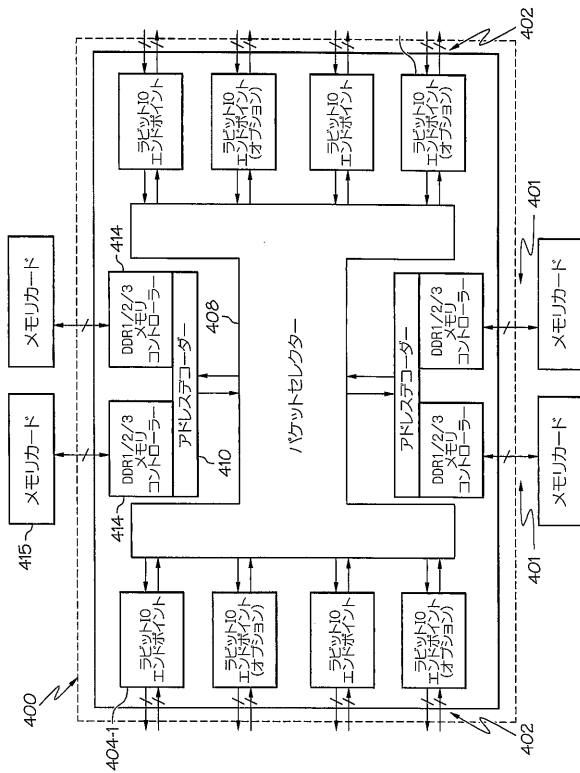
【 図 2 】



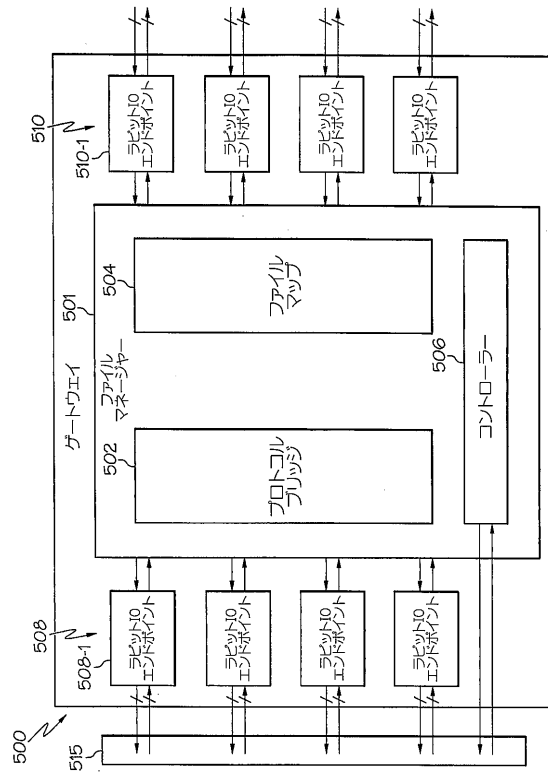
【 図 3 】



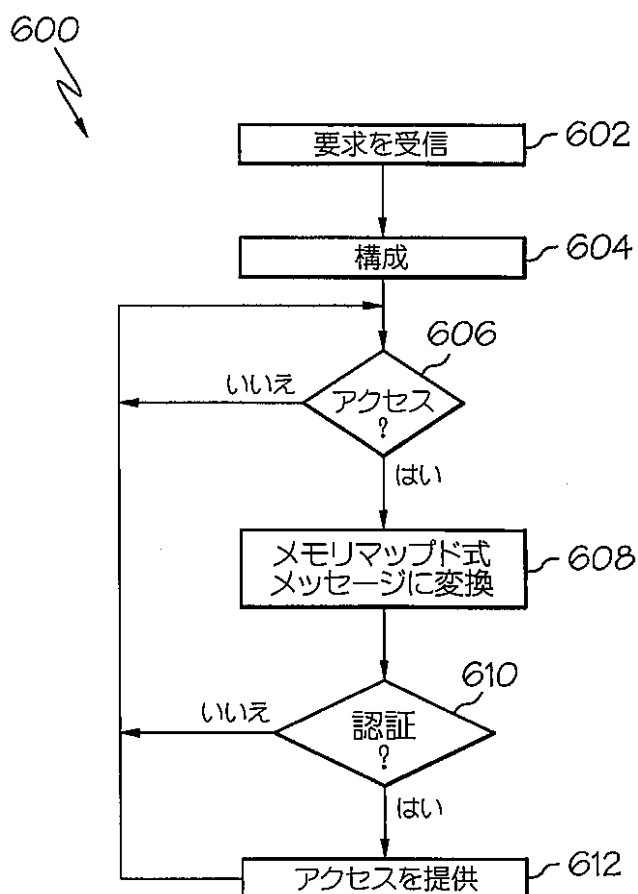
【図 4】



【図 5】



【図 6】



フロントページの続き

(74)代理人 100147991

弁理士 鳥居 健一

(72)発明者 クリフォード・イー・キメリー

アメリカ合衆国ニュージャージー州 0 7 9 6 2 - 2 2 4 5 , モーリスタウン, コロンビア・ロード

1 0 1 , ピー・オー・ボックス 2 2 4 5 , ハネウエル・インターナショナル・インコーポレー

テッド, パテント・サーヴィシズ エム/エス エイビー/2ビー

Fターム(参考) 5B060 MB01 MM09

【外国語明細書】
2012069119000001.pdf