

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為：。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、 2007/02/22、 2007-042924

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明有關一半導體裝置及一用於製造該半導體裝置
5 之方法。

【先前技術】

發明背景

一諸如LSI等半導體裝置中，一雜質擴散區(譬如一源
極/汲極區)係形成於一半導體基材的一表面層中，且一熱性
10 氧化膜形成於雜質擴散區上作為一閘極絕緣膜。在此時，
熱性氧化膜的生長速率傾向於隨著雜質擴散區的雜質濃度
變高而更快速。此現象稱為加速氧化。

依據雜質擴散區扮演的角色將半導體基材中所形成之
雜質擴散區的濃度予以最佳化。因此，一晶片中的複數個
15 雜質擴散區具有相同濃度。通常，雜質擴散區的濃度彼此
不同。

然而，當雜質擴散區的濃度彼此不同時，熱性氧化膜
由於上述加速氧化而在具有高濃度的雜質擴散區中比起其
他部分中生長更厚。需藉由在一金屬矽化物層形成於雜質
20 擴散區的表面層中之前作蝕刻來移除熱性氧化膜。然而，
當對於厚狀形成的熱性氧化膜調整蝕刻時間時，設置於熱
性氧化膜下方的裝置隔離絕緣膜亦在薄狀形成有熱性氧化
膜之部分中被蝕刻。

基於此理由，譬如日本專利申請公開案2003-282740所

示，產生了漏電流在一電晶體之一主動區的邊緣部分中增大之問題。

日本專利申請公開案2003-282740中，為了避免此問題，一熱性氧化膜係被一氮化矽膜覆蓋藉以防止氮化矽膜
5 底下的熱性氧化膜被加速氧化(請見段落0040)。

此外，日本專利申請公開案2002-280464中，一具有防止加速氧化的功能之諸如氮等物質被離子植入至一半導體基材中(請見段落0060)。

【發明內容】

10 發明概要

此處所討論的實施例之一態樣係在於提供一半導體裝置，其包括一半導體基材、第一及第二雜質擴散區，其在半導體基材的一表面層中形成於相距彼此的一距離處、一熱性氧化膜，其形成於至少第一及第二雜質擴散區及其間
15 的半導體基材上、一快閃記憶體胞元，其藉由依序將一由一第一傳導膜形成之浮閘極、一中間絕緣膜、一由一第二傳導膜形成之控制閘極層疊在熱性氧化膜上而形成，且其使用第一及第二雜質擴散區作為源極/汲極區、一間層絕緣膜，其覆蓋快閃記憶體胞元，且其在第一雜質擴散區上
20 方設有一第一孔、及一第一傳導性插塞，其形成於第一孔中，其中熱性氧化膜自第一雜質擴散區的一部份區中被移除，一金屬矽化物膜形成於第一雜質擴散區的部份區上，且金屬矽化物層及傳導性插塞被連接。

此處所討論實施例的另一態樣係在於提供一用於製造

一半導體裝置之方法，其包括以下步驟：依此次序將一熱性氧化膜、一第一傳導膜、及一中間絕緣膜形成於一半導體基材上方，形成一第二傳導膜於中間絕緣膜上方，藉由將第一傳導膜、中間絕緣膜、及第二傳導膜予以圖案化以

5 形成一設有一浮閘極、中間絕緣膜、及一控制閘極之快閃記憶體胞元，在控制閘極旁邊的半導體基材之部分中形成將成為快閃記憶體胞元的源極/汲極區之第一及第二雜質擴散區，在第一及第二雜質擴散區形成之後熱性氧化半導體基材及浮閘極的各者之表面，在熱性氧化之後於第一雜

10 質擴散區的一部份區上方、熱性氧化膜及快閃記憶體胞元上方形成一設有一窗之阻劑圖案，藉由經過窗作蝕刻以移除部份區中的熱性氧化膜，移除阻劑圖案，形成一金屬矽化物層於第一雜質擴散區的部份區上，形成一覆蓋住快閃記憶體胞元之間層絕緣膜，在部份區上方形成一第一孔於

15 間層絕緣膜中；及在第一孔中形成一連接至金屬矽化物層之傳導性插塞。

圖式簡單說明

第1A至1V圖為根據初步說明之一製造半導體裝置的橫剖視圖；

20 第2A至2G圖為根據初步說明之製造半導體裝置的平面圖；

第3圖為根據初步說明將讀取一快閃記憶體胞元時所施加的電壓添加至半導體裝置的一均等電路之圖式；

第4圖為根據初步說明將進行寫入至快閃記憶體胞元

時所施加的電壓添加至半導體裝置的均等電路之圖式；

第5圖為初步說明中用於描述當蝕刻一裝置隔離絕緣膜時所造成的缺點之橫剖視圖；及

第6A至6C圖為顯示根據一實施例之一製造半導體裝置之橫剖視圖。

【實施方式】

較佳實施例之詳細說明

(1)初步說明

描述較佳實施例之前，下文將提供初步說明。

10 第1A至1V圖為根據初步說明之一製造半導體裝置的橫剖視圖，而第2A至2G圖為其平面圖。

此半導體裝置為一設有一快閃記憶體胞元及一周邊電晶體之邏輯嵌入式非依電性記憶體。如第1A圖所示，此半導體裝置具有一胞元區A及一周邊電路區B。

15 為了製造半導體裝置，如第1A圖所示，裝置隔離溝槽1a首先形成於一矽(半導體)基材1中，而氧化矽膜或類似物形成之裝置隔離膜2係嵌入裝置隔離溝槽1a中。

其後，第一及第二p-井3及4分別形成於胞元區A及周邊電路區B中。

20 請注意第1A圖的橫剖視圖係對應於沿著第2A圖的線I-I、II-II、III-III及IV-IV所取者。

接著，如第1B圖所示，矽基材1的一整體表面藉由在一含氧大氣中以近似800°C的基材溫度將其加熱而被熱性氧化。因此，形成了由一近似9.3 nm厚度的熱性氧化膜所形

成之一穿隧絕緣膜5。

接著，如第1C圖所示，一其中摻雜磷作為雜質之經摻雜非晶矽膜係藉由一化學氣相沉積(CVD)方法以近似90 nm厚度形成於穿隧絕緣膜5上。使用所形成的非晶矽膜作為一第一傳導膜8。

接著，如第1D圖所示，一第一阻劑圖案10形成於第一傳導膜8上。其後，利用此第一阻劑圖案10作為一罩幕來蝕刻第一傳導膜8，故使複數個開縫形開口8x形成於胞元區A中的第一傳導膜8中。

10 其後，移除第一阻劑圖案10。

第2B圖為第一阻劑圖案10移除後之平面圖。

接著，如第1E圖所示，一ONO膜在第一傳導膜8及裝置隔離絕緣膜2各者上形成為一中間絕緣膜12。

如第1E圖的虛線圓形所示，藉由此次序形成一第一氧化矽膜12a、一氮化矽膜12b、及一第二氧化矽膜12以製成中間絕緣膜12c。

這些膜之中，第一氧化矽膜12a藉由CVD方法以近似10 nm厚度形成在處於近似750°C基材溫度之第一傳導膜8上。氮化矽膜12b藉由CVD方法以近似12 nm的厚度形成。

20 然後，氮化矽膜12b的一表面層藉由以近似950°C基材溫度在含氧大氣中加熱其表面被熱性氧化藉以形成最上層中之第二氧化矽膜12c。其目標厚度在一測試矽基材的一表面上被設定至180 nm。然而，因為氮化矽比矽更不易氧化，第二熱性氧化膜的實際厚度變成近似5 nm。

此處，用於一周邊電路之一金屬氧化物半導體(MOS)電晶體稍後形成於周邊電路區B中。當MOS電晶體形成時，不需要中間絕緣膜12及第一傳導膜8。

5 基於此理由，如第1F圖所示，下個製程中，一第二阻劑圖案14在周邊電路區B以外之區域中形成於中間絕緣膜12上。其後，周邊電路區B中之中間絕緣膜12、第一傳導膜8、及穿隧絕緣膜5藉由乾蝕刻被移除同時使用此第二阻劑圖案14作為一罩幕。

10 此蝕刻係為使用一以氟為基礎的氣體或一以氯為基礎的氣體作為蝕刻氣體之異向性蝕刻。

其後，移除第二阻劑圖案14。

接著，將描述用於獲得第1G圖所示的一橫剖面結構之製程。

15 首先，周邊電路區B中之矽基材1的表面被熱性氧化，藉以形成一用於一周邊電路之閘極絕緣膜15。閘極絕緣膜15由近似7.0 nm厚度的一熱性氧化膜形成。

20 隨後，一非晶矽膜藉由CVD方法以近似120 nm厚度形成於中間絕緣膜12及閘極絕緣膜15各者上。尚且，一鎢矽膜藉由CVD方法以140 nm厚度形成於非晶矽膜上。使用這些非晶矽膜及鎢矽膜的一經層疊膜作為一第二傳導膜16。請注意可在形成第二傳導膜16時基於降低電阻之用途將一諸如磷等雜質摻雜至構成第二傳導膜16的非晶矽內。

第2C圖為第二傳導膜16以此方式形成後之平面圖。

接著，如第1H圖所示，一第三阻劑圖案18形成於第二

傳導膜16上。第三阻劑圖案18的平面性形狀在胞元區A中為條紋。其後，利用第三阻劑圖案18作為罩幕來蝕刻胞元區A中之第一傳導膜8、中間絕緣膜12、及第二傳導膜16。

5 此蝕刻為使用一以氟為基礎的氣體或一以氯為基礎的氣體作為蝕刻氣體之異向性蝕刻。

直到此步驟，藉由依此次序層疊一浮閘極8a、一中間絕緣膜12、及一控制閘極16a所製成之一快閃記憶體胞元FL係形成於胞元區A中。其中，控制閘極16a構成一字元線(WL)的一部份。

10 此外，在此一快閃記憶體胞元FL形成之同時，一設有閘極電極8b作為一將稍後描述的選擇線之選擇電晶體 TR_{SEL} 係形成於相距快閃記憶體胞元FL的一距離處。

15 類似於浮閘極8a，構成選擇電晶體 TR_{SEL} 之閘極電極8b係由第一傳導膜8製成，而中間絕緣膜12及第二傳導膜16留在閘極電極8b上。此外，穿隧絕緣膜5扮演作為選擇電晶體 TR_{SEL} 的一閘極絕緣膜之角色。

其後，移除第三阻劑圖案18。

第2D圖為第三阻劑圖案18移除後之平面圖。

20 如圖所示，控制閘極16a及閘極電極8b形成於條紋中且彼此平行。

接著，如第1I圖所示，一在閘極電極8b上方設有一窗20a之第四阻劑圖案20係形成於第二傳導膜16上。

隨後，利用第四阻劑圖案20作為罩幕來蝕刻胞元區A中之第二傳導膜16以在閘極電極8b的一接觸區CR上方移

除第二傳導膜16。藉此，形成一開口16c，同時，周邊電路區B中，第二傳導膜16被圖案化成為一用於一周邊電路之閘極電極16d中。

此蝕刻完成之後移除第四阻劑圖案20。

5 第2E圖為第四阻劑圖案20移除後之平面圖。

接著，如第1J圖所示，一第五阻劑圖案22形成於矽基材1的整體上表面上。快閃記憶體胞元FL之控制閘極16a的兩側表面係自第五阻劑圖案22曝露，而閘極電極8b的兩側表面覆蓋有第五阻劑圖案22。

10 隨後，當使用此第五阻劑圖案22作為罩幕，n-型雜質被離子植入至浮閘極8a旁邊之矽基材1中。藉此，將成為快閃記憶體胞元FL的源極/汲極區之第一及第二雜質擴散區24a及24b係形成於相距彼此的一距離處。

15 在兩步驟中進行離子植入。第一步驟中，磷在以30 KeV加速能及 $1.0 \times 10^{14} \text{cm}^{-2}$ 劑量的條件下被離子植入，後續步驟中，砷在以25 KeV加速能及 $6.0 \times 10^{15} \text{cm}^{-2}$ 劑量的條件下被離子植入。

20 此處，因為閘極電極8b的側表面覆蓋有第五阻劑圖案22，第二雜質擴散區24b形成於相距閘極電極8b之一距離處。

其後，移除第五阻劑圖案22。

接著，如第1K圖所示，磷被離子植入矽基材1中作為n-型雜質，故使具有比第一及第二雜質擴散區24a及24b更低雜質濃度之第一至第三源極/汲極延伸部26a至26c形成於胞

元區A中。離子植入的條件譬如為20 KeV的加速能及 $5.0 \times 10^{13} \text{cm}^{-2}$ 的劑量。

接著，如第1L圖所示，矽基材1及浮閘極8a的表面藉由800°C 基材溫度在含氧大氣中加熱其表面而被熱性氧化。藉此，一可犧牲熱性氧化膜以5 nm厚度形成於矽基材1上。

如圖中虛線圓形所示，藉由形成此一可犧牲熱性氧化膜28來氧化面對矽基材1之浮閘極8a的一角落。因此，該角落附近之穿隧絕緣膜5的厚度係增大。結果，使得累積浮閘極8a中的電子E難以連同虛線圓形的箭頭所示路徑P逃往基材1。因此，電子E可被長時間留置在浮閘極8a中，且改良了快閃記憶體胞元FL的留置特徵。

其後，磷在20 KeV加速能及 $5.0 \times 10^{13} \text{cm}^{-2}$ 劑量之條件下於周邊電路區B中被離子植入矽基材1中作為n-型雜質。藉此，一第四源極/汲極延伸部26d形成於用於一周邊電路之閘極電極16d旁邊。

此處，在使第一及第二雜質擴散區24a及24b形成於矽基材1的表面層中之部分中，其雜質濃度高於其他部分者。基於此理由，熱性氧化時的加速氧化具有強烈效應。結果，穿隧絕緣膜5的厚度在雜質擴散區24a及24b中由於此熱性氧化而增大。

接著，如第1M圖所示，一氧化矽膜藉由CVD方法以近似120 nm厚度形成於矽基材1整體上表面上作為一側壁絕緣膜30。

然後，如第1N圖所示，此側壁絕緣膜30被回蝕以留作

為浮閘極8及閘極電極8b旁邊之絕緣側壁30a。

將回蝕量設定為可使第三源極/汲極延伸部26c及側壁絕緣膜30上的穿隧絕緣膜5被移除之數值。為此，由於加速氧化被厚狀形成於第一及第二雜質擴散區24a及24b上之穿隧絕緣膜5並未受此回蝕所移除。

接著，如第10圖所示，矽基材1的整體表面藉由850°C 基材溫度在含氧大氣中將其加熱而再度被熱性氧化。藉此，由一熱性氧化膜形成之一貫通絕緣膜32係以近似5 nm 厚度形成。

10 接著，如第1P圖所示，以使選擇電晶體TR_{SEL}的閘極電極8b及用於一周邊電路的閘極電極16d曝露之方式將一第六阻劑圖案36形成於矽基材1的整體上表面上。然後，使用此第六阻劑圖案36作為一罩幕時，n-型雜質經由貫通絕緣膜32被離子植入至矽基材1中。

15 因此，作為n-型選擇電晶體TR_{SEL}的源極/汲極區之第三及第四雜質擴散區24c及24d係在閘極電極8b旁邊形成於矽基材1中。請注意第三及第四雜質擴散區24c及24d的雜質濃度皆低於第一及第二雜質擴散區24a及24b的雜質濃度。尚且，第三雜質擴散區24c如圖示形成為與第二雜質擴散區
20 24b相鄰。

在同時，作為用於一周邊電路之電晶體的源極/汲極區之第五及第六雜質擴散區24e及24f亦在用於一周邊電路的閘極電極16d旁邊形成於矽基材1中。結果，由雜質擴散區24e及24f、閘極電極16d及類似物所形成之一n-型周邊電晶

體 TR_{PERI} 係形成於周邊電路區B中。

雖然未特別限制此離子植入的條件，此實施例中使用30 KeV加速能及 $1.0 \times 10^{15} \text{cm}^{-2}$ 劑量。

其後，移除第六阻劑圖案36。

- 5 接著，如第1Q圖所示，將一光阻塗覆在矽基材1的整體上表面上。然後，使光阻曝光及顯影以形成一第七阻劑圖案39。

第七阻劑圖案39在選擇電晶體 TR_{SEL} 的閘極電極8b之接觸區CR中具有一窗39a。

- 10 其後，藉由經過穿39a蝕刻以曝露閘極電極8b的接觸區CR來移除中間絕緣膜12。此蝕刻為使用一以氟為基礎的氣體作為蝕刻氣體之異向性蝕刻。

其後，移除第七阻劑圖案39。

- 15 32。然後，如第1R圖所示，藉由濕蝕刻來移除貫通絕緣膜

接著，將描述用於獲得第1S圖所示的一橫剖面結構之製程。

首先，一鈦膜藉由濺鍍方法以近似31.5 nm厚度形成於矽基材1的整體上表面上作為一耐火金屬層。

- 20 隨後，在 700°C 基材溫度及近似90秒加工時間之條件下於氮大氣中在耐火金屬膜上進行退火。藉此，控制閘極16a及矽基材1中所含的矽係與一耐火金屬起反應以形成由矽化鈦製成之一金屬矽化物層40。

其後，藉由濕蝕刻來移除裝置隔離絕緣膜2及絕緣側壁

30a上仍未反應之耐火金屬膜。

然後，金屬矽化物層40在一氫大氣中被再度退火以降低金屬矽化物層40的電阻。譬如以30秒在800°C的基材溫度進行退火。

5 此處，如上述，穿隧絕緣膜5由於加速氧化以厚狀留在第一及第二雜質擴散區24a及24b上。因此，第一及第二雜質擴散區24a及24b上的穿隧絕緣膜5係防止矽與耐火金屬膜之反應，故金屬矽化物層40未形成於第一及第二雜質擴散區24a及24b上。

10 接著，將描述用於獲得第1T圖所示的一橫剖面結構之製程。

首先，一氧化矽膜藉由電漿CVD方法以近似100 nm厚度形成於矽基材1的整體上表面上作為一覆蓋絕緣膜42。

15 隨後，一硼磷矽酸鹽玻璃(BPSG)膜藉由CVD方法以1700 nm厚度形成於覆蓋絕緣膜42上。使用此BPSG膜作為第一間層絕緣膜43。

其後，第一間層絕緣膜43的上表面藉由CMP方法被平面化，然後使第一間層絕緣膜43及覆蓋絕緣膜42被圖案化。藉此，第一孔43a在第一及第四雜質擴散區24a及24d上方形成於這些絕緣膜中。此外，一第二孔43b在閘極電極8b的接觸區CR上方形成於絕緣膜42及43中，而第三孔43c在周
20 邊區B中形成於第五及第六雜質擴散區24e及24f上方。

然後，一鈦膜及一氮化鈦膜以此次序藉由濺鍍方法在第一至第三孔43a至43c的內表面上及第一間層絕緣膜43上

表面上形成為一膠膜。尚且，一鎢膜藉由CVD方法形成於此膠膜上以由鎢膜完全地嵌設孔43a至43c。

其後，移除第一間層絕緣膜43上的過度膠膜及鎢膜，且這些膜只留在第一至第三孔43a至43c中作為第一至第三
5 傳導性插塞44a至44c。

這些插塞之中，第一傳導性插塞44a電性連接至第一及第四雜質擴散區24a及24d。此外，第二傳導性插塞44b在閘極電極8b的接觸區CR中連接至金屬矽化物層40，且經由此金屬矽化物層40電性連接至閘極電極8b。然後，第三傳導
10 性插塞44c電性連接至第五及第六雜質擴散區24e及24f。

第2F圖為傳導性插塞44a至44c如上述形成後之平面圖。

接著，如第1U圖所示，一金屬層疊膜藉由濺鍍方法形成於第一間層絕緣膜43上。金屬層疊膜隨後被圖案化至一
15 源極線(SL)46a、一選擇線支承層46b、一位元線接觸墊46c、及一用於一周邊電路之配線46d。金屬層疊膜係譬如由一氮化鈦膜、一鈦膜、一含銅鋁膜及一氮化鈦膜以此次序層疊而成。

隨後，如第1V圖所示，一氧化矽膜在矽基材1的整體表面上形成為一第二間層絕緣膜48。然後，第二間層絕緣膜
20 48的上表面藉由CMP方法被拋光及平面化。

尚且，第二間層絕緣膜48被圖案化以在位元線接觸墊46c上形成一第四孔48a。一被電性連接至位元線接點墊46c之第五傳導性插塞50係藉由類似於第一至第三傳導性插塞

44a至44c的一方法嵌入第四孔48a中。

其後，一金屬層疊膜藉由濺鍍方法形成於第五傳導性插塞50及第二間層絕緣膜48的上表面各者上。金屬層疊膜隨後被圖案化至位元線(BL)52中。

5 第2圖為此製程完成後之平面圖。

藉此，完成半導體裝置的一基本結構。

第3圖為將讀取快閃記憶體胞元FL時所施加之電壓添加至半導體裝置的一均等電路圖之圖式。

10 如圖所示，讀取時，將+3 V的一電壓施加至選擇線(閘極電極)8b以使選擇電晶體 TR_{SEL} 設定在一ON狀態中。此外，當+1.4 V的一電壓施加至字元線(控制閘極)16a時，位元線52的一偏壓電壓(0.8 V)係施加至快閃記憶體胞元FL的源極區(第二雜質擴散區)24b。請注意源極線46a被設定為一地極電位。

15 其後，藉由一所顯示感測電路決定一電流是否流動於快閃記憶體胞元FL的汲極區(第一雜質擴散區)24a與源極區(第二雜質擴散區)24b之間，故可讀出資訊(孔)是否被寫入快閃記憶體胞元FL的浮閘極8a中。

20 相對地，第4圖為將進行寫入至快閃記憶體胞元FL時所施加的電壓添加至上述均等電路圖之圖式。

如圖所示，寫入時，選擇線8b被設定至一地極電位以將選擇電晶體 TR_{SEL} 設定在一OFF狀態中，且位元線52被設定至一浮動電位。尚且，+6.25 V的一正電位被施加至源極線46a，且-6.25 V的一負電位被施加至控制閘極16a，故使

孔(資訊)累積於浮閘極8a中。

此處，具有如上述的此均等電路結構之半導體裝置中，若選擇電晶體 TR_{SEL} 及快閃記憶體胞元FL的各者之源極/汲極區的雜質濃度設定為相等，將造成下列缺點。

- 5 首先，對於快閃記憶體胞元FL，源極/汲極區(第一及第二雜質擴散區)24a及24b的雜質濃度變成低於便利寫入操作所需要者。因此，變成難以進行對於快閃記憶體胞元FL之寫入操作。

對於選擇電晶體 TR_{SEL} ，源極/汲極區(第三及第四雜質擴散區)24c及24d的雜質濃度變成不良地增加，其轉而使得p-型第一井3與區24c及24d之間的介面處之一p-n接面的梯度更陡。因此，基材與源極/汲極區之間的接面洩漏係增加。

為了避免此等缺點，此型的一半導體裝置中，作為快閃記憶體胞元FL的源極/汲極區之第一及第二雜質擴散區24a及24b的雜質濃度係設定為高於作為選擇電晶體 TR_{SEL} 的源極/汲極區之第三及第四雜質擴散區24c及24d者。

然而，當不同雜質濃度之區24a至24d以此方式出現於矽基材1的表面層中時，用於增加留置特徵之熱性氧化的步驟中(第1L圖)，穿隧絕緣膜5由於加速氧化以高雜質濃度厚狀生長於第一雜質擴散區24a上。

即便進行第1N及1R的蝕刻步驟之後，可犧牲熱性氧化膜28仍留在第一雜質擴散區24a上，其因此防止形成如上述的金屬矽化物層40(請見第1S圖)。

結果，第一雜質擴散區24a上的第一傳導性插塞44a(請

見第1T圖)係直接接觸於第一雜質擴散區24a而在其間並無金屬矽化物層40。基於此理由，造成第一傳導性插塞44a的接觸電阻增大之問題。

為了避免此問題，可能考慮在第1N及1R圖的蝕刻步驟
5 中，進一步進行回蝕直到第一雜質擴散區24a的穿隧絕緣膜5被移除為止。

第5圖為進行此蝕刻的案例中之選擇電晶體 TR_{SEL} 附近的一重要部分之放大橫剖視圖。請注意此橫剖視圖對應於沿著第2F圖的線V-V所取者。如圖所示，當進行回蝕藉以移
10 除第一雜質擴散區24a上的厚可犧牲熱性氧化膜28時，選擇電晶體 TR_{SEL} 旁邊之裝置隔離絕緣膜2亦被蝕刻。結果，裝置隔離絕緣膜2的上表面變成低於第四雜質擴散區24d。

當裝置隔離絕緣膜2具有此一低下表面時，金屬矽化物層40亦形成於裝置隔離溝槽1a中。結果，產生的另一問題
15 在於第四雜質擴散區24d的第一傳導性插塞44a及第一p-井3造成由於金屬矽化物層40所致之電性短路。

鑒於上文描述，本申請案的發明人提出下列實施例。

(2)本實施例的描述

第6A至6C圖為根據本實施例之一半導體裝置在製造
20 過程中的橫剖視圖。

為了製造此半導體裝置，首先進行第1A至1P圖的上述製程。

接著，如第6A圖所示，第1Q圖所述的第七阻劑圖案39形成於穿隧絕緣膜5及快閃記憶體胞元FL各者上。

第七阻劑圖案39在閘極電極8b的接觸區CR上方具有一窗39a，並在第一雜質擴散區24a的一部份區PR上方具有一窗39b。

其後，第一雜質擴散區24a的部份區PR中，如上述由於
5 加速氧化被厚狀形成之穿隧絕緣膜5係藉由經過窗39b蝕刻而被移除。在同時，藉由在閘極電極8b的接觸區CR上方經由窗39a蝕刻以移除中間絕緣膜12。

如參照第1Q圖所述，此蝕刻為使用一以氟為基礎的氣體作為蝕刻氣體之異向性蝕刻。

10 請注意第七阻劑圖案39的窗39b自浮閘極8a旁邊之絕緣側壁30位移。為此，絕緣側壁30a與部份區PR之間的穿隧絕緣膜5係被第七阻劑圖案39覆蓋，且留下不被蝕刻。

在此蝕刻完成之後移除第七阻劑圖案39。

接著，如第6B圖所示，藉由進行與第1R及1S圖者相同的
15 的製程，一由矽化鈦製成的金屬矽化物層40係形成於第一至第六雜質擴散區24a至24f上。

此處，因為第一雜質擴散區24a的部份區PR中之穿隧絕緣膜5在先前步驟中被移除，上述金屬矽化物層40亦形成於部份區PR中。

20 其後，藉由進行第1T至1V圖的上述製程來完成如第6C圖所示根據本實施例之半導體裝置的一基本結構。

一對於位居半導體裝置中的快閃記憶體胞元FL讀取及寫入資訊之方法係類似於第3及4圖所示者，因此將省略其描述。

根據上述本實施例，在第6A圖的步驟中移除由於加速氧化被厚狀形成於第一雜質擴散區24a的部份區PR中之穿隧絕緣膜5。因此，金屬矽化物層40亦可形成於部份區PR中。

5 因此，第一雜質擴散區24a上方的第一插塞44a(請見第6C圖)連接至金屬矽化物層40，故第一傳導性插塞44a的接觸電阻可降低。

如同本實施例中，可在該形成有不同雜質濃度的第一至第四雜質擴散區24a至24d之案例中特別容易獲得此優點。在此例中，藉由進行如上述用於改良留置特徵之熱性氧化的步驟(第1L圖)使穿隧絕緣膜5在第一至第四雜質擴散區24a至24d上具有不同膜厚度。

尚且，如上述，移除閘極電極8b的接觸區CR中不需要的中間絕緣膜12之步驟(第6A圖)係在移除部份區PR中的穿隧絕緣膜5方面扮演角色。因此，可避免增加製程數。

上文只視為用來示範本發明的原理。並且，因為熟習該技術者可容易瞭解眾多修改及變化，無意將本發明限制於所圖示及描述的確切構造及應用，且因此所有適當的修改及均等物可被視為落在申請專利範圍及其均等物中之本發明的範圍內。

【圖式簡單說明】

第1A至1V圖為根據初步說明之一製造半導體裝置的橫剖視圖；

第2A至2G圖為根據初步說明之製造半導體裝置的平

面圖；

第3圖為根據初步說明將讀取一快閃記憶體胞元時所施加的電壓添加至半導體裝置的一均等電路之圖式；

第4圖為根據初步說明將進行寫入至快閃記憶體胞元
5 時所施加的電壓添加至半導體裝置的均等電路之圖式；

第5圖為初步說明中用於描述當蝕刻一裝置隔離絕緣膜時所造成的缺點之橫剖視圖；及

第6A至6C圖為顯示根據一實施例之一製造半導體裝置之橫剖視圖。

10 【主要元件符號說明】

1...矽基材	12c...第二氧化矽膜
1a...裝置隔離溝槽	14...第二阻劑圖案
2...裝置隔離絕緣膜	15...閘極絕緣膜
3...p-型第一井	16...第二傳導膜
4...第二p-井	16a...字元線(控制閘極)
5...穿隧絕緣膜	16c...開口
8...第一傳導膜	18...第三阻劑圖案
8a...浮閘極	20...第四阻劑圖案
8b,16d...閘極電極	20a,39a,39b...窗
8x...開縫形開口	22...第五阻劑圖案
10...第一阻劑圖案	24a-24f...第一至第六雜質擴散區
12...中間絕緣膜	26a-26d...第一至第四源極/汲極延伸部
12a...第一氧化矽膜	28...可犧牲熱性氧化膜
12b...氮化矽膜	

- 30...側壁絕緣膜
- 30a...絕緣側壁
- 32...貫通絕緣膜
- 36...第六阻劑圖案
- 39...第七阻劑圖案
- 40...金屬矽化物層
- 42...覆蓋絕緣膜
- 43...第一間層絕緣膜
- 43a...第一孔
- 43b...第二孔
- 43c...第三孔
- 44a-44c...第一至第三傳導性
插塞
- 46a...源極線(SL)
- 46b...選擇線支承層
- 46c...位元線接觸墊
- 46d...配線
- 48...第二間層絕緣膜
- 48a...第四孔
- 50...第五傳導性插塞
- 52...位元線(BL)
- A...胞元區
- B...周邊電路區
- CR...接觸區
- E...電子
- FL...快閃記憶體胞元
- PR...第一雜質擴散區的部份區
- TR_{PERI}...n-型周邊電晶體
- TR_{SEL}...選擇電晶體

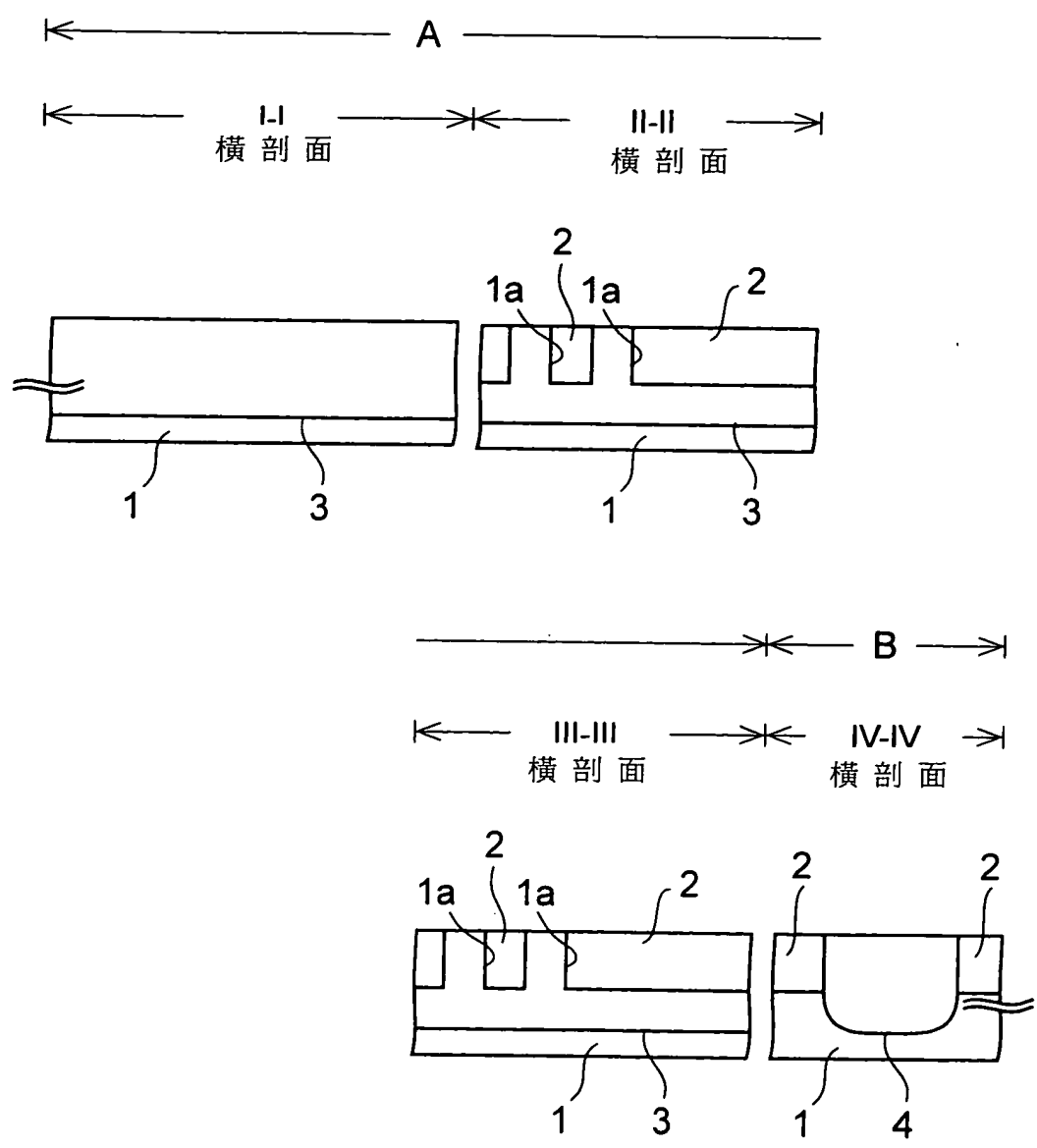
五、中文發明摘要：

本發明提供一用於製造一半導體裝置之方法，其包括以下步驟：形成一設有一浮閘極、一中間絕緣膜、及一控制閘極之快閃記憶體胞元，形成第一及第二雜質擴散區，熱性氧化一矽基材及浮閘極的表面，經過一阻劑圖案的一窗在一部份區中蝕刻一穿隧絕緣膜；形成一金屬矽化物層於部份區中之第一雜質擴散區上，形成一覆蓋住快閃記憶體胞元之間層絕緣膜，及在間層絕緣膜的一第一孔中形成一連接至金屬矽化物層之傳導性插塞。

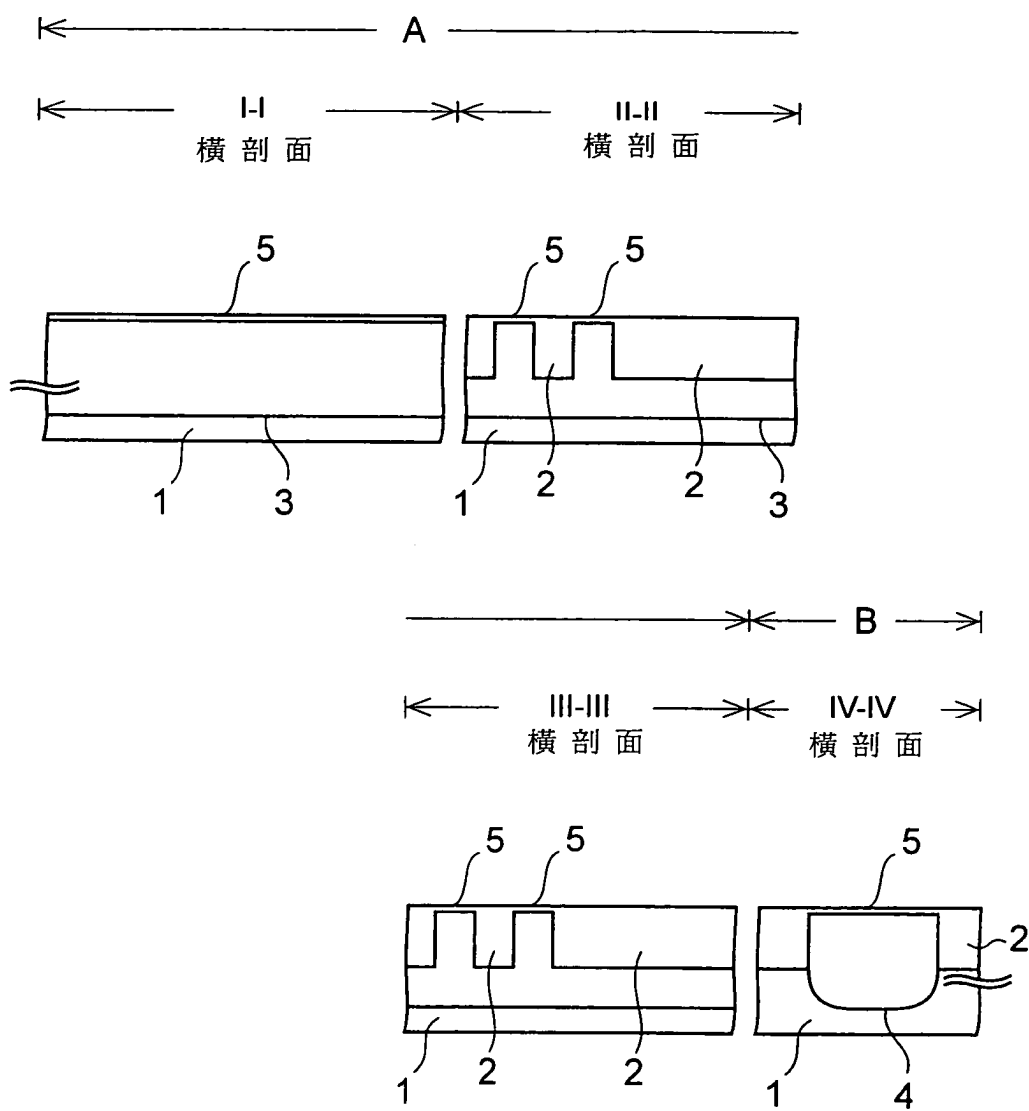
六、英文發明摘要：

The present invention provides a method for manufacturing a semiconductor device including the steps of forming a flash memory cell provided with a floating gate, an intermediate insulating film, and a control gate, forming first and second impurity diffusion regions, thermally oxidizing surfaces of a silicon substrate and the floating gate, etching a tunnel insulating film in a partial region through a window of a resist pattern; forming a metal silicide layer on the first impurity diffusion region in the partial region, forming an interlayer insulating film covering the flash memory cell, and forming, in a first hole of the interlayer insulating film, a conductive plug connected to the metal silicide layer.

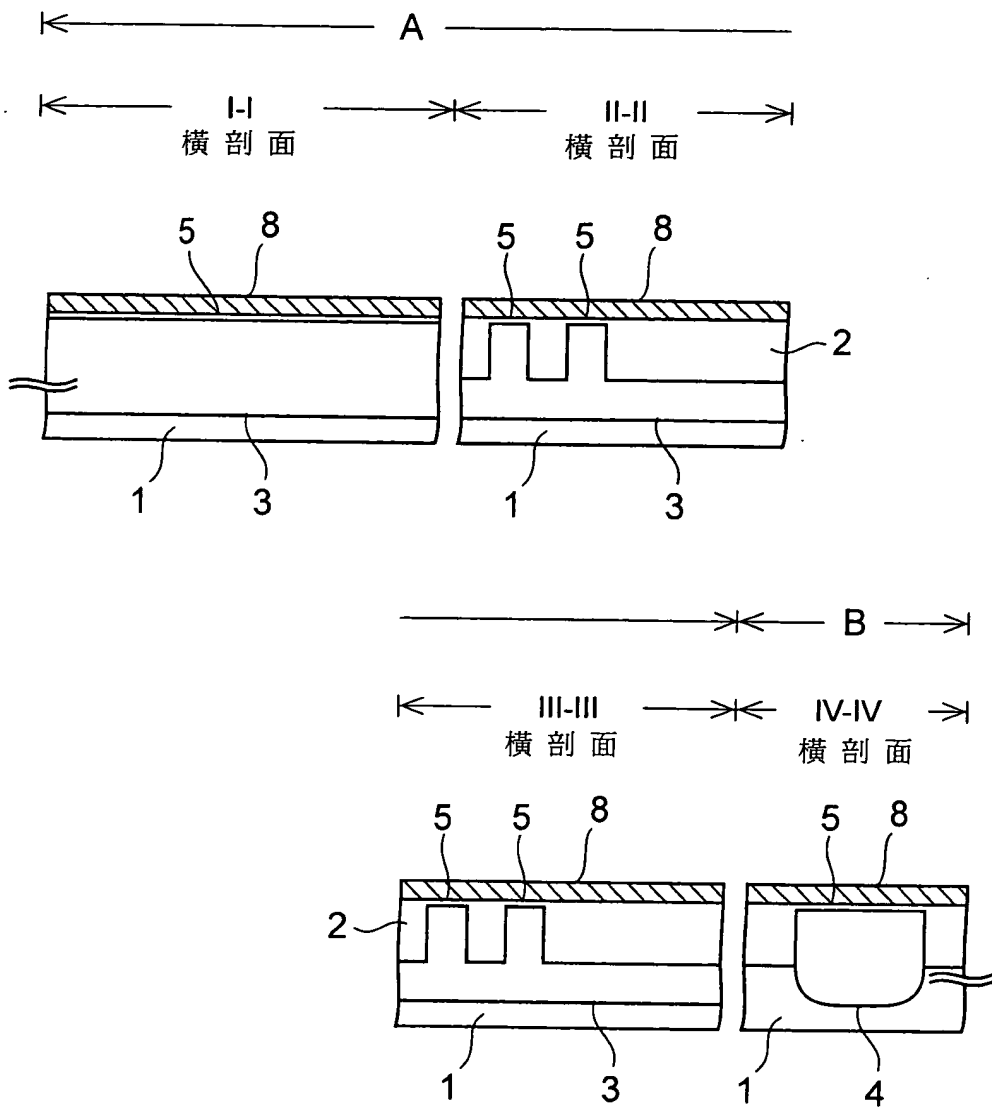
第1A圖



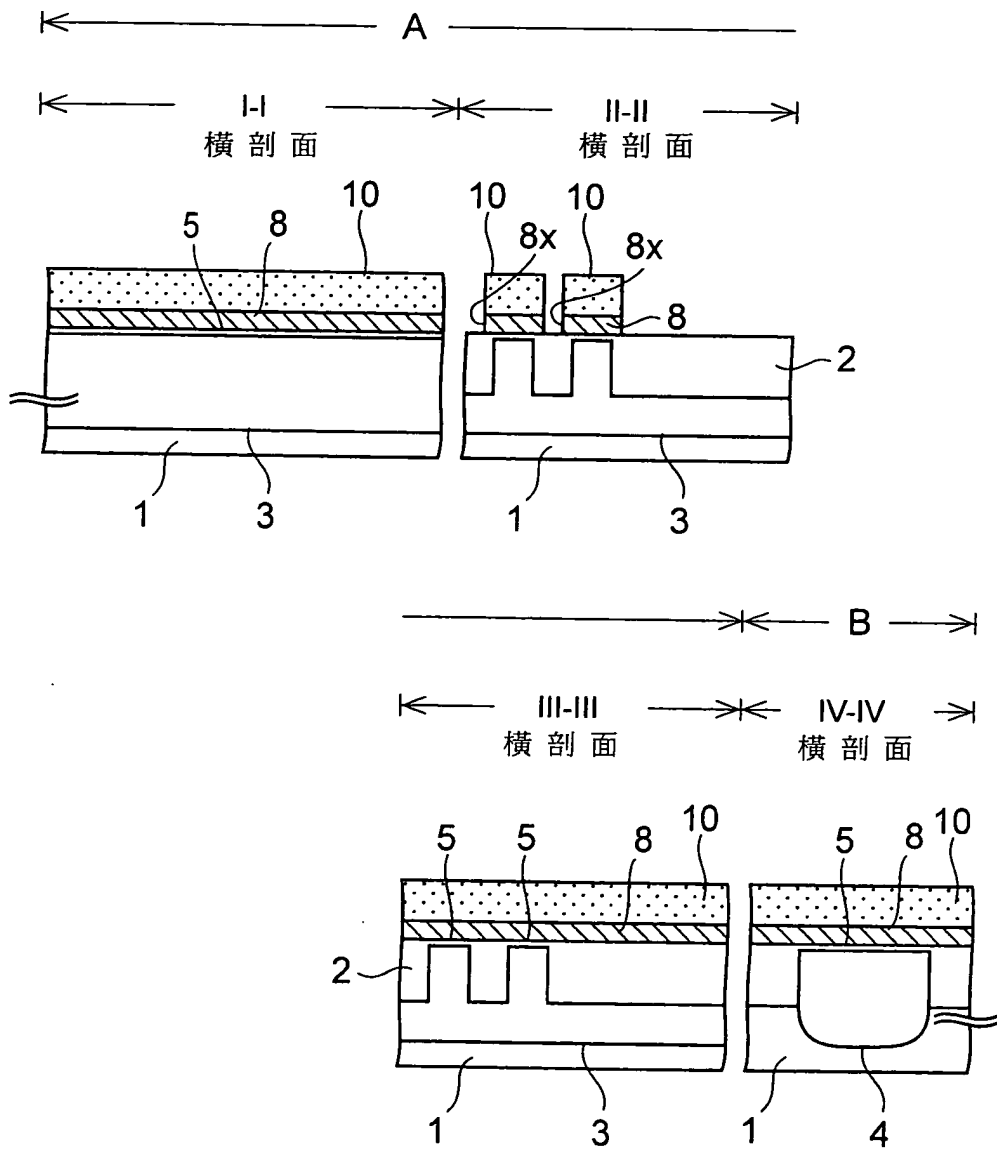
第 1B 圖



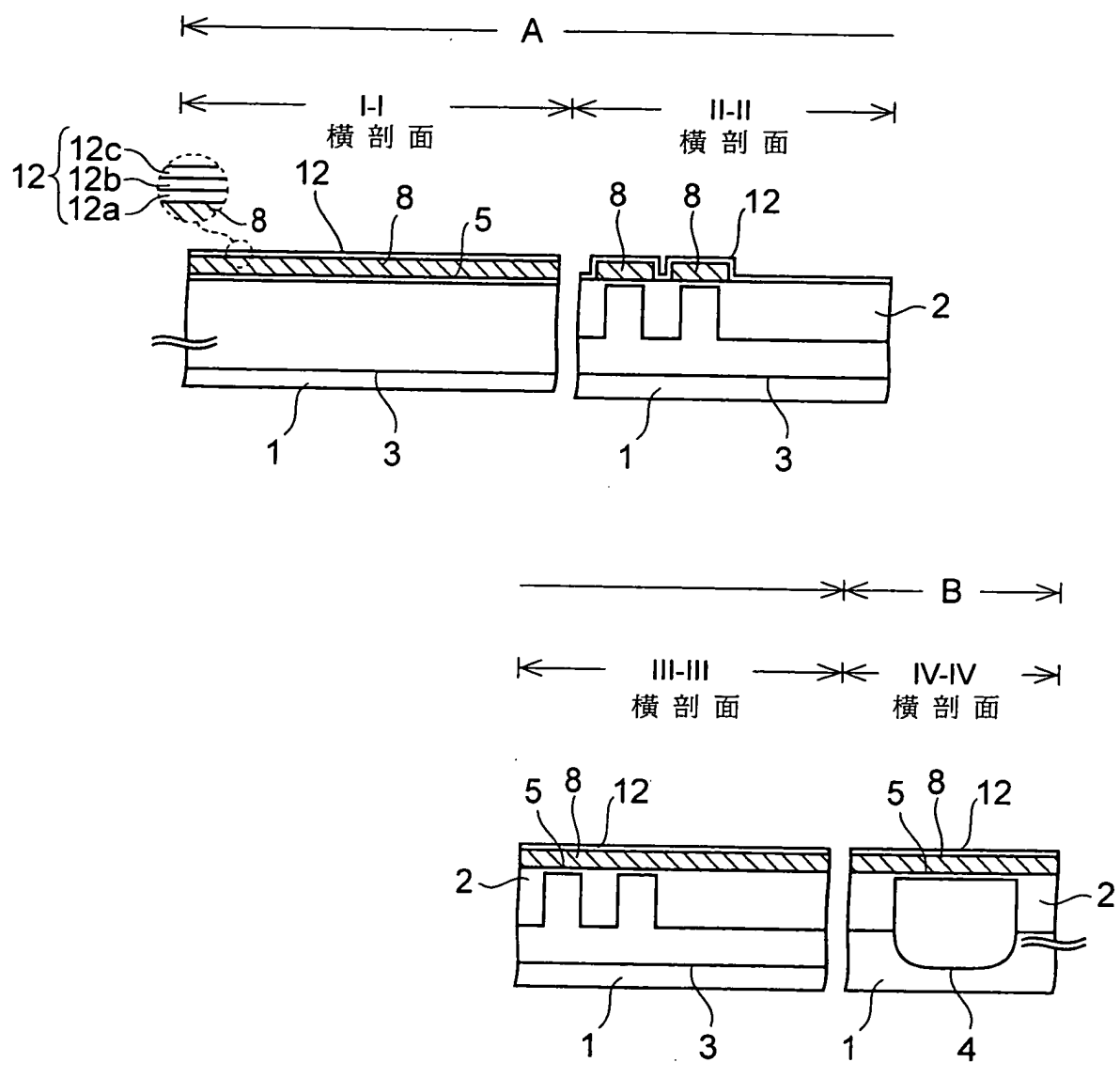
第 1C 圖



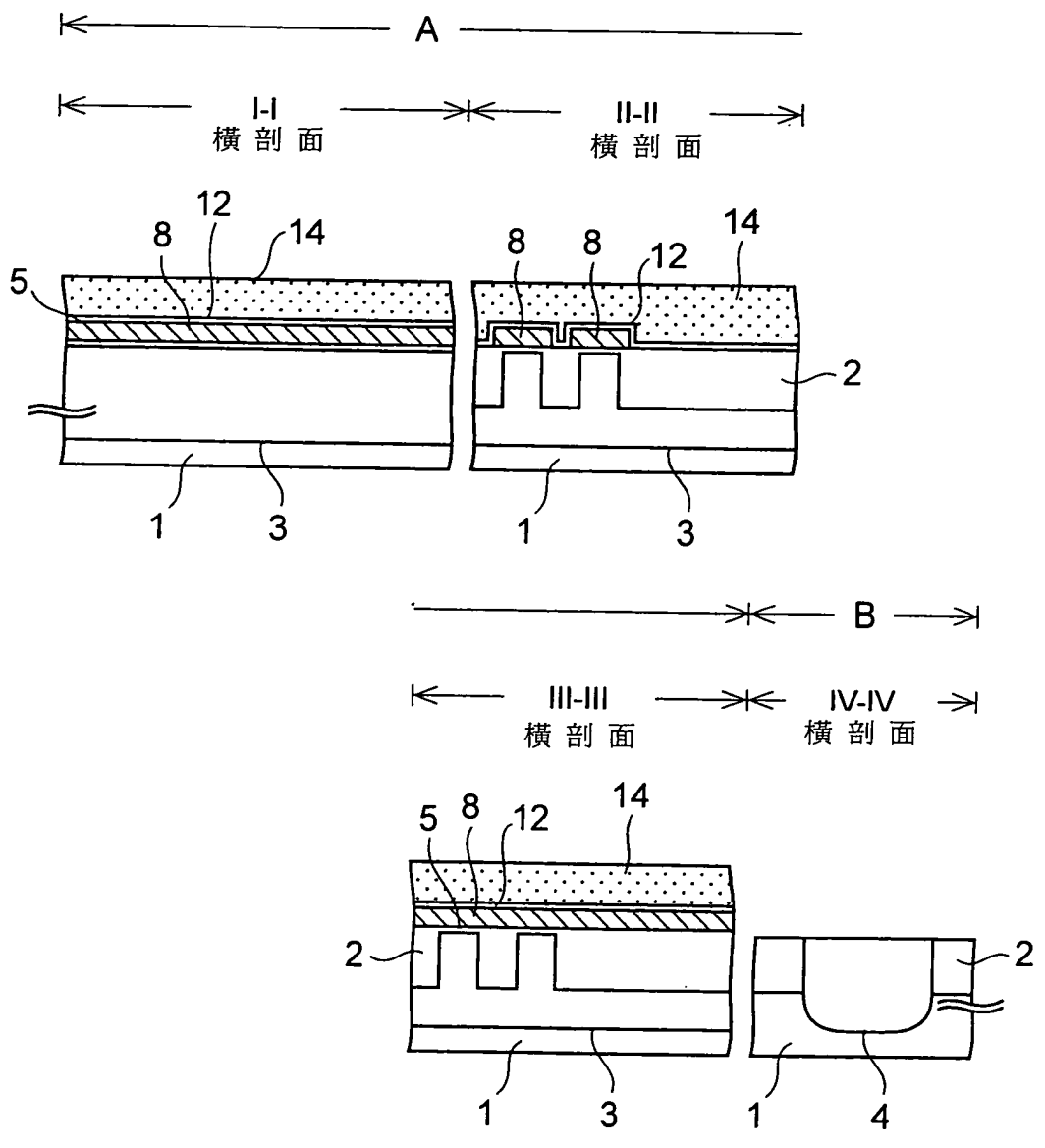
第 1D 圖



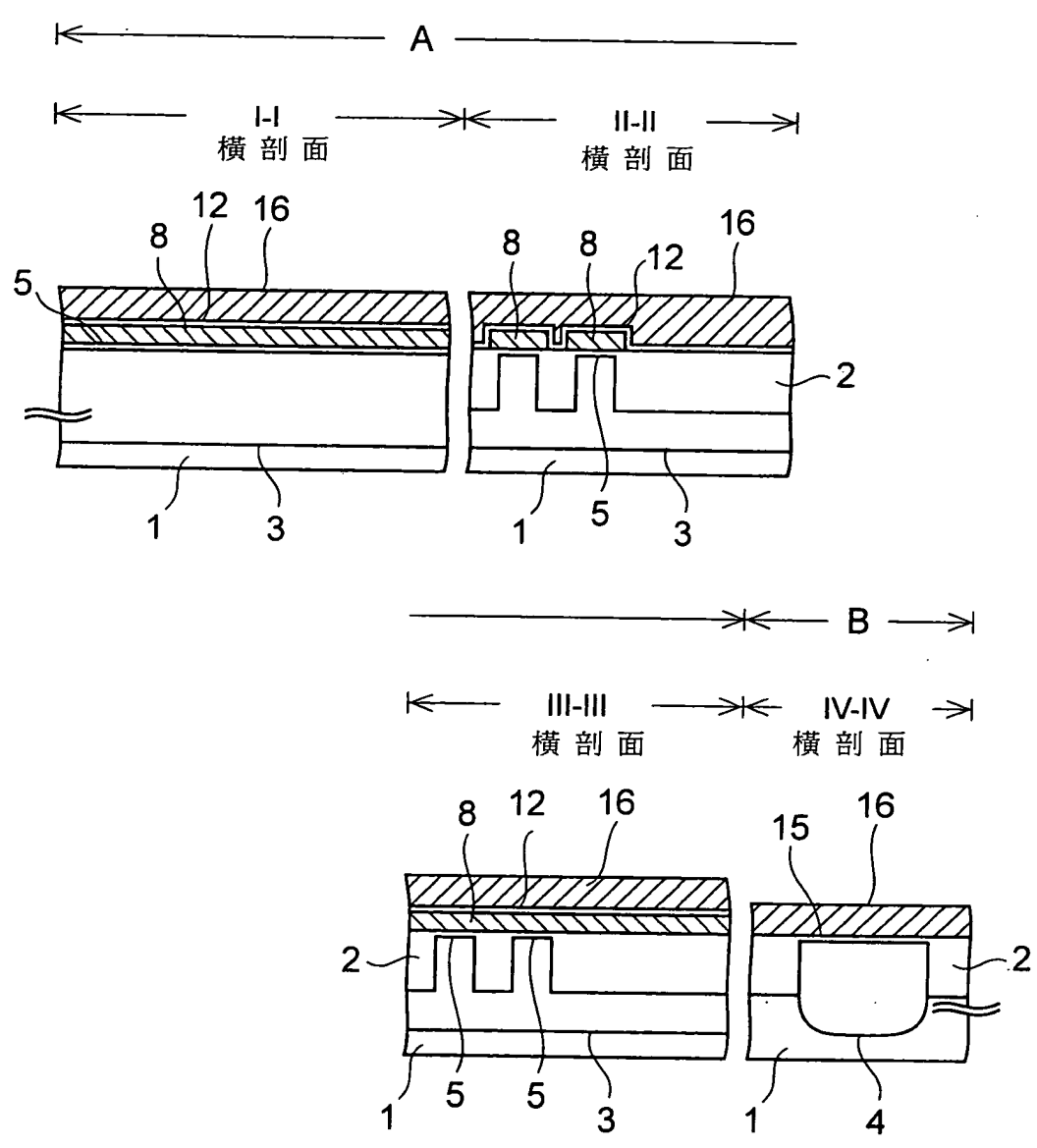
第1E圖



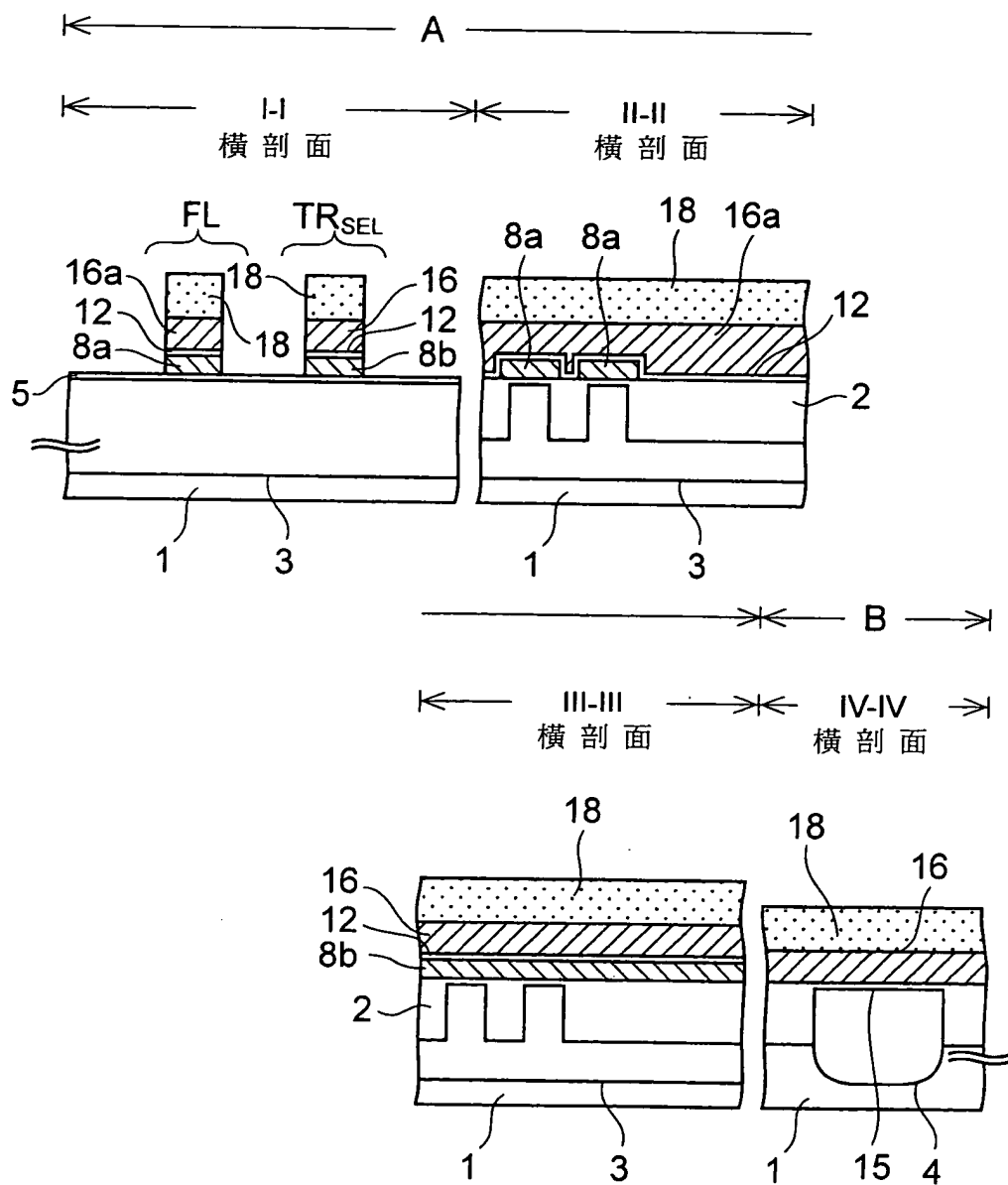
第 1F 圖



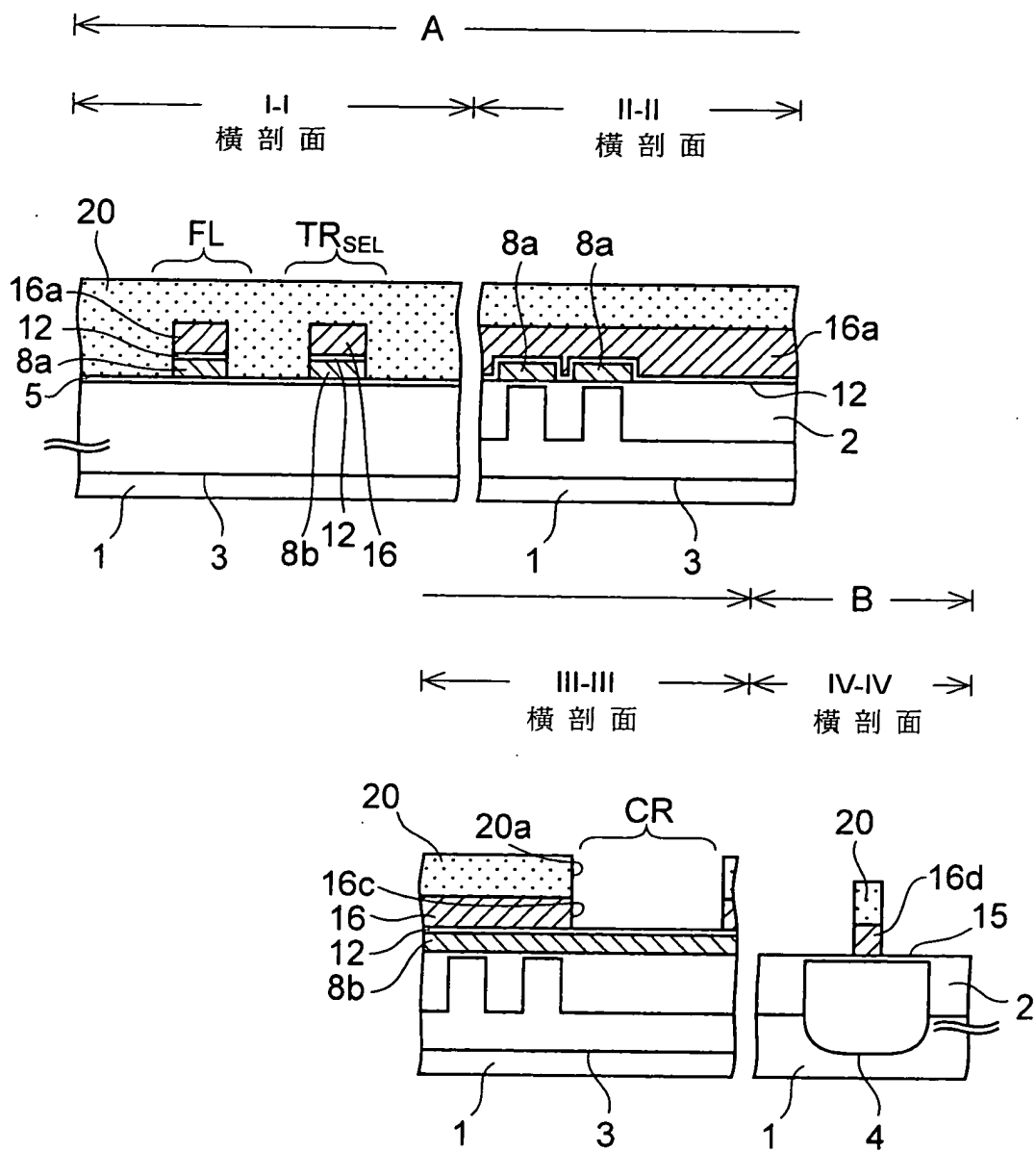
第 1G 圖



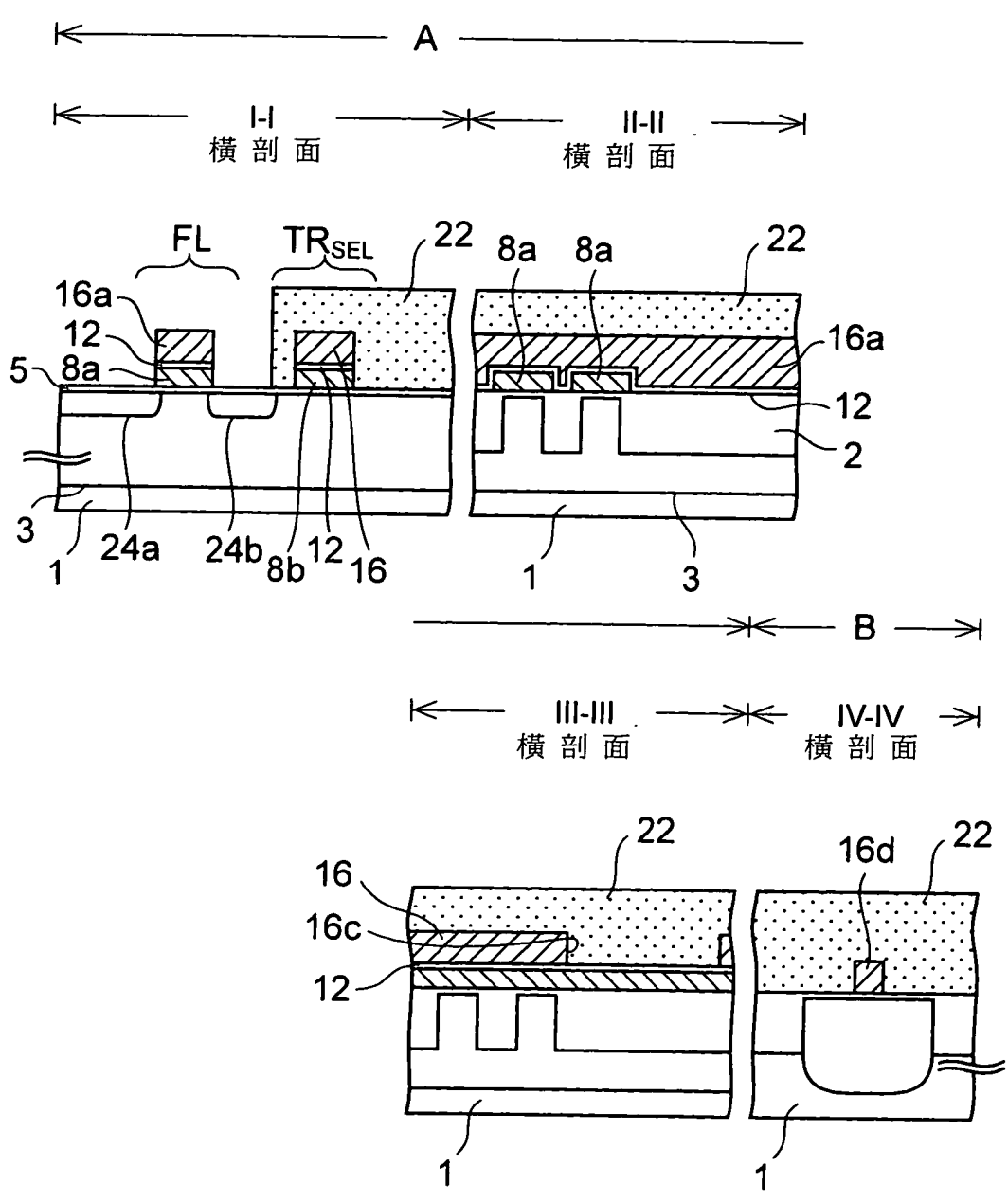
第 1H 圖



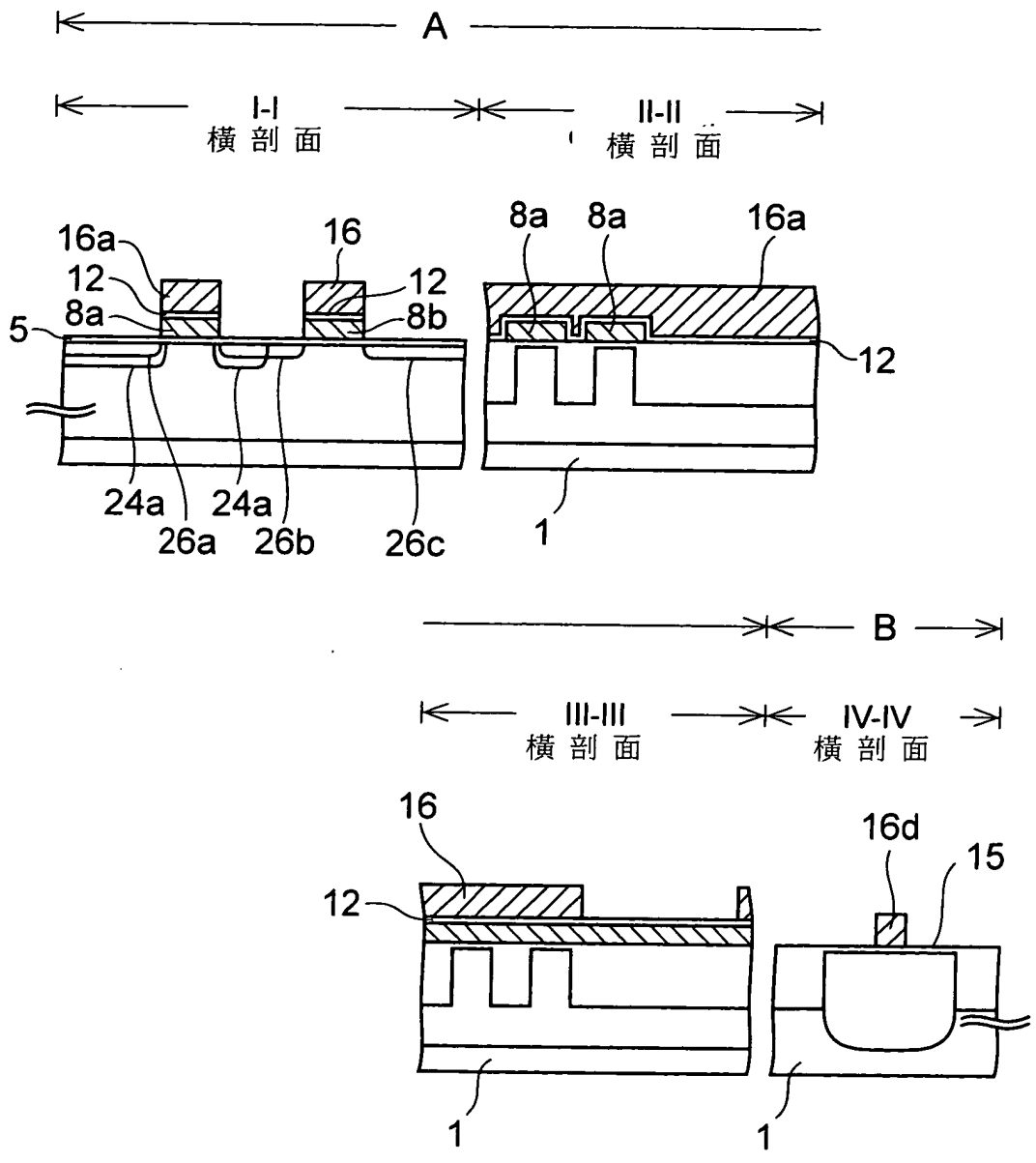
第 II 圖



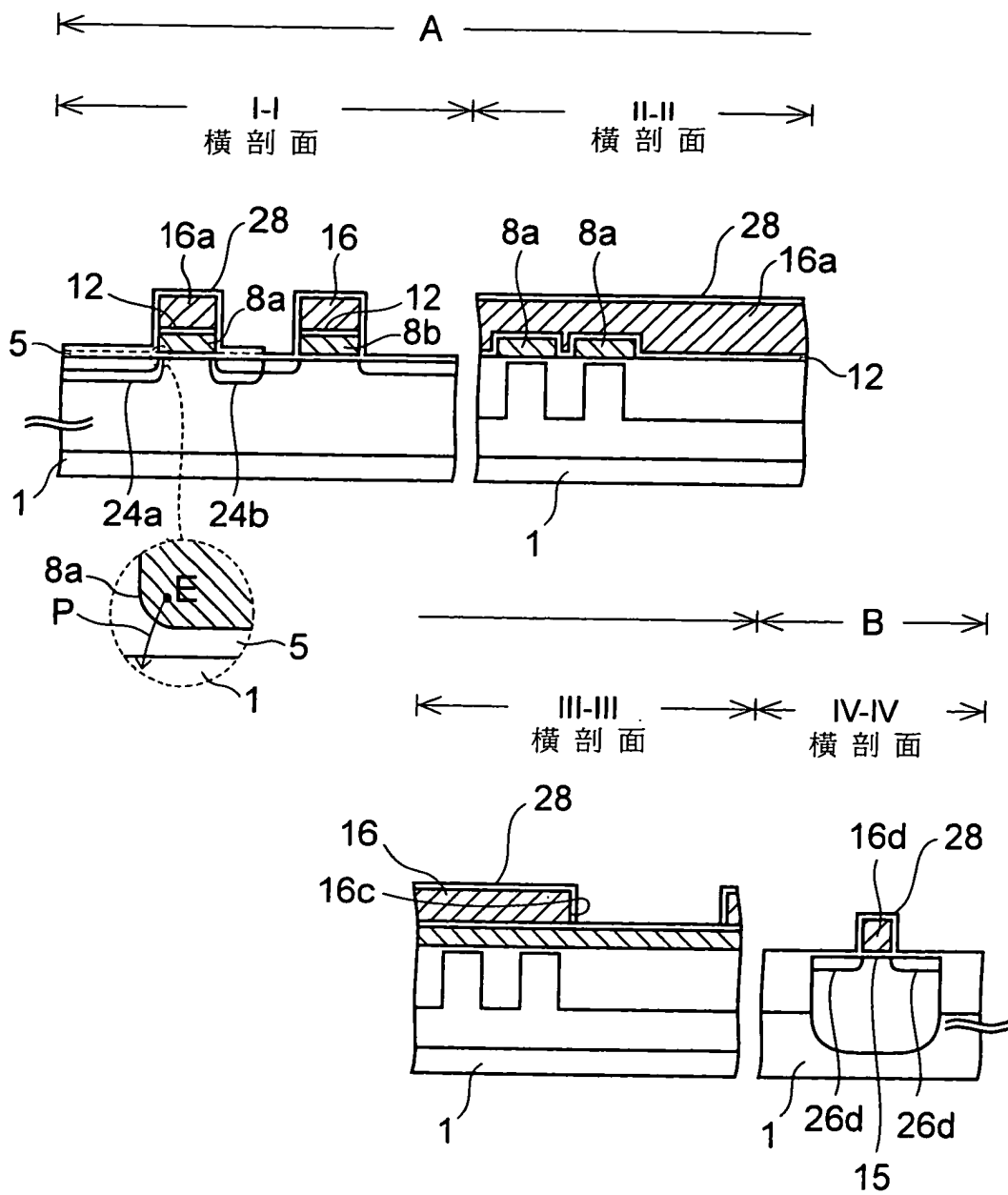
第1J圖



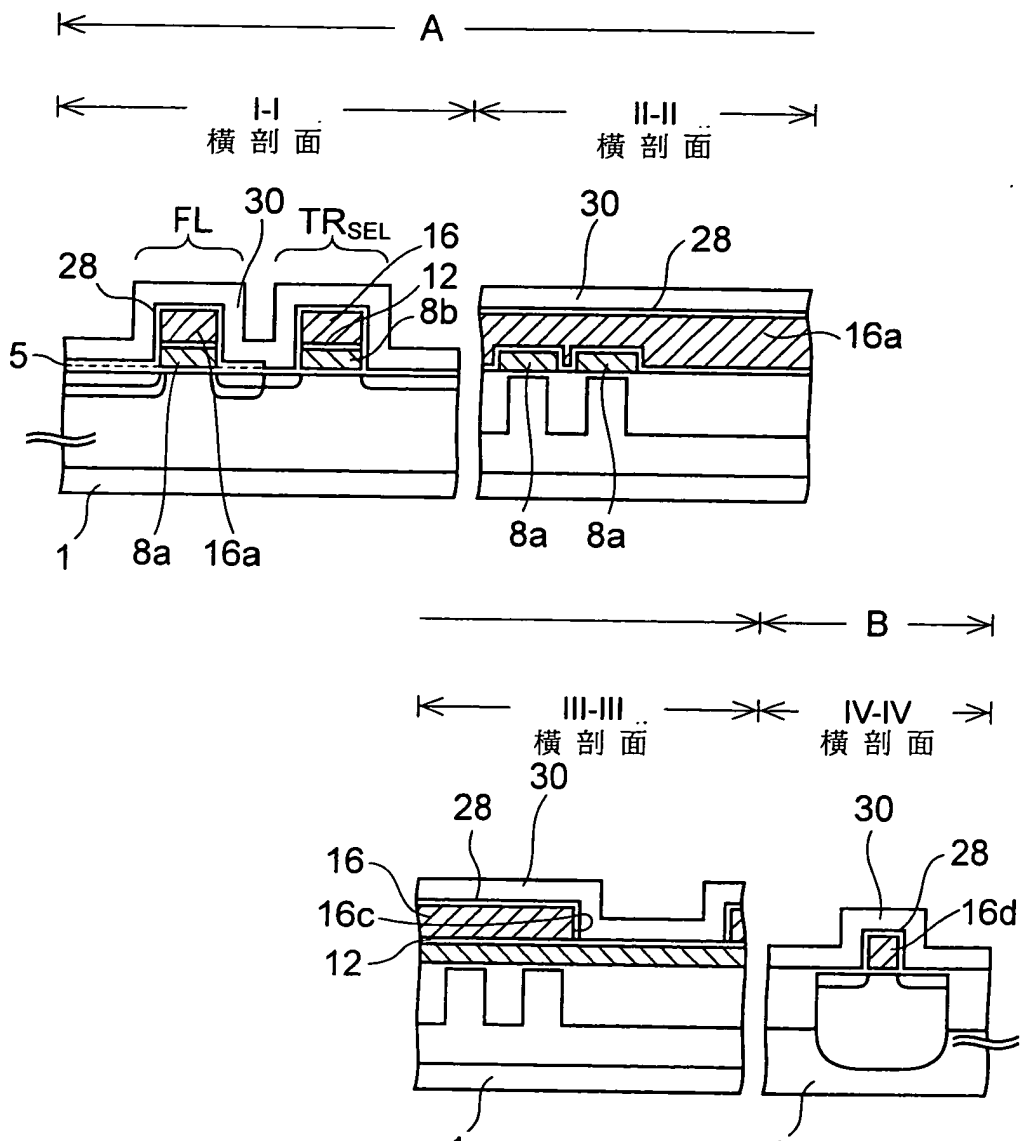
第 1K 圖



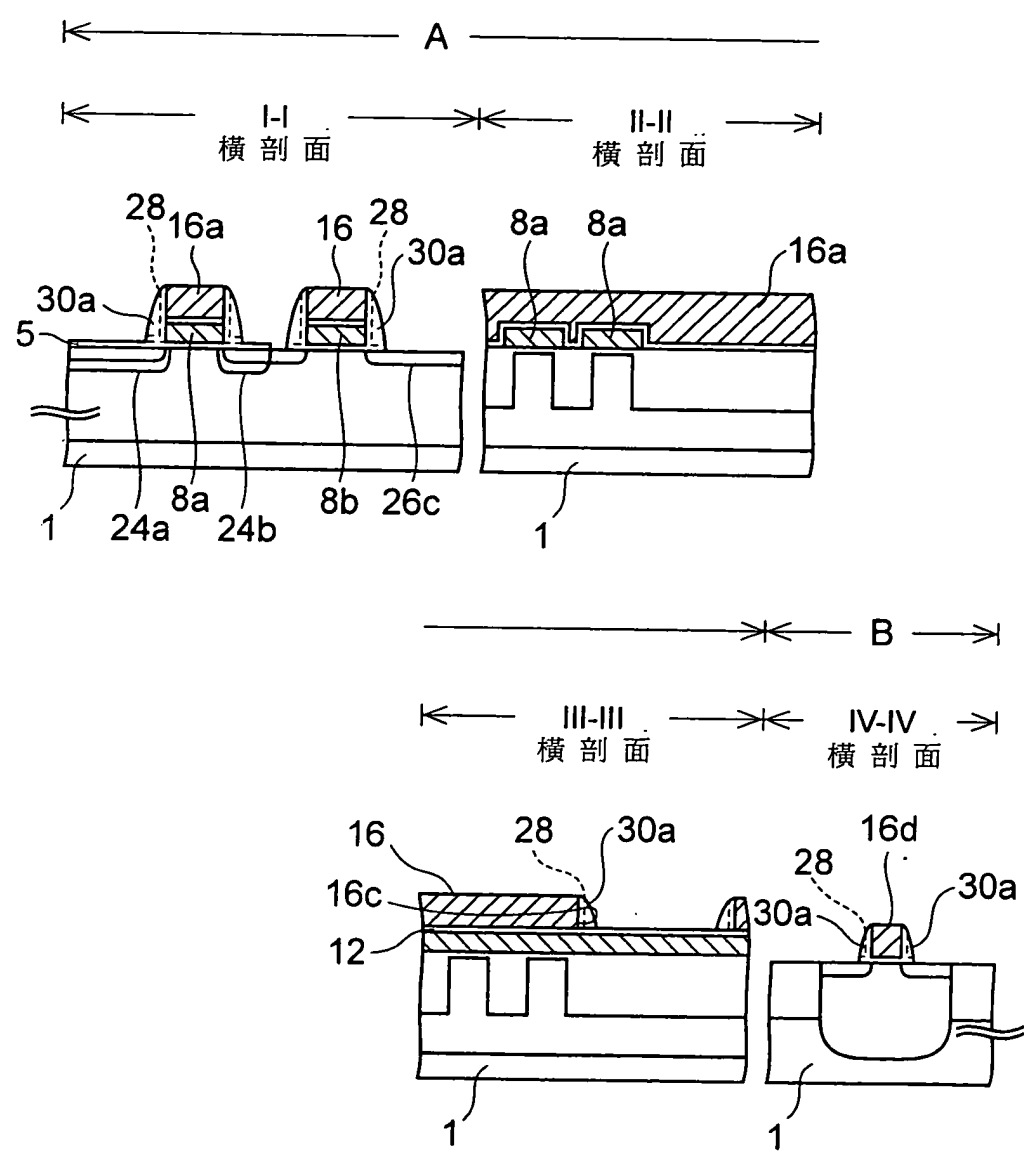
第 1L 圖



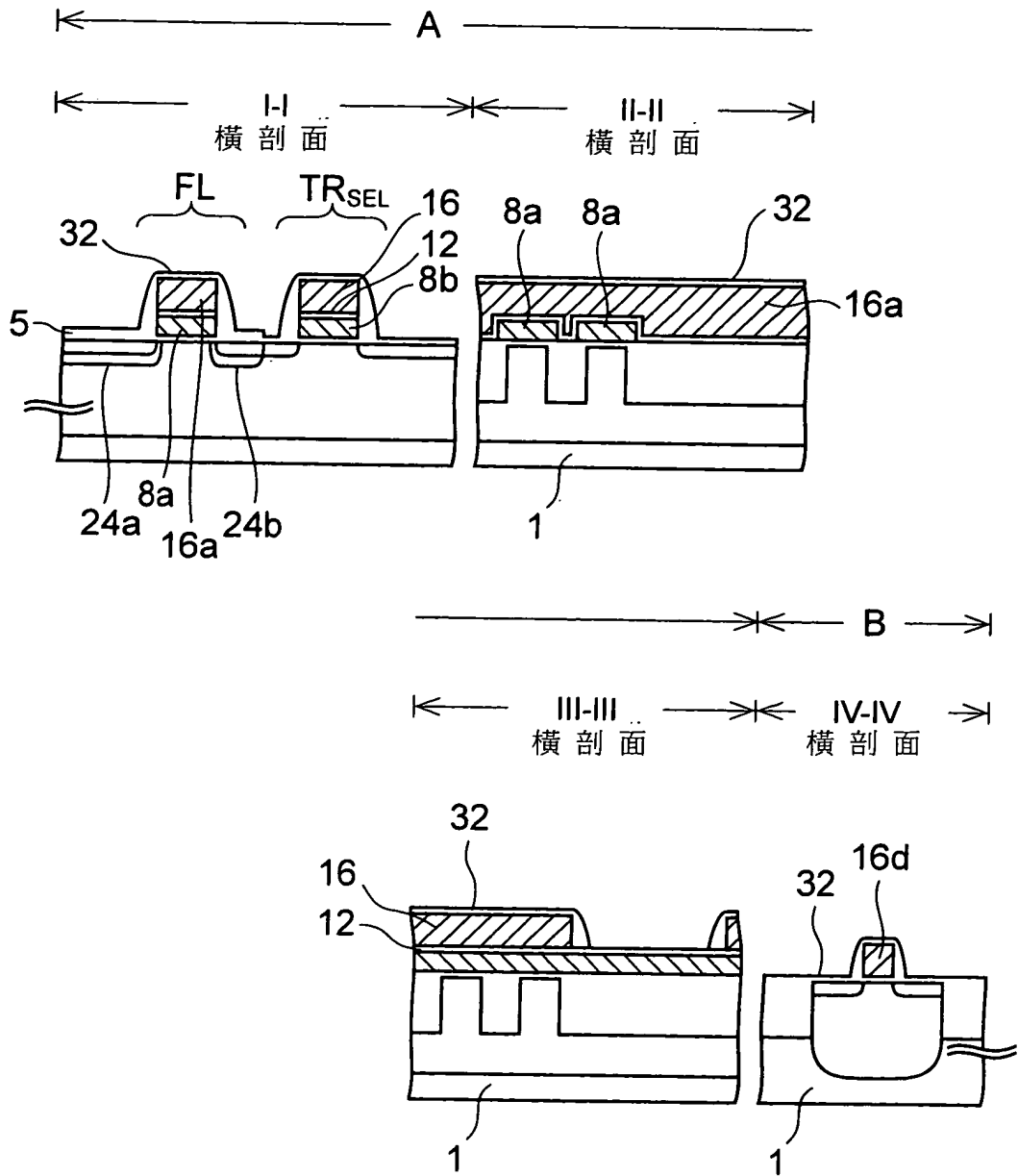
第 1M 圖



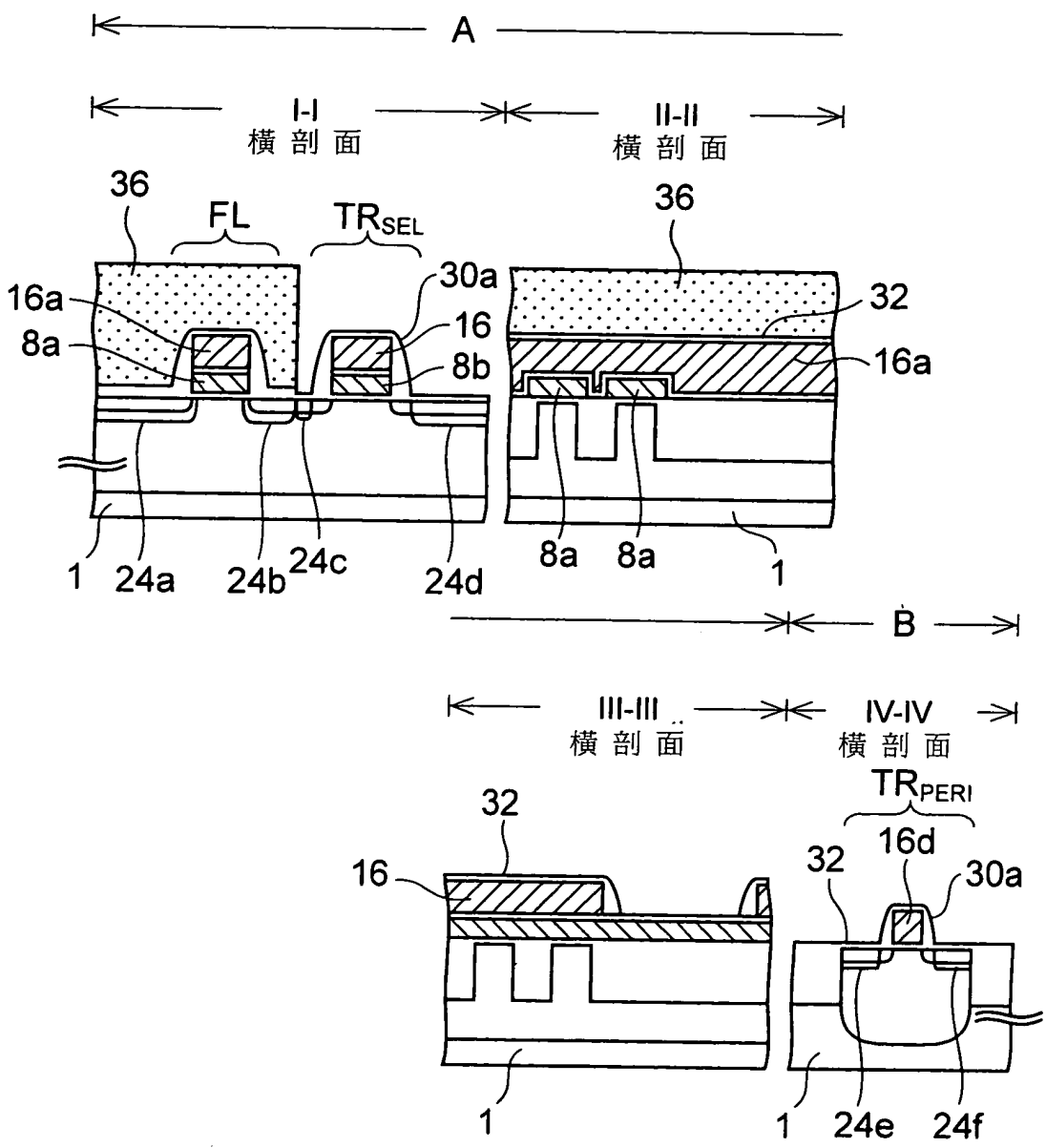
第 1N 圖



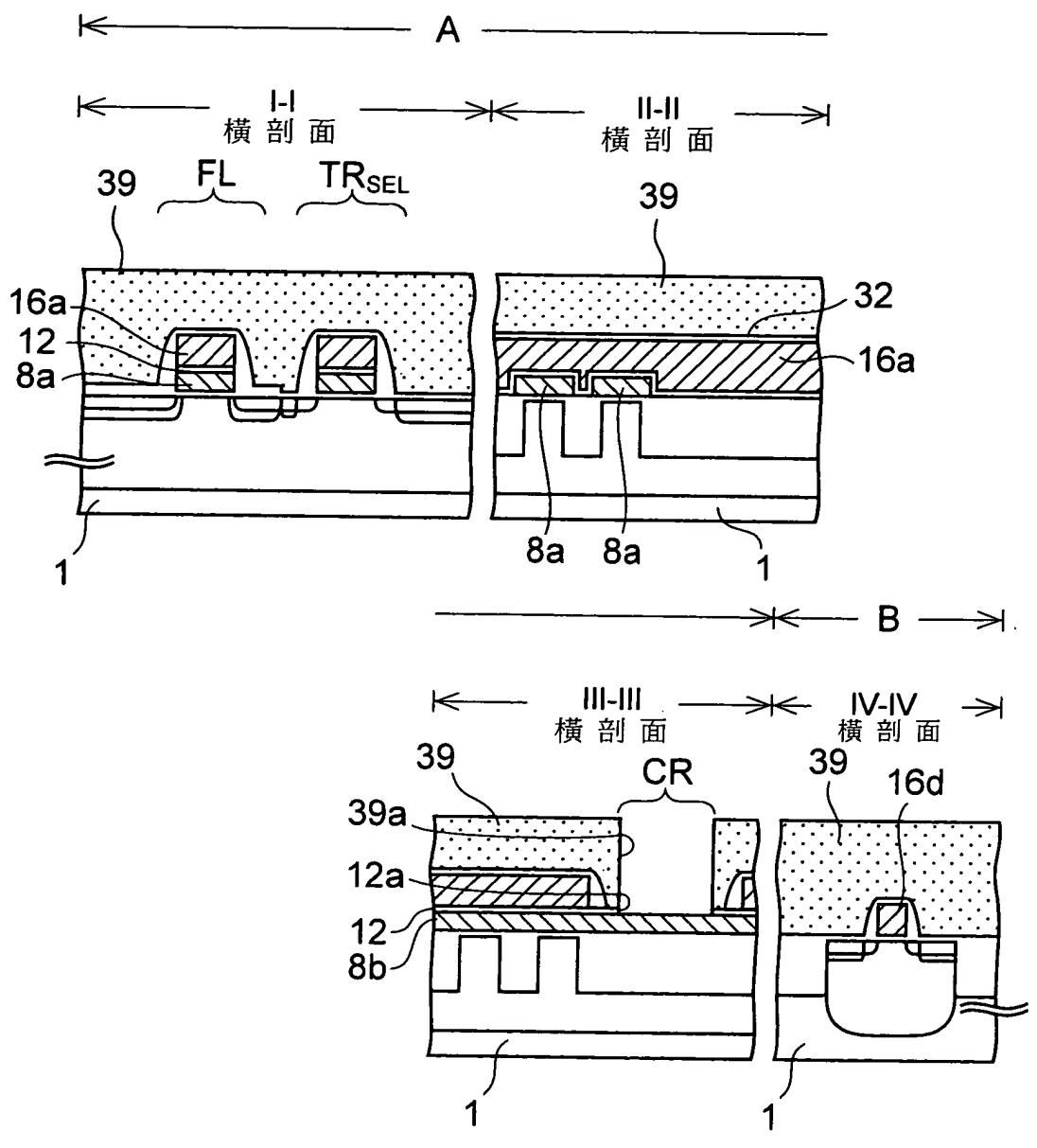
第 10 圖



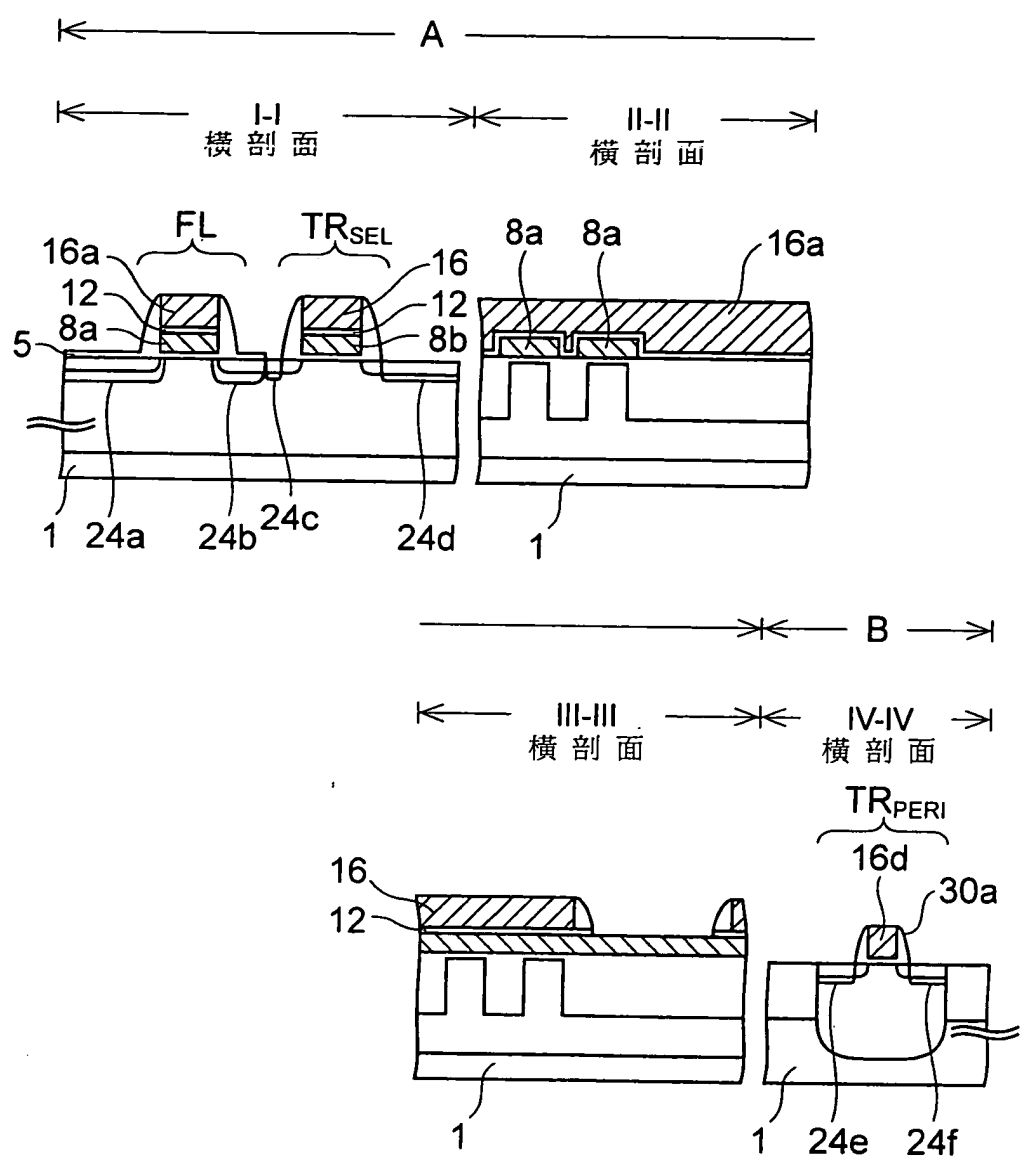
第 1P 圖



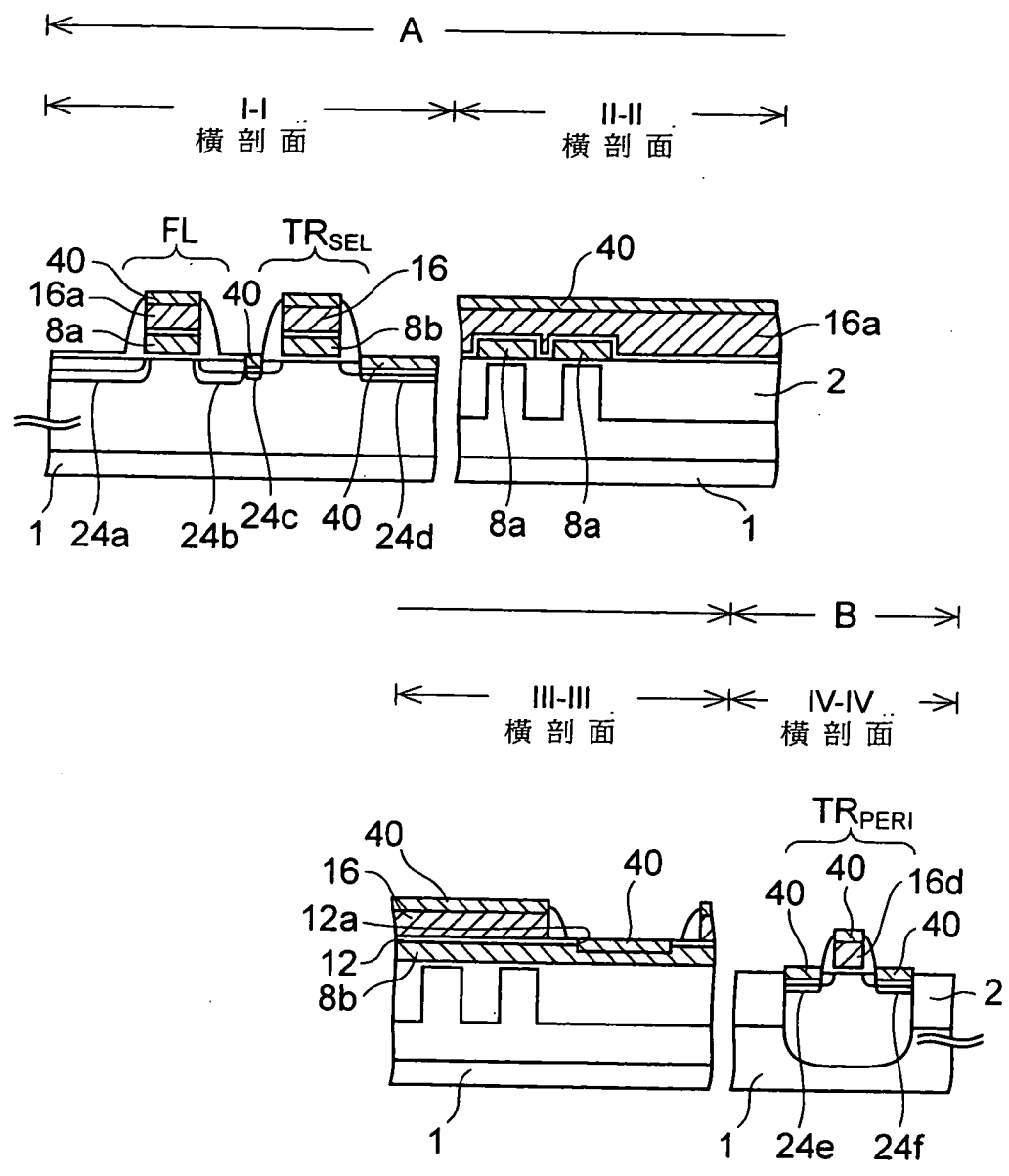
第 1Q 圖



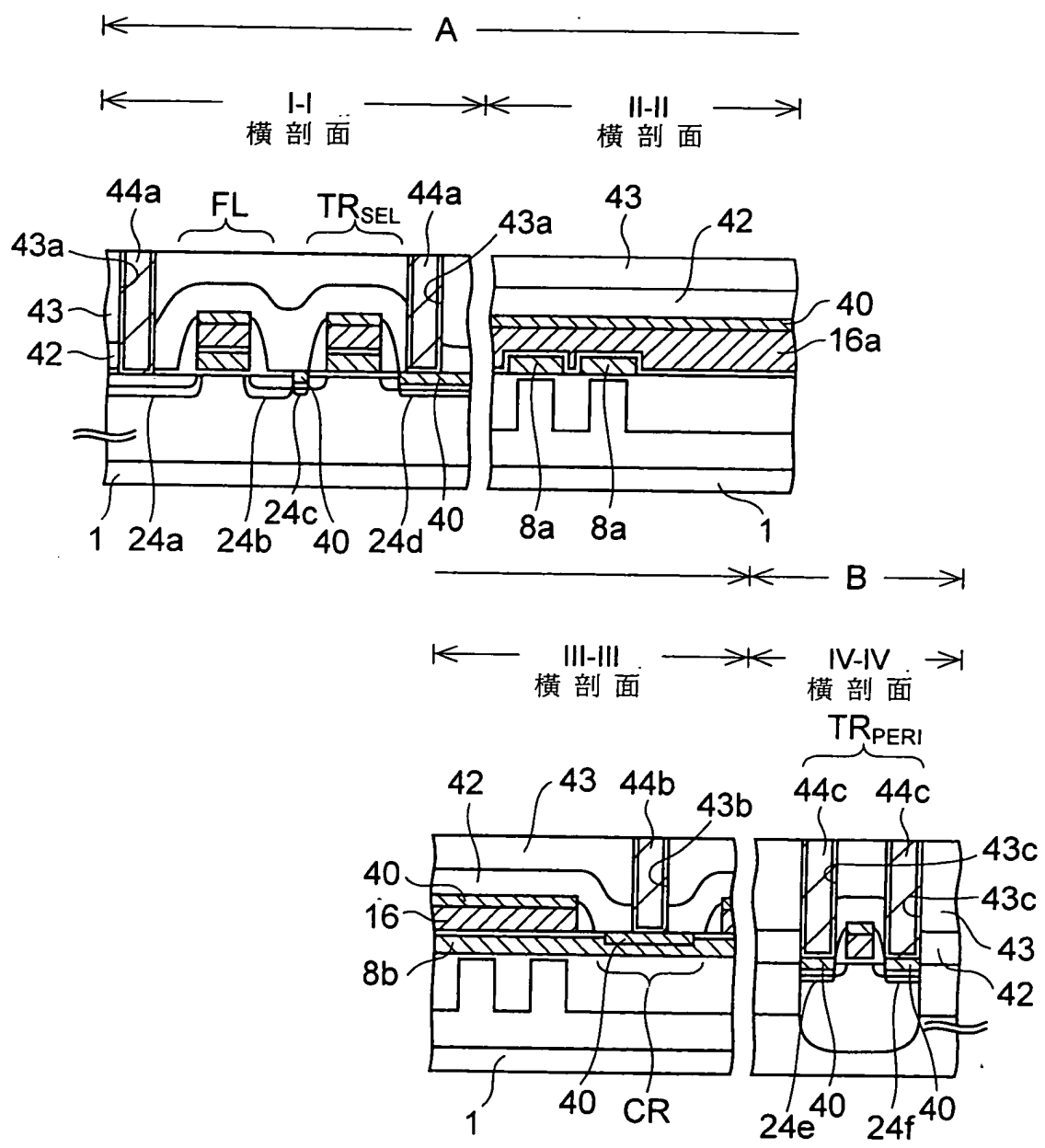
第 1R 圖



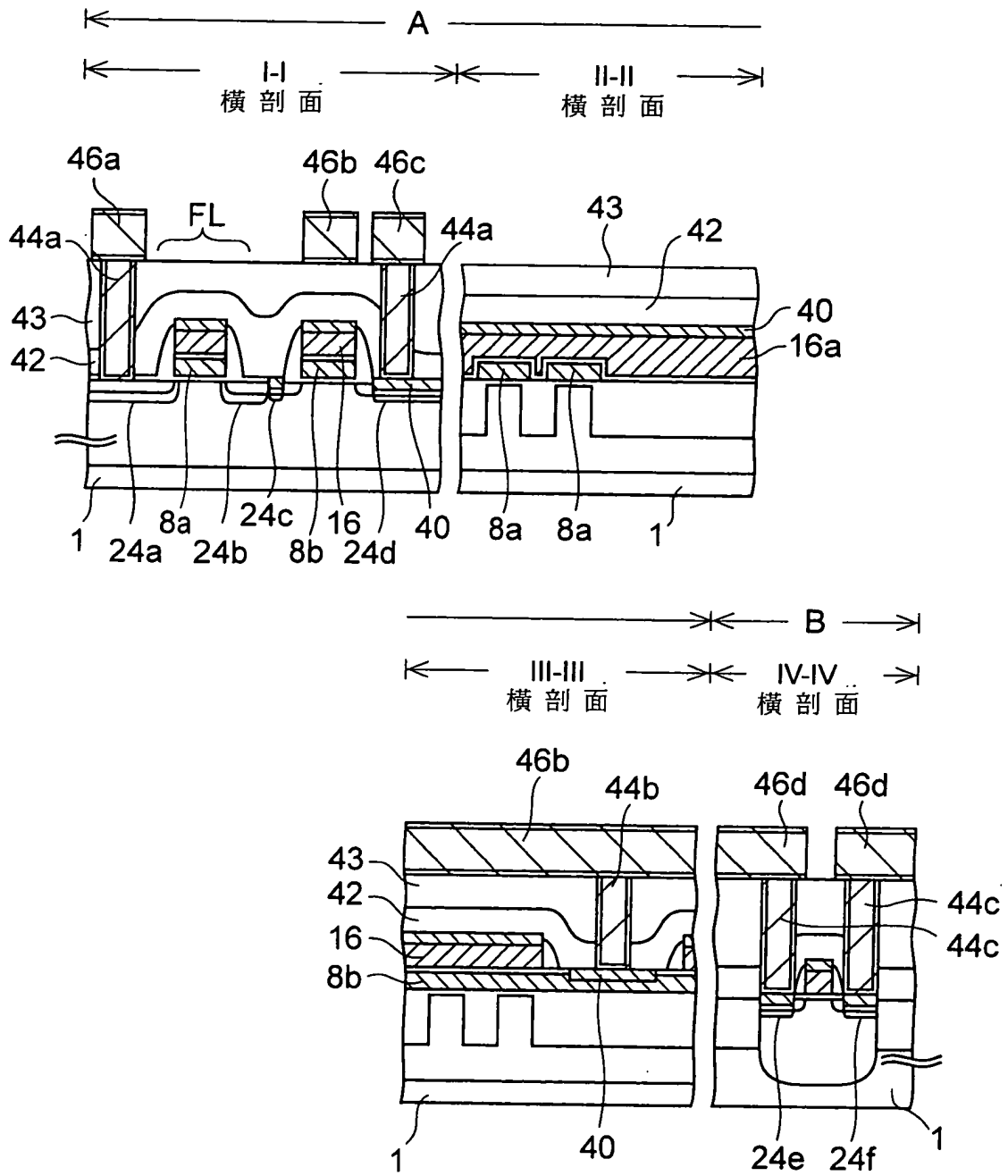
第 1S 圖



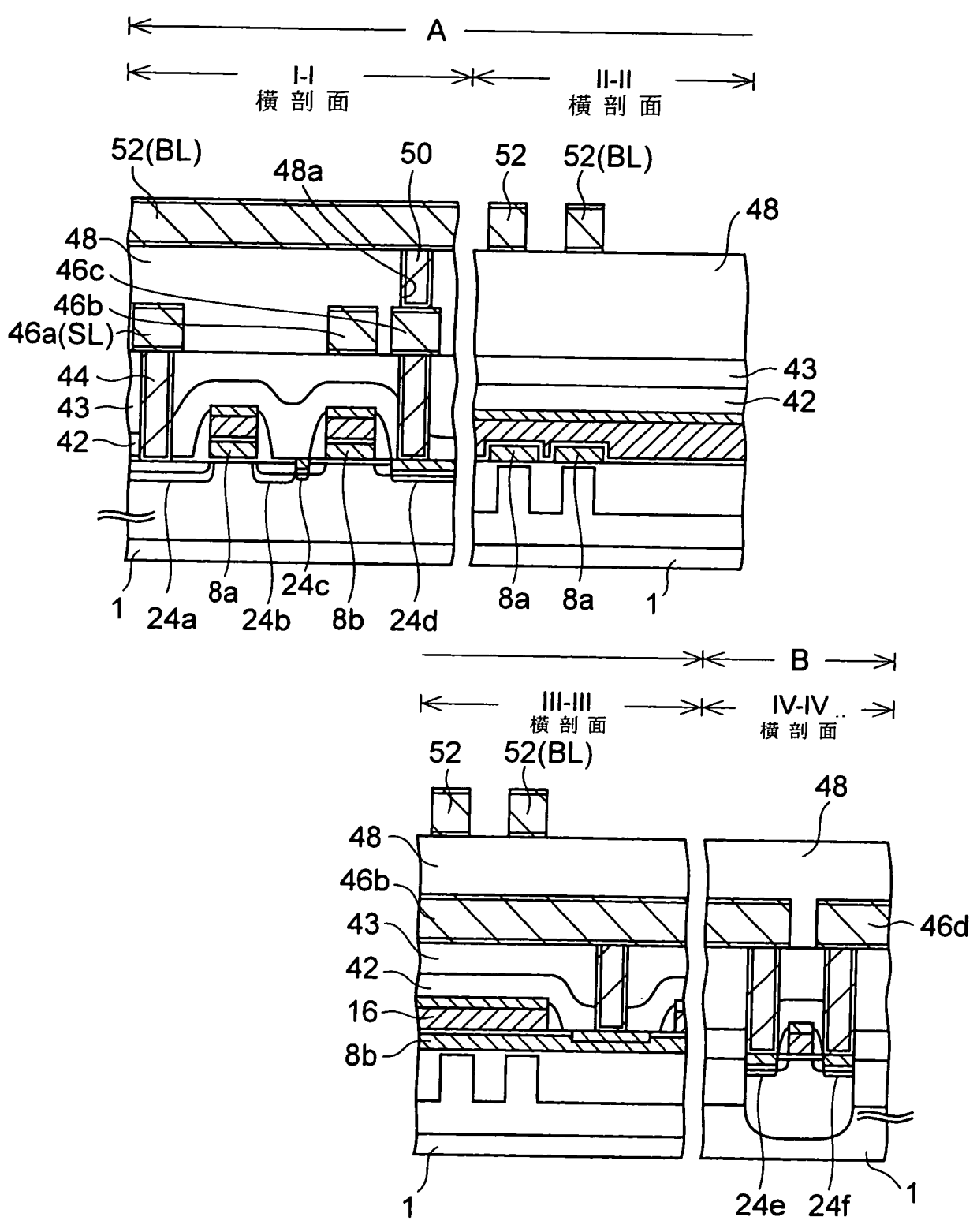
第1T圖



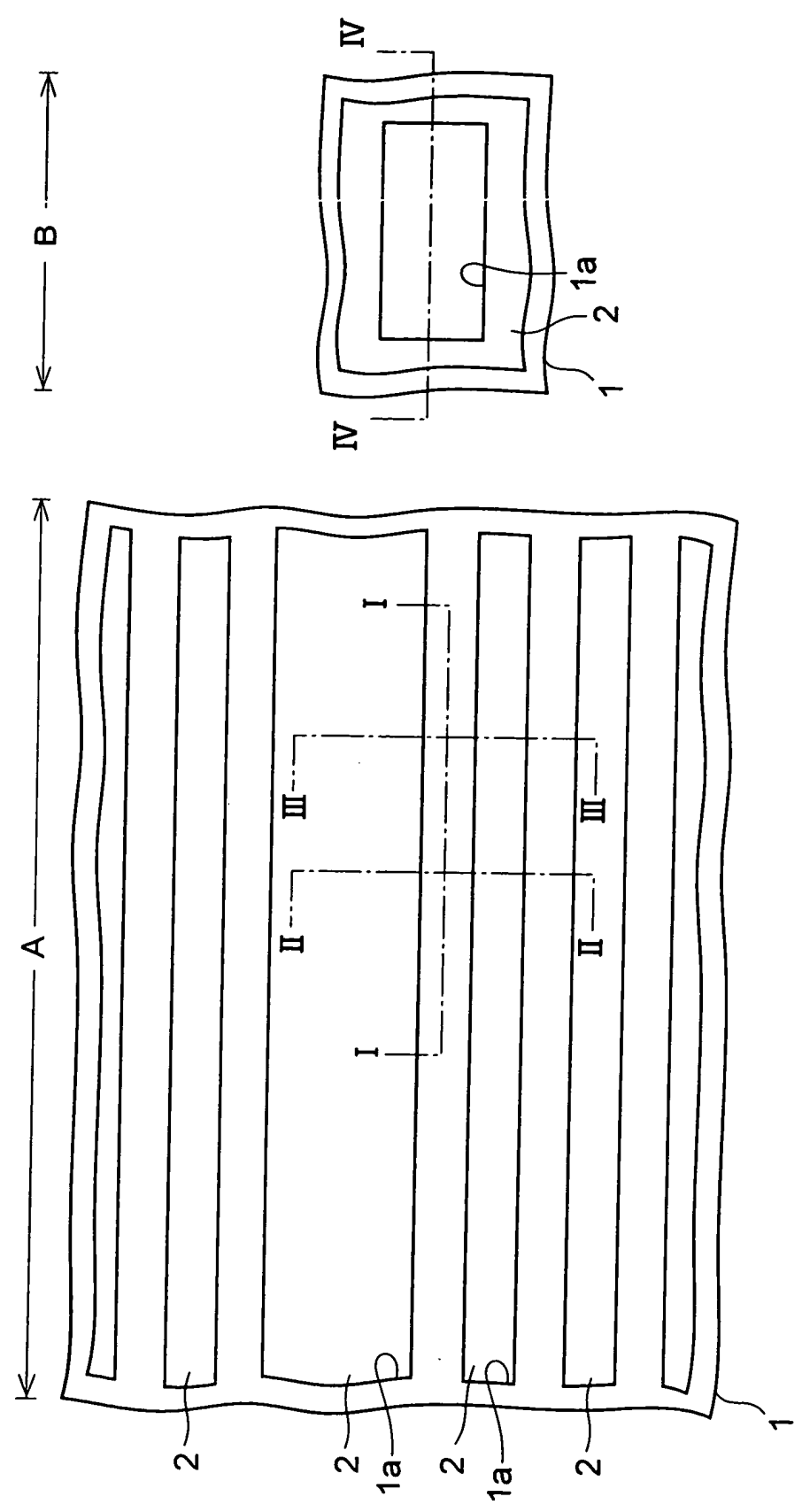
第1U圖



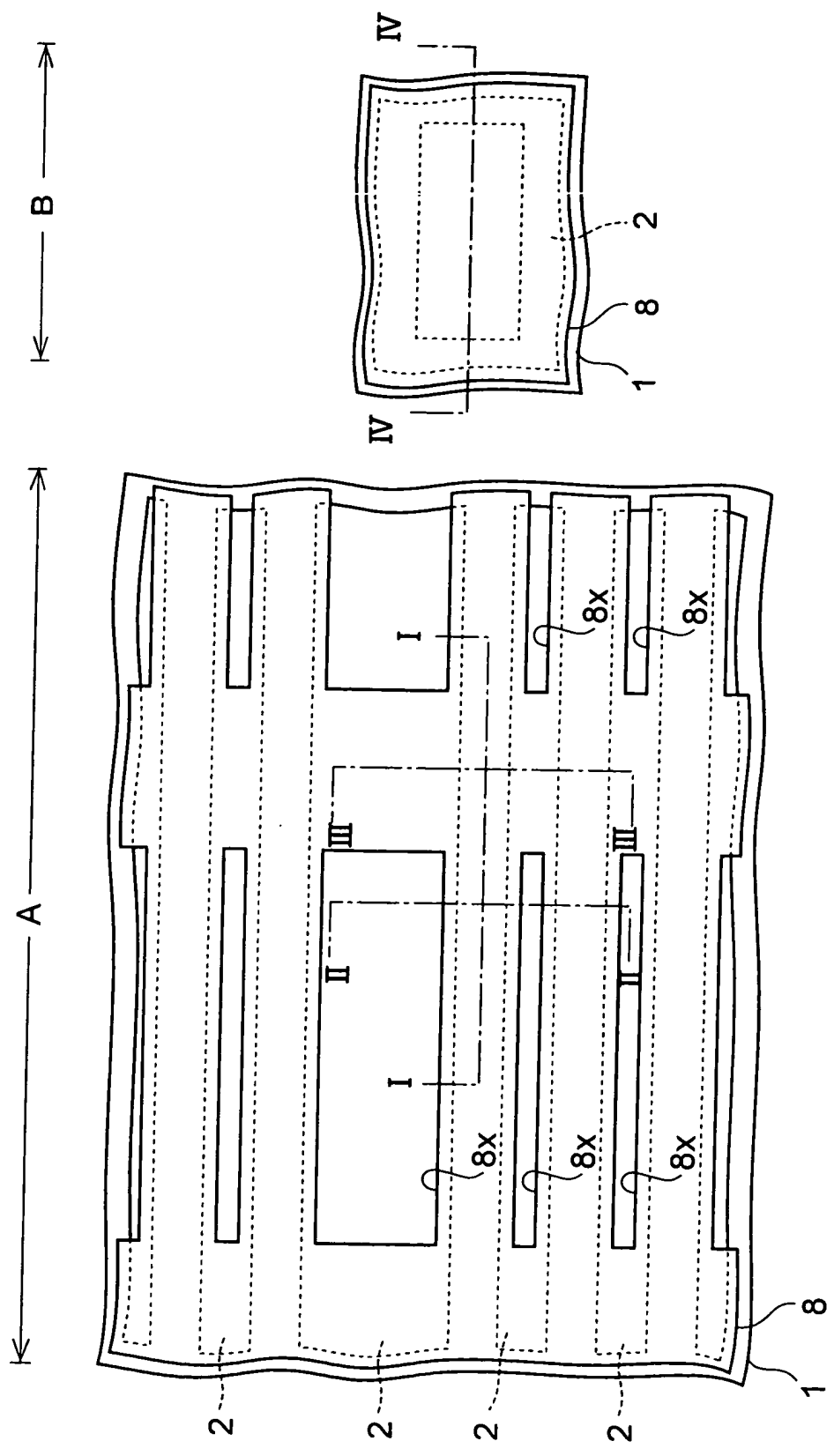
第 1V 圖



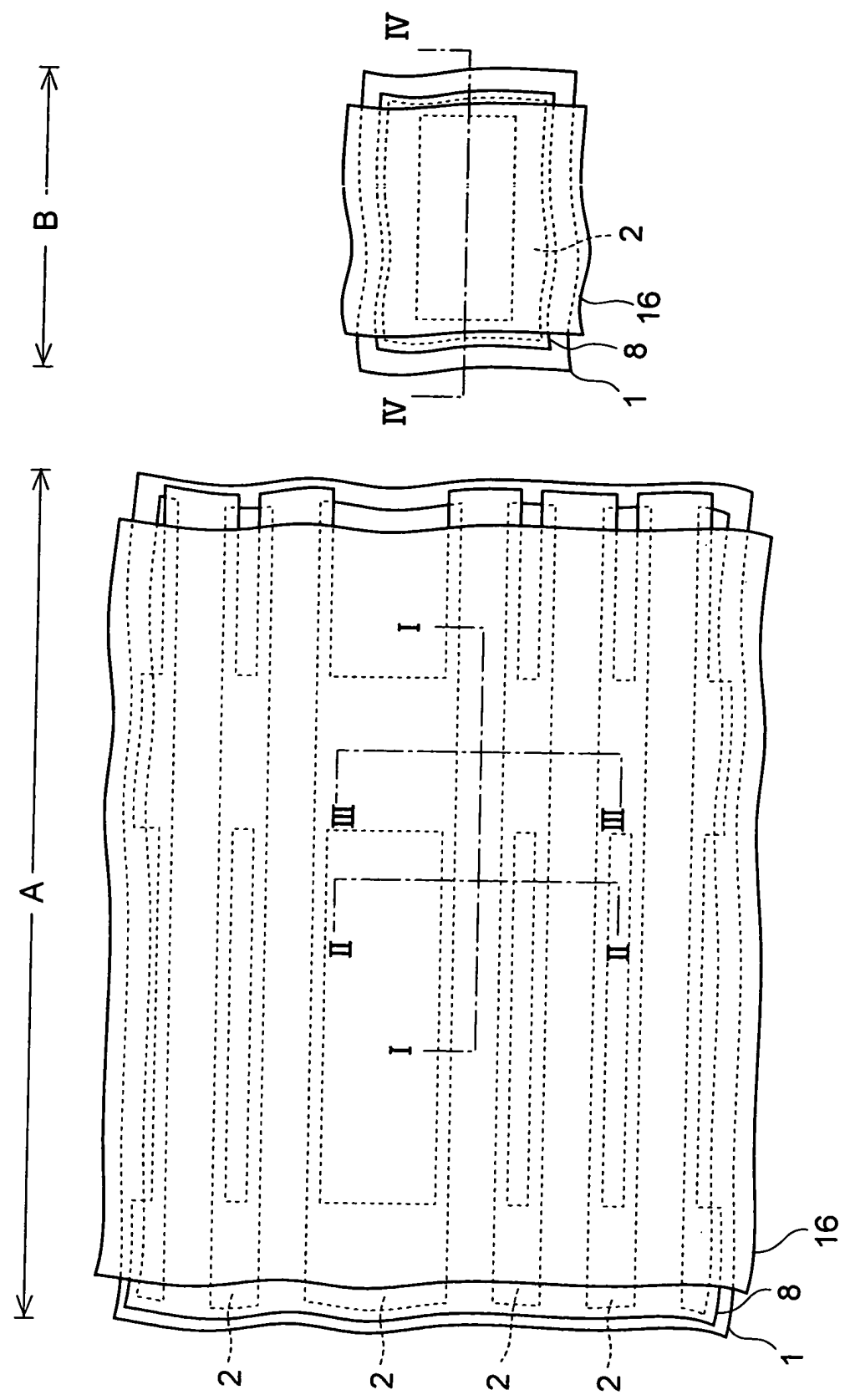
第2A圖



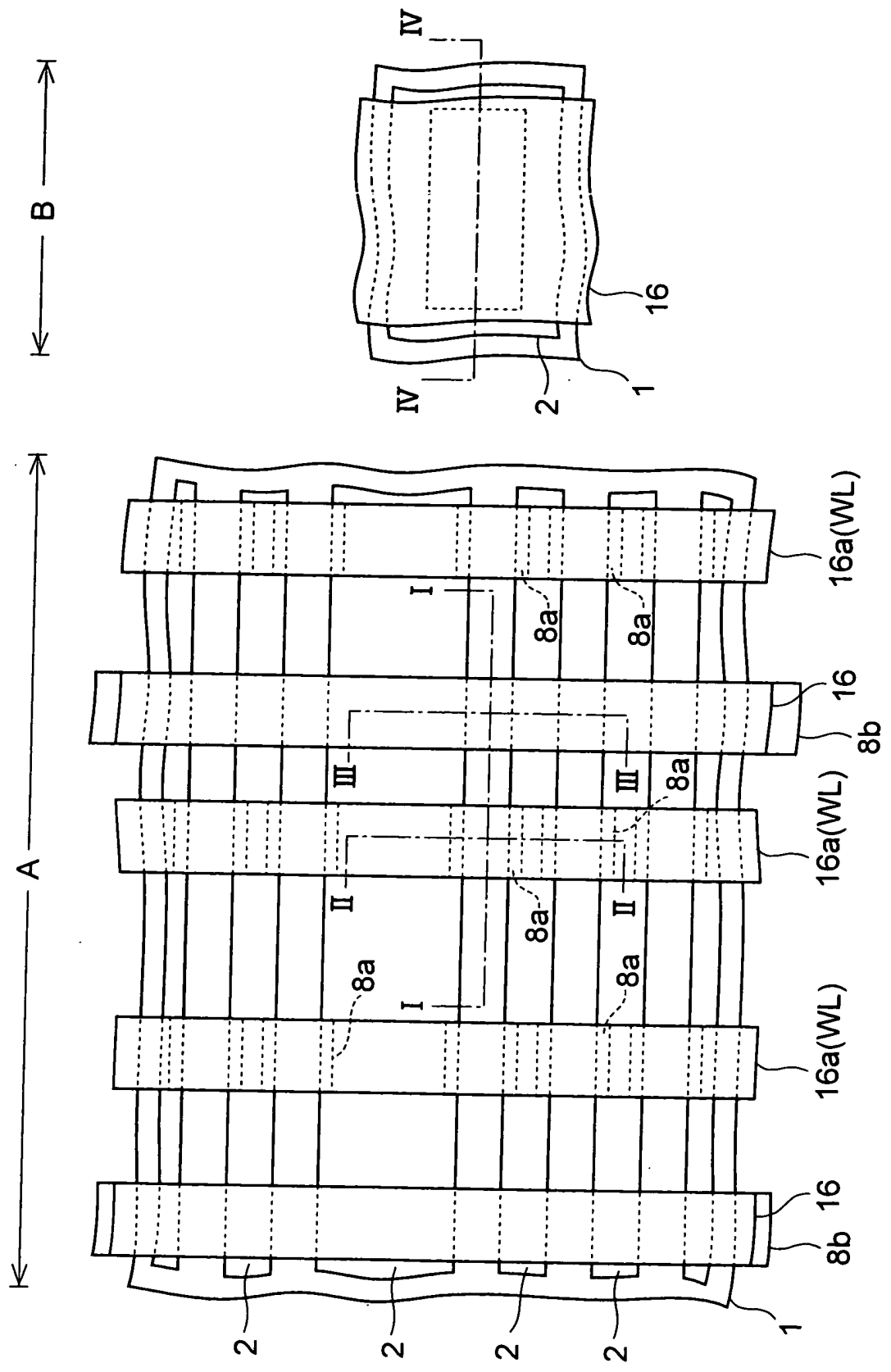
第2B圖



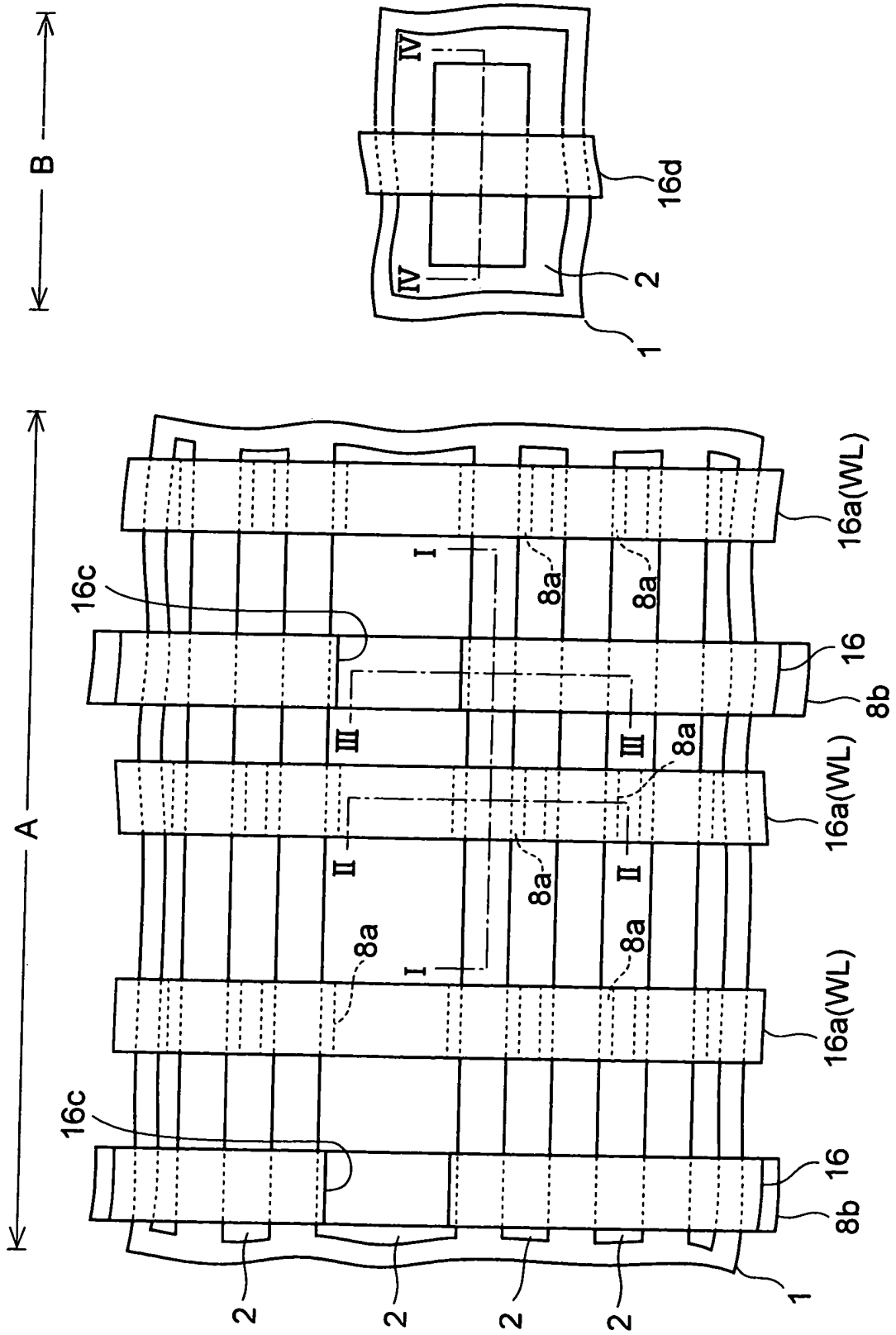
第2C圖



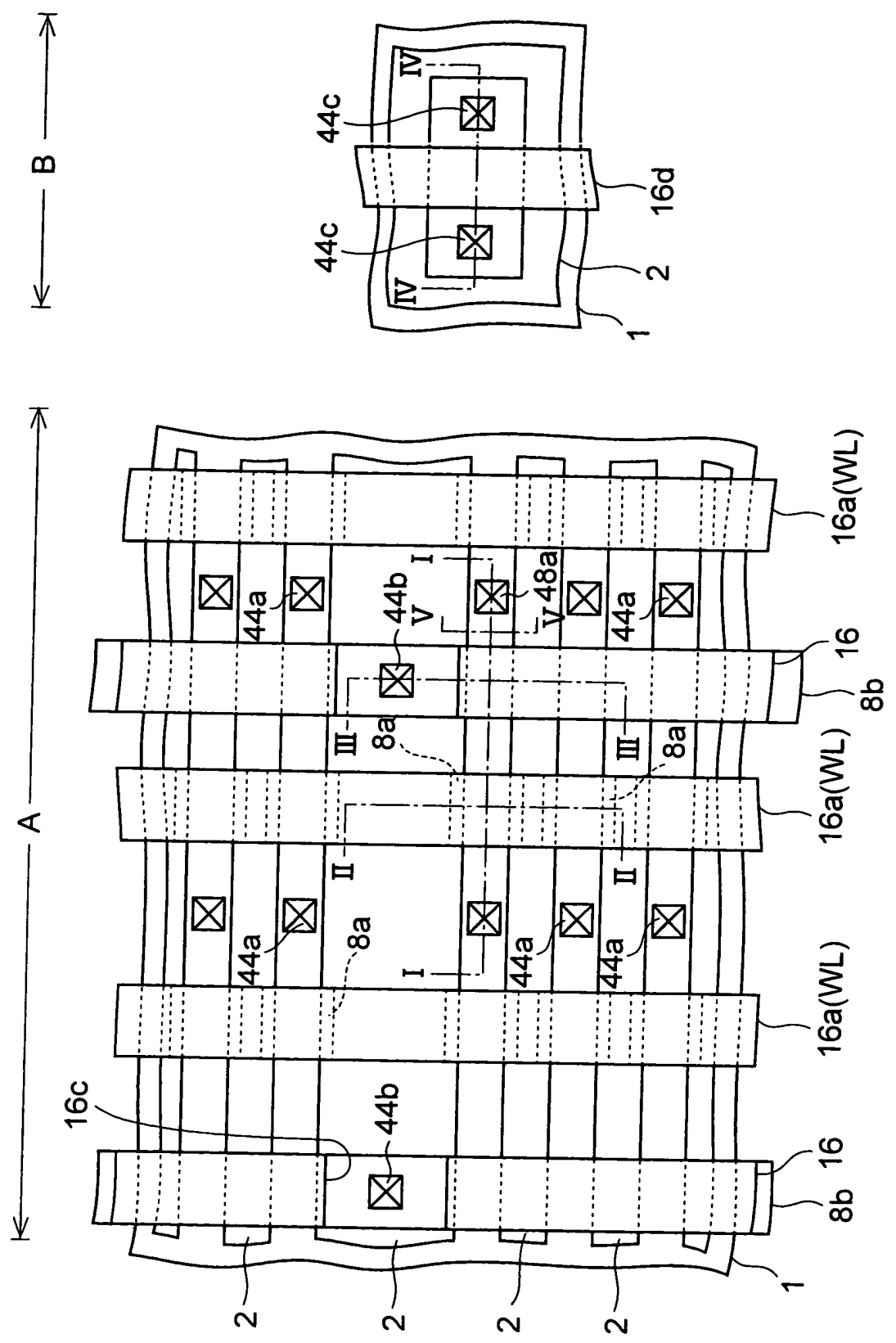
第2D圖



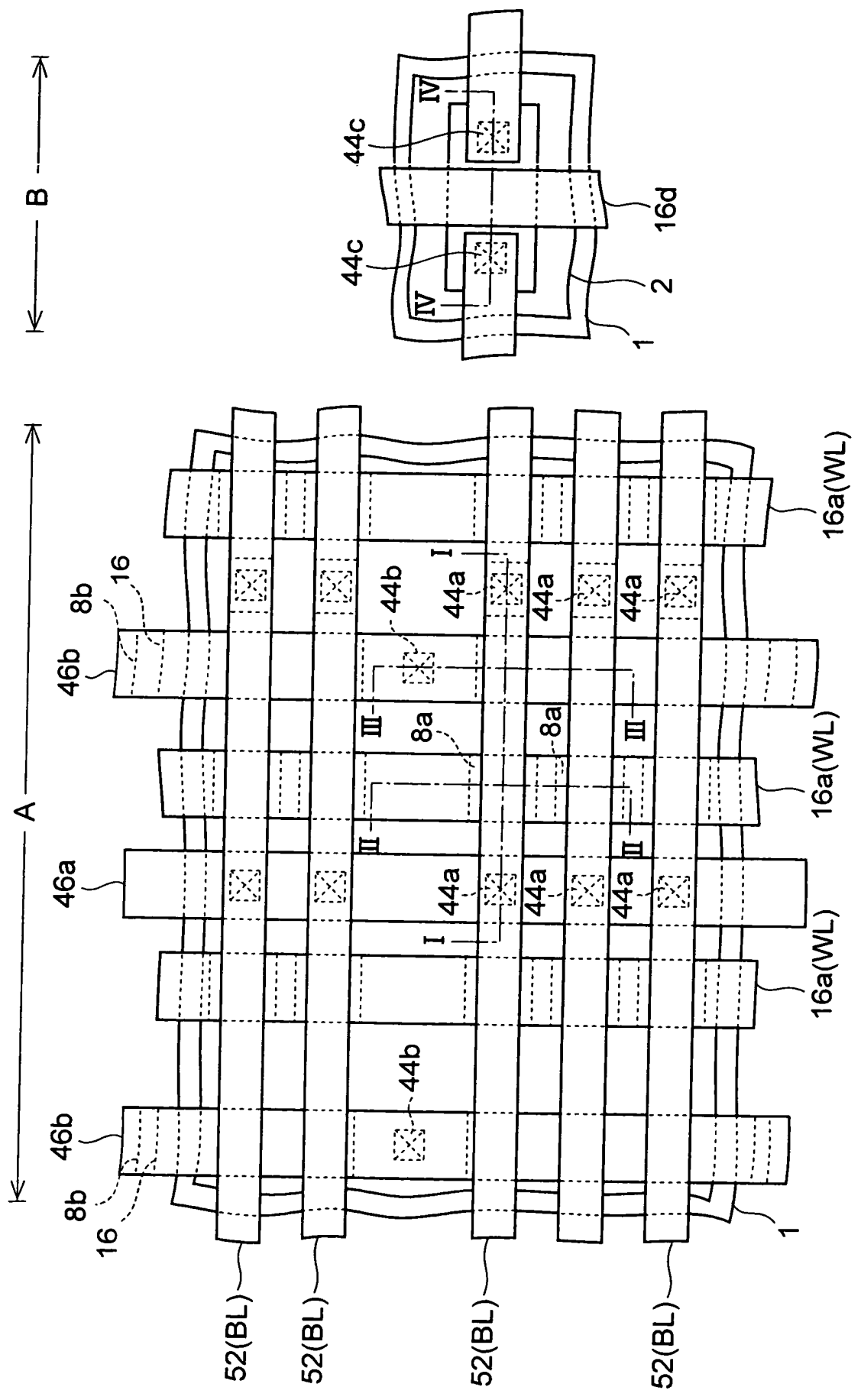
第2E圖



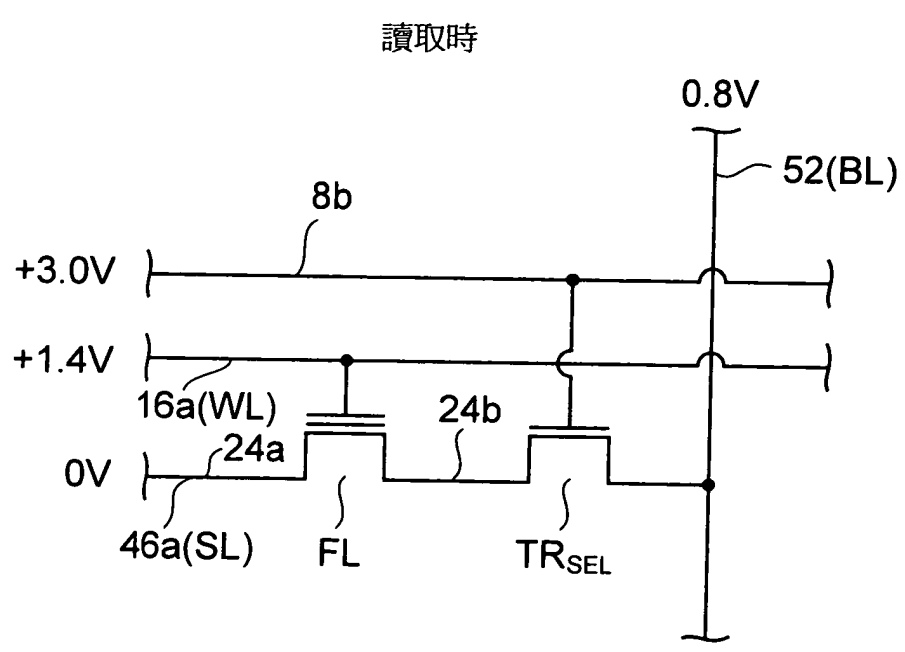
第2F圖



第2G圖

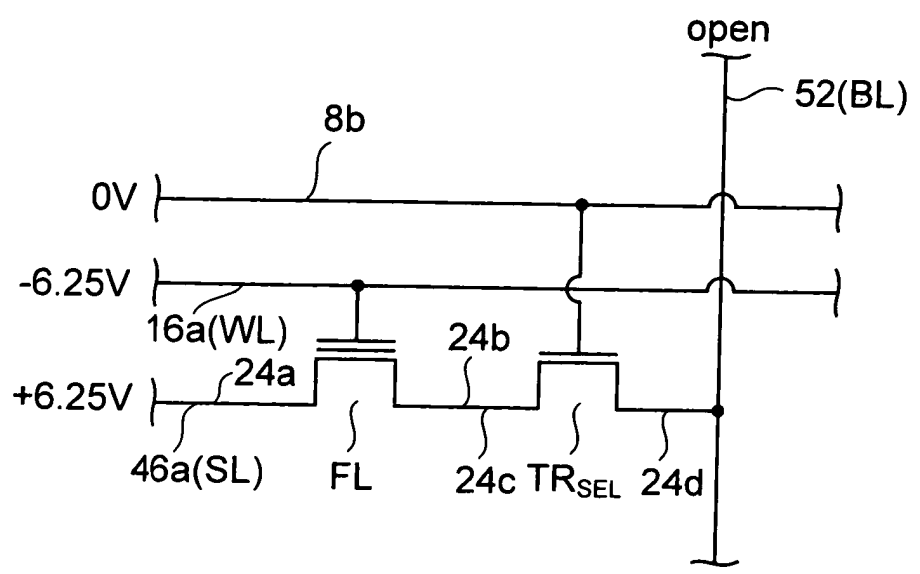


第 3 圖

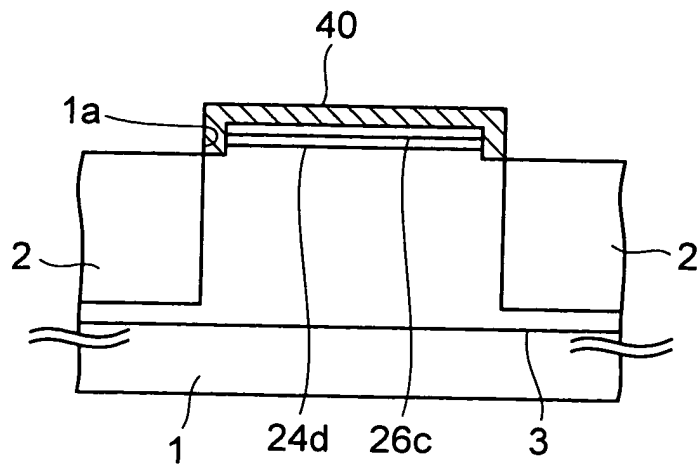


第 4 圖

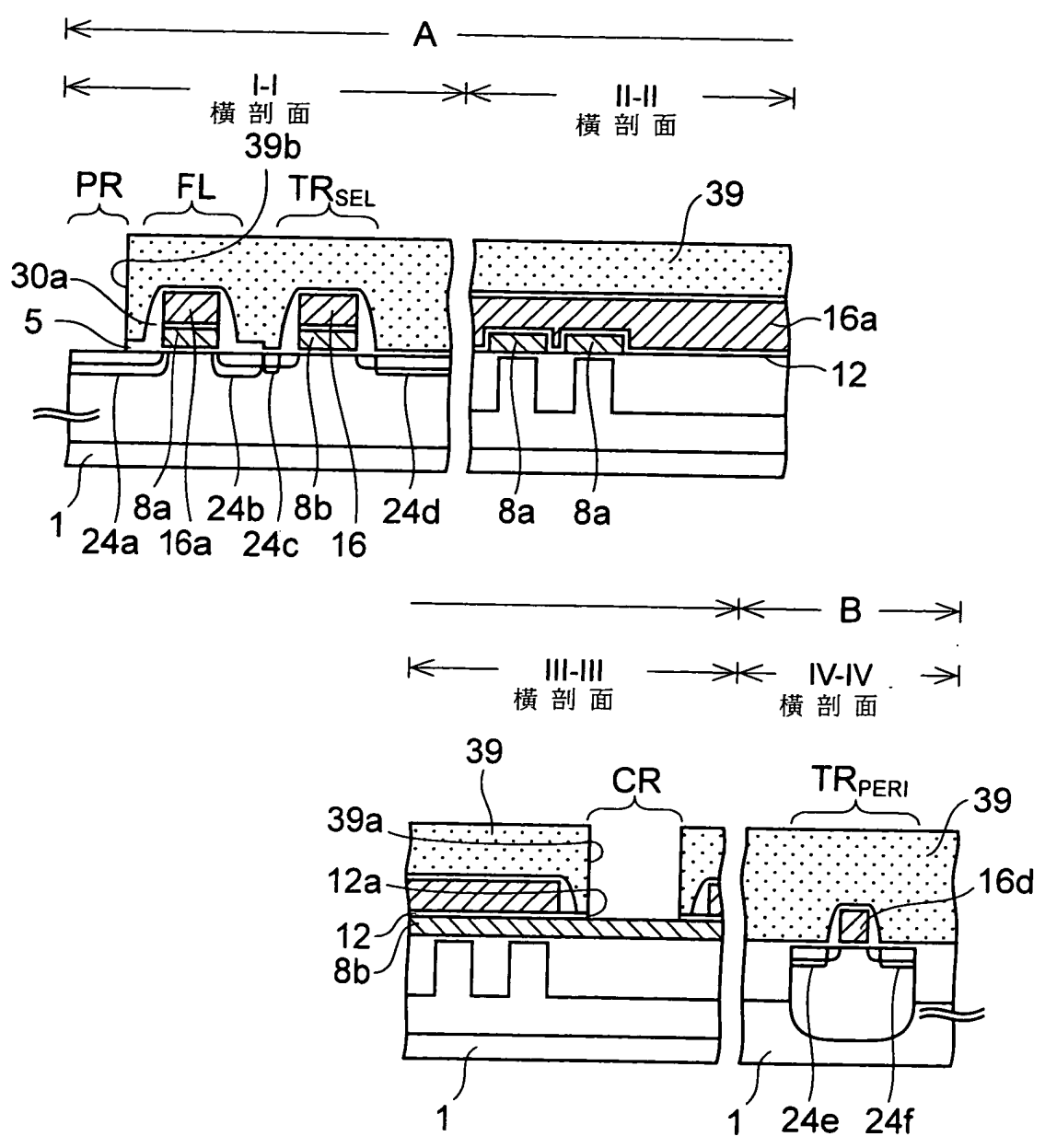
寫入時



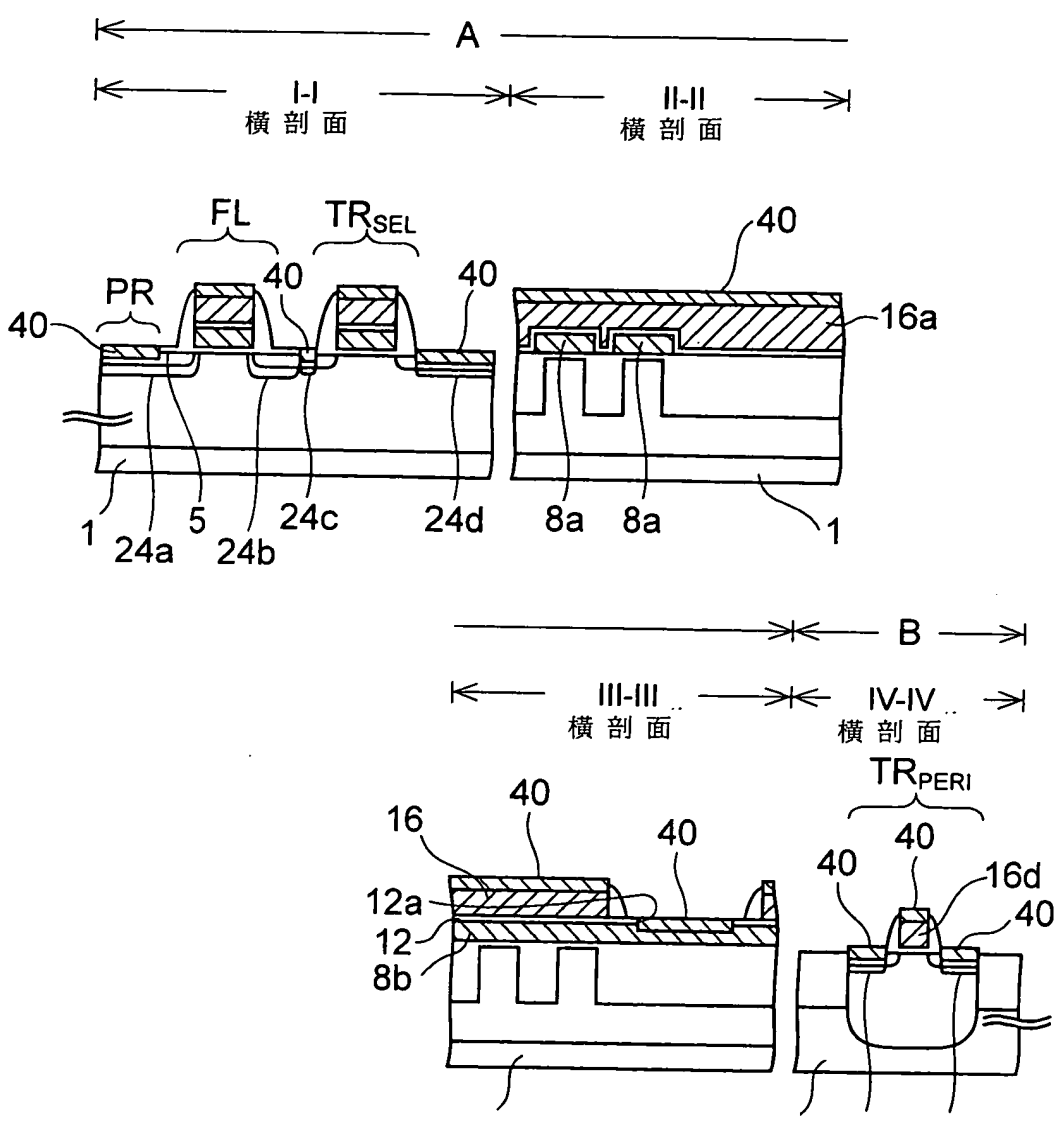
第 5 圖



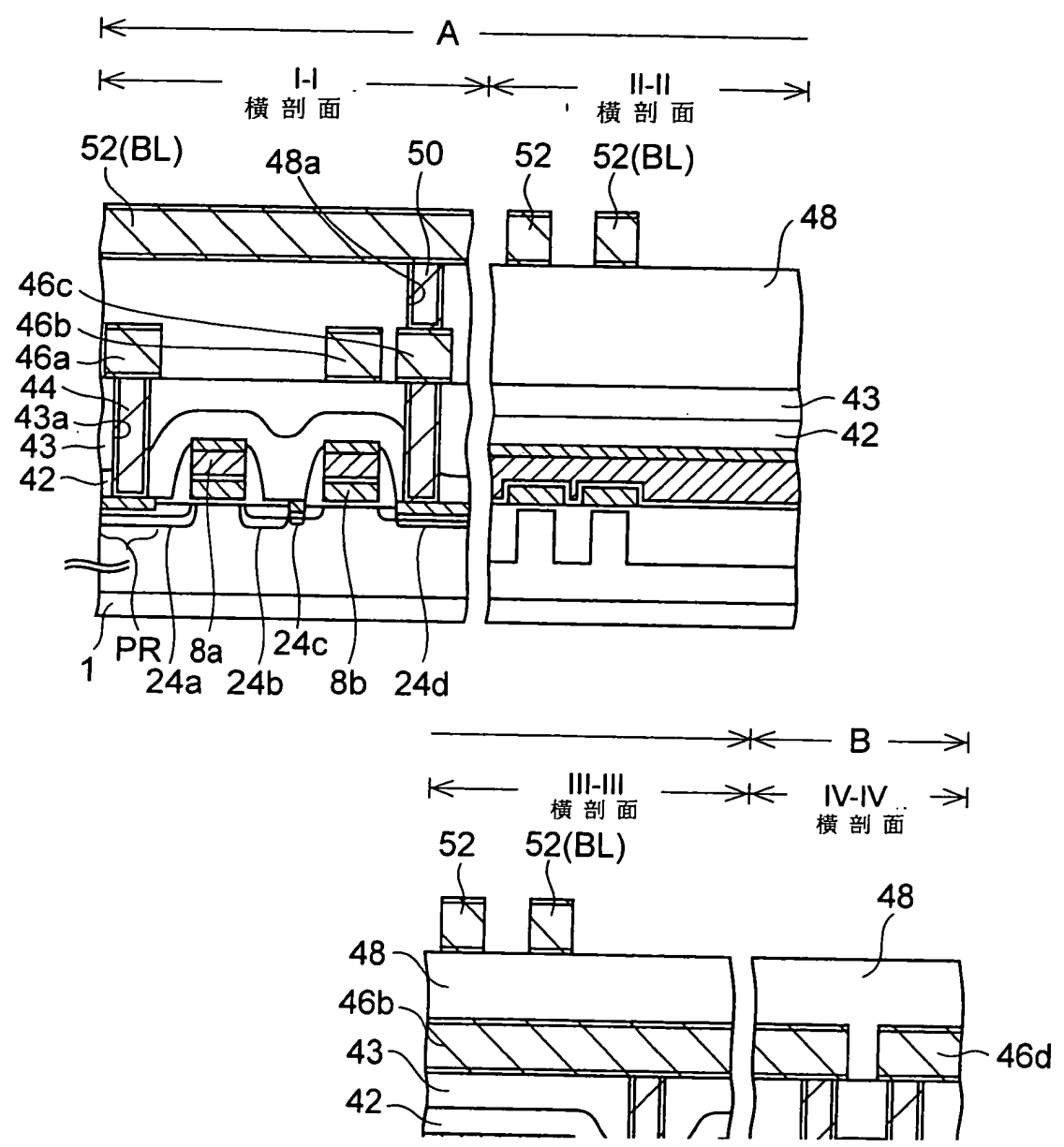
第 6A 圖



第 6B 圖



第 6C 圖



七、指定代表圖：

(一)本案指定代表圖為：第 (6C) 圖。

(二)本代表圖之元件符號簡單說明：

1…矽基材	46a…源極線(SL)
8a…浮閘極	46b…選擇線支承層
8b…閘極電極	46c…位元線接觸墊
16…第二傳導膜	46d…配線
24a-24f…第一至第六雜質擴散區	48…第二間層絕緣膜
42…覆蓋絕緣膜	48a…第四孔
43…第一間層絕緣膜	50…第五傳導性插塞
43a…第一孔	52…位元線(BL)
44a-44c…第一至第三傳導性插塞	PR…第一雜質擴散區的部份區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96151433

※申請日期：96.12.31

※IPC 分類：

H01L 21/824 (2006.01)

H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

富士通半導體股份有限公司 / FUJITSU SEMICONDUCTOR LIMITED

代表人：(中文/英文)

岡田晴基 / OKADA, HARUKI

住居所或營業所地址：(中文/英文)

日本國神奈川縣橫濱市港北區新橫濱二丁目 10 番 23

2-10-23 SHIN-YOKOHAMA, KOHOKU-KU, YOKOHAMA-SHI, KANAGAWA 222-0033

JAPAN

國籍：(中文/英文)

日本 / JAPAN

三、發明人：(共 1 人)

姓名：(中文/英文)

山田哲也 / YAMADA, TETSUYA

國籍：(中文/英文)

日本 / JAPAN

十、申請專利範圍：

1. 一種半導體裝置，包含：

一半導體基材；

第一及第二雜質擴散區，其在該半導體基材的一表面層中形成於相距彼此的一距離處；

第三及第四雜質擴散區，其形成於該半導體基材的表面層中相距彼此之一距離處，且其具有低於該等第一及第二雜質擴散區者之雜質濃度，且該第三雜質擴散區係與該第二雜質擴散區相鄰地形成；

多數熱性氧化膜，其形成於至少該等第一及第二雜質擴散區及之間的該半導體基材上，且該半導體基材係在該等第三及第四雜質擴散區之間；一快閃記憶體胞元，其藉由依序層疊一由一第一傳導膜形成之浮閘極、一中間絕緣膜、一由一第二傳導膜形成之控制閘極在該熱性氧化膜被形成，且其使用該等第一及第二雜質擴散區作為源極/汲極區；

一 MOS 電晶體，其係設有形成於該等第三及第四雜質擴散區之間之該半導體基材之該熱性氧化膜上的一閘極電極，且其使用該等第三及第四雜質擴散區作為源極/汲極區；

一間層絕緣膜，其覆蓋該快閃記憶體胞元及該 MOS 電晶體，且其在該第一雜質擴散區上方設有一第一孔；
及

一第一傳導性插塞，其形成於該第一孔中，

第 96151433 號專利申請案申請專利範圍替換本 修正日期：101 年 3 月 7 日

其中該熱性氧化膜自該第一雜質擴散區的一部份區中被移除，

一金屬矽化物層形成於該第一雜質擴散區的部份區上及該第三雜質擴散區上，

在該部分區上之該金屬矽化物層及該傳導性插塞被連接，及

該熱性氧化膜之上表面的一部份與該間層絕緣膜連接，其中該上表面的一部份係位於該浮閘極旁邊。

2.如申請專利範圍第1項之半導體裝置，其中：

該閘極電極由該第一傳導膜形成。

3.如申請專利範圍第1項之半導體裝置，其中：

該第一至第四雜質擴散區具有相同傳導類型，及該MOS電晶體作用為用於該快閃記憶體之一選擇電晶體。

4.如申請專利範圍第1項之半導體裝置，其中：

在一並非接觸區的部分中之該閘極電極的一上表面上，該中間絕緣膜及該第二傳導膜以此次序形成，

一第二孔形成於在該接觸區中之該間層絕緣膜中，及

一被電性連接至該閘極電極之第二傳導性插塞形成於該第二孔中。

5.如申請專利範圍第4項之半導體裝置，其中：

該金屬矽化物層亦形成於在該接觸區中之該閘極電極的上表面上，及

第 96151433 號專利申請案申請專利範圍替換本 修正日期：101 年 3 月 7 日

該金屬矽化物層及該第二傳導性插塞被連接。

6.如申請專利範圍第1項之半導體裝置，其中：

一絕緣側壁形成於該浮閘極旁邊，及

該熱性氧化膜留在該第一雜質擴散區的部份區及該絕緣側壁之間。

7.如申請專利範圍第1項之半導體裝置，其中：

該等第一及第二傳導膜由一多晶矽膜形成，及

該中間絕緣膜由一ONO膜形成。

8.如申請專利範圍第1項之半導體裝置，其中該熱性氧化膜

為該快閃記憶體胞元的一穿隧絕緣膜。

9.一種用於製造一半導體裝置之方法，包含：

依次序將一熱性氧化膜、一第一傳導膜、及一中間絕緣膜形成於一半導體基材上方；

形成一第二傳導膜於該中間絕緣膜上方；

藉由將該第一傳導膜、該中間絕緣膜、及該第二傳導膜予以圖案化以形成該快閃記憶體胞元之一浮閘極、該中間絕緣膜、及一控制閘極，並藉由將該第一傳導膜予以圖案化以形成用於一MOS電晶體的一閘極電極；

在該半導體基材之部分中形成將成為該快閃記憶體胞元的源極/汲極區之第一及第二雜質擴散區；

在該半導體基材之部分中形成作為該MOS電晶體之源極/汲極區，該等第三及第四雜質擴散區具有低於該等第一及第二雜質擴散區者的雜質濃度；

在該等第一、第二、第三及第四雜質擴散區形成之後，熱性氧化該半導體基材的一表面以形成熱性氧化膜，其中該等第一及二雜質擴散區上的熱性氧化膜係較該等第三及四雜質擴散區上的熱性氧化膜為厚；

在該熱性氧化之後，於該熱性氧化膜、該快閃記憶體胞元、及該 MOS 電晶體上形成一阻劑圖案，該阻劑圖案設有一窗位於該第一雜質擴散區的一部份區上方；

藉由蝕刻經過該窗以移除該部份區中之熱性氧化膜、移除該阻劑圖案；

在該阻劑圖案移除後，將該等第三及四雜質擴散區上的熱性氧化膜移除的同時，該等第一及二雜質擴散區上的熱性氧化膜係殘留下來；

在該等第三及四雜質擴散區上的熱性氧化膜移除後，形成多數金屬矽化物層於該第一雜質擴散區的部份區上及該等該第三及四雜質擴散區上；

形成一覆蓋住該快閃記憶體胞元及該 MOS 電晶體之間層絕緣膜；

在該部份區上方形成一第一孔於該間層絕緣膜中；及

在該第一孔中形成一連接至該金屬矽化物層之傳導性插塞。

10. 如申請專利範圍第 9 項之用於製造一半導體裝置之方法，其中當形成該快閃記憶體胞元時，

該等第二及第三雜質擴散區相鄰地形成。

第 96151433 號專利申請案申請專利範圍替換本 修正日期：101 年 3 月 7 日

11. 如申請專利範圍第 10 項之用於製造一半導體裝置之方法，其中：

該等第一至第四雜質擴散區被設定為具有相同傳導類型，及

該 MOS 電晶體製成為作為一用於該快閃記憶體胞元之選擇電晶體。

12. 如申請專利範圍第 10 項之用於製造一半導體裝置之方法，進一步包含：

移除該閘極電極的接觸區上方之該第二傳導膜，其中，

當移除該部份區中之熱性氧化膜時，該接觸區中的中間絕緣膜藉由蝕刻被移除，

當形成該金屬矽化物層時，該金屬矽化物層亦形成於在該接觸區中之該閘極電極的上表面上，

當形成該第一孔於該間層絕緣膜中時，一第二孔形成於該接觸區中之該間層絕緣膜中，及

當形成該第一傳導性插塞時，一連接至在該閘極電極上之該金屬矽化物層的第二傳導性插塞係形成於該第二孔中。

13. 如申請專利範圍第 12 項之用於製造一半導體裝置之方法，進一步包含：

形成該第二傳導膜之前，移除形成於該半導體基材的一周邊電路區中之該熱性氧化膜、該第一傳導膜、及該中間絕緣膜；及

移除在該周邊電路區中之該熱性氧化膜後，形成一閘極絕緣膜於該周邊電路區中之該矽基材的一上表面上，其中，

當形成該第二傳導膜時，該第二傳導膜亦形成於在該周邊電路區中之該閘極絕緣膜上，及，

當移除在該接觸區上方之該第二傳導膜時，該周邊電路區中的該第二傳導膜係被圖案化成為一用於一周邊電路之閘極電極中。

14. 如申請專利範圍第 9 項之用於製造一半導體裝置之方法，進一步包含：

形成一絕緣側壁於該浮閘極旁邊，

當形成該阻劑圖案時，該窗自該絕緣側壁產生位移，以使得當蝕刻該熱性氧化膜時該熱性氧化膜被留在該第一雜質擴散區的部份區與該絕緣側壁之間。

15. 如申請專利範圍第 9 項之用於製造一半導體裝置之方法，其中該快閃記憶體胞元的一穿隧絕緣膜形成為該熱性氧化膜。

16. 如申請專利範圍第 9 項之用於製造一半導體裝置之方法，其中一 ONO 膜形成為該中間膜。

17. 如申請專利範圍第 9 項之用於製造一半導體裝置之方法，其中該多晶矽膜形成為該等第一及第二傳導膜。