

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2012년 11월 1일 (01.11.2012)



(10) 국제공개번호
WO 2012/148228 A2

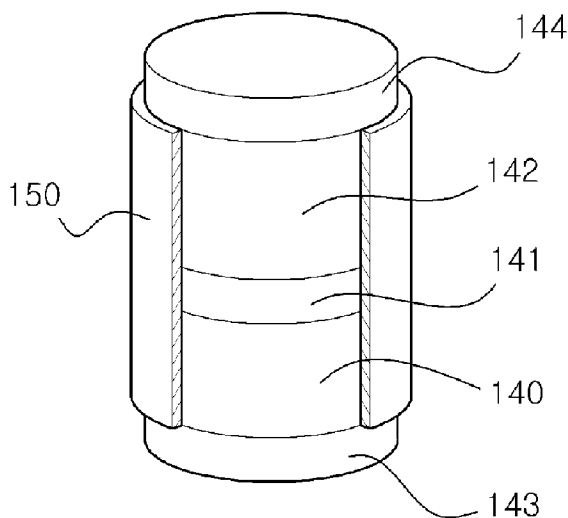
- (51) 국제특허분류: H01L 33/02 (2010.01) H01L 21/306 (2006.01)
H01L 33/44 (2010.01)
- (21) 국제출원번호: PCT/KR2012/003309
- (22) 국제출원일: 2012년 4월 27일 (27.04.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2011-0040174 2011년 4월 28일 (28.04.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 국민대학교 산학협력단 (KOOKMIN UNIVERSITY INDUSTRY ACADEMY COOPERATION FOUNDATION) [KR/KR]; 서울특별시 성북구 정릉로 77, 136-702 Seoul (KR). 피에스아이 주식회사 (PSI CO., LTD.) [KR/KR]; 경기도 수원시 팔달구 창룡대로 59, 442-160 Gyeonggi-do (KR).
- (72) 발명자: 곁
- (75) 발명자/출원인 (US 에 한하여): 도영락 (DO, Young-Rag) [KR/KR]; 서울특별시 송파구 잠실 2동 리센츠아파트 204 동 301 호, 138-911 Seoul (KR). 성연국 (SUNG, Yeon-Goog) [KR/KR]; 경기도 고양시 일산서구 덕이동 325, 411-808 Gyeonggi-do (KR).
- (74) 대리인: 특허법인 충현 (CHUNG HYUN PATENT & LAW FIRM); 서울특별시 서초구 바우피로 225 한마음빌딩 4층, 137-130 Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: ULTRA SMALL LED AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 초소형 LED 소자 및 그 제조방법

[Fig. 14]



(57) Abstract: The present invention relates to an ultra small LED and a method for manufacturing same, and more specifically, to an ultra small LED comprising: a first conductive semiconductor layer; an active layer which is formed on the first conductive semiconductor layer; and a micro- or nano-sized semiconductor light emitting diode including a second conductive layer that is formed on the active layer, wherein the semiconductor light emitting diode is an ultra small LED comprising a coated insulation film on the outer circumferential surface thereof, and to a method for manufacturing the ultra small LED comprising the following steps: 1) forming on a substrate the first conductive semiconductor layer, the active layer, and the second conductive semiconductor layer in order; 2) etching the first conductive semiconductor layer, the active layer, and the second conductive semiconductor layer so that the diameter of the LED is a nano or a micro size; and 3) forming the insulation film on the outer circumferential surfaces of the first conductive semiconductor layer, the active layer, and the second conductive semiconductor layer, and removing the substrate. According to the present invention, the nano- or micro-sized ultra small LED can be effectively produced by combining a top-down method and a bottom-up method, and the light emitting efficiency can be improved by preventing surface defects on the ultra small LED that is produced.

(57) 요약서:

[다음 쪽 계속]



WO 2012/148228 A2



공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를 별도 공개함 (규칙 48.2(g))

본 발명은 초소형 LED 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는, 제 1 도전성 반도체층, 상기 제 1 도전성 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제 2 도전성 반도체층을 포함하는 마이크로 또는 나노 크기의 반도체 발광소자를 포함하되, 상기 반도체 발광소자는 외주면에 코팅된 절연피막을 포함하는 초소형 LED 소자 및, 1) 기판위에 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층을 순차적으로 형성하는 단계; 2) 상기 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층을 LED 소자의 직경이 나노 또는 마이크로 크기를 가지도록 식각하는 단계; 및 3) 상기 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층의 외주면에 절연피막을 형성하고 상기 기판을 제거하는 단계를 포함하는 초소형 LED 소자의 제조방법에 관한 것이다. 본 발명에 따르면, 나노 또는 마이크로 사이즈의 초소형 LED 소자를 탑-다운 방식과 바텀-업 방식을 조합하여 효과적으로 생산하고, 생산되는 초소형 LED 소자의 표면결함을 방지하여 발광효율을 개선할 수 있다.

명세서

발명의 명칭: 초소형 LED 소자 및 그 제조방법

기술분야

- [1] 본 발명은 초소형 LED 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 나노 또는 마이크로 사이즈의 초소형 LED 소자를 탑-다운 방식과 바텀-업 방식을 조합하여 효과적으로 생산하고, 생산되는 초소형 LED 소자의 표면결함을 방지하여 발광효율을 개선할 수 있는 초소형 LED 소자 및 그 제조방법에 관한 것이다.

배경기술

- [2] 현재 큰 밴드갭을 가진 질화물계 반도체를 이용하여 질화물계 반도체 성장 구조나 성장된 박막의 제작공정을 개선시켜 광변환 효율이 높은 발광 소자(LED: light emitting diode)를 개발하려는 노력이 활발히 이루어지고 있다.
- [3] 그런데, 지금까지 알려진 LED TV는 기존의 LCD TV에 사용되는 냉음극형광등(cold cathode fluorescent lamp, CCFL) 백라이트를 대신해 백색 또는 삼원색 LED 소자를 백라이트로 채용한 LCD TV로서, 정확하게 말하면 LED 백라이트를 사용한 LCD TV이다. 구체적으로, 현재 상용화된 풀칼라 LED 디스플레이는 초대형 기관에 적, 녹, 청 3원색 LED 램프를 수만개에서 수십만 개 이상 삽입한 옥외전광판용 디스플레이가 유일하게 일상에서 접할 수 있는 제품이다. 따라서, 현재까지는 진정한 의미의 LED 풀칼라 디스플레이를 가정용 TV나 컴퓨터용 모니터로는 구현하지 못하고 있다.
- [4] 기존의 LED 소자를 이용해서 TV나 모니터급 사이즈의 디스플레이로 발전시키지 못하는 이유는 LED 소자를 이용해서 디스플레이를 제조하는 기술적 방법과 풀칼라를 구현하는 방법의 근본적인 한계에 기인한다. 기존 LED 소자의 제조방법은 2~8 인치 사이즈의 사파이어 기관에 금속 유기물 화학 증착(metal organic chemical vapor deposition: MOCVD) 방법으로 III-V족 물질의 p-반도체층, 양자우물층, n-반도체층 등을 증착시킨 후, 절단/배선/패키징 등의 다양한 후공정을 통해서 필요한 형태의 LED 소자를 제조하는 방법이다. 이러한 방법을 사용해서 직접 TV용 디스플레이를 만들 경우, 단순히 계산해보면 2~8 인치 웨이퍼를 5~40 장 연결해야만 40인치 급 TV를 제작할 수 있다. 따라서, 현재 알려진 제조기술을 사용해서 LED소자로 직접 TV급 디스플레이를 실현하는 데는 현재의 기술로는 극복할 수 없는 수 많은 문제점들이 산재해 있다. 이와 더불어, 풀칼라를 구현하기 위해서는 적, 녹, 청 3원색 LED 소자를 한 개의 픽셀(pixel)에 같이 박아 넣어야 하므로 단순히 적, 녹, 청 LED 웨이퍼를 이어 붙여서는 LED 풀칼라 디스플레이를 구현할 수 없다.
- [5] 고효율 LED 디스플레이를 실현하기 위해서는 실제 디스플레이용 대면적 유리기관의 패터닝 픽셀 위치에 III-V족 박막 및 나노로드 LED 소자를 직접

성장시키는 바텀-업 (bottom-up) 방법이 있다. 지금까지 많은 연구를 통해서 알려진 바에 의하면, III-V 족 박막을 성장시키는 MOCVD 방법으로는 TV용 디스플레이급 사이즈와 같은 대형기판에 직접 증착하는 공정은 설비상 불가능한 것으로 알려져 있다. 이 뿐만 아니라, 투명한 비결정질 유리기판에 패터닝된 투명전극 위에 고결정성/고효율 III-V족 박막 및 나노로드 헤테로접합 (heterojunction) LED 소자를 성장시키는 것 역시 결정학적으로도 매우 어려운 것으로 알려져 있다. 이와 같은 기술적 한계 때문에 작은 소자를 제외하고 대면적 유리기판에 LED 소자를 직접 성장시켜서 TV 또는 모니터급 풀칼라 디스플레이를 구현하는 방법은 거의 시도되지 않고 있다.

- [6] LED 디스플레이를 실현하기 위해서 많은 연구자들에 의해서 추진되고 있는 또 다른 접근법은 나노기술을 기반으로 한 바텀-업 방식이다. 이 방법은 단결정 기판 위에 나노로드형 LED를 성장시킨 후, 일부를 떼어 내어서 픽셀로 패터닝된 전극 위에 바텀-업 방식으로 재배열시킴으로써, 대면적 디스플레이를 구현하는 방법이다. 하지만, 이와 같이 바텀-업 방식으로 제조한 나노로드 LED는 기존에 웨이퍼에 성장시킨 박막형 LED에 비교하여 발광효율이 형편없이 떨어지므로, 이 기술로 LED 디스플레이를 구현하더라도 상당한 기간 동안 효율 저하의 문제점을 해결할 수 없다. 뿐만 아니라, 바텀-업 방식으로 성장시킨 나노로드 LED 소자를 바텀-업 방식의 자기조립법으로 전극위에 배열하기 위해서는 사이즈와 높이가 균일한 나노로드 소자를 얻는 것이 필수적이다. 하지만, 잘 알려진 기상-액상-고상 (Vapor-Liquid-Solid: VLS) 방법과 같은 나노로드 성장법을 이용해서 자기조립에 용이한 균일한 사이즈와 특성을 갖는 나노로드 LED 소자를 대량으로 제조할 가능성이 매우 적다.

- [7] 또 다른 방법으로는, 고효율 LED 소자를 잘라서 LED 디스플레이를 구현하는 탑-다운 (top-down) 방법이 있다. 일반적으로, 이 방법은 대면적 유리 기판의 씨브-픽셀 위치에 탑-다운 방식으로 제조한 마이크로 LED 소자를 한 개씩 배열하는 일대일 대응 방식으로 디스플레이를 구현하는 방법이다. 구체적으로, 마이크로 사이즈의 LED 디스플레이의 경우는 탑-다운 방식으로 제조한 개개의 마이크로 LED를 각각의 씨브-픽셀로 제작하므로, 소형 마이크로 LED 디스플레이용으로 개발되었다. 이 경우 LED 소자를 사파이어 기판에 성장시킨 후, 마이크로 사이즈로 패터닝하여 마이크로 LED 소자를 제조한 후 전극을 배선하므로 웨이퍼 기판사이즈보다 적은 마이크로 LED 디스플레이를 구현한다. 이 방법을 이용할 경우, 효율에는 문제가 없으나, 기판 사이즈 및 제조 공정의 한계로 대면적 사이즈의 LED 디스플레이를 구현하는 것은 불가능하다.

- [8] 결국, 종래의 탑-다운 또는 바텀-업 방식으로 제조한 초소형 LED 소자는 에칭작업에 의한 표면 결함의 증가로 효율 및 안정성 저하의 문제가 발생할 가능성이 매우 높다. 또한, 독립된 초소형 LED 소자의 경우, 초소형 소자간의 표면 극성으로 인해서 상호 응집력이 발생하고 응집체가 형성되며, 그에 따른 픽셀 패터닝 공정에서 다수의 불량률 초래할 수 있다. 따라서, 독립된 초소형

마이크로 LED 소자의 제조만으로 양산성 있는 고효율/대면적 LED 디스플레이 소자를 구현하는 데는 한계가 있다.

- [9] 나아가, 종래의 방법으로 제조된 초소형 LED 소자를 LED 디스플레이 기판의 서브픽셀 (픽셀위치)에 위치시키는 경우, LED 소자의 크기가 너무 작으므로 LED 디스플레이의 서브픽셀 상에 초소형 LED 소자가 바로서지 못하고 옆으로 눕거나 뒤집혀서 위치하게 되는 문제가 있었다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 본 발명의 첫 번째 기술적 과제는, 초소형 LED 소자의 에칭작업에 의한 표면 결함의 증가로 효율 및 안정성 저하 및 초소형 LED 소자간의 응집 문제를 해결할 수 있는 초소형 LED 소자의 제조방법을 제공하는 것이다.
- [11] 본 발명의 두 번째 기술적 과제는, LED 디스플레이의 서브픽셀 (픽셀위치) 상에서 초소형 LED 소자가 옆으로 눕거나 뒤집히지 않고 정확하게 위치할 수 있는 초소형 LED 소자를 제공하는 것이다.

과제 해결 수단

- [12] 본 발명은 상기 첫 번째 기술적 과제를 해결하기 위해서,
- [13] 1) 기판위에 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 순차적으로 형성하는 단계; 2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 LED 소자의 직경이 나노 또는 마이크로 크기를 가지도록 식각하는 단계; 및 3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층의 외주면에 절연피막을 형성하고 상기 기판을 제거하는 단계를 포함하는 초소형 LED 소자의 제조방법을 제공한다.
- [14] 본 발명의 일 실시예에 따르면, 상기 제1 도전성 반도체층은 적어도 하나의 n형 반도체층을 포함하고, 상기 제2 도전성 반도체층은 적어도 하나의 p형 반도체층을 포함할 수 있다.
- [15] 본 발명의 다른 실시예에 따르면, 상기 2) 단계는;
- [16] 2-1) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 순차적으로 형성하는 단계; 2-2) 상기 금속 마스크층 위에 폴리머층을 형성하고 상기 폴리머층에 나노 또는 마이크로 간격으로 패턴을 형성하는 단계; 2-3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 패턴에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및 2-4) 상기 절연층, 금속 마스크층 및 폴리머층을 제거하는 단계를 포함할 수 있다.
- [17] 본 발명의 또 다른 실시예에 따르면, 상기 2) 단계는;
- [18] 2-5) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 형성하는 단계; 2-6) 상기 금속 마스크층 위에 나노스피어 또는 마이크로스피어 단층막을 형성하고 자기조립을 수행하는 단계; 2-7) 상기 제1 도전성 반도체층,

활성층 및 제2 도전성 반도체층을 패턴에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및 2-8) 상기 절연층, 금속 마스크층 및 단층막을 제거하는 단계를 포함할 수 있다.

- [19] 본 발명의 또 다른 실시예에 따르면, 상기 나노스피어 또는 마이크로스피어는 폴리스티렌 재질일 수 있다.
- [20] 본 발명의 또 다른 실시예에 따르면, 상기 3) 단계는;
- [21] 3-1) 제2 전극층의 위에 지지필름을 형성하는 단계; 3-2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막을 형성하는 단계; 3-3) 상기 절연피막 위에 소수성 피막을 코팅하는 단계; 3-4) 상기 기판을 제거하는 단계; 3-5) 상기 제1 도전성 반도체층의 하부에 제1 전극층을 형성하는 단계; 및 3-6) 상기 지지필름을 제거하여 복수개의 초소형 LED 소자를 제조하는 단계를 포함할 수 있다.
- [22] 본 발명의 또 다른 실시예에 따르면, 상기 3) 단계는;
- [23] 3-7) 제2 전극층의 위에 지지필름을 형성하는 단계; 3-8) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막을 형성하는 단계; 3-9) 상기 기판을 제거하는 단계; 3-10) 상기 제1 도전성 반도체층의 하부에 제1 전극층을 형성하는 단계; 3-11) 상기 제1 전극층 및 제2 전극층 중 적어도 일면에 결합링커를 형성하는 단계; 및 3-12) 상기 지지필름을 제거하여 복수개의 초소형 LED 소자를 제조하는 단계를 포함할 수 있다.
- [24] 한편, 본 발명은 상기 두 번째 기술적 과제를 해결하기 위해서,
- [25] 제1 도전성 반도체층; 상기 제1 도전성 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제2 도전성 반도체층을 포함하는 마이크로 또는 나노 크기의 반도체 발광소자를 포함하되, 상기 반도체 발광소자는 외주면에 코팅된 절연피막을 포함하는 초소형 LED 소자를 제공한다.
- [26] 본 발명의 일 실시예에 따르면, 상기 절연피막 위에는 소수성 피막이 코팅될 수 있다.
- [27] 본 발명의 다른 실시예에 따르면, 상기 제1 도전성 반도체층의 하부에는 제1 전극층이 형성되고, 상기 제2 도전성 반도체층의 상부에는 제2 전극층이 형성될 수 있다.
- [28] 본 발명의 또 다른 실시예에 따르면, 상기 제1 전극층의 하부면 및 제2 전극층의 상부면 중 적어도 하나의 전극층의 표면에 자기조립을 위한 결합링커가 포함될 수 있다.
- [29] 본 발명의 또 다른 실시예에 따르면, 상기 결합링커는 LED 디스플레이의 기판과 상보적으로 결합할 수 있다.
- [30] 본 발명의 또 다른 실시예에 따르면, 상기 제1 도전성 반도체층은 적어도 하나의 n형 반도체층을 포함하고, 상기 제2 도전성 반도체층은 적어도 하나의 p형 반도체층을 포함할 수 있다.
- [31] 본 발명의 또 다른 실시예에 따르면, 상기 절연피막은 SiO_2 , Si_3N_4 , Al_2O_3 및 TiO_2

로 구성되는 군으로부터 선택되는 어느 하나 이상을 포함하고, 상기 소수성 피막은 SAMs와 플루오로폴리머 중 어느 하나 이상의 성분을 포함하며, 상기 결합링커는 티올그룹을 포함할 수 있다.

- [32] 이하, 본 발명에 있어서, 각 층 (막), 영역, 패턴 또는 구조물들이 기판, 각 층 (막), 영역, 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접적으로 (directly)"와 "간접적으로 (indirectly)"의 의미를 모두 포함한다. 또한, 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

발명의 효과

- [33] 본 발명에 따른 초소형 LED 소자의 제조방법은 종래 초소형 LED 소자의 문제점이었던, 에칭작업에 의한 표면 결함 증가, 그에 따른 효율 및 안정성 저하 및 초소형 LED 소자간의 응집문제를 해결할 수 있다.
- [34] 또한, 본 발명에 따른 초소형 LED 소자는 표면결함 및 응집문제가 발생하지 않을 뿐 아니라, LED 디스플레이의 서브픽셀 (픽셀위치) 상에서 초소형 LED 소자가 옆으로 눕거나 뒤집히지 않고 정확하게 위치할 수 있어 LED 디스플레이의 효율을 획기적으로 개선할 수 있다.
- [35] 또한, 본 발명에 따른 초소형 LED 소자는 결합링커를 사용함으로써 링커끼리의 결합에 의하여 원하는 픽셀 패턴 위치로 자유자재로 조립할 수 있어 LED 디스플레이의 다양한 응용이 가능할 수 있다.

도면의 간단한 설명

- [36] 도 1은 본 발명의 일 실시예에 따른 LED 기본소자층을 형성하는 단계를 나타내는 단면도이다.
- [37] 도 2는 본 발명의 제2 도전성 반도체층 위에 제2 전극층, 절연층 및 금속 마스크층을 형성하는 단계를 나타내는 단면도이다.
- [38] 도 3은 본 발명의 금속 마스크층 위에 나노스피어 또는 마이크로스피어 단층막을 형성하는 단계를 나타내는 단면도이다.
- [39] 도 4는 본 발명의 나노스피어 또는 마이크로스피어 단층막의 애싱 (ashing) 단계를 나타내는 단면도이다.
- [40] 도 5는 본 발명의 식각단계를 나타내는 단면도이다.
- [41] 도 6은 본 발명의 스피어 단층막, 금속 마스크층 및 절연층을 제거하는 단계를 나타내는 단면도이다.
- [42] 도 7은 본 발명의 제2 전극층 위에 지지필름을 부착하는 단계를 나타내는 단면도이다.
- [43] 도 8은 본 발명의 LED 소자의 외주면을 절연피막으로 코팅하는 단계를 나타내는 단면도이다.
- [44] 도 9는 본 발명의 LED 소자의 외주면에 형성된 절연피막을 소수성 피막으로 코팅하는 단계를 나타내는 단면도이다.

- [45] 도 10은 본 발명의 LED 소자의 제1 도전성 반도체층의 아래에 형성된 기판을 제거하는 단계를 나타내는 단면도이다.
- [46] 도 11은 본 발명의 기판이 제거된 제1 도전성 반도체층의 아래에 전극을 증착하는 단계를 나타내는 단면도이다.
- [47] 도 12는 본 발명의 전극의 표면에 자기조립을 위한 결합링커를 코팅하는 단계를 나타내는 단면도이다.
- [48] 도 13은 본 발명의 지지필름을 제거하여 독립적인 초소형 LED 소자들을 제조하는 단계를 나타내는 단면도이다.
- [49] 도 14는 본 발명의 LED 소자의 외주면이 절연피막으로 코팅된 초소형 LED 소자를 나타내는 사시도이다.
- [50] 도 15은 본 발명의 외주면에 형성된 절연피막이 소수성 피막으로 코팅된 초소형 LED 소자를 나타내는 사시도이다.
- [51] 도 16은 본 발명의 전극의 표면에 자기조립을 위한 결합링커가 형성된 초소형 LED 소자를 나타내는 사시도이다.
- [52] 도 17은 본 발명의 초소형 LED 소자들을 포함하는 잉크 또는 페이스트이다.
- [53] 도 18은 본 발명의 LED 기본소자층 단면에 대한 전자현미경 관찰사진이다.
- [54] 도 19는 본 발명의 제2 도전성 반도체층 위에 절연층과 금속 마스크층을 형성한 단면에 대한 전자현미경 관찰사진이다.
- [55] 도 20a는 본 발명의 금속 마스크층 위에 나노스피어 단층막을 형성한 단면을 관찰한 전자현미경 사진이고, 도 20b는 그 평면을 관찰한 전자현미경 사진이다.
- [56] 도 21a는 본 발명의 나노스피어 단층막을 O₂ 가스 분위기 하에서 에칭 처리한 단면을 관찰한 전자현미경 사진이고, 도 21b는 그 평면을 관찰한 전자현미경 사진이다.
- [57] 도 22a는 본 발명의 크기가 축소된 나노스피어를 마스크로 하여 Cl₂ 가스 분위기 하에서 금속 마스크층을 에칭한 단면을 관찰한 전자현미경 사진이고, 도 22b는 그 평면을 관찰한 전자현미경 사진이다.
- [58] 도 23a는 본 발명의 에칭 공정에 의해서 폴리스티렌의 모양 그대로 전사 (transfer)된 금속 마스크층 패턴의 단면을 관찰한 전자현미경 사진이고, 도 23b는 그 평면을 관찰한 전자현미경 사진이다.
- [59] 도 24a는 본 발명의 금속 마스크층 패턴을 이용해서 CF₄ 및 O₂ 가스 분위기하에서 SiO₂ (절연층)를 식각한 단면을 관찰한 전자현미경 사진이고, 도 24b는 그 평면을 관찰한 전자현미경 사진이다.
- [60] 도 25a는 본 발명의 식각된 절연층을 이용해서 SiCl₄ 및 Ar 가스 분위기 하에서 ICP 방법으로 식각한 단면을 관찰한 전자현미경 사진이고, 도 25b는 그 평면을 관찰한 전자현미경 사진이다.
- [61] 도 26a는 본 발명의 마스크로 사용된 절연층을 제거한 후 단면을 관찰한 전자현미경 사진이고, 도 26b는 그 평면을 관찰한 전자현미경 사진이다.
- [62] 도 27a 및 27b는 본 발명의 절연피막 (Al₂O₃)이 코팅된 반도체층에 소수성 피막

(옥타데실트리클로로실란)을 코팅하기 전 (27a) 및 코팅한 후 (27b)의 접촉각 (contact angle)을 측정한 도면이다.

- [63] 도 28a 및 28b는 본 발명의 지지 필름이 부착되지 않은 버퍼층 또는 언도프드 반도체층과 사파이어 기판 쪽으로 레이저를 이용한 리프트-오프 공정을 수행한 단면을 관찰한 전자현미경 사진이다.
- [64] 도 29a 및 29b는 본 발명의 제1 도전성 반도체층이 노출되도록 하기 위해서 버퍼층 또는 언도프드 반도체층을 ICP 방법으로 어느 정도 식각한 단면을 관찰한 전자현미경 사진이다.
- [65] 도 30a 및 30b는 본 발명의 ICP 방법으로 더욱 식각을 진행한 후 단면을 관찰한 전자현미경 사진이다.
- [66] 도 31a는 본 발명의 ICP 방법으로 제1 도전성 반도체층이 노출되도록 식각된 단면을 관찰한 전자현미경 사진이고, 도 31b는 그 평면을 관찰한 전자현미경 사진이다.
- [67] 도 32는 본 발명의 초소형 LED의 제1 도전성 반도체 층에 스퍼터링 방법으로 전극 (Ti)을 증착한 단면을 관찰한 전자현미경 사진이다.
- [68] 도 33은 본 발명의 지지 필름을 아세톤으로 제거한 상태의 독립적인 초소형 LED를 전자현미경으로 관찰한 사진이다.
- [69] 도 34는 도 33의 독립적 초소형 LED 하나를 전자현미경으로 관찰한 사진이다.
- [70] 도 35는 도 33의 독립적 초소형 LED 소자들을 전극 기판에 정렬시킨 것을 전자현미경으로 관찰한 사진이다.
- [71] 도 36은 본 발명의 초소형 LED 소자들을 전극 기판에 정렬시킨 후 측정된 스펙트럼이다.
- [72] 도 37a 내지 37c는 본 발명의 초소형 LED가 청색 발광하는 모습을 육안으로 관찰한 사진이다.

발명의 실시를 위한 최선의 형태

- [73] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다.
- [74] 상술한 바와 같이, 종래의 탑-다운 또는 바텀-업 방식으로 제조한 초소형 LED 소자는 에칭작업에 의한 표면 결함의 증가로 효율 및 안정성 저하의 문제가 발생할 가능성이 매우 높다. 또한, 독립된 초소형 LED 소자의 경우 초소형 소자 간의 표면의 극성에 의한 상호 응집력에 의해서 응집체가 형성되고 그에 따른 픽셀 패터닝 공정에서 다수의 불량 발생될 수 있다. 따라서, 독립된 초소형 마이크로 LED 소자의 제조만으로 양산성 있는 고효율/대면적 LED 디스플레이 소자를 구현하는 데는 한계가 있다.
- [75] 나아가, 종래의 방법으로 제조된 초소형 LED 소자를 LED 디스플레이 기판의 서브픽셀 (픽셀위치)에 위치시키는 경우 LED 소자의 크기가 너무 작으므로 LED 디스플레이의 서브픽셀상에서 초소형 LED 소자가 바로서지 못하고 옆으로 눕거나 뒤집혀서 위치하게 되는 문제가 있었다.

- [76] 이에 본 발명에서는, 1) 기판위에 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 순차적으로 형성하는 단계; 2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 LED 소자의 직경이 나노 또는 마이크로 크기를 가지도록 식각하는 단계; 및 3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층의 외주면에 절연피막을 형성하고 상기 기판을 제거하는 단계를 포함하는 초소형 LED 소자의 제조방법을 제공하여 상술한 문제의 해결을 모색하였다.
- [77] 먼저, 1) 단계로서 기판위에 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 순차적으로 형성한다. 구체적으로, 도 1은 본 발명의 일구현예에 따른 LED 기본소자층을 형성하는 단계를 나타내는 단면도로서, 기판(10)위에 제1 도전성 반도체층(11), 활성층(12) 및 제2 도전성 반도체층(13)을 형성하는 단계를 포함한다.
- [78] 상기 기판(10)은 사파이어 기판(Al_2O_3) 및 유리와 같은 투과성 기판이 사용될 수 있다. 또한, 상기 기판(10)은 GaN, SiC, ZnO, Si, GaP 및 GaAs, 도전성 기판 등으로 이루어진 군에서 선택될 수 있다. 이하, 실시예에서는 사파이어 기판의 예로 설명하기로 한다. 상기 기판(10)의 상면은 요철 패턴이 형성될 수도 있다.
- [79] 상기 기판(10) 위에는 질화물 반도체가 성장되는데, 그 성장 장비는 전자빔 증착, 물리적 기상증착 (physical vapor deposition: PVD), 화학적 기상증착 (chemical vapor deposition: CVD), 플라즈마 레이저 증착 (plasma laser deposition: PLD), 이중형 열증착 (dual-type thermal evaporator), 스퍼터링(sputtering), 금속 유기 화학적 기상증착 (metal organic chemical vapor deposition: MOCVD) 등에 의해 형성할 수 있으나, 이러한 방법으로만 제한되는 것은 아니다.
- [80] 상기 기판(10) 위에는 버퍼층(미도시) 및/또는 미도핑 반도체층(미도시)이 형성될 수 있다. 상기 버퍼층은 상기 기판(10)과의 격자 상수 차이를 줄여주기 위한 층으로서, GaN, InN, AlN, InGaN, AlGaN, InAlGaN, AlInN 중 적어도 하나로 형성될 수 있다. 상기 미도핑 반도체층은 미도핑 GaN층으로 구현될 수 있으며, 질화물 반도체가 성장되는 기판으로 기능하게 된다. 상기 버퍼층 및 미도핑 반도체층은 어느 한 층만 형성하거나, 두 층 모두 형성되거나 형성되지 않을 수도 있다.
- [81] 본 발명의 바람직한 일구현예에 따르면 상기 기판의 두께는 400 ~ 1500 μm 일 수 있으나, 이에 제한되지 않는다.
- [82] 상기 기판(10) 위에는 제1 도전성 반도체층(11)이 형성된다. 상기 제1 도전성 반도체층(11)은 예컨대, n형 반도체층을 포함할 수 있는데, 상기 n형 반도체층은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료 예컨대, InAlGaN, GaN, AlGaN, InGaN, AlN, InN 등에서 어느 하나 이상이 선택될 수 있으며, 제1 도전성 도펀트(예: Si, Ge, Sn 등)가 도핑될 수 있다. 본 발명의 바람직한 일구현예에 따르면, 상기 제1 도전성 반도체층의 두께는 1.5 ~ 5 μm 일 수 있으나, 이에 제한되지 않는다.

- [83] 상기 활성층(12)은 상기 제1 도전성 반도체층(11) 위에 형성되며, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 상기 활성층(12)의 위 및/또는 아래에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수도 있으며, 상기 도전성 도펀트가 도핑된 클래드층은 AlGa_n층 또는 InAlGa_n층으로 구현될 수 있다. 그 외에, AlGa_n, AlInGa_n 등의 물질도 활성층(12)으로 이용될 수 있음은 물론이다. 이러한 활성층(12)에서는 전계를 인가하였을 때, 전자-정공 쌍의 결합에 의하여 빛이 발생하게 된다. 본 발명의 바람직한 일구현예에 따르면 상기 활성층의 두께는 0.05 ~ 0.25 μ m일 수 있으나, 이에 제한되지 않는다.
- [84] 상기 활성층(12) 위에는 제2 도전성 반도체층(13)이 형성되며, 상기 제2 도전성 반도체층(13)은 적어도 하나의 p형 반도체층으로 구현될 수 있는데, 상기 p형 반도체층은 In_xAl_yGa_{1-x-y}N (0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1)의 조성식을 갖는 반도체 물질 예컨대, InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 등에서 어느 하나 이상이 선택될 수 있으며, 제2 도전성 도펀트(예: Mg)가 도핑될 수 있다. 여기서, 발광 구조물은 상기 제1 도전성 반도체층(11), 상기 활성층(12), 상기 제2 도전성 반도체층(13)을 최소 구성 요소로 포함하며, 각 층의 위/아래에 다른 형광체층, 활성층, 반도체층 및/또는 전극층을 더 포함할 수도 있다. 본 발명의 바람직한 일구현예에 따르면 상기 제2 도전성 반도체층의 두께는 0.08 ~ 0.25 μ m일 수 있으나, 이에 제한되지 않는다.
- [85] 다음, 2) 단계는 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하여 LED 소자의 직경이 나노 또는 마이크로 크기를 가지도록 식각한다. 이를 위하여 본 발명의 바람직한 일구현예에 따르면, 2-5) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 형성하는 단계; 2-6) 상기 금속 마스크층 위에 나노스피어 또는 마이크로스피어 단층막을 형성하고 자기조립을 수행하는 단계; 2-7) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 패터닝에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및 2-8) 상기 절연층, 금속 마스크층 및 단층막을 제거하는 단계를 포함할 수 있다.
- [86] 구체적으로 도 2는 본 발명의 제2 도전성 반도체(13)층 위에 제2 전극층(20), 절연층(21) 및 금속 마스크층(22)을 형성하는 단계를 나타내는 단면도이다. 먼저, 제2 전극층(20)은 통상의 LED 소자에 사용되는 금속 또는 금속산화물을 이용할 수 있으며, 바람직하게는 Cr, Ti, Al, Au, Ni, ITO 및 이들의 산화물 또는 합금 등을 단독 또는 혼합하여 사용할 수 있으나, 이에 제한되지 않는다. 본 발명의 바람직한 일구현예에 따르면, 상기 금속 마스크층의 두께는 0.02 ~ 0.1 μ m일 수 있으나, 이에 제한되지 않는다.
- [87] 상기 제2 전극층(20) 위에 형성되는 절연층(21)은 제2 전극층, 제2 도전성 반도체층, 활성층 및 제1 도전성 반도체층의 연속적인 에칭을 위한 마스크의 역할을 수행할 수 있으며, 산화물 또는 질화물을 이용할 수 있고, 대표적인 예로, 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiN)이 이용될 수 있으나, 이에 제한되는 것은 아니다.

- [88] 본 발명의 바람직한 일구현예에 따르면 상기 절연층의 두께는 0.5 ~ 1.5 μm 일 수 있으나, 이에 제한되지 않는다.
- [89] 상기 절연층(21)의 위에 형성되는 금속 마스크층(22)은 에칭을 위한 마스크층의 역할을 수행하는 것으로, 통상적으로 사용되는 금속을 이용할 수 있으며, 대표적인 예로, 크롬(Cr) 금속이 이용될 수 있으나, 이에 제한되는 것은 아니다. 본 발명의 바람직한 일구현예에 따르면, 상기 금속 마스크층의 두께는 30 ~ 150 nm일 수 있으나, 이에 제한되지 않는다.
- [90] 도 3은 본 발명의 금속 마스크층(22) 위에 나노스피어 또는 마이크로스피어 단층막(30)을 형성하는 단계를 나타내는 단면도이다. 구체적으로, 나노스피어 또는 마이크로스피어 단층막은 금속 마스크층(22)의 에칭을 위한 마스크 역할을 하기 위하여 형성하는 것으로서, 스피어 입자의 형성방법은 스피어의 자기조립 특성을 이용할 수 있다. 스피어들의 자기조립에 의한 완전한 한층의 구조 배열 형성을 위하여 물 표면위에 스피어를 일정한 속도로 띄어 보내어 서로 자기조립되도록 만든다. 물에서 퍼지면서 형성된 스피어 영역은 작고 불규칙적이기 때문에, 추가적인 에너지와 계면활성제를 가하여 크고 규칙적인 배열을 가진 스피어 1층을 형성하고, 상기 금속 마스크층(22) 위로 스피어 1층을 떠냄으로서 금속층 위에 규칙적으로 배열된 스피어 단층막을 형성할 수 있다. 스피어 입자의 직경은 최종 생산하려는 초소형 LED 소자의 원하는 직경에 따라 선택적으로 사용될 수 있으며, 바람직하게는 50 ~ 3000nm의 직경을 갖는 폴리스티렌 스피어, 실리카 스피어 등을 사용할 수 있으나, 이에 제한되지 않는다.
- [91] 도 4는 본 발명의 나노스피어 또는 마이크로스피어 단층막(30)의 애싱(ashing) 단계를 나타내는 단면도로서, 스피어 입자의 간격이 이격된다. 통상의 스피어 단층막의 애싱공정을 통해 달성될 수 있으며, 바람직하게는, 산소(O₂) 기반의 반응성 이온 애싱 (Reactive ion ashing)과 플라즈마 애싱 (plasma ashing)을 통해서 (예: 가열) 애싱공정이 수행될 수 있다.
- [92] 도 5는 본 발명의 식각단계를 나타내는 단면도로서, 구체적으로 도 4에서 애싱공정을 통해 이격된 스피어 입자 사이를 식각하여 홀을 형성하는 공정이다. 이 경우, 스피어 입자(30)가 형성된 부분은 식각되지 않고 스피어 입자와 스피어 입자 사이의 이격된 공간부분이 식각되어 홀을 형성한다. 상기 홀은 금속 마스크층(22)부터 기판(10)의 위까지 선택적으로 형성될 수 있다. 이러한 식각공정은 반응성 이온 에칭 (reactive ion etching: RIE) 또는 유도 결합 플라즈마 반응성 이온 에칭 (inductively coupled plasma reactive ion etching: ICP-RIE)과 같은 건식 식각법이 이용될 수 있다.
- [93] 이러한 건식 식각법은 습식 식각법과 달리, 일방성 식각이 가능하여 이러한 패턴을 형성하기에 적합하다. 즉, 습식 식각법은 등방성(isotropic) 식각이 이루어져, 모든 방향으로 식각이 이루어지나, 이와 달리 건식 식각법은 홀을 형성하기 위한 깊이 방향이 주로 식각되는 식각이 가능하여, 홀의 크기 및 간격

등을 원하는 패턴으로 형성할 수 있다.

- [94] 이때, 상기 RIE 또는 ICP-RIE법을 이용할 경우, 금속 마스크를 식각할 수 있는 에칭 가스로는 Cl_2 , O_2 등이 이용될 수 있다.
- [95] 상기 식각공정을 통해 제조된 LED 소자의 간격(A)은 스피어 입자(30)의 직경과 일치하게 되고, 이 경우 LED 소자의 간격(A)은 나노미터 단위 또는 마이크로미터 단위일 수 있으며, 보다 바람직하게는 50 ~ 3000nm일 수 있다.
- [96] 도 6은 식각공정 이후 상기 스피어 입자(30), 금속 마스크층(22) 및 절연층(21)을 제거하는 단계로서, 통상의 습식식각 또는 건식식각 등의 방법을 통해 제거공정을 수행할 수 있다.
- [97] 본 발명의 다른 구현예에 따르면, 상기 2) 단계는; 2-1) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 순차적으로 형성하는 단계; 2-2) 상기 금속 마스크층 위에 폴리머층을 형성하고 상기 폴리머층에 나노 또는 마이크로 간격으로 패턴을 형성하는 단계; 2-3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 패턴에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및 2-4) 상기 절연층, 금속 마스크층 및 폴리머층을 제거하는 단계를 포함할 수 있다.
- [98] 구체적으로, 제2 도전성 반도체층의 위에 제2 전극층, 금속 마스크층 및 절연층을 형성한 후, 상기 금속 마스크층 위에 통상의 리소그래피 등에 사용될 수 있는 통상의 폴리머층을 형성하고, 상기 폴리머층에 포토 리소그래피, e-빔 리소그래피, 또는 나노 임프린트 리소그래피 등의 방법을 통해 나노 또는 마이크로 간격으로 패턴을 형성한 후, 이를 건식 또는 습식식각하고 절연층, 금속 마스크층 및 폴리머층을 제거하는 것을 통해 달성될 수 있다.
- [99] 다음, 3) 단계로서 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층의 외주면에 절연피막을 형성하고, 상기 기판을 제거하는 단계를 통하여 초소형 LED 소자를 제조한다.
- [100] 구체적으로, 본 발명의 바람직한 일구현에 따르면, 상기 3) 단계는; 3-1) 제2 전극층의 위에 지지필름을 형성하는 단계; 3-2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막을 형성하는 단계; 3-3) 상기 절연피막 위에 소수성 피막을 코팅하는 단계; 3-4) 상기 기판을 제거하는 단계; 3-5) 상기 제1 도전성 반도체층의 하부에 제1 전극층을 형성하는 단계; 및 3-6) 상기 지지필름을 제거하여 복수개의 초소형 LED 소자를 제조하는 단계를 포함할 수 있다.
- [101] 도 7은 본 발명의 제2 전극층(20) 위에 지지필름(70)을 부착하는 단계를 나타내는 단면도이다. 상기 지지필름(70)은 기판(10)을 레이저 리프트-오프 (laser lift-off: LLO) 방법을 통해 제거할 때 복수개의 초소형 LED 소자가 분산되지 않도록 지지하며, 또한 LED 소자의 크랙을 방지하기 위해 부착하는 것으로서, 상기 지지필름의 재질은 폴리머 엑포시 또는 본딩 메탈일 수 있으며, 두께는 0.3 ~ 70 μm 일 수 있으나, 이에 제한되지 않는다.

- [102] 도 8은 본 발명의 지지필름이 형성된 초소형 LED 소자들에 대하여 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막(80)을 형성한다. 이를 통해 초소형 LED 소자 표면의 결함을 최소화하여 수명과 효율을 향상시키는 효과를 달성할 수 있다.
- [103] 상기 절연피막은 제1 도전성 반도체층(11), 활성층(12) 및 제2 도전성 반도체층(13) 뿐만 아니라, 제1 전극층 및/또는 제2 전극층 및 기타 다른 층의 외주면에도 형성될 수 있다.
- [104] 초소형 LED 소자들의 외주면에 절연피막을 형성하는 방법은 상기 지지필름(70) 및 기판(10)이 부착된 초소형 LED 소자들의 외주면에 절연물질을 도포하거나 이를 침지하는 방법을 이용할 수 있으나, 이에 제한되지 않는다. 상기 절연피막으로 사용될 수 있는 물질로는, SiO_2 , Si_3N_4 , Al_2O_3 및 TiO_2 로 이루어지는 군으로부터 선택되는 어느 하나 이상이 사용될 수 있으나, 이에 제한되지 않는다. 예를 들어, Al_2O_3 막은 원자층 증착 (atomic layer deposition: ALD)방식을 통하여 형성할 수 있으며, 트리메틸알루미늄 (trimethyl aluminum: TMA)와 H_2O 소스를 펄스형태로 공급하여 화학적 흡착과 탈착을 이용하여 박막을 형성할 수 있다.
- [105] 도 9는 본 발명의 LED 소자의 외주면에 형성된 절연피막(80)을 소수성 피막(90)으로 코팅하는 단계를 나타내는 단면도이다. 상기 소수성 피막(90)은 초소형 LED 소자의 표면에 소수성 특성을 갖게 하여 소자들간에 응집현상을 방지하기 위한 것으로서, 응집에 의한 독립된 초소형 소자의 특성 저해 문제와 초소형 LED 소자의 픽셀 패터닝 공정의 다수의 불량 문제를 없앨 수 있는 방법이며, 상기 절연피막(80) 상에 형성될 수 있다. 이 경우, 사용가능한 소수성 피막은 절연피막 상에 형성되어 초소형 LED 소자들간에 응집현상을 방지할 수 있는 것이면 제한없이 사용될 수 있으며, 예를 들어 옥타데실트리크로로실란 (octadecyltrichlorosilane, OTS)과 플루오로알킬트리크로로실란 (fluoroalkyltrichlorosilane), 퍼플루오로알킬트리에톡시실란 (perfluoroalkyltriethoxysilane) 등과 같은 자기조립 단분자막 (self-assembled monolayers: SAMs)과 테프론 (teflon), 싸이탑 (Cytop) 등과 같은 플루오로 폴리머 (fluoropolymer) 등을 단독 또는 혼합하여 사용할 수 있다.
- [106] 도 10은 본 발명의 LED 소자의 제1 도전성 반도체층(11)의 아래에 형성된 기판(10)을 제거하는 단계를 나타내는 단면도이다. 상기 기판(10)을 제거하는 방법은 통상적으로 사용되는 방법을 이용할 수 있으며, 바람직하게는 화학적 리프트-오프 (chemical lift-off: CLO)나 레이저 리프트-오프 (laser lift-off: LLO) 방식을 이용할 수 있으나, 이에 제한되지 않는다.
- [107] 도 11은 본 발명의 기판(10)이 제거된 제1 도전성 반도체층(11)의 아래에 제1 전극(110)을 형성하는 단계를 나타내는 단면도이다. 상기 제1 전극(110)은 통상적으로 LED 소자에 사용되는 재질이면 제한없이 사용될 수 있으며, 바람직하게는 Cr, Ti, Al, Au, Ni, ITO 및 이들의 산화물 또는 합금 등을 단독 또는

혼합한 재질이 사용될 수 있다. 또한, 전극의 두께는 0.02 ~ 1 μm 일 수 있으나, 이에 제한되지 않는다.

- [108] 도 12는 본 발명의 제1 전극(110)의 표면에 자기조립을 위한 결합링커(120)를 코팅하는 단계를 나타내는 단면도이다. 상술한 바와 같이, 초소형 LED 소자는 크기가 너무 작기 때문에 이를 LED 디스플레이 기판의 서브픽셀(픽셀자리)에 부착하는 경우, 초소형 LED 소자가 바로서지 못하고 누워있거나 뒤집히는 문제가 발생할 수 있다. 이를 방지하기 위하여 제1 전극(110)의 표면에 자기조립을 위한 결합링커(120)를 코팅하고, 이에 대응하는 LED 디스플레이 기판의 서브픽셀(픽셀자리)에 상기 결합링커(120)와 결합할 수 있는 제2 링커(미도시)를 형성한다면, 상기 초소형 LED 소자를 전사하거나 잉크 또는 페이스트 형태로 상기 서브픽셀에 부가하는 경우에도 초소형 LED 소자가 누워있거나 뒤집히지 않고 전극표면이 원하는 위치의 서브픽셀에 부착될 수 있는 것이다. 또한 제2 링커를 형성하지 않더라도 결합링커에 남아있는 관능기가 LED 디스플레이 기판의 서브픽셀의 표면에 결합한다면 초소형 LED 소자가 바로서지 못하고 누워있거나 뒤집히는 문제를 해결할 수 있다.
- [109] 결합링커는 초소형 LED 소자의 전극표면과 디스플레이 기판의 서브픽셀의 표면 및/또는 서브픽셀에 형성된 제2 링커와 결합하여야 하므로, 이를 위하여 2개 이상의 관능기를 가질 수 있다. 구체적으로, 메탈과 반응하는 티올계열의 아미노에테인싸이올 (aminoethanethiol)과 산화물 및 이와 반응하는 아미노프로필트리에톡시실란 (aminopropyltrithoxysilane) 등이 사용될 수 있으나, 이에 제한되는 것은 아니다. 또한, 디스플레이 기판의 서브픽셀의 표면에 형성되는 제2 링커는 본 발명의 결합링커에 상보적으로 결합할 수 있는 것이면 제한없이 사용될 수 있으며, 바람직하게는 결합링커와 동일한 계열을 사용할 수 있다.
- [110] 도 13은 상기 지지필름(70)을 제거하여 독립된 초소형 LED 소자들(130, 131)을 제조하는 것이다. 한편, 본 발명의 다른 일구현예에 따르면, 상기 결합링커(120)는 지지필름(70)을 제거한 후, 제2 전극(20)과 제1 전극(110) 중 적어도 일면에 형성될 수 있다.
- [111] 한편, 본 발명은, 제1 도전성 반도체층; 상기 제1 도전성 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제2 도전성 반도체층을 포함하는 마이크로 또는 나노 크기의 반도체 발광소자를 포함하되, 상기 반도체 발광소자는 외주면에 코팅된 절연피막을 포함하는 초소형 LED 소자를 제공한다.
- [112] 도 14는 본 발명의 초소형 LED 소자를 나타내는 사시도로서, 본 발명에 따른 초소형 LED 소자는, 제1 도전성 반도체층(140) 위에 형성된 활성층(141), 상기 활성층(141) 위에 형성된 제2 도전성 반도체층(142)를 포함하며, 상기 제1 도전성 반도체층(140)의 아래에는 제1 전극(143)이 형성되고, 상기 제2 도전성 반도체층(142)의 상부에는 제2 전극(144)이 형성될 수 있다. 물론, 상술한 바와 같이 별도의 버퍼층, 활성층, 형광체층 및/또는 반도체층 등을 더 포함되는 것도

가능하다. 한편, 절연피막(150)은 상기 제1 도전성 반도체층(140) 위에 형성된 활성층(141), 상기 활성층(141) 위에 형성된 제2 도전성 반도체층(142)의 일부 또는 전부의 외주면을 포함하여 감싸도록 형성될 수 있다. 또한, 상기 제1 전극(143) 및/또는 제2 전극(144)의 일부 또는 전부의 외주면을 포함하여 감싸도록 형성될 수 있다.

- [113] 도 15는 본 발명의 일 구현예에 따른 외주면에 형성된 절연피막(150)을 초소형 LED 소자간의 응집을 방지하기 위하여 소수성 피막(160)으로 코팅한 초소형 LED 소자를 나타내는 사시도이다. 상기 소수성 피막(160)은 상기 절연피막(150)의 일부 또는 전부를 포함하여 감싸도록 형성될 수 있다.
- [114] 도 16은 본 발명의 전극의 표면에 자기조립을 위한 결합링커가 형성된 초소형 LED 소자를 나타내는 사시도이다. 상술한 바와 같이, 초소형 LED 소자는 크기가 너무 작기 때문에 이를 LED 디스플레이 기관의 서브픽셀(픽셀자리)에 부착하는 경우 초소형 LED 소자가 바로서지 못하고 누워있거나 뒤집히는 문제가 발생할 수 있다. 이를 방지하기 위하여 제1 전극(143) 및 제2 전극(144) 중 적어도 일면에 자기조립을 위한 결합링커(170)가 형성될 수 있다. 구체적으로, 상기 제1 전극(143)의 표면에 결합링커(170)가 형성되고 이에 대응하는 LED 디스플레이 기관의 서브픽셀(픽셀자리)에 상기 결합링커(170)와 결합할 수 있는 제2 링커(미도시)를 형성한다면, 상기 초소형 LED 소자를 전사하거나 잉크 또는 페이스트 형태로 상기 서브픽셀에 부가하는 경우에도 초소형 LED 소자가 누워있거나 뒤집히지 않고 전극 표면이 원하는 위치의 서브픽셀에 부착될 수 있는 것이다.
- [115] 나아가, 제1 전극(143)과 제2 전극(144)에 모두 결합링커(170)가 형성된다면, LED 디스플레이 기관의 서브픽셀(픽셀자리)에 결합되는 초소형 LED 소자의 일부는 상기 제1 전극(143)이 결합되고 나머지는 제2 전극(144)이 결합될 것이다. 이 경우, LED 디스플레이 기관에 교류를 인가하면 LED 디스플레이를 구동할 수 있게 된다.
- [116] 본 발명의 초소형 LED 소자의 형상은 원통형, 직육면체형 등 제한없이 형성될 수 있으나, 바람직하게는 원통형일 수 있으며, 원통형인 경우 직경(원의 직경)은 50 ~ 3000nm일 수 있으며, 높이(제1전극에서 제2 전극까지의 길이)는 1.5 ~ 7 μ m일 수 있으나, 이에 제한되지 않는다.
- [117] 도 17은 본 발명의 초소형 LED 소자들을 포함하는 잉크 또는 페이스트로서 본 발명의 초소형 LED 소자들 디스플레이 기관의 서브픽셀에 직접 전사되거나 잉크 또는 페이스트의 형태로 전사될 수 있다.

발명의 실시를 위한 형태

- [118] 이하, 실시예를 통하여 본 발명을 더욱 상세하게 설명하기로 하되, 하기 실시예는 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명의 범위를 제한하는 것은 아니다.

- [119] LED 기본 소자층 (GaN)을 제조하기 위해서 사파이어 기판 (2인치 웨이퍼 사이즈, $430\pm 25\mu\text{m}$) 위에 버퍼층 또는 언도프트드 반도체층 (undoped GaN, $2.4\sim 2.8\mu\text{m}$ 두께), 제1 도전성 반도체층 (n-타입 GaN, $2.0\sim 2.4\mu\text{m}$ 두께), 활성층 (InGaN/GaN 다중 양자 우물, $100\sim 140\mu\text{m}$), 제2 도전성 반도체층 (p-타입 GaN, 200nm 두께)을 MOCVD 방법을 이용하여 형성하였다 (도 18 참조).
- [120] 위와 같이 제조된 LED 기본 소자층을 하기와 같은 방법에 의해서 초소형 LED 소자로 제조하였다. 먼저, 제2 도전성 반도체층 위에 절연층으로서 SiO_2 ($800\text{nm}\sim 1\mu\text{m}$ 두께)와 금속 마스크층으로서 크롬층 ($100\sim 120\text{nm}$ 두께)을 각각 PECVD 방법과 열증착 (thermal evaporation) 방법으로 형성하였다 (PECVD: 60W , 550mtorr , SiH_4 160sccm , N_2 240sccm , N_2O 1500sccm , $35\sim 40$ 분; 열증착: $130\sim 140\text{A}$, $9.0\times 10^{-6}\text{torr}$, $20\sim 30$ 분) (도 19 참조). 이어서, 폴리스티렌 나노스피어를 헥사고널 형태로 잘 정렬된 단층막 ($960\sim 1000\text{nm}$ 두께)으로 제조하여 상기 금속 마스크층 위에 형성하였다 (도 20a 및 20b 참조). 상기 단층막을 O_2 가스 분위기하에서 에칭공정 (50W , 0.05torr , O_2 100sccm)을 통해 $500\sim 800\text{nm}$ 의 크기로 줄여 주었다 (도 21a 및 21b 참조). 크기가 축소된 폴리스티렌 나노스피어를 마스크로 사용하여, 상기 금속 마스크층을 건식 식각 방법인 RIE 방법으로 Cl_2 가스 분위기하에서 에칭하였다 (50W , 0.08torr , Cl_2 40sccm) (도 22a 및 22b 참조). 상기 에칭공정에 의해서 폴리스티렌의 모양 그대로 전사(transfer)된 금속 마스크층 패턴을 제조하였으며 (도 23a 및 23b 참조), 제조된 금속 마스크층 패턴을 이용해서 하부에 존재하는 절연층 부분을 CF_4 와 O_2 가스 분위기 하에서 다시 에칭하였다 (100W , 0.042torr , CF_4 40sccm , O_2 2sccm) (도 24a 및 24b 참조). 라드패턴으로 식각된 절연층을 이용하여 반도체층 (GaN)을 SiCl_4 와 Ar 가스 분위기 하에서 ICP 방법으로 에칭하여 (RF 50W , ICP 300W , 3 torr , SiCl_4 2sccm , Ar 20sccm), 반도체층의 라드패턴을 제조하였다 (도 25a 및 25b 참조). 이어서, 반도체층 라드패턴을 제조하기 위해서 마스크로 사용되었던 절연층을 CF_4 와 O_2 가스 분위기 하에서 에칭하여 제거하였다 (도 26a 및 26b 참조).
- [121] 상기와 같이 제조된 반도체층의 외주면에 원자층 증착 (atomic layer deposition: ALD) 방법 (금속 반응물질로서 트리메틸알루미늄 (trimethylaluminum: TMA)를, 산소 소스로서 수증기를 사용하고, TMA 증기압은 0.04 torr 로, 챔버 온도는 80°C 로 유지, 캐리어 가스 및 퍼징 가스로는 Ar을 사용, 성장 속도: $\sim 1.5\text{\AA}$)에 의해서 절연피막(Al_2O_3)을 코팅하였으며 (두께: 20nm), 액상의 자기조립공정을 통하여 소수성 피막으로서, 옥타데실트리클로로실란 (octadecyltrichlorosilane: OTS)을 수 nm의 두께로 코팅하였다. 도 27a 및 27b를 참조하면, 이러한 소수성 피막 코팅에 의해서 물과의 접촉각이 증가함을 알 수 있다. 절연피막과 소수성 피막을 코팅한 후, 제2 전극층 위에 에폭시 수지 (시아노아크릴레이트 접착제 금속-타입, Sigma Aldrich사로부터 구입)를 이용하여 지지필름을 부착하였다 (두께: $3.5\sim 5\mu\text{m}$). 이어서, 지지필름이 부착되어 있지 않은 버퍼층 또는 언도프트드 반도체층과 사파이어 기판 쪽으로 레이저를 이용한 리프트-오프 공정을

수행함으로써 사파이어 기판을 제거하였다 (도 28a 및 28b 참조). 제1 도전성 반도체층이 노출되도록 하기 위해서, 버퍼층 또는 언도프트 반도체층을 SiCl_4 와 Ar 가스 분위기 하에서 ICP 방법으로 식각하여 제거하였으며 (RF 50W, ICP 300W, 3 torr, SiCl_4 2sccm, Ar 20sccm), 이러한 과정을 통해서 지지필름이 부착된 독립적인 초소형 LED 라드형태를 얻을 수 있었다 (도 29a 및 29b, 도 30a 및 30b, 도 31a 및 31b 참조).

- [122] 이어서, 상기 초소형 LED의 제1 도전성 반도체 층에 스퍼터링 장비 (DC-스퍼터링 시스템)를 사용하여 Ti 전극을 증착하였다 (300V, 0.17A, Ar 100sccm) (도 32 참조). 다음으로, 전극 표면에 결합링커로서 디티올을 액상 또는 기상의 자기조립방법으로 코팅하였다. 코팅 공정은 액상으로 진행되었으며, 에탈올 무수물 (10ml)와 노네인디티올 ($20\mu\text{l}$)을 혼합하여 1mM 노네인디티올 용액을 제조하고, 전극이 증착되어 있는 초소형 LED 라드형태를 상기 노네인디티올 용액에 하루 동안 담근 다음, 초소형 LED 라드를 꺼내어 세척하였다. 상기 지지필름은 아세톤을 이용해 제거함으로써 독립적인 초소형 LED들을 잉크 또는 페이스트 형태로 제조하였다 (도 33 및 34 참조). 상기 잉크 또는 페이스트를 그 결합링커와 반응하는 링커 (금속미분말: 은 나노입자)를 가지고 있는 전극 기판에 떨어뜨림으로써 정렬시켰다. 전극 기판의 경우, 전극 기판과 반응하는 디티올 링커와 초소형 LED의 결합링커와 반응할 수 있는 금속미분말인 은 나노입자를 이용해서 전극 위에 패터닝함으로써 패터닝을 형성하였다. 구체적으로, 노네인디티올 링커를 먼저 전극 기판에 반응시켜 붙인 후, 전극 기판과 붙어있지 않은 노네인디티올 링커 반대쪽으로 은 나노입자를 코팅하였다. 코팅은 노네인디티올 링커가 붙어 있는 전극 기판을 은 나노입자가 분산되어 있는 톨루엔 용액에 넣어 반응시킨 후 꺼냄으로써 수행하였다. 이러한 과정에 의해서 전극 기판의 금속 미분말과 초소형 LED의 결합링커를 반응시킨 다음, 솔더링 공정 ($100\sim 200^\circ\text{C}$ 의 어닐링 과정)을 통하여 금속 오믹층을 형성함으로써 본 발명에 따른 초소형 LED 소자를 제조하였다 (도 35 참조). 한편, 도 36에는 전술한 바와 같이 제조된 초소형 LED 소자들을 전극 기판에 정렬시킨 후 측정된 스펙트럼을 도시하였으며, 또한 도 37a 내지 37c에는 제조된 초소형 LED 소자에 대한 육안으로 관찰한 사진을 도시하였다. 상기 도면들로부터 알 수 있는 바와 같이, 본 발명에 따른 초소형 LED 소자에서 청색광이 발광되는 것을 확인할 수 있다.

산업상 이용가능성

- [123] 본 발명에 따른 초소형 LED 소자는 디스플레이 산업 전반에 걸쳐서 폭넓게 활용될 수 있다.

청구범위

- [청구항 1] 1) 기판위에 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 순차적으로 형성하는 단계;
2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 LED 소자의 직경이 나노 또는 마이크로 크기를 가지도록 식각하는 단계; 및
3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층의 외주면에 절연피막을 형성하고 상기 기판을 제거하는 단계를 포함하는 초소형 LED 소자의 제조방법.
- [청구항 2] 제1항에 있어서, 상기 제1 도전성 반도체층은 적어도 하나의 n형 반도체층을 포함하고, 상기 제2 도전성 반도체층은 적어도 하나의 p형 반도체층을 포함하는 것을 특징으로 하는 초소형 LED 소자의 제조방법.
- [청구항 3] 제1항에 있어서, 상기 2) 단계는;
2-1) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 순차적으로 형성하는 단계;
2-2) 상기 금속 마스크층 위에 폴리머층을 형성하고 상기 폴리머층에 나노 또는 마이크로 간격으로 패턴을 형성하는 단계;
2-3) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 패턴에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및
2-4) 상기 절연층, 금속 마스크층 및 폴리머층을 제거하는 단계를 포함하는 것을 특징으로 하는 초소형 LED 소자의 제조방법.
- [청구항 4] 제1항에 있어서, 상기 2) 단계는;
2-5) 제2 도전성 반도체층의 위에 제2 전극층, 절연층 및 금속 마스크층을 형성하는 단계;
2-6) 상기 금속 마스크층 위에 나노스피어 또는 마이크로스피어 단층막을 형성하고 자기조립을 수행하는 단계;
2-7) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 패턴에 따라 나노 또는 마이크로 간격으로 건식 또는 습식 식각하는 단계; 및
2-8) 상기 절연층, 금속 마스크층 및 단층막을 제거하는 단계를 포함하는 것을 특징으로 하는 초소형 LED 소자의 제조방법.
- [청구항 5] 제4항에 있어서, 상기 나노스피어 또는 마이크로스피어는 폴리스티렌 재질인 것을 특징으로 하는 초소형 LED 소자의 제조방법.
- [청구항 6] 제3항 또는 제4항에 있어서, 상기 3) 단계는;

3-1) 제2 전극층의 위에 지지필름을 형성하는 단계;
 3-2) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막을 형성하는 단계;
 3-3) 상기 절연피막 위에 소수성 피막을 코팅하는 단계;
 3-4) 상기 기판을 제거하는 단계;
 3-5) 상기 제1 도전성 반도체층의 하부에 제1 전극층을 형성하는 단계; 및
 3-6) 상기 지지필름을 제거하여 복수개의 초소형 LED 소자를 제조하는 단계를 포함하는 것을 특징으로 하는 초소형 LED 소자의 제조방법.

[청구항 7]

제3항 또는 제4항에 있어서, 상기 3) 단계는;
 3-7) 제2 전극층의 위에 지지필름을 형성하는 단계;
 3-8) 상기 제1 도전성 반도체층, 활성층 및 제2 도전성 반도체층을 포함하는 외주면에 절연피막을 형성하는 단계;
 3-9) 상기 기판을 제거하는 단계;
 3-10) 상기 제1 도전성 반도체층의 하부에 제1 전극층을 형성하는 단계;
 3-11) 상기 제1 전극층 및 제2 전극층 중 적어도 일면에 결합링커를 형성하는 단계; 및
 3-12) 상기 지지필름을 제거하여 복수개의 초소형 LED 소자를 제조하는 단계를 포함하는 것을 특징으로 하는 초소형 LED 소자의 제조방법.

[청구항 8]

제1 도전성 반도체층;
 상기 제1 도전성 반도체층 위에 형성된 활성층;
 상기 활성층 위에 형성된 제2 도전성 반도체층을 포함하는 마이크로 또는 나노 크기의 반도체 발광소자를 포함하되, 상기 반도체 발광소자는 외주면에 코팅된 절연피막을 포함하는 초소형 LED 소자.

[청구항 9]

제8항에 있어서, 상기 절연피막 위에는 소수성 피막이 코팅되는 것을 특징으로 하는 초소형 LED 소자.

[청구항 10]

제9항에 있어서, 상기 제1 도전성 반도체층의 하부에는 제1 전극층이 형성되고, 상기 제2 도전성 반도체층의 상부에는 제2 전극층이 형성되는 것을 특징으로 하는 초소형 LED 소자.

[청구항 11]

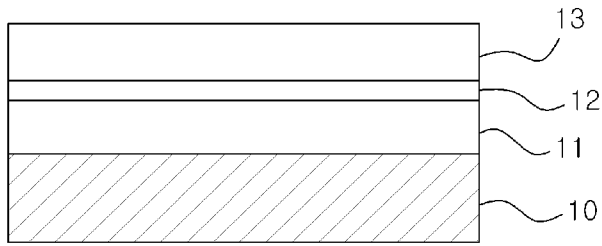
제10항에 있어서, 상기 제1 전극층의 하부면 및 제2 전극층의 상부면 중 적어도 하나의 전극층의 표면에 자기조립을 위한 결합링커가 포함되는 것을 특징으로 하는 초소형 LED 소자.

[청구항 12]

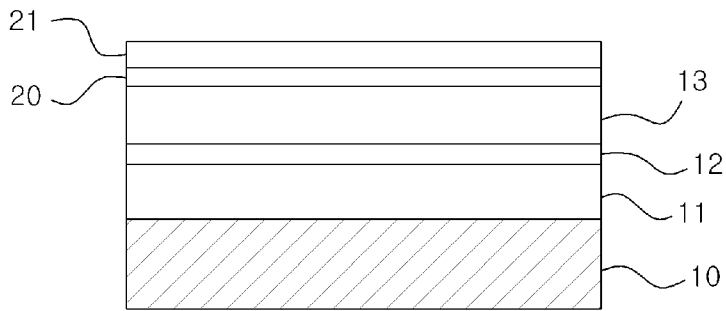
제11항에 있어서, 상기 결합링커는 LED 디스플레이의 기판과 상보적으로 결합하는 것을 특징으로 하는 초소형 LED 소자.

- [청구항 13] 제8항에 있어서, 상기 제1 도전성 반도체층은 적어도 하나의 n형 반도체층을 포함하고, 상기 제2 도전성 반도체층은 적어도 하나의 p형 반도체층을 포함하는 것을 특징으로 하는 초소형 LED 소자.
- [청구항 14] 제8항 내지 제12항 중 어느 한 항에 있어서, 상기 절연피막은 SiO_2 , Si_3N_4 , Al_2O_3 및 TiO_2 로 구성되는 군으로부터 선택되는 어느 하나 이상을 포함하고, 상기 소수성 피막은 SAMs와 플루오로폴리머 중 어느 하나 이상의 성분을 포함하며, 상기 결합링커는 티올그룹을 포함하는 것을 특징으로 하는 초소형 LED 소자.

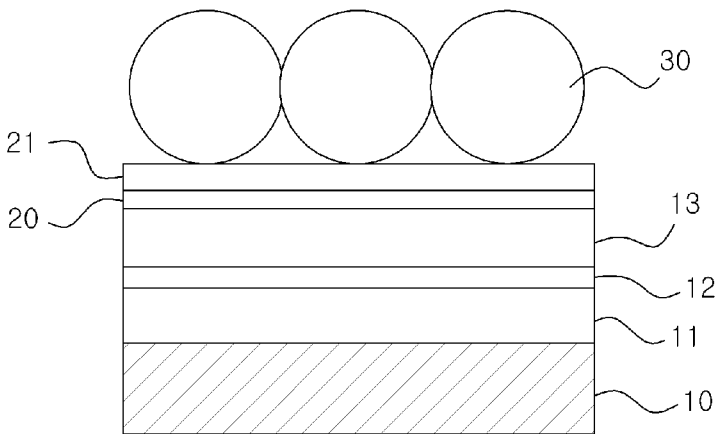
[Fig. 1]



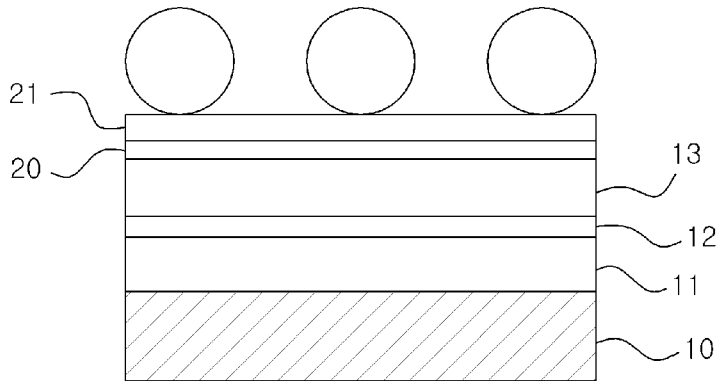
[Fig. 2]



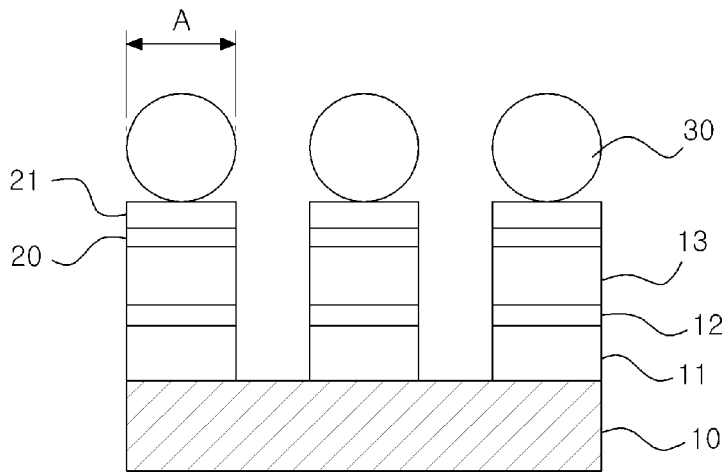
[Fig. 3]



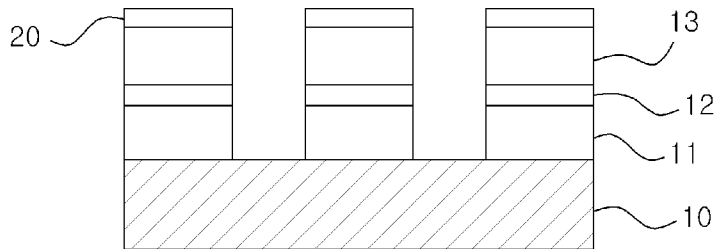
[Fig. 4]



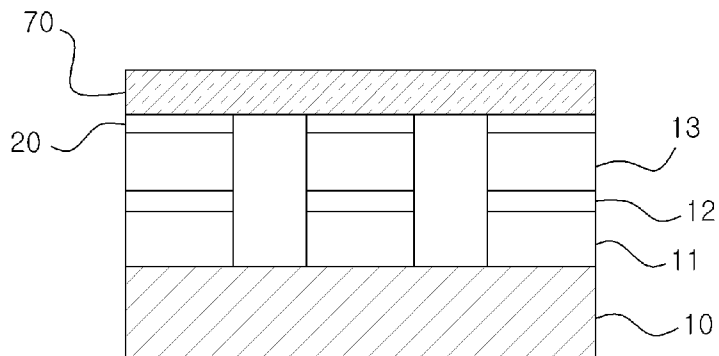
[Fig. 5]



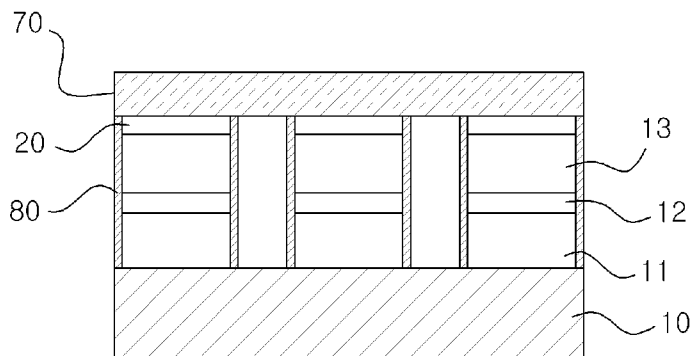
[Fig. 6]



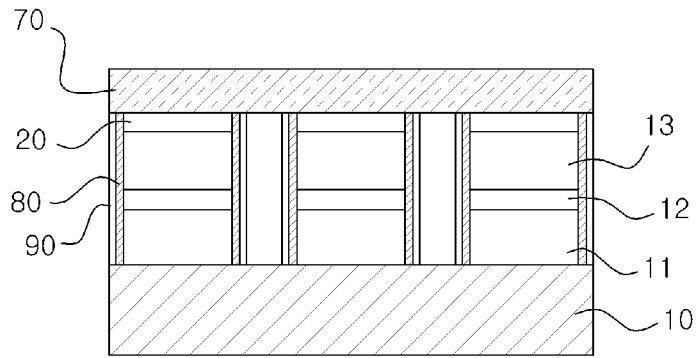
[Fig. 7]



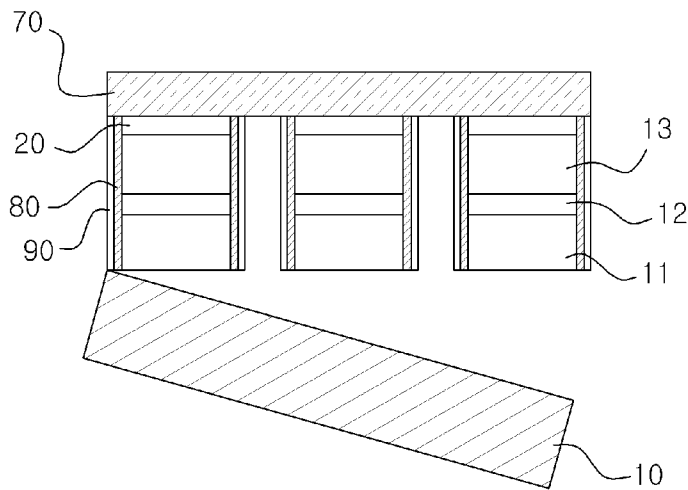
[Fig. 8]



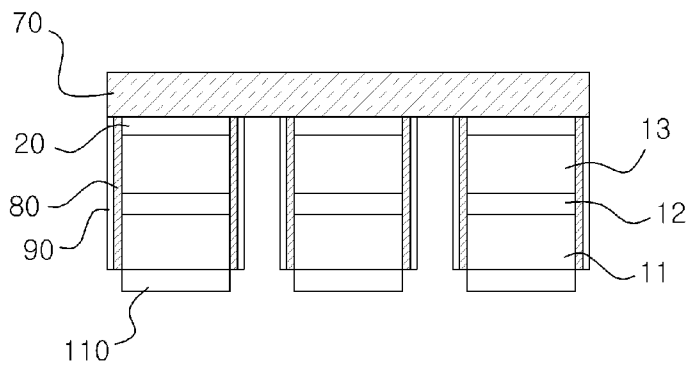
[Fig. 9]



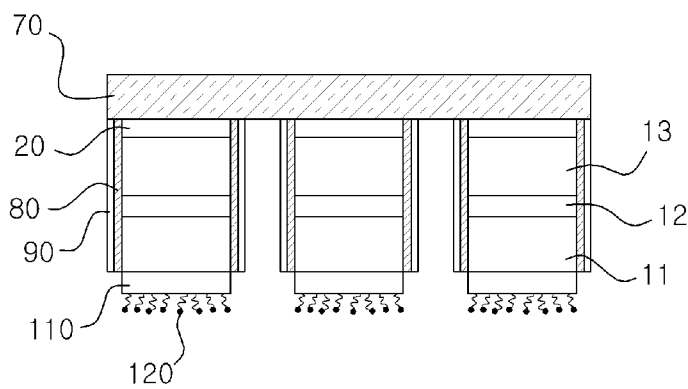
[Fig. 10]



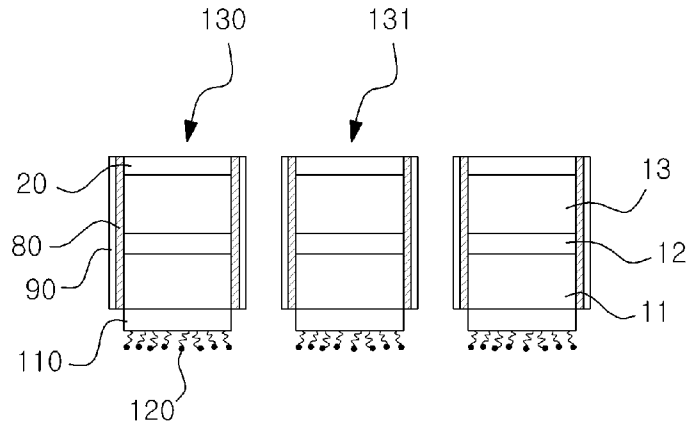
[Fig. 11]



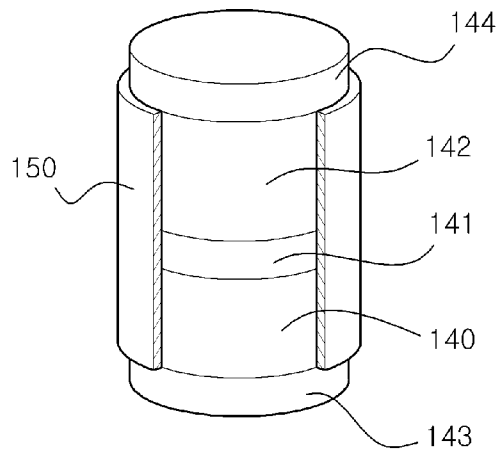
[Fig. 12]



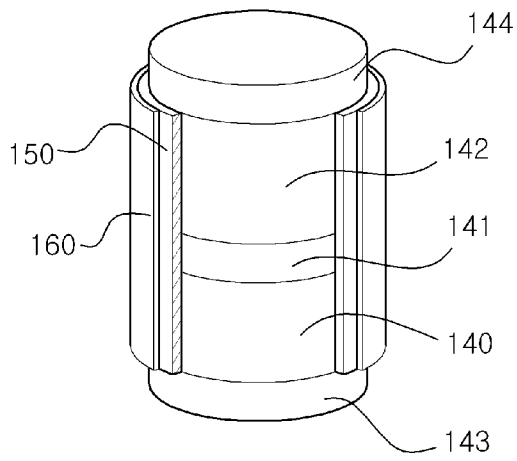
[Fig. 13]



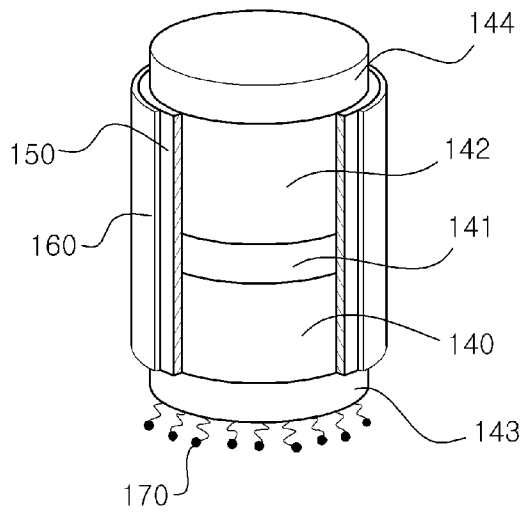
[Fig. 14]



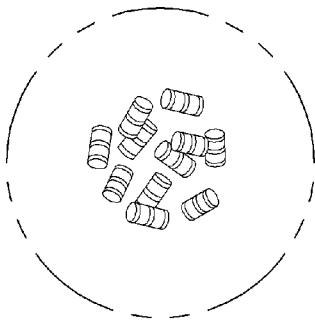
[Fig. 15]



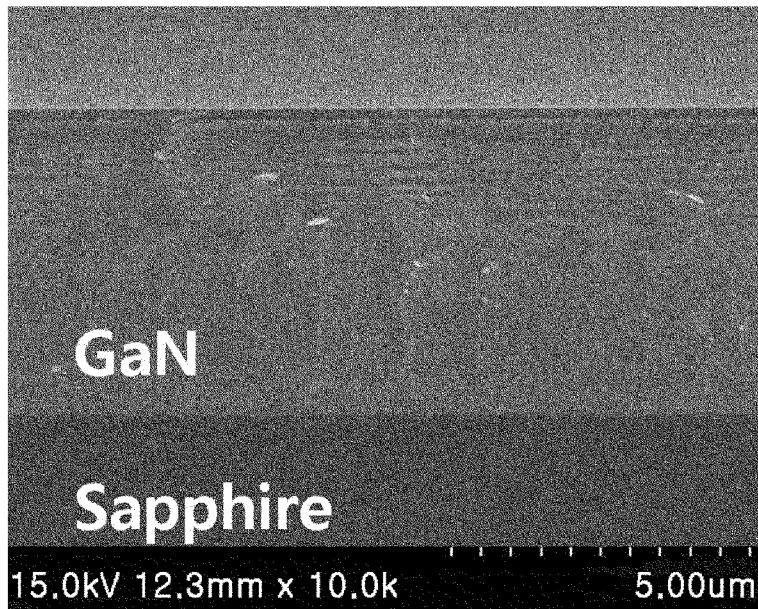
[Fig. 16]



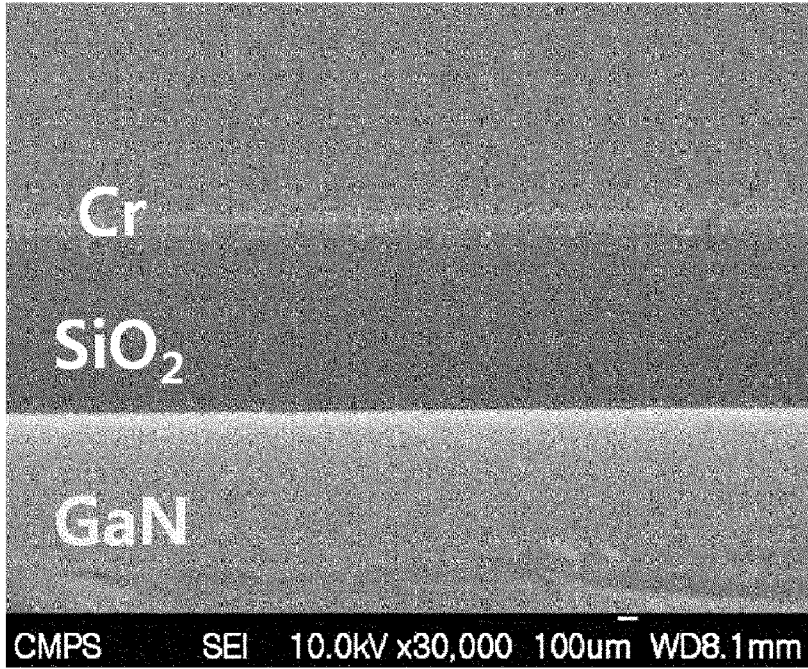
[Fig. 17]



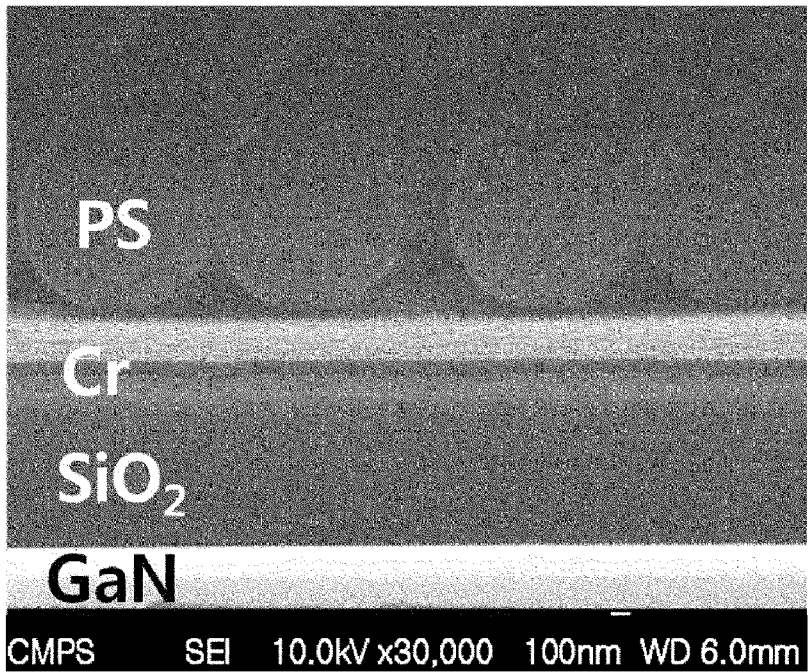
[Fig. 18]



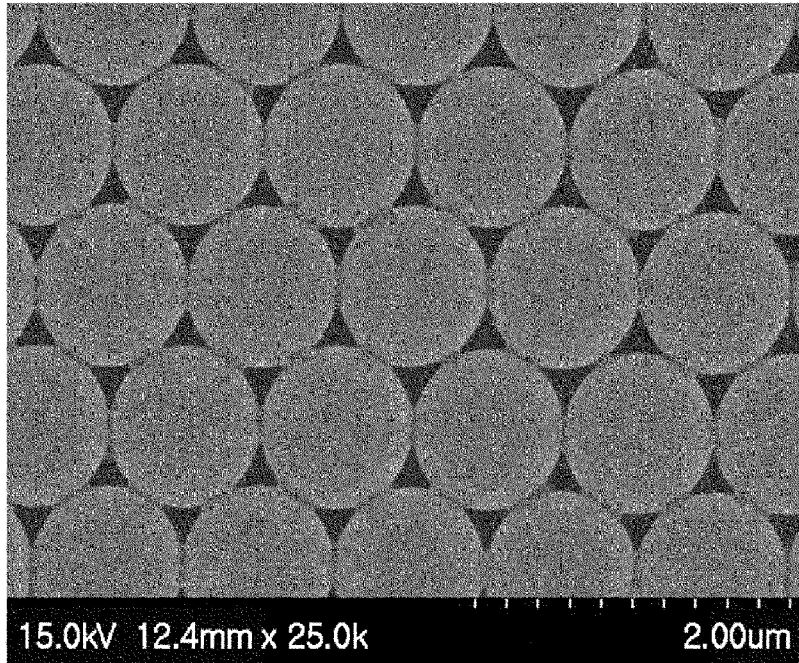
[Fig. 19]



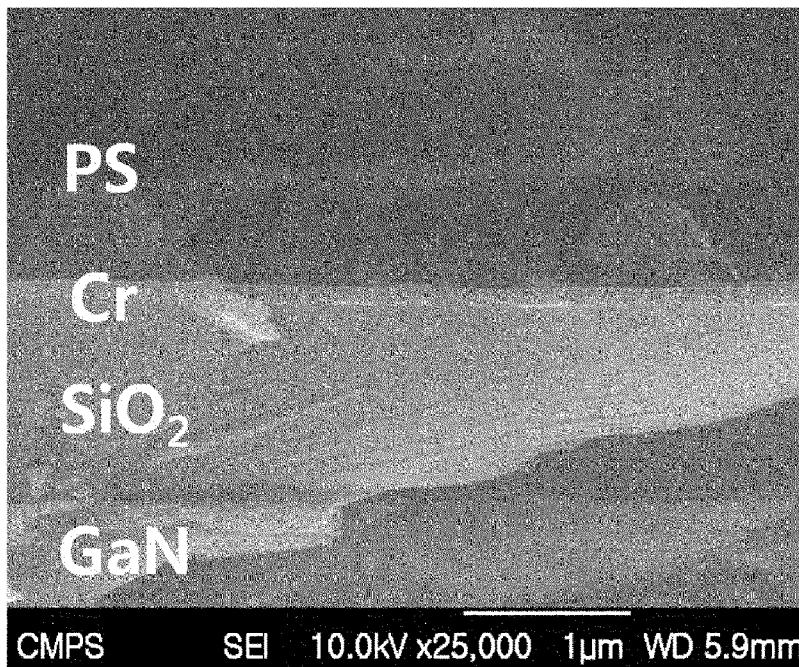
[Fig. 20a]



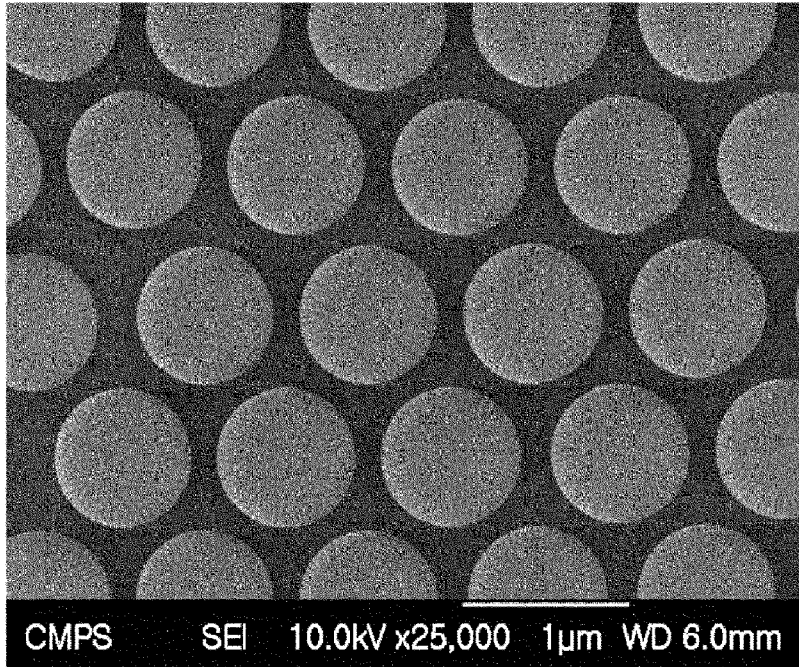
[Fig. 20b]



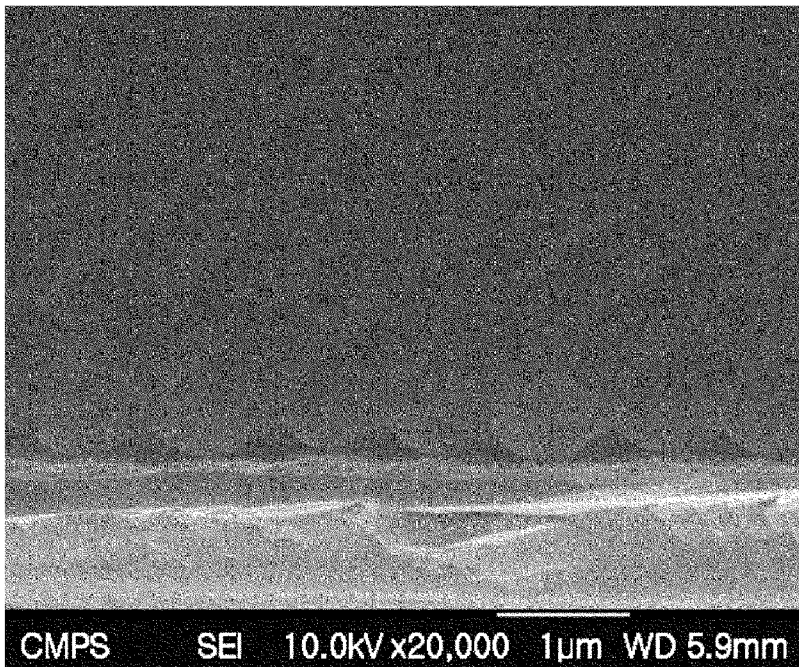
[Fig. 21a]



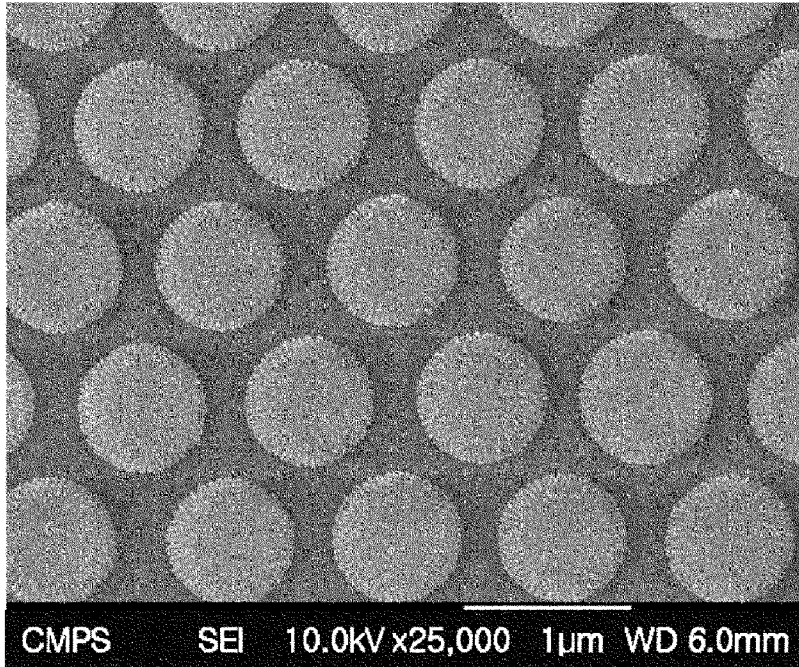
[Fig. 21b]



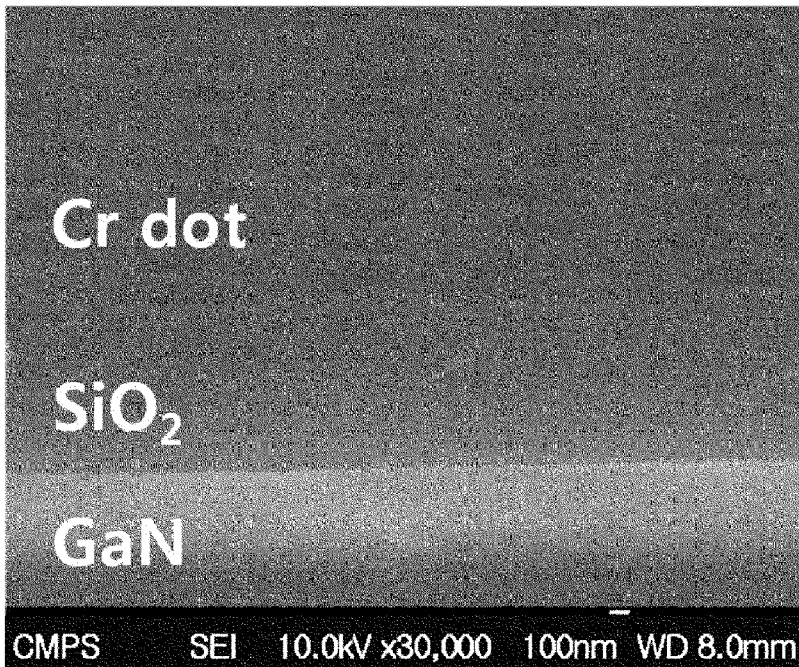
[Fig. 22a]



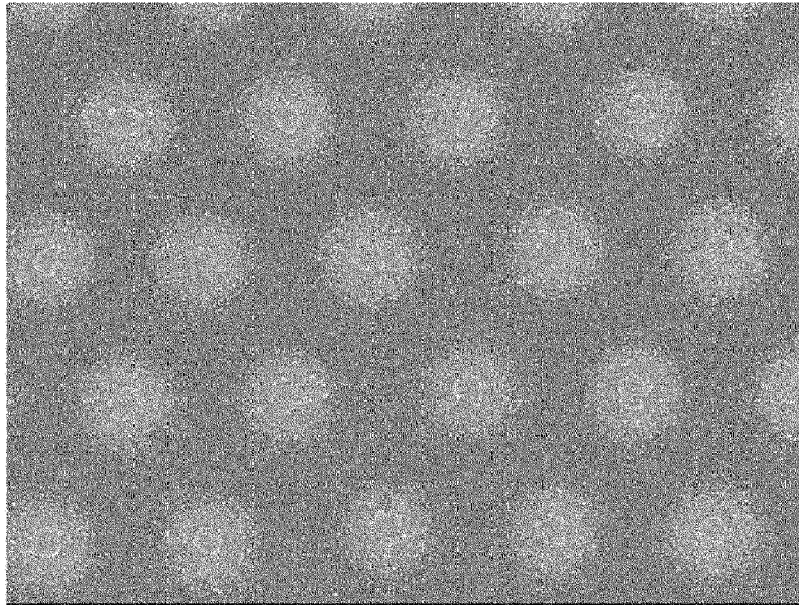
[Fig. 22b]



[Fig. 23a]

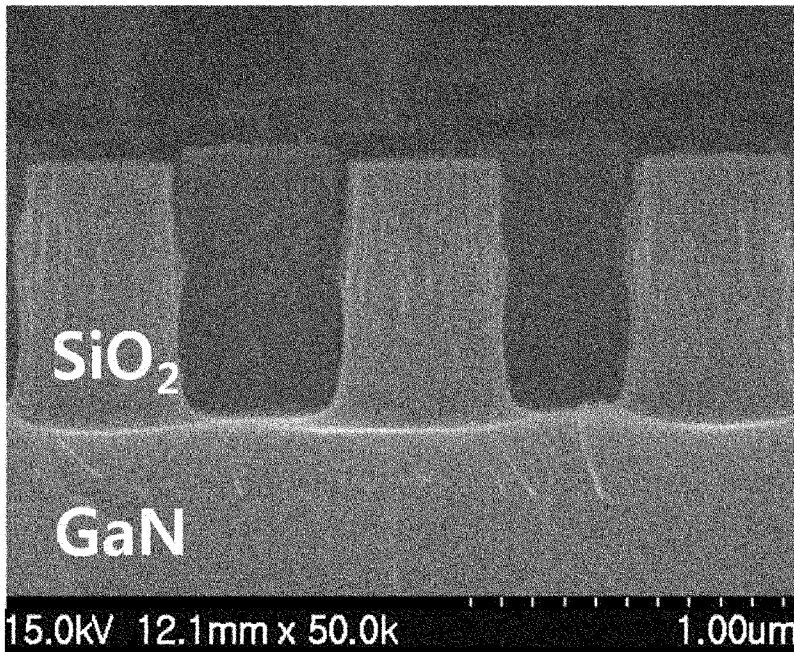


[Fig. 23b]

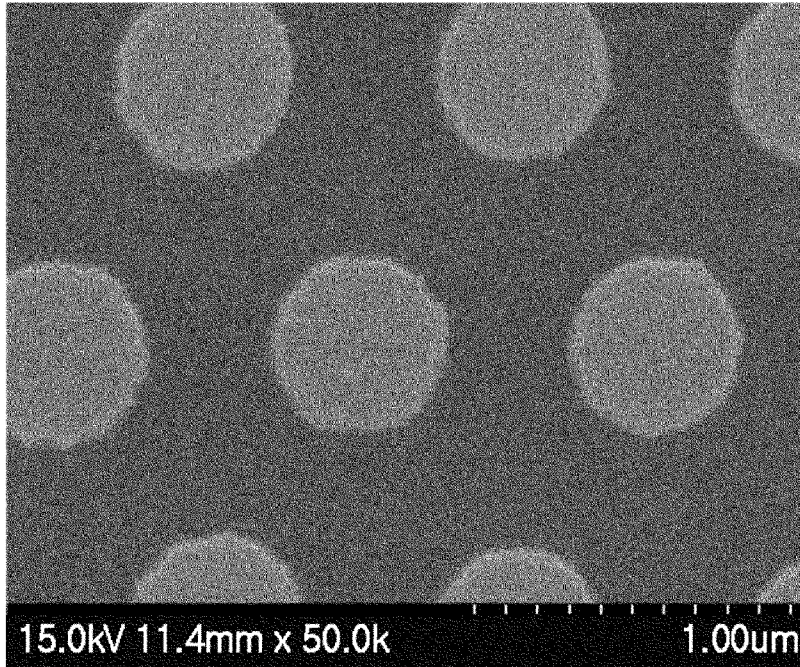


CMPS SEI 10.0kV x25,000 1µm WD6.0mm

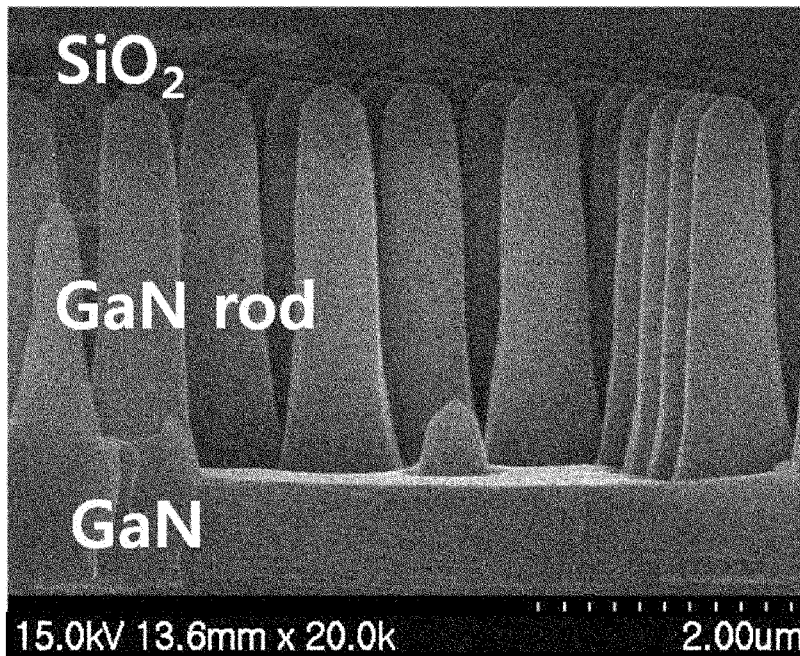
[Fig. 24a]



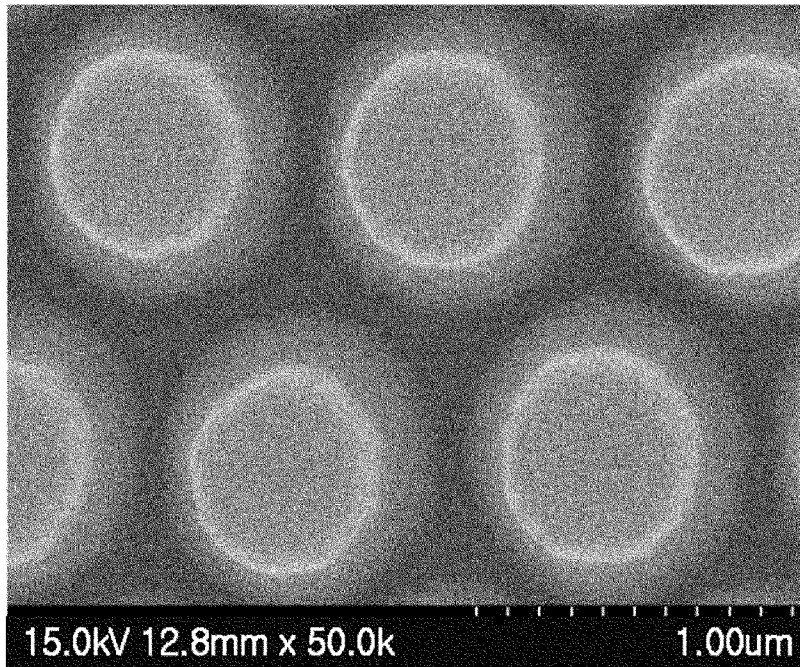
[Fig. 24b]



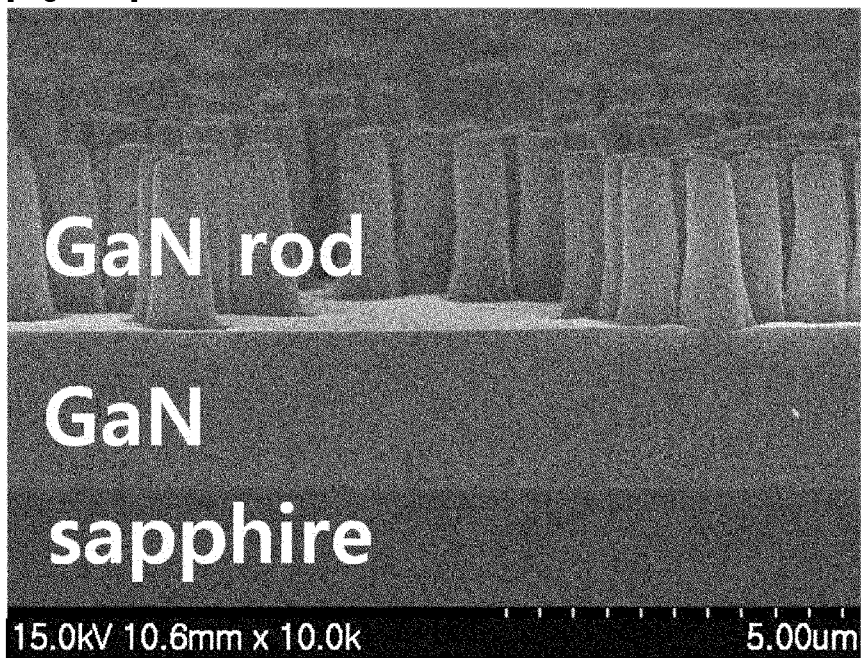
[Fig. 25a]



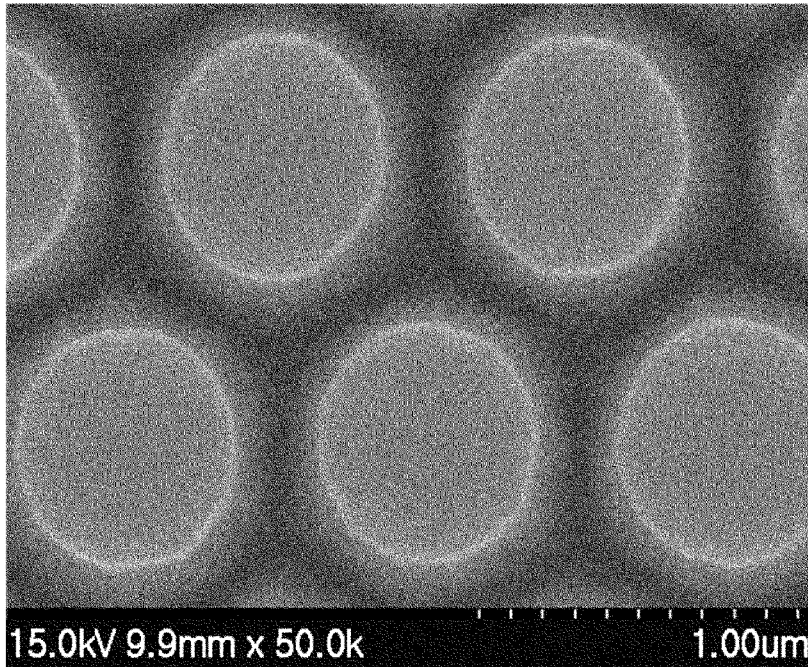
[Fig. 25b]



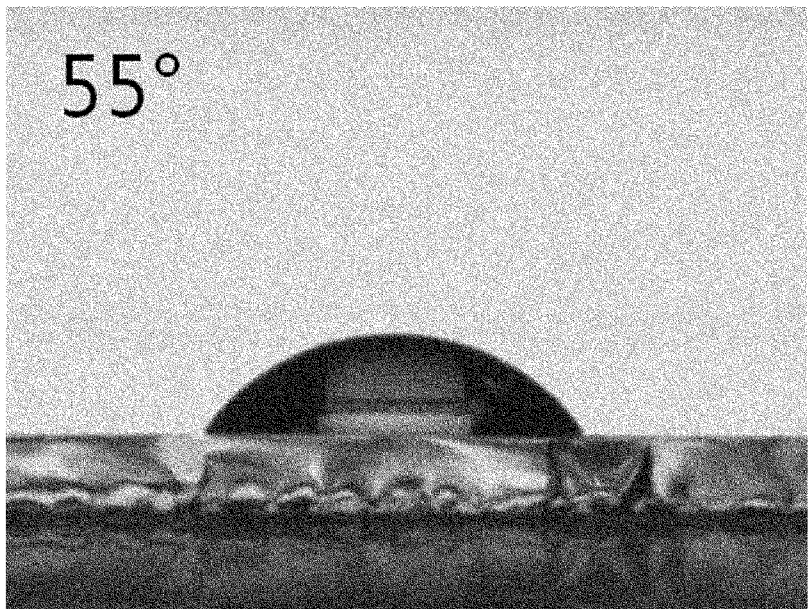
[Fig. 26a]



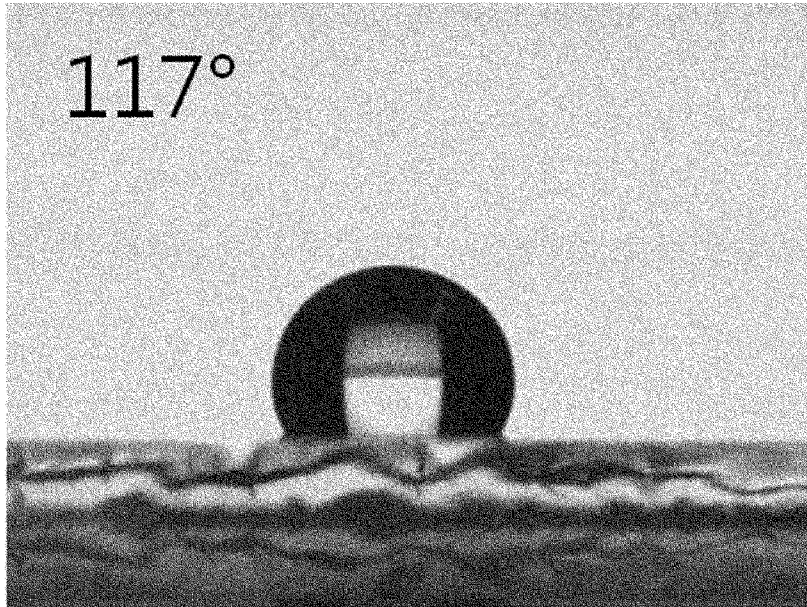
[Fig. 26b]



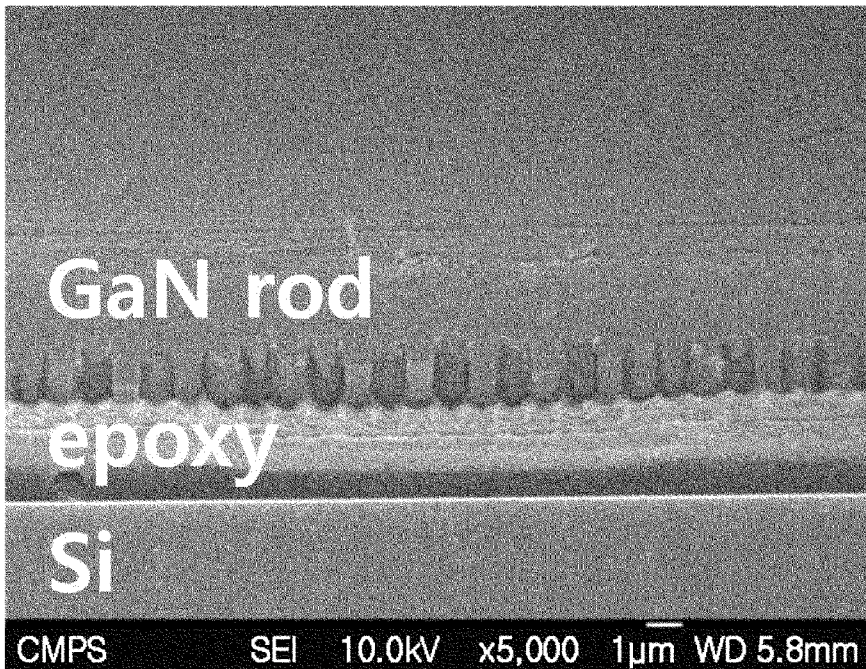
[Fig. 27a]



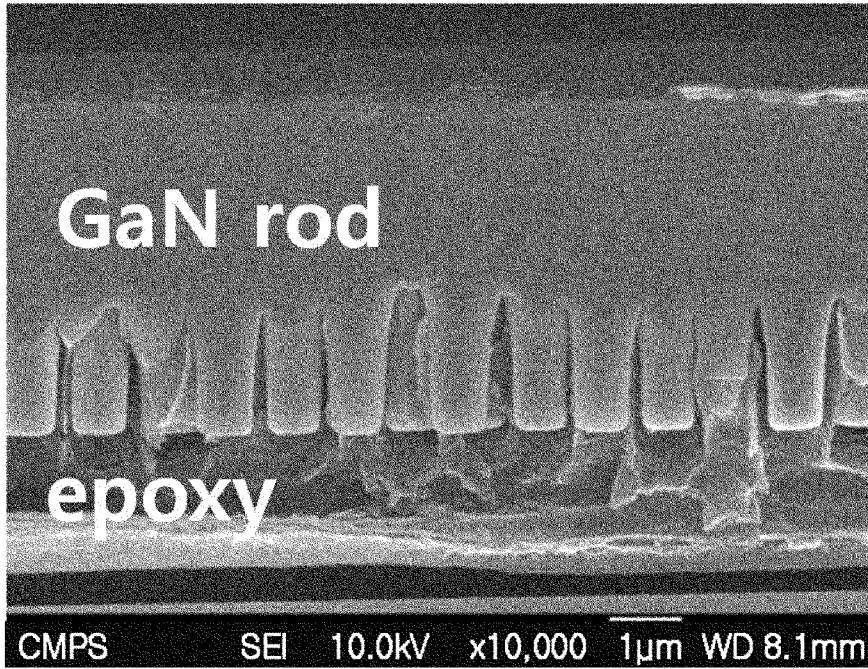
[Fig. 27b]



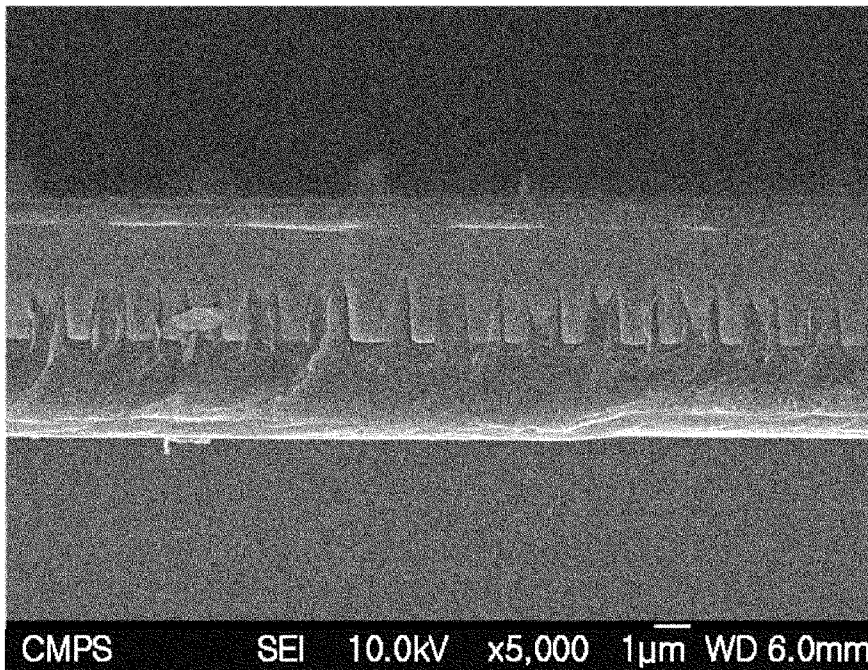
[Fig. 28a]



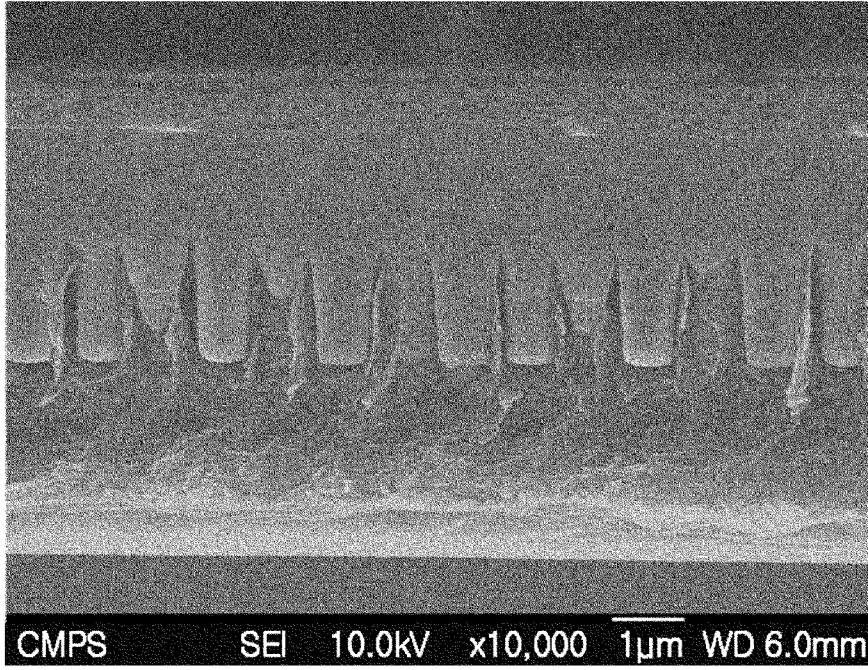
[Fig. 28b]



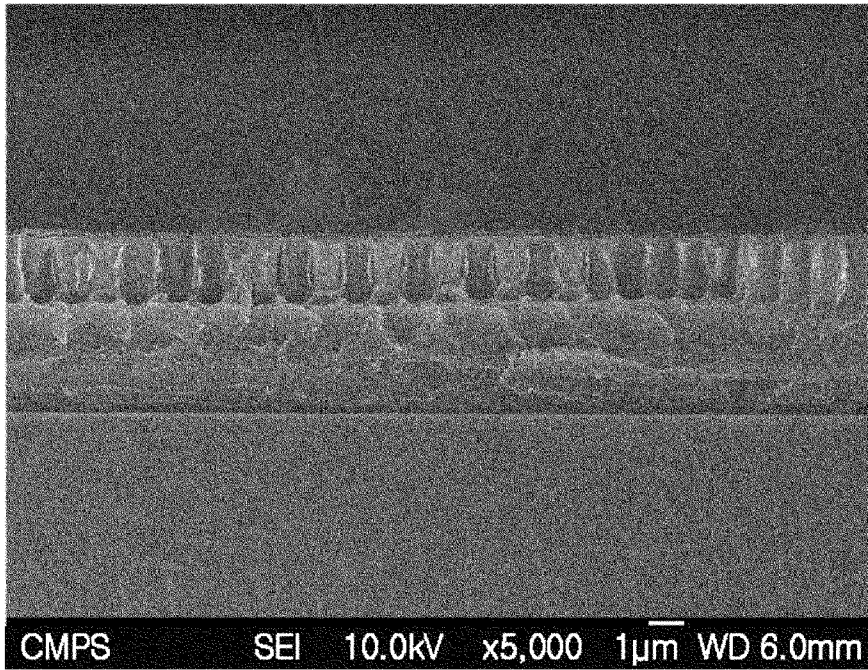
[Fig. 29a]



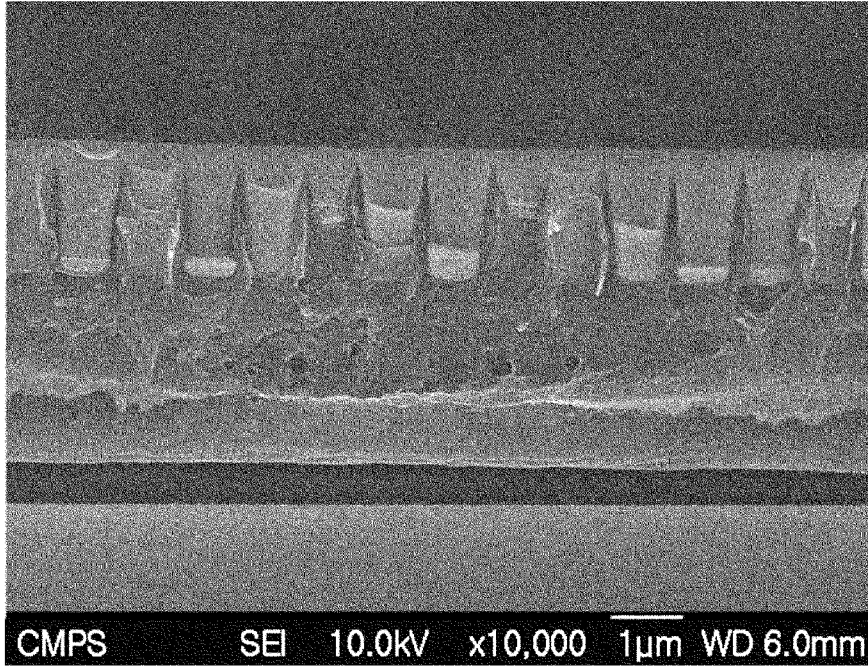
[Fig. 29b]



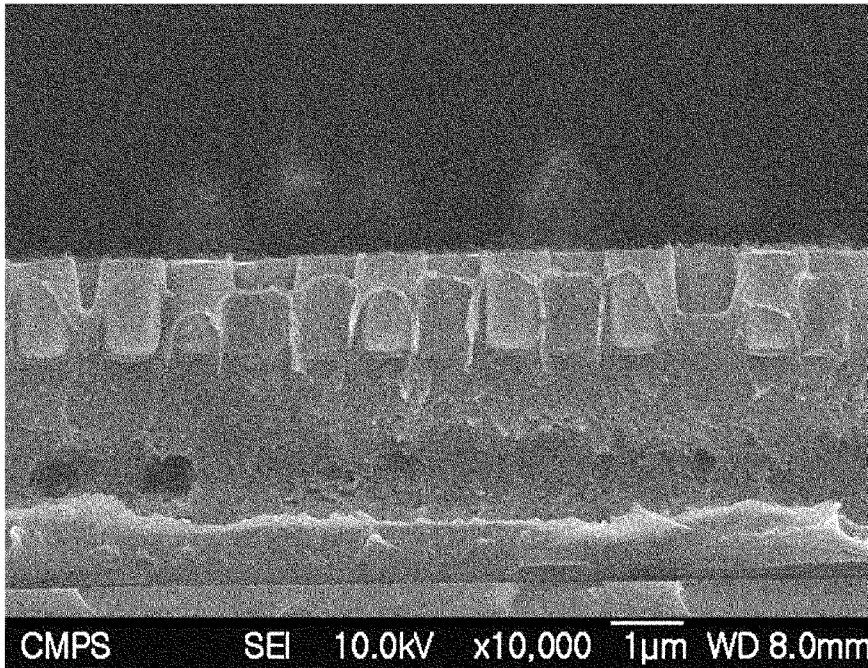
[Fig. 30a]



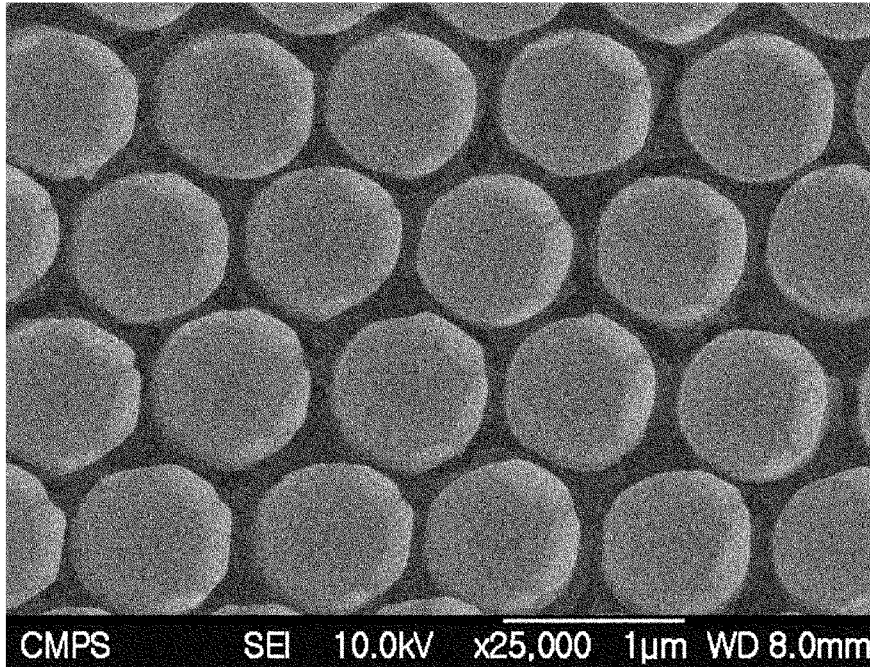
[Fig. 30b]



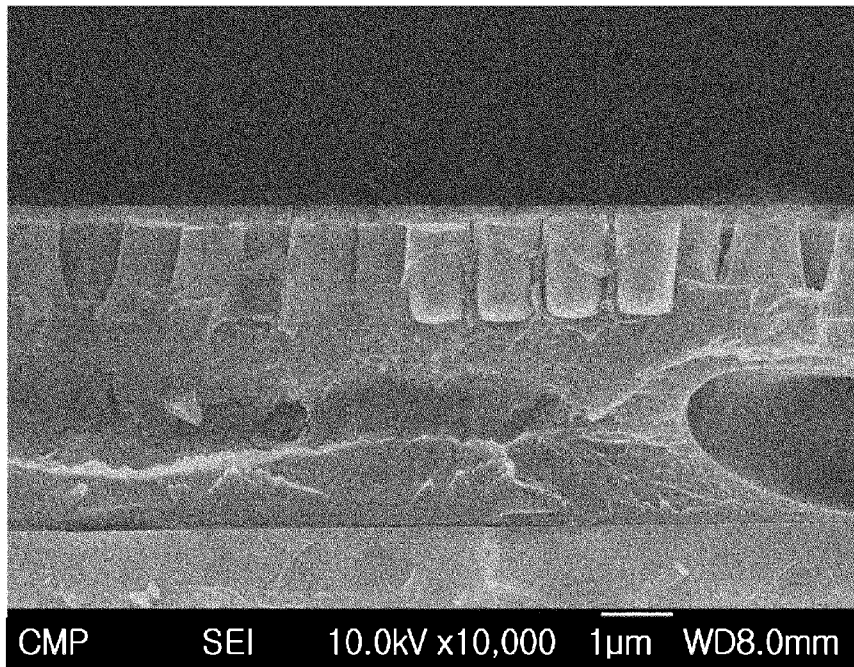
[Fig. 31a]



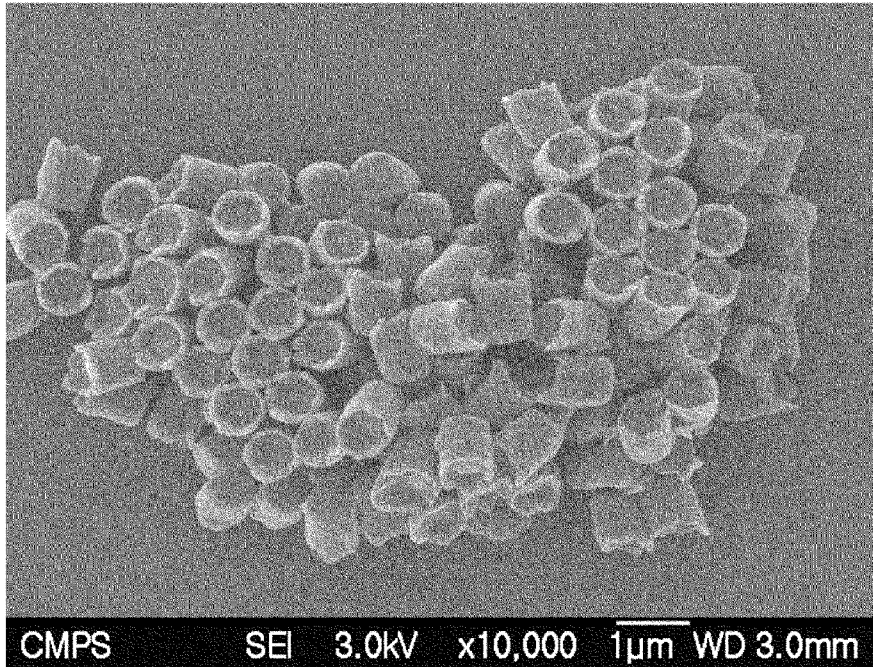
[Fig. 31b]



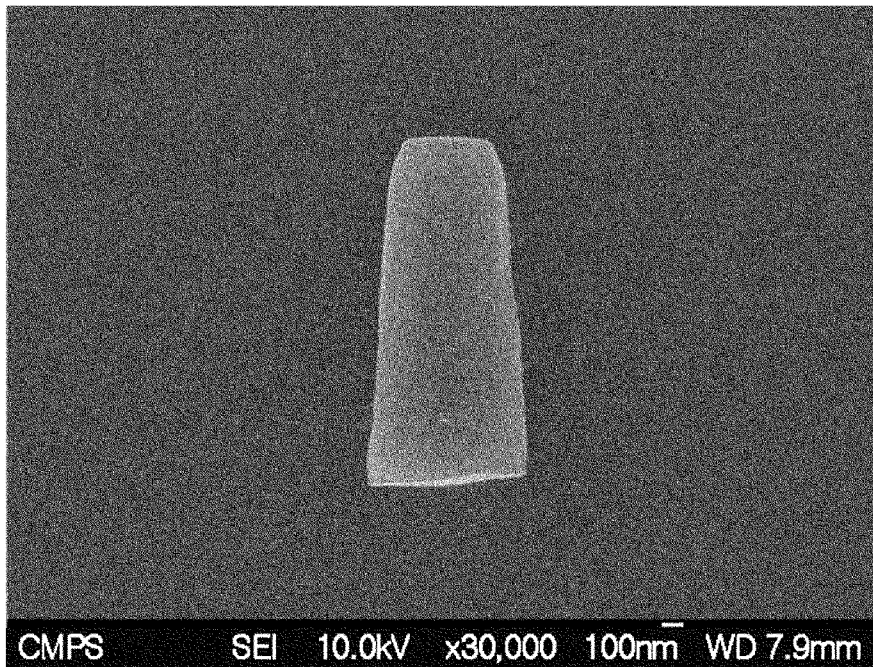
[Fig. 32]



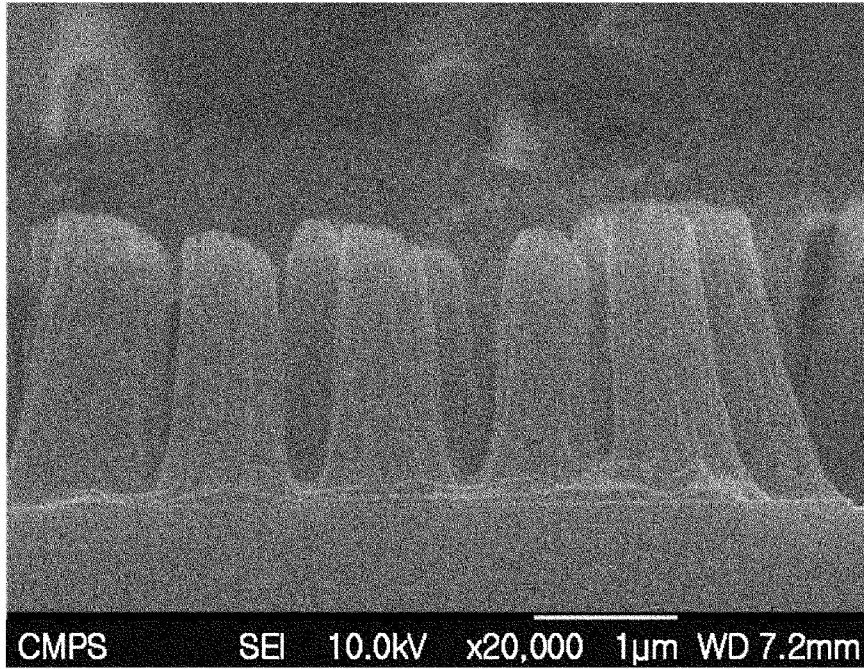
[Fig. 33]



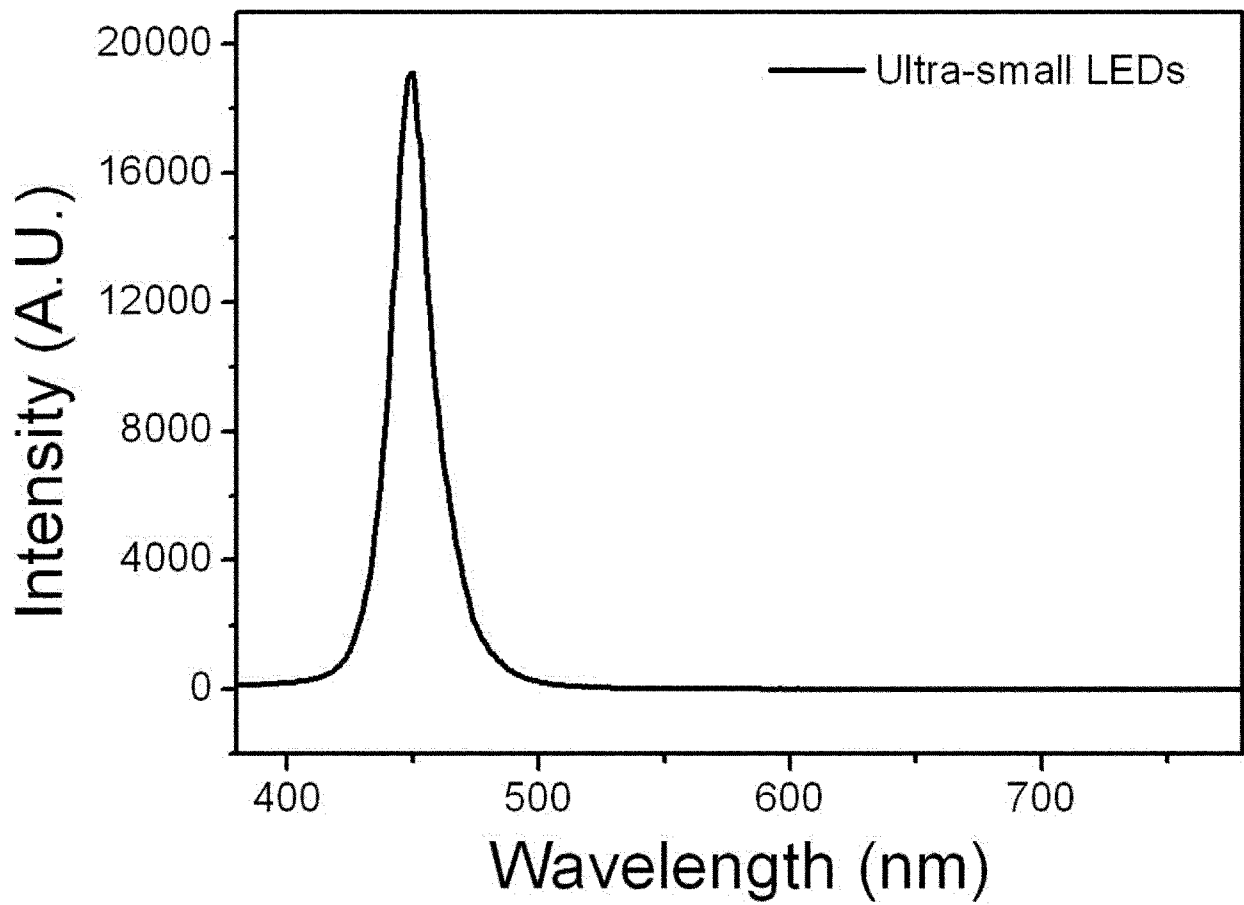
[Fig. 34]



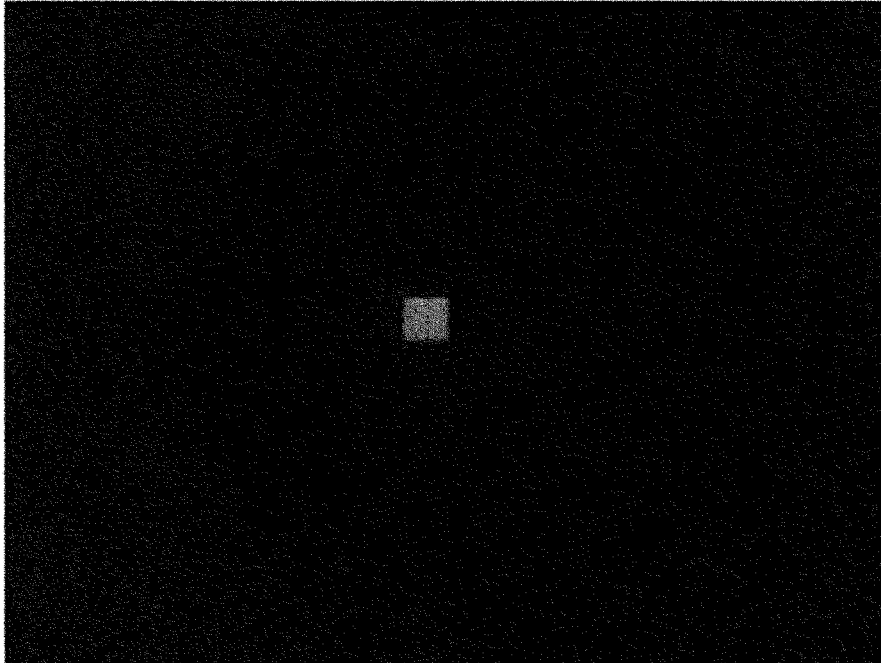
[Fig. 35]



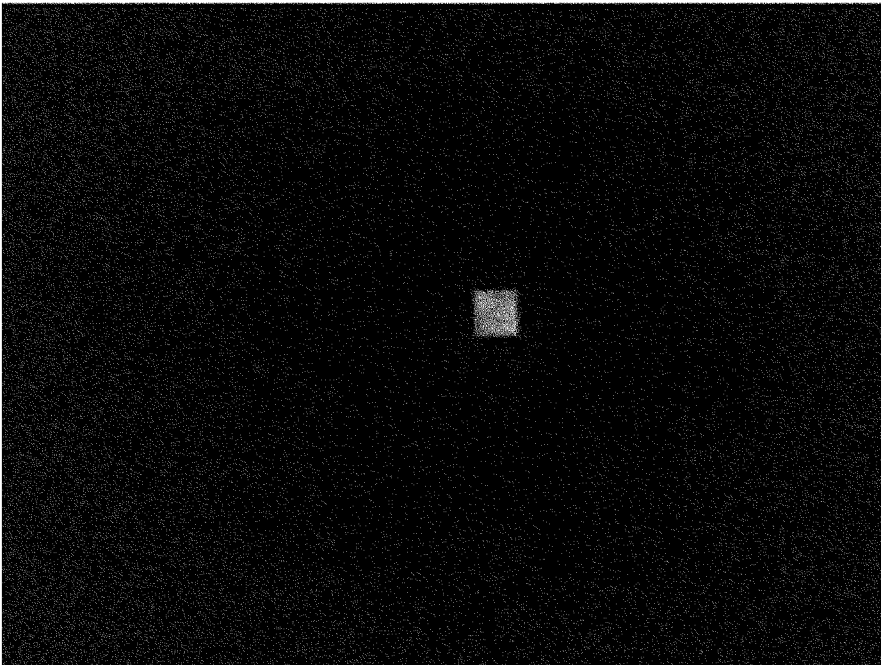
[Fig. 36]



[Fig. 37a]



[Fig. 37b]



[Fig. 37c]

