

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 8 日 (08.11.2018)



(10) 国际公布号
WO 2018/201690 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2017/111183

(22) 国际申请日: 2017 年 11 月 15 日 (15.11.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710312219.9 2017年5月5日 (05.05.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。 合肥鑫晟光电科技有
限公司 (HEFEI XINSHENG OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省
合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 赵剑 (ZHAO, Jian); 中国北京市经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。
陈沫 (CHEN, Mo); 中国北京市经济技术开发
区地泽路 9 号, Beijing 100176 (CN)。 高吉磊
(GAO, Jilei); 中国北京市经济技术开发区地
泽路 9 号, Beijing 100176 (CN)。 张杨 (ZHANG,
Yang); 中国北京市经济技术开发区地泽
路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京三高永信知识产权代理有限公司
(BEIJING SAN GAO YONG XIN INTELLECTUAL
PROPERTY AGENCY CO., LTD.); 中国北京市
海淀区学院路蓟门里和景园 A 座 1 单元
102 室, Beijing 100088 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: SCAN DRIVING CIRCUIT AND DRIVING METHOD THEREOF, ARRAY SUBSTRATE AND DISPLAY DEVICE

(54) 发明名称: 扫描驱动电路及其驱动方法、阵列基板和显示装置

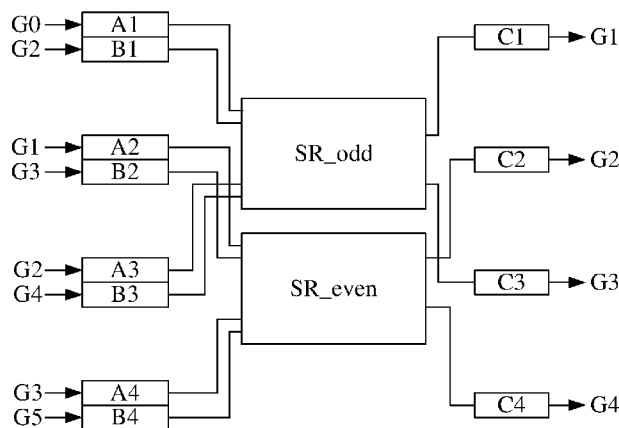


图 1

(57) Abstract: A scan driving circuit and a driving method thereof, an array substrate and a display device, belonging to the field of displays. The scan driving circuit comprises m levels of output ends, m levels of input circuits and q shift register circuits. A first end of an i -th level input circuit is connected to an $(i-1)$ -th level output end, wherein i is an arbitrary integer greater than 1 and less than $m+1$. Each shift register circuit is separately connected to k output ends and connected to second ends of k input circuits, the k input circuits and the k output ends have the same level sequence number combination therebetween, and level sequence numbers in the same level sequence number combination have the same parity, wherein k is greater than 1 and less than m . The shift register circuit is configured to output a scan signal to one of k output ends connected thereto, and an external control signal indicates which output end the scan signal is output to.



JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种扫描驱动电路及其驱动方法、阵列基板和显示装置, 属于显示领域。该扫描驱动电路包括m级输出端、m级输入电路和q个移位寄存电路; 第i级的输入电路的第一端连接第i-1级的输出端, i为大于1且小于m+1的任意整数; 任一移位寄存电路分别连接k个输出端, 并与k个输入电路的第二端相连, k个输入电路与k个输出端之间具有相同的级序号组合, 相同的级序号组合中的级序号均具有相同的奇偶性, k大于1且小于m; 移位寄存电路被配置为能够向所连接的k个输出端中的一个输出扫描信号, 向哪一个输出端输出扫描信号由外部控制信号指示。

扫描驱动电路及其驱动方法、阵列基板和显示装置

本公开要求于 2017 年 5 月 5 日提交中国国家知识产权局、申请号为 201710312219.9、发明名称为“扫描驱动电路及其驱动方法、阵列基板和显示装置”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开涉及显示领域，特别涉及一种扫描驱动电路及其驱动方法、阵列基板和显示装置。

背景技术

阵列基板行驱动（Gate driver On Array, GOA）技术相较于传统工艺而言，不仅能省去承载栅极驱动器的电路板、实现显示面板两边对称的设计，还能省去显示面板边缘上芯片绑定区域和例如扇出区的布线区域，有利于窄边框设计的实现。同时，由于 GOA 技术可以省去行方向上的芯片绑定工艺，对整体的产能、良率提升也有很大的帮助。在相关 GOA 设计中，结构相同的若干级 GOA 单元各自连接一条行扫描线，基于 GOA 单元之间的级联关系，能够在外部信号的驱动下使扫描信号在若干条行扫描线上逐行地输出。

随着显示技术的快速发展，市场对显示产品的美观程度提出了更高的要求，这使得进一步窄化边框成为了众多显示产品的重要需求。而随着 GOA 单元内部电路结构的不断精简，每个 GOA 单元中薄膜晶体管（Thin Film Transistor, TFT）的数量已经很难在满足应用需求的前提下进一步减少。

发明内容

本公开提供一种扫描驱动电路及其驱动方法、阵列基板和显示装置，可以在现有 GOA 单元结构的基础上进一步减少栅极驱动器所需的晶体管数量。

第一方面，本公开提供了一种扫描驱动电路，包括 m 级输出端、 m 级输入电路和 q 个移位寄存电路，所述 q 为小于整数 m 的正整数；其中，

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1

且小于 $m+1$ 的任意整数;

任一所述移位寄存电路分别连接 k 个所述输出端, 并与 k 个所述输入电路的第二端相连, k 个所述输入电路与 k 个所述输出端之间具有相同的级序号组合, 所述相同的级序号组合中的级序号均具有相同的奇偶性, 所述 k 大于 1 且小于 m ;

5 所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描信号, 向哪一个所述输出端输出扫描信号由外部控制信号指示。

在一种可能的实现方式中, 所述输入电路被配置为在第一端接收到扫描信号时, 将第二端所连接的移位寄存电路切换至充电态; 所述移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始, 向所连接的 k 个
10 输出端中的一个输出扫描信号。

在一种可能的实现方式中, 所述扫描驱动电路还包括 m 级复位电路; 其中, 第 j 级的所述复位电路的第一端连接第 $j+1$ 级的所述输出端, 所述 j 为大于 0 且小于 m 的任意整数;

分别连接 k 个所述输出端的移位寄存电路还与 k 个所述复位电路的第二端
15 相连, k 个所述复位电路与 k 个所述输出端之间具有相同的级序号组合;

所述复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。

在一种可能的实现方式中, 所述外部控制信号由 k 条控制信号线提供, 所述移位寄存电路包括输出电路单元和 k 个晶体管, 所述输出电路单元包括输出
20 节点; 其中,

所述输出电路单元被配置为能够向所述输出节点输出扫描信号;

所述 k 个晶体管的第一极均与所述输出节点相连;

所述 k 个晶体管的栅极各自连接所述 k 条控制信号线中的一条;

所述 k 个晶体管的第二极各自连接 k 个所述输出端中的一个;

25 其中, 所述第一极和第二极分别是源极和漏极中的一个。

在一种可能的实现方式中, 所述移位寄存电路包括输出电路单元, 所述输出电路单元包括输出节点; 所述输出电路单元还包括第一晶体管和第一电容, 所述输入电路包括第二晶体管; 其中,

所述第一晶体管的栅极连接第一节点, 第二极连接所述输出节点; 所述第一节点连接 k 个所述输入电路的第二端;
30

在所对应的级序号组合中的级序号均为奇数的移位寄存电路中, 所述第一

晶体管的第一极连接第一时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第一晶体管的第一极连接第二时钟信号线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个；

5 所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

所述第二晶体管的栅极连接所述输入电路的第一端，第一极连接第一电平电压线或者所在输入电路的第一端，第二极连接所在输入电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

10 在一种可能的实现方式中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第一晶体管、第一电容、第三晶体管和第四晶体管，所述复位电路包括第五晶体管；其中，

所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第一节点连接 k 个所述输入电路的第二端；

15 在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第一晶体管的第一极连接第一时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第一晶体管的第一极连接第二时钟信号线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个；

所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

20 所述第三晶体管的栅极连接 k 个所述复位电路的第二端，第一极连接所述第一节点，第二极连接第二电平电压线；

所述第四晶体管的栅极连接 k 个所述复位电路的第二端，第一极连接所述输出节点，第二极连接第二电平电压线；

25 所述第五晶体管的栅极和第一极均连接所在复位电路的第一端，第二极连接所在复位电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

在一种可能的实现方式中，所述输出电路单元还包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管和第十一晶体管；其中，

30 所述第六晶体管的栅极连接第二节点，第一极连接所述第一节点，第二极连接第二电平电压线；

所述第七晶体管的栅极连接所述第二节点，第一极连接所述输出节点，第

二极管连接第二电平电压线;

所述第八晶体管的栅极连接第三节点, 第二极连接所述第二节点; 在所对应的级序号组合中的级序号均为奇数的移位寄存电路中, 所述第八晶体管的第一极连接所述第二时钟信号线; 在所对应的级序号组合中的级序号均为偶数的移位寄存电路中, 所述第八晶体管的第一极连接所述第一时钟信号线;

所述第九晶体管的栅极连接所述第一节点, 第一极连接所述第二节点, 第二极连接第二电平电压线;

所述第十晶体管的栅极和第一极均连接所述第八晶体管的第一极, 第二极连接所述第三节点;

所述第十一晶体管的栅极连接所述第一节点, 第一极连接所述第三节点, 第二极连接第二电平电压线。

在一种可能的实现方式中, 所述移位寄存电路包括输出电路单元, 所述输出电路单元包括输出节点; 所述输出电路单元还包括第十二晶体管,

在所对应的级序号组合中的级序号均为奇数的移位寄存电路中, 所述第十二晶体管的栅极连接第二时钟信号线; 在所对应的级序号组合中的级序号均为偶数的移位寄存电路中, 所述第十二晶体管的栅极连接第一时钟信号线; 所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个;

所述第十二晶体管的第一极连接所述输出节点, 所述第十二晶体管的第二极连接第二电平电压线;

其中, 所述第一极和第二极分别是源极和漏极中的一个。

在一种可能的实现方式中, 所述输出电路单元还包括第十三晶体管,

所述第一节点与 k 个所述输入电路的第二端之间经由所述第十三晶体管连接, 所述第十三晶体管的第一极连接 k 个所述输入电路的第二端, 所述第十三晶体管的第二极连接所述第一节点;

在所对应的级序号组合中的级序号均为奇数的移位寄存电路中, 所述第十三晶体管的栅极连接所述第二时钟信号线; 在所对应的级序号组合中的级序号均为偶数的移位寄存电路中, 所述第十三晶体管的栅极连接所述第一时钟信号线。

第二方面, 本公开还提供了上述任意一种扫描驱动电路的驱动方法, 包括: 向所述扫描驱动电路施加所述外部控制信号, 以在第 p 级的所述输入电路

将所连接的移位寄存电路切换至充电态时，使该移位寄存电路从被切换至充电态之后的首个时钟信号的翻转时刻开始向第 p 级的所述输出端输出扫描信号；

其中，所述 p 为大于 0 且小于 $m+1$ 的任意整数。

第三方面，本公开还提供了一种扫描驱动电路的电路单元，所述扫描驱动电路包括 m 级输出端，所述电路单元包括一个移位寄存电路和 k 个输入电路，所述扫描驱动电路中的所述输入电路共有 m 级，所述 k 大于 1 且小于 m ；其中，

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1 且小于 $m+1$ 的任意整数；

所述移位寄存电路分别连接 k 个所述输出端，并与所述 k 个输入电路的第二端相连，所述 k 个输入电路与 k 个所述输出端之间具有相同的级序号组合，所述相同的级序号组合中的级序号均具有相同的奇偶性；

所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。

在一种可能的实现方式中，所述输入电路被配置为在第一端接收到扫描信号时，将第二端所连接的移位寄存电路切换至充电态；所述移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始，向所连接的 k 个输出端中的一个输出扫描信号。

在一种可能的实现方式中，所述电路单元还包括 k 个复位电路，所述扫描驱动电路中的所述复位电路共有 m 级；其中，

第 j 级的所述复位电路的第一端连接第 $j+1$ 级的所述输出端，所述 j 为大于 0 且小于 m 的任意整数；

所述移位寄存电路与所述 k 个复位电路的第二端相连，所述 k 个复位电路与 k 个所述输出端之间具有相同的级序号组合；

所述复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。

在一种可能的实现方式中，所述外部控制信号由 k 条控制信号线提供，所述移位寄存电路包括输出电路单元和 k 个晶体管，所述输出电路单元包括输出节点；其中，

所述输出电路单元被配置为能够向所述输出节点输出扫描信号；

所述 k 个晶体管的第一极均与所述输出节点相连；

所述 k 个晶体管的栅极各自连接所述 k 条控制信号线中的一条；

所述 k 个晶体管的第二极各自连接 k 个所述输出端中的一个；

其中，所述第一极和第二极分别是源极和漏极中的一个。

在一种可能的实现方式中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第一晶体管和第一电容，

5 所述输入电路包括第二晶体管；其中，

所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第一节点连接所述 k 个输入电路的第二端；

在所对应的级序号组合中的级序号均为奇数的所述移位寄存电路中，所述
10 第一晶体管的第一极连接第一时钟信号线；在所对应的级序号组合中的级序号
均为偶数的所述移位寄存电路中，所述第一晶体管的第一极连接第二时钟信号
线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相
时钟信号中的一个；

所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

15 所述第二晶体管的栅极连接所述输入电路的第一端，第一极连接第一电平
电压线或者所在输入电路的第一端，第二极连接所在输入电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

在一种可能的实现方式中，所述移位寄存电路包括输出电路单元，所述输出
电路单元包括输出节点；所述输出电路单元还包括第一晶体管、第一电容、
第三晶体管和第四晶体管，所述复位电路包括第五晶体管；其中，

20 所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第一
节点连接所述 k 个输入电路的第二端；

在所对应的级序号组合中的级序号均为奇数的所述移位寄存电路中，所述
第一晶体管的第一极连接第一时钟信号线；在所对应的级序号组合中的级序号
均为偶数的所述移位寄存电路中，所述第一晶体管的第一极连接第二时钟信号
25 线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相
时钟信号中的一个；

所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

所述第三晶体管的栅极连接所述 k 个复位电路的第二端，第一极连接所述
第一节点，第二极连接第二电平电压线；

30 所述第四晶体管的栅极连接所述 k 个复位电路的第二端，第一极连接所述
输出节点，第二极连接第二电平电压线；

所述第五晶体管的栅极和第一极均连接所在复位电路的第一端，第二极连接所在复位电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

第四方面，本公开还提供了一种阵列基板，包括上述任意一种的扫描驱动
5 电路。

第五方面，本公开还提供了一种显示装置，包括上述任意一种的阵列基板。

附图说明

10 为了更清楚地说明本公开实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，这些附图的合理变型也都涵盖在本公开的保护范围内。

图 1 是本公开一个实施例提供的扫描驱动电路的结构框图；

图 2 是本公开一个对比示例提供的扫描驱动电路的结构框图；

图 3 是本公开一个实施例提供的部分扫描驱动电路的结构框图；

15 图 4 是本公开一个实施例提供的部分扫描驱动电路的结构框图；

图 5 是本公开一个实施例提供的扫描驱动电路中复用组的电路结构图；

图 6 是本公开一个实施例提供的扫描驱动电路中复用组的电路时序图。

具体实施方式

20 为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。图 1 至图 3 示出了有关本公开一个实施例中的扫描驱动电路的几种电路结构。在本公开实施例中，扫描驱动电路包括 m 级输出端、 m 级输入电路和 q 个移位寄存电路，其中 m 是大于 1 的正整数， q 是小于 m 的正整数，具体取值可以根据实际应用需求确定。

25 在本公开的一个概括性示例中，所述扫描驱动电路包括 m 级输出端、 m 级输入电路和 q 个移位寄存电路，所述 q 为小于整数 m 的正整数，其中：

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1 且小于 $m+1$ 的任意整数。

任一所述移位寄存电路分别连接 k 个所述输出端，并与 k 个所述输入电路
30 的第二端相连， k 个所述输入电路与 k 个所述输出端之间具有相同的级序号组合，所述相同的级序号组合中的级序号均具有相同的奇偶性，所述 k 大于 1 且小于 m 。

所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。

在本公开的又一个概括性示例中，所述扫描驱动电路还包括 m 级复位单元，并具有如下所述的电路结构：

- 5 输入电路与输出端之间具有如下连接关系：对于大于 1 且小于 $m+1$ 的任意整数 i ，第 i 级的输入电路的第一端连接第 $i-1$ 级的输出端。

复位电路与输出端之间具有如下连接关系：对于大于 0 且小于 m 的任意整数 j ，第 j 级的复位电路的第一端连接第 $j+1$ 级的输出端。

- 10 移位寄存电路具有如下连接关系：任一个移位寄存电路与 k 个输入电路的第二端中的每一个相连、与 k 个复位电路的第二端中的每一个相连，并且与 k 个输出端中的每一个分别相连（ k 为大于 1 小于 m 的整数）。而且， k 个输入电路与 k 个输出端之间具有相同的级序号组合， k 个复位电路和 k 个输出端之间也具有相同的级序号组合。此外，该相同的级序号组合中的所有级序号均具有相同的奇偶性。

- 15 在各电路的功能上，输入电路被配置为在第一端接收到扫描信号时将第二端所连接的移位寄存电路切换至充电态；移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示；复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。

- 20 在一个示例中，上述扫描驱动电路具有如图 1 所示的结构。为叙述方便，本文以大写字母“A”和数字的组合表示某一级的输入电路（比如“A3”表示第 3 级的输入电路），以大写字母“B”和数字的组合表示某一级的复位电路（比如“B n ”表示第 n 级的复位电路），以大写字母“C”和数字的组合表示某一级的输出端（比如“C $n+1$ ”表示第 $n+1$ 级的输出端），以大写字母“G”和数字的组合表示某一级（即对应于某一级序号）的扫描信号（比如“G0”表示起始扫描信号，“G2”表示第 2 级输出端所输出的扫描信号）。为图示清晰，附图中以同一扫描信号的附图标记表示相互连接的两个节点（比如图 1 中 C1 连线 G1、G1 连线 A2 表示第一级的输出端 C1 连接第 2 级的输入电路 A2 的第一端）。

- 30 参见图 1，本示例中的扫描驱动电路包括移位寄存单元 SR_odd、移位寄存单元 SR_even。此外，扫描驱动电路还包括 4 级输出端、4 级输入电路和 4 级复

位电路, 其中移位寄存电路 SR_odd 与 2 个输入电路的第二端相连、与 2 个复位电路的第二端相连, 并分别连接 2 个输出端 (级序号组合均为{1, 3}, 其中的级序号均为奇数)。移位寄存电路 SR_even 与 2 个输入电路的第二端相连、与 2 个复位电路的第二端相连, 并分别连接 2 个输出端 (级序号组合均为{2, 4}, 其中的级序号均为偶数)。可以看出, 本示例中 $m=4$, $q=2$, $k=2$ 。

如图 1 所示, 第 2 级的输入电路 A2 的第一端连接第 1 级的输出端 C1, 第 3 级的输入电路 A3 的第一端连接第 2 级的输出端 C2, 第 4 级的输入电路 A4 的第一端连接第 3 级的输出端 C3, 即均具有上述“第 i 级的输入电路的第一端连接第 $i-1$ 级的输出端” ($1 < i < m+1$) 的连接关系。

如图 1 所示, 第 1 级的复位电路 B1 的第一端连接第 2 级的输出端 C2, 第 2 级的复位电路 B2 的第一端连接第 3 级的输出端 C3, 第 3 级的复位电路 B3 的第一端连接第 4 级的输出端 C4, 即均具有上述“第 j 级的复位电路的第一端连接第 $j+1$ 级的输出端” ($0 < j < m$) 的连接关系。

基于上述各电路的功能, 参照图 1, 本示例的扫描驱动电路的工作原理如下:

在第一级的输入电路 A1 的第一端接收到外部提供的起始扫描信号 G0 时, 将第二端所连接的移位寄存电路 SR_odd 切换至充电态。在适当的外部控制信号的配合下, 移位寄存电路 SR_odd 能够在此后第一次的时钟信号的翻转时刻开始向所连接的输出端 C1 输出扫描信号 G1 (即此时输出端 C1 是移位寄存电路 SR_odd 所连接的所有输出端中由外部控制信号指示的输出端)。同时, 由于输出端 C1 输出的扫描信号 G1 会连接至第二输入电路 A2 的第一端, 因此第二输入电路 A2 会将第二端所连接的移位寄存电路 SR_even 切换至充电态。

在此后的第二次的时钟信号的翻转时刻, 移位寄存电路 SR_even 能够在适当的外部控制信号的配合下开始向所连接的输出端 C2 输出扫描信号 G2 (即此时输出端 C2 是移位寄存电路 SR_even 所连接的所有输出端中由外部控制信号指示的输出端)。同时, 由于输出端 C2 输出的扫描信号 G2 会连接至输入电路 A3 的第一端和复位电路 B1 的第一端, 因此复位电路 B1 会使第二端所连接的移位寄存电路 SR_odd 停止输出扫描信号 G1, 而输入电路 A3 会将第二端所连接的移位寄存电路 SR_odd 切换至充电态, 即此时移位寄存电路 SR_odd 处于充电态但不输出扫描信号。

在此后的第三次的时钟信号的翻转时刻, 移位寄存电路 SR_odd 能够在适当的外部控制信号的配合下开始向所连接的输出端 C3 输出扫描信号 G3 (即此时

输出端 C3 是移位寄存电路 SR_odd 所连接的所有输出端中由外部控制信号指示的输出端)。同时, 由于输出端 C3 输出的扫描信号 G3 会连接至输入电路 A4 的第一端和复位电路 B2 的第一端, 因此复位电路 B2 会使第二端所连接的移位寄存电路 SR_even 停止输出扫描信号 G2, 而输入电路 A4 会将第二端所连接的移位寄存电路 SR_even 切换至充电态, 即此时移位寄存电路 SR_even 处于充电态但不输出扫描信号。

在此后的第四次的时钟信号的翻转时刻, 移位寄存电路 SR_even 能够在适当的外部控制信号的配合下开始向所连接的输出端 C4 输出扫描信号 G4 (即此时输出端 C4 是移位寄存电路 SR_even 所连接的所有输出端中由外部控制信号指示的输出端)。同时, 由于输出端 C4 输出的扫描信号 G4 会连接至复位电路 B3 的第一端, 因此复位电路 B3 会使第二端所连接的移位寄存电路 SR_odd 停止输出扫描信号 G3, 并且可以理解的是移位寄存电路 SR_odd 在下一次被切换至充电态之前都不会输出扫描信号。

例如在此后的第四次的时钟信号的翻转时刻开始, 从扫描驱动电路的外部向复位端 B4 输入扫描信号, 从而复位电路 B4 会使第二端所连接的移位寄存电路 SR_even 停止输出扫描信号 G4, 可以理解的是移位寄存电路 SR_even 在下一次被切换至充电态之前都不会输出扫描信号。

基于上述工作原理可知, 本示例的扫描驱动电路能够在上述外部信号的配合下实现扫描信号在第 1 至 4 级输出端处的逐级输出。第 1 级的输入电路 A1 的第一端形成扫描驱动电路的输入端, 第 4 级的复位电路 B4 的第一端形成扫描驱动电路的复位端, 第 1 至 4 级的输出端形成扫描驱动电路的 4 个输出端。

在上述工作原理中需要说明的是, 上述“时钟信号的翻转时刻”可以是连接到移位寄存电路的时钟信号的上升沿和/或下降沿所在的时刻; 能够看出其控制了扫描信号逐级输出的时序, 因此在实施时可以根据所需要实现的时序来配置时钟信号。例如, 可以将正向时钟信号与反相时钟信号的组合作为连接到移位寄存电路的时钟信号, 其电平翻转的时刻作为上述时钟信号的翻转时刻, 并且可以不仅限于此。

在上述工作原理中还需要说明的是, 上述“外部控制信号”指的是连接到移位寄存电路的外部信号, 其可以控制移位寄存电路向所连接的输出端中的哪一个输出扫描信号。外部控制信号可由例如时序控制器的电路结构配合时钟信号一起输入到扫描驱动电路中, 也可由外部电路接口接入到扫描驱动电路中,

并且可以不仅限于此。

在上述工作原理中还需要说明的是，上述“充电态”指的是移位寄存电路的一种工作状态，被切换至充电态的移位寄存电路会在首次时钟信号的翻转时刻开始输出扫描信号。在一种实现方式下，移位寄存电路在停止输出扫描信号之后会自发地从充电态中恢复；在另一种实现方式下，复位电路会在第一端接收到扫描信号且所连接的移位寄存电路没有被任何一个输入电路切换至充电态时使所连接的移位寄存电路从充电态中恢复。由此，可以减少由于移位寄存电路维持在充电态的时间过长而引起的误输出或信号噪声。

参见图 2，在一个对比示例中，扫描驱动电路在图 1 所示的结构的基础上将 2 个移位电路替换为 4 级的移位电路 SR_1、SR_2、SR_3、SR_4，且每个移位电路分别连接与其具有相同级序号的 1 个输入电路、1 个复位电路和 1 个输出端；本示例中的输入电路被配置为在第一端接收到扫描信号时将第二端所连接的移位电路切换至充电态，移位电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始向所连接的输出端输出扫描信号，复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位电路停止扫描信号的输出。

容易推知，本示例中的扫描驱动电路可以在同样的外部信号下实现与图 1 所示的扫描驱动电路相同的信号输出。而对比图 1 与图 2 所示的电路结构和工作原理可知，图 1 所示的扫描驱动电路中移位寄存电路 SR_odd 实现了移位电路 SR_1 和移位电路 SR_3 的功能，而移位寄存电路 SR_even 实现了移位电路 SR_2 和移位电路 SR_4 的功能，即图 1 所示的扫描驱动电路通过电路结构的复用，实现了扫描驱动电路的内部结构的简化。

在又一示例中，扫描驱动电路除了包括图 1 所示的电路结构之外，还包括若干组如图 3 所示的电路结构。比如， $n=5, 9, 13, \dots, 4x+1$ (x 为正整数) 的图 3 的电路结构可以与图 1 所示的电路结构组成具有 $4x+4$ 级的输出端的扫描驱动电路，并且仅包含 $2x+2$ 个移位寄存电路。其中，每一组如图 3 所示的电路结构都可以按照与图 1 所示的电路结构相同的工作原理输出实现 4 级扫描信号的逐级输出。

在又一示例中，扫描驱动电路可以包括如图 4 所示的电路结构。参见图 4，相比于图 3 所示的电路结构，图 4 所示的移位寄存电路 SR_even 与 3 个输入电路的第二端相连、与 3 个复位电路的第二端相连，并且与 3 个输出端分别相连 (3 个输入电路、3 个复位电路和 3 个输出端的级序号组合均为 $\{n+1, n+3, n+5\}$ ，

其中的级序号均为奇数或均为偶数)。容易理解的是,该移位寄存电路 SR_even 在功能上相当于 3 级移位电路的组合,具有与图 1 所示的移位寄存电路 SR_even 类似的工作原理。

为描述方便,下文将例如图 4 所示的移位寄存电路 SR_even 及其所连接的 3 个输入电路、3 个复位电路和 3 个输出端的组合称为复用组,其所对应的级序号组合可以是 1~m 范围内任意数量的奇数的组合,或者 2~m 范围内任意数量的偶数的组合。比如,图 1 所示的扫描驱动电路级序号组合为{1,3}的复用组和级序号组合为{2,4}的复用组;图 3 所示的扫描驱动电路包括级序号组合为{n, n+2}的复用组和级序号组合为{n+1, n+3}的复用组;图 4 所示的扫描驱动电路包括级序号组合为{n, n+2}的复用组和级序号组合为{n+1, n+3, n+5}的复用组。

基于上述示例可以理解的是,为了实现第 1 级至第 m 级的扫描信号的逐级输出,可以将{1, 2, 3, ..., m}拆分为若干组由奇数组成的级序号组合和若干组由偶数组成的级序号组合(比如将{1, 2, 3, ..., 10}拆分为{1, 5, 9}、{3, 7}、{2, 8}和{4, 6, 10}),从而由与每个级序号组合对应的复用组共同组成扫描驱动电路。而且,还可以拆分出来若干个单独的级序号,由如图 2 所示的移位电路及其连接的输入电路、复位电路和输出端来形成扫描驱动电路中与这些级序号对应的部分电路结构(比如将所对应级序号为 n+4 的输入电路、复位电路和输出端和移位电路设置到如图 3 所示的电路结构中,以接收第 n+3 级的扫描信号并输出第 n+4 级的扫描信号)。在至少拆分出一个级序号组合时,可以得到如上述任一概括性示例所述的扫描驱动电路的结构。

可以看出的是,基于移位寄存电路分别与多级输入电路和多级输出端的连接,本公开实施例可使一个移位寄存电路在多级之间复用,从而可以在保持信号输入输出关系的情况下简化电路结构,在现有 GOA 单元结构的基础上进一步减少栅极驱动器所需的晶体管数量,有助于解决相关技术中 GOA 单元所占据的空间难以压缩、边框难以窄化的问题,有利于简化栅极驱动器的结构、缩小栅极驱动器的设置空间,并突破相关产品在边框窄化上的瓶颈。

图 5 是本公开一个实施例提供的复用组的电路结构图,亦即本公开一个实施例提供的扫描驱动电路的一个电路单元的电路结构图,其以图 3 和图 4 中级序号组合为{n, n+2}的复用组的电路结构作为示例展示了复用组的可选电路结构。需要说明的是,图 5 中示出的晶体管示例性地均为 N 型晶体管,即可以通过相同的制作工艺形成以降低制造成本。根据晶体管具体类型的不同,可以设

置其源极和漏极分别所具有的连接关系，以与流过晶体管的电流的方向相匹配；在晶体管具有源极与漏极对称的结构时，源极和漏极可以视为不作特别区分的两个电极。下文中，以第一极和第二极分别指代源极和漏极中的一个。

参见图 5，在本实施例的复用组中：

5 上述外部控制信号由第一控制信号线 Ra 和第二控制信号线 Rb 来提供，控制信号线的数量为 $k=2$ ；而上述移位寄存电路 SR_odd 包括输出电路单元 MR 和用于控制输出电路单元 MR 连接到哪个输出端的晶体管 Ta 和 Tb(下文统称为“控制晶体管”)，控制晶体管的数量同样为 $k=2$ 。其中，该输出电路单元 MR 具有输出节点 PO，该输出节点 PO 连接 k 个控制晶体管的第一极。该输出电路单元
10 MR 被配置为从移位寄存电路被切换至充电态之后的首个时钟翻转时刻开始向输出节点 PO 输出扫描信号； k 个控制晶体管的栅极各自连接 k 条控制信号线中的一条， k 个控制晶体管的第二极各自连接 k 个输出端中的一个，形成如图 5 中所示的电路连接关系。容易理解的是，对于 $k>2$ 的复用组来说，控制信号线和控制晶体管的设置数量仍与 k 保持一致。

15 基于这一部分的电路结构，在 k 条控制信号线中仅有一条输出栅极开启电压时，其所连接的控制晶体管即可打开并将输出电路单元 MR 连接至对应的输出端处，即实现了向外部控制信号指示的输出端输出扫描信号。而为了实现上述如图 1 所示的扫描驱动电路的工作过程，上述任一个概括性示例中的扫描驱动电路的驱动方法可以包括：向扫描驱动电路施加外部控制信号，以在第 p 级
20 的输入电路将所连接的移位寄存电路切换至充电态时，使该移位寄存电路从被切换至充电态之后的首个时钟信号的翻转时刻开始向第 p 级的输出端输出扫描信号；其中， p 为大于 0 且小于 $m+1$ 的任意整数。比如，上述图 1 所示的扫描驱动电路的工作原理就分别涉及了 $p=1$ 、 $p=2$ 、 $p=3$ 和 $p=4$ 的情形，并且向扫描驱动电路施加外部控制信号的波形示例将会在后文给出。

25 在本实施例中，上述输出电路单元 MR 包括第一晶体管 T1 和第一电容 C1，其中，第一晶体管 T1 的栅极连接第一节点 PU，第一极连接第一时钟信号线 CK1，第二极连接输出节点 PO；第一节点 PU 间接地连接 k 个输入电路的第二端（在又一示例中，可以使第一节点 PU 直接地连接 k 个输入电路的第二端，并省去第十三晶体管 M13 的设置）；第一电容 C1 的第一端连接第一节点 PU，第二端连
30 接输出节点 PO。基于此，输出电路单元 MR 能够实现上述从移位寄存电路被切换至充电态之后的首个时钟翻转时刻开始向所连接的控制晶体管的第一极输出

扫描信号的功能，具体实现方式将在后文的工作原理中详述。

需要说明的是，上文中的时钟信号在本实施例中具体包括由第一时钟信号线 CK1 提供的正相时钟信号，和由第二时钟信号线 CK2 提供的反相时钟信号（在又一示例中，正相时钟信号由第二时钟信号线 CK2 提供，反相时钟信号由第一时钟信号线 CK1），并且级序号组合中均为奇数的复用组与级序号组合中均为偶数的复用组之间在时钟信号的连接方式上具有差别。例如，在级序号组合中均为奇数的复用组中，上述第一晶体管 T1 的第一极连接第一时钟信号线 CK1，而在级序号组合中均为偶数的复用组中，上述第一晶体管 T1 的第一极连接第二时钟信号线 CK2。本实施例中，以级序号组合中均为奇数作为示例进行描述。

在本实施例中，每一个输入电路——输入电路 A_n 和输入电路 A_{n+2} 各自包括一个第二晶体管 T2。每个输入电路中，第二晶体管 T2 的栅极连接所在输入电路的第一端，第一极连接所在输入电路的第一端，第二极连接输入电路的第二端。基于此，输入电路能够实现上述在第一端接收到扫描信号时将第二端所连接的移位寄存电路切换至充电态的功能，具体实现方式将在后文的工作原理中详述。在其他实现方式中，上述第二晶体管 T2 的第一极可以不连接输入电路的第一端而改为连接未在附图中示出的第一电平电压线（例如是加载高电平电压的信号线），并且可以不仅限于此。

在本实施例中，上述输出电路单元 MR 还包括第三晶体管 T3 和第四晶体管 T4，每一个复位电路——复位电路 B_n 和复位电路 B_{n+2} 各自包括一个第五晶体管 T5。其中，第三晶体管 T3 的栅极连接 k 个复位电路的第二端，第一极第一节点 PU，第二极连接第二电平电压线 V_{ss} （例如是加载低电平电压的信号线）；第四晶体管 T4 的栅极连接 k 个复位电路的第二端，第一极连接输出节点 PO，第二极连接第二电平电压线 V_{ss} ；第五晶体管 T5 的栅极和第一极均连接所在复位电路的第一端，第二极连接所在复位电路的第二端。基于此，复位电路可以实现上述在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出的功能，具体实现方式将在后文的工作原理中详述。

本实施例中，上述输出电路单元 MR 还包括第六晶体管 T6、第七晶体管 T7、第八晶体管 T8、第九晶体管 T9、第十晶体管 T10 和第十一晶体管 T11，其中：第六晶体管 T6 的栅极连接第二节点 PD，第一极连接第一节点 PU，第二极连接第二电平电压线 V_{ss} ；第七晶体管 T7 的栅极连接第二节点 PD，第一极连接输出节点 PO，第二极连接第二电平电压线 V_{ss} 。第八晶体管 T8 的栅极连接第三节点

PC, 第二极连接第二节点 PD。在级序号组合中均为奇数的复用组中, 第八晶体管 T8 的第一极连接第二时钟信号线 CK2; 在级序号组合中均为偶数的复用组中, 第八晶体管 T8 的第一极连接第一时钟信号线 CK1。第九晶体管 T9 的栅极连接第一节点 PU, 第一极连接第二节点 PD, 第二极连接第二电平电压线 Vss; 第十晶体管 T10 的栅极和第一极连接第八晶体管 T8 的第一极, 第二极连接第三节点 PC; 第十一晶体管 T11 的栅极连接第一节点 PU, 第一极连接第三节点 PC, 第二极连接第二电平电压线 Vss。基于此, 上述输出电路单元 MR 可以在不输出扫描信号时工作在更加稳定的状态上, 具体原理将在后文的工作原理中详述。

本实施例中, 上述输出电路单元 MR 还包括第十二晶体管 T12, 在级序号组合中均为奇数的复用组中, 第十二晶体管 T12 的栅极连接第二时钟信号线 CK2; 在级序号组合中均为偶数的复用组中, 第十二晶体管 T12 的栅极连接第一时钟信号线 CK1。第十二晶体管 T12 的第一极连接输出节点 PO, 第十二晶体管 T12 的第二极连接第二电平电压线 Vss。基于此, 第十二晶体管 T12 可以辅助进行停止扫描信号输出时的信号复位, 有利于提升复位速度和电路的工作稳定性, 其具体原理将在后文的工作原理中详述。

本实施例中, 上述输出电路单元 MR 还包括第十三晶体管 T13。上述第一节点 PU 与 k 个输入电路的第二端之间进一步藉由第十三晶体管 T13 连接, 第十三晶体管 T13 的第一极连接 k 个输入电路的第二端, 第十三晶体管 T13 的第二极连接第一节点 PU。在级序号组合中均为奇数的复用组中, 第十三晶体管 T13 的栅极连接第二时钟信号线 CK2; 在级序号组合中均为偶数的复用组中, 第十三晶体管 T13 的栅极连接第一时钟信号线 CK1。基于此, 第十三晶体管 T13 可以辅助进行充电态的切换和复原, 有利于提升充电速度、复原速度和电路的工作稳定性, 其具体原理将在后文的工作原理中详述。

对应于图 5 所示的复用组的电路结构, 图 6 是本公开实施例提供的扫描驱动电路中复用组的电路时序图。参见图 5 和图 6, 该复用组的工作原理如下所述:

第一阶段①之前: 复用组所涉及的扫描信号均保持为低电平, 因此第二晶体管 T2、第五晶体管 T5、第三晶体管 T3、第四晶体管 T4 均保持关闭。第一时钟信号线 CK1 和第二时钟信号线 CK2 上的时钟信号周期性相互翻转, 这使得其所连接的所有输出电路单元 MR 中的第十晶体管 T10 周期性打开, 使得第三节点 PC 处被周期性置为高电平, 继而第八晶体管 T8 打开, 使得第二节点 PD 处也被置为高电平。在第二节点 PD 处的高电平作用下, 第六晶体管 T6 和第七晶

晶体管 T7 的打开会使得第一节点 PU 处和输出节点 PO 处保持为低电平。第九晶体管 T9 和第十一晶体管 T11 保持关闭, 不对第二节点 PD 和第三节点 PC 进行电位的下拉; 第一晶体管 T1 保持关闭, 不对输出节点 PO 处进行电位的上拉。此外, 时钟信号会使第十二晶体管 T12 和第十三晶体管 T13 周期性打开, 帮助保持 k 个输入电路的第二端处、第一节点 PU 处, 以及输出节点 PO 处保持为低电平。而且, 第一控制信号线 Ra 和第二控制信号线 Rb 上也加载着周期性翻转的信号, 使得两个控制晶体管 Ta 和 Tb 交替打开; 而由于输出节点 PO 处保持为低电平, 因此输出端 Cn 处和输出端 Cn+2 处的电位也会被周期性下拉, 从而可以保持输出信号的稳定。

10 第一阶段①中: 扫描信号 Gn-1 转为高电平 (即开始输出), 第二时钟信号线 CK2 上为高电平, 第一时钟信号线 CK1 上为低电平, 从而输入电路 An 中的第二晶体管 T2 打开, 并且第十三晶体管 T13 打开, 使得第一节点 PU 处被上拉至高电平。由此, 第一晶体管 T1、第九晶体管 T9、第十一晶体管 T11 打开, 第二节点 PD 处和第三节点 PC 处被置为低电平, 停止对第一节点 PU 处和输出节点 PO 处的电位下拉。由于第十二晶体管 T12 打开且第一晶体管 T1 打开, 输出节点 PO 处在第一时钟信号线 CK1 和第二电平电压线 Vss 的共同作用下保持为低电平。而在此阶段内, 第一电容 C1 的第一端为高电平、第二端为低电平, 即在此阶段内完成了电容两端的充电 (即切换至充电态)。

20 第二阶段②中: 扫描信号 Gn-1 转为低电平 (即停止输出), 第二时钟信号线 CK2 上为低电平, 第一时钟信号线 CK1 上为高电平, 第十二晶体管 T12 和第十三晶体管 T13 关闭。而在第一电容 C1 的电荷保持作用下, 第一节点 PU 处会随着第一时钟信号线 CK1 上由低电平转为高电平的变化跳变至一电位更高的高电平上。这使得第一晶体管 T1 完全打开, 快速完成输出节点 PO 处的电位上拉。此时第一控制信号线 Ra 上为高电平而控制晶体管 Ta 打开, 因而输出端 Cn 处会输出高电平, 即扫描信号 Gn 开始输出。

第三阶段③中: 扫描信号 Gn+1 转为高电平 (即开始输出), 第二时钟信号线 CK2 上为高电平, 第一时钟信号线 CK1 上为低电平, 而且第一控制信号线 Ra 上为高电平而控制晶体管 Ta 打开。扫描信号 Gn+1 的高电平作用下, 输入电路 An+2 中的第二晶体管 T2 和复位电路 Bn 中的第五晶体管 T5 打开, 使得第三晶体管 T3 对第一节点 PU 处进行电位下拉, 第二晶体管 T2 和第十三晶体管 T13 对第一节点 PU 处进行电位上拉。这里, 通过设置第二晶体管 T2、第三晶体管

T3 和第十三晶体管 T13 之间的器件参数关系，可使此阶段内的第一节点 PU 处为高电平。此时，第一晶体管 T1、第四晶体管 T4 和第十二晶体管 T12 打开，使得控制晶体管 Ta 的第一极和第二极在第一时钟信号线 CK1 和第二电平电压线 Vss 的共同作用下被下拉为低电平，即扫描信号 Gn 停止输出。而在此阶段内，

5 第一电容 C1 的第一端为高电平、第二端为低电平，即在此阶段内完成了电容两端的充电（即切换至充电态）。

在一种实现方式中，设第二晶体管 T2、第三晶体管 T3 和第十三晶体管 T13 的源漏等效电阻分别为 R2、R3 和 R13，扫描信号的高电平电压为 Vgh，第二电平电压线 Vss 上的低电平电压为 Vgl，第一节点 PU 处的电压为 V1，那么有：

$$10 \quad (V_{gh} - V_{gl}) / (R_2 + R_3 + R_{13}) = (V_{gh} - V_1) / (R_2 + R_{13})$$

如果第一节点 PU 处为高电平等价于 $V_1 > 0$ ，那么由结合两式可以推得：

$$R_3 * V_{gh} + (R_2 + R_{13}) * V_{gl} > 0$$

由于一般晶体管的沟道宽长比越大，源漏等效电阻就越小，因此通过相应的设置能够使得第二晶体管 T2、第三晶体管 T3 和第十三晶体管 T13 满足上式，满

15 足第一节点 PU 处在第三阶段③中须为高电平的需求。

第四阶段④中：扫描信号 Gn+1 转为低电平（即停止输出），第二时钟信号线 CK2 上为低电平，第一时钟信号线 CK1 上为高电平，第十二晶体管 T12 和第十三晶体管 T13 关闭。而在第一电容 C1 的电荷保持作用下，第一节点 PU 处会随着第一时钟信号线 CK1 上由低电平转为高电平的变化跳变至一电位更高的高

20 电平上。这使得第一晶体管 T1 完全打开，快速完成输出节点 PO 处的电位上拉。此时第二控制信号线 Rb 上为高电平而控制晶体管 Tb 打开，因而输出端 Cn+2 处会输出高电平，即扫描信号 Gn+2 开始输出。

第五阶段⑤中：扫描信号 Gn+3 转为高电平（即开始输出），第二时钟信号线 CK2 上为高电平，第一时钟信号线 CK1 上为低电平，而且第二控制信号线

25 Rb 上为高电平而控制晶体管 Tb 打开。扫描信号 Gn+3 的高电平作用下，复位电路 Bn+2 中的第五晶体管 T5 打开，使得第三晶体管 T3 对第一节点 PU 处进行电位下拉，第四晶体管 T4 对输出节点 PO 处进行电位下拉。由于此时没有第二晶体管 T2 实现对第一节点 PU 处电位的上拉，因此第一节点 PU 处会被置为低电平。从而，第九晶体管 T9 停止对第二节点 PD 处的电位下拉，第十一晶体管 T11

30 停止对第三节点 PC 处的电位下拉。在第二时钟信号线 CK2 上的高电平作用下，第十晶体管 T10 打开而第三节点 PC 处被置为高电平，第八晶体管 T8 打开而第

二节点 PD 处被置为高电平。在第二节点 PD 处的高电平作用下，第六晶体管 T6 和第七晶体管 T7 的打开会使得第一节点 PU 处和输出节点 PO 处被置为低电平。从而，控制晶体管 Tb 的第一极和第二极在第一时钟信号线 CK1 和第二电平电压线 Vss 的共同作用下被下拉为低电平。此后，复位组将会持续性地处于上述
5 第一阶段①之前的工作状态，直到下一个周期的第一阶段①开始。

从上述工作原理中可以看出，输入电路、复位电路、移位寄存电路都实现了各自的功能，基于图 5 所示的复位组示例，可以得到其他级序号组合的复位组的电路结构。在此基础之上，其可以在与时钟信号和外部控制信号的配合下实现上述扫描驱动电路的功能，并显然可以比现有结构具有更少的晶体管数量。

在上述工作原理中需要说明的是，移位寄存电路所包含的晶体管并不都是实现其功能所必要的，例如第十三晶体管 T13 和第十二晶体管 T12 在不设置的情况下仍然可以实现图 6 所示的电路时序，但是其设置有助于优化移位寄存电路的信号输出特性。而且，上述移位寄存电路中的所包含的元件并不需要全部都设置在扫描驱动电路中，比如两个控制晶体管 Ta 和 Tb 可以设置在栅极驱动
10 器与行扫描线之间的任意位置上。另外，如图 5 所示的输出电路单元 MR 可以作为与奇数的级序号对应的上述移位电路来使用，将第一时钟信号线 CK1 与第二时钟信号线 CK2 交换之后的输出电路单元 MR 可以作为与偶数的级序号对应的上述移位电路来使用，并且可以不仅限于此。

此外，由于控制晶体管 Ta 和 Tb 的设置在一定程度上将输出电路单元的信号输出端与行扫描线之间分隔开，因此例如第四晶体管 T4、第七晶体管 T7、第十二晶体管 T12 等元件所发挥的降噪功能将在一定程度上被削弱。由此，可以针对每一级的输出端设置复位晶体管（第一极连接某一级的输出端、第二极连接第二电平电压线、栅极连接同一级序号的复位电路的第二端、同一级序号的移位寄存电路中的第二节点、或者不影响扫描信号输出的时钟信号）。而且，在
20 复位晶体管与上述第四晶体管 T4、第七晶体管 T7、第十二晶体管 T12 中的至少一个的功能一定程度重复的情况下，可以依照应用需求仅保留其中一种，或者将两种功能实现方式相互组合以实现更优的信号输出特性。比如对于图 5 所示的复用组，可以将第四晶体管 T4、第七晶体管 T7、第十二晶体管 T12 中任意一个或多个的第一极改接至控制晶体管 Ta 的第二端或者控制晶体管 Tb 的第二端，
25 也可以将第四晶体管 T4、第七晶体管 T7、第十二晶体管 T12 中任意一个或多个的数量设置为两个，以将两个晶体管的第一极分别唯一地连接至控制晶体管 Ta

的第二端和控制晶体管 Tb 的第二端，以更好地消除噪声。

在本文所提供的任一种扫描驱动电路的基础上，可以通过下述方式替代 m 级复位电路的设置，同时使扫描驱动电路的输出时序不变：将所述移位寄存电路配置为在接收到所连接的复位时钟信号线上的第一电平时停止扫描信号的输出。在移位寄存电路向所连接的输出端输出扫描信号时，其所连接的复位时钟信号线上为第一电平以外的电平。在一个示例中，所对应级序号均为奇数的移位寄存电路所连接的复位时钟信号线为第二时钟信号线，所对应级序号均为偶数的移位寄存电路所连接的复位时钟信号线为第一时钟信号线。

例如，可以在图 5 所示的电路结构的基础上，将第三晶体管 T3 栅极和第四晶体管 T4 的栅极改为与第二时钟信号线 CK2 相连。如图 6 所示，第二时钟信号线 CK2 在第三阶段③替代扫描信号 G_{n+1} 的作用，并能在第五阶段⑤替代扫描信号 G_{n+3} 的作用，同时不在第二阶段②影响扫描信号 G_n 的输出，也不会第四阶段④影响扫描信号 G_{n+2} 的输出，而仅是在第一阶段①中会对第一节点 PU 处的电位上拉造成阻碍，并且会基于第三阶段③中第一节点 PU 处为高电平相同的理由而使第一阶段①中第一节点 PU 处也为高电平。

可以看出的是，即便脱离于上述 m 级复位电路的设置，本公开实施例仍然能够仅仅基于移位寄存电路分别与多级输入电路和多级输出端的连接，实现移位寄存电路在多级之间复用，从而可以在保持信号输入输出关系的情况下简化电路结构，实现栅极驱动器结构的简化。

在本文所提供的任一种扫描驱动电路的基础上，可以按照下述方式改变输入电路和移位寄存电路的配置，同时使扫描驱动电路的输出时序不变：将输入电路配置为在第一端接收到扫描信号时使移位寄存电路进入第一模式，将移位寄存电路配置为在第一模式下接收到触发信号时进入第二模式，在第二模式下向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。此时，可将复位电路配置为在第一端接收到扫描信号时使移位寄存电路退出第二模式。退出后，如果移位寄存电路所连接的任一输入电路处于工作状态，则移位寄存电路返回第一模式；否则，移位寄存电路直接退出第二模式和第一模式，直至下一次进入第一模式。

在一个示例中，所述第一模式即上文所述的充电态，所述触发信号即上文所述的时钟信号的翻转，所述第二模式即上文所述的移位寄存电路在向所连接的 k 个输出端中的一个输出扫描信号时的工作状态。在又一示例中，所述移位

寄存电路中的输出电路单元等效于一个移位寄存器，所述第一模式即移位寄存器存储扫描信号所对应的电平的状态，所述触发信号即例如下降沿或者上升沿的触发移位寄存器输出所存储的扫描信号所对应的电平的状态。

可以看出的是，即便按照上述方式改变上述输入电路和移位寄存电路的配置，本公开实施例仍然能够基于移位寄存电路分别与多级输入电路和多级输出端的连接实现移位寄存电路在多级之间复用，从而可以在保持信号输入输出关系的情况下简化电路结构，实现栅极驱动器结构的简化。

基于同样的发明构思，本公开实施例还提供了一种扫描驱动电路的电路单元，所述扫描驱动电路包括 m 级输出端，所述电路单元包括一个移位寄存电路和 k 个输入电路，所述扫描驱动电路中的所述输入电路共有 m 级，所述 k 大于 1 且小于 m ；其中，

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1 且小于 $m+1$ 的任意整数；

所述移位寄存电路分别连接 k 个所述输出端，并与所述 k 个输入电路的第二端相连，所述 k 个输入电路与 k 个所述输出端之间具有相同的级序号组合，所述相同的级序号组合中的级序号均具有相同的奇偶性；

所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。

在一种可能的实现方式中，所述输入电路被配置为在第一端接收到扫描信号时，将第二端所连接的移位寄存电路切换至充电态；所述移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始，向所连接的 k 个输出端中的一个输出扫描信号。

在一种可能的实现方式中，所述电路单元还包括 k 个复位电路，所述扫描驱动电路中的所述复位电路共有 m 级；其中，

第 j 级的所述复位电路的第一端连接第 $j+1$ 级的所述输出端，所述 j 为大于 0 且小于 m 的任意整数；

所述移位寄存电路与所述 k 个复位电路的第二端相连，所述 k 个复位电路与 k 个所述输出端之间具有相同的级序号组合；

所述复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。

应理解的是，上文所述的任意一种复用组都可以视作本公开实施例的电路

单元的一种实现方式示例，而且上文中复用组在扫描驱动电路中的重复方式也已经详细说明，在此不再赘述。

可以看出，可以看出的是，基于移位寄存电路分别与多级输入电路和多级输出端的连接，本公开实施例可使一个移位寄存电路在多级之间复用，从而可以在保持信号输入输出关系的情况下简化电路结构，在现有 GOA 单元结构的基础上进一步减少栅极驱动器所需的晶体管数量，有利于简化栅极驱动器的结构、缩小栅极驱动器的设置空间，突破相关产品在边框窄化上的瓶颈。

基于同样的发明构思，本公开实施例还提供了一种阵列基板，该阵列基板包括上述任意一种的扫描驱动电路。基于扫描驱动电路所具有所占空间小的特点，阵列基板上的 GOA 区域可以设计的更小，有助于实现更窄的显示边框。

基于同样的发明构思，本公开实施例还提供了一种显示装置，该显示装置包括任一种阵列基板。本公开实施例中的显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。基于扫描驱动电路所具有的所占空间小的特点，显示装置可以具有更窄的显示边框。

以上所述仅为本公开的较佳实施例，并不用以限制本公开，凡在本公开的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

权 利 要 求 书

1、一种扫描驱动电路，其中，包括 m 级输出端、 m 级输入电路和 q 个移位寄存电路，所述 q 为小于整数 m 的正整数；其中，

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1
5 且小于 $m+1$ 的任意整数；

任一所述移位寄存电路分别连接 k 个所述输出端，并与 k 个所述输入电路的第二端相连， k 个所述输入电路与 k 个所述输出端之间具有相同的级序号组合，所述相同的级序号组合中的级序号均具有相同的奇偶性，所述 k 大于 1 且小于 m ；

所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描
10 信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。

2、根据权利要求 1 所述的扫描驱动电路，其中，所述输入电路被配置为在第一端接收到扫描信号时，将第二端所连接的移位寄存电路切换至充电态；所述移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始，向所连接的 k 个输出端中的一个输出扫描信号。
15

3、根据权利要求 1 所述的扫描驱动电路，其中，所述扫描驱动电路还包括 m 级复位电路；其中，

第 j 级的所述复位电路的第一端连接第 $j+1$ 级的所述输出端，所述 j 为大于
20 0 且小于 m 的任意整数；

分别连接 k 个所述输出端的移位寄存电路还与 k 个所述复位电路的第二端相连， k 个所述复位电路与 k 个所述输出端之间具有相同的级序号组合；

所述复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。
25

4、根据权利要求 1 所述的扫描驱动电路，其中，所述外部控制信号由 k 条控制信号线提供，所述移位寄存电路包括输出电路单元和 k 个晶体管，所述输出电路单元包括输出节点；其中，

所述输出电路单元被配置为能够向所述输出节点输出扫描信号；

所述 k 个晶体管的第一极均与所述输出节点相连；
30

所述k个晶体管的栅极各自连接所述k条控制信号线中的一条；
所述k个晶体管的第二极各自连接k个所述输出端中的一个；
其中，所述第一极和第二极分别是源极和漏极中的一个。

5 5、根据权利要求1所述的扫描驱动电路，其中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第一晶体管和第一电容，所述输入电路包括第二晶体管；其中，

所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第一节点连接k个所述输入电路的第二端；

10 在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第一晶体管的栅极连接第一时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第一晶体管的栅极连接第二时钟信号线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个；

15 所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

所述第二晶体管的栅极连接所述输入电路的第一端，第一极连接第一电平电压线或者所在输入电路的第一端，第二极连接所在输入电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

20 6、根据权利要求3所述的扫描驱动电路，其中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第一晶体管、第一电容、第三晶体管和第四晶体管，所述复位电路包括第五晶体管；其中，

25 所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第一节点连接k个所述输入电路的第二端；

在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第一晶体管的栅极连接第一时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第一晶体管的栅极连接第二时钟信号线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个；

30 中的一个；

所述第一电容的第一端连接所述第一节点，第二端连接所述输出节点；

所述第三晶体管的栅极连接 k 个所述复位电路的第二端，第一极连接所述第一节点，第二极连接第二电平电压线；

所述第四晶体管的栅极连接 k 个所述复位电路的第二端，第一极连接所述输出节点，第二极连接第二电平电压线；

5 所述第五晶体管的栅极和第一极均连接所在复位电路的第一端，第二极连接所在复位电路的第二端；

其中，所述第一极和第二极分别是源极和漏极中的一个。

7、根据权利要求 6 所述的扫描驱动电路，其中，所述输出电路单元还包括
10 第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管和第十一晶体管；其中，

所述第六晶体管的栅极连接第二节点，第一极连接所述第一节点，第二极连接第二电平电压线；

15 所述第七晶体管的栅极连接所述第二节点，第一极连接所述输出节点，第二极连接第二电平电压线；

所述第八晶体管的栅极连接第三节点，第二极连接所述第二节点；在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第八晶体管的第一极连接所述第二时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第八晶体管的第一极连接所述第一时钟信号线；

20 所述第九晶体管的栅极连接所述第一节点，第一极连接所述第二节点，第二极连接第二电平电压线；

所述第十晶体管的栅极和第一极均连接所述第八晶体管的第一极，第二极连接所述第三节点；

25 所述第十一晶体管的栅极连接所述第一节点，第一极连接所述第三节点，第二极连接第二电平电压线。

8、根据权利要求 1 至 7 中任一项所述的扫描驱动电路，其中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第十二晶体管，

30 在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第十二晶体管的栅极连接第二时钟信号线；在所对应的级序号组合中的级序号均为

偶数的移位寄存电路中，所述第十二晶体管的栅极连接第一时钟信号线；所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个；

所述第十二晶体管的第一极连接所述输出节点，所述第十二晶体管的第二极连接第二电平电压线；

其中，所述第一极和第二极分别是源极和漏极中的一个。

9、根据权利要求 5 至 7 中任一项所述的扫描驱动电路，其中，所述输出电路单元还包括第十三晶体管，

所述第一节点与 k 个所述输入电路的第二端之间经由所述第十三晶体管连接，所述第十三晶体管的第一极连接 k 个所述输入电路的第二端，所述第十三晶体管的第二极连接所述第一节点；

在所对应的级序号组合中的级序号均为奇数的移位寄存电路中，所述第十三晶体管的栅极连接所述第二时钟信号线；在所对应的级序号组合中的级序号均为偶数的移位寄存电路中，所述第十三晶体管的栅极连接所述第一时钟信号线。

10、一种如权利要求 1 至 9 中任一项所述的扫描驱动电路的驱动方法，其中，包括：

向所述扫描驱动电路施加所述外部控制信号，以在第 p 级的所述输入电路将所连接的移位寄存电路切换至充电态时，使该移位寄存电路从被切换至充电态之后的首个时钟信号的翻转时刻开始向第 p 级的所述输出端输出扫描信号；

其中，所述 p 为大于 0 且小于 $m+1$ 的任意整数。

11、一种扫描驱动电路的电路单元，其中，所述扫描驱动电路包括 m 级输出端，所述电路单元包括一个移位寄存电路和 k 个输入电路，所述扫描驱动电路中的所述输入电路共有 m 级，所述 k 大于 1 且小于 m ；其中，

第 i 级的所述输入电路的第一端连接第 $i-1$ 级的所述输出端，所述 i 为大于 1 且小于 $m+1$ 的任意整数；

所述移位寄存电路分别连接 k 个所述输出端，并与所述 k 个输入电路的第二端相连，所述 k 个输入电路与 k 个所述输出端之间具有相同的级序号组合，

所述相同的级序号组合中的级序号均具有相同的奇偶性；

所述移位寄存电路被配置为能够向所连接的 k 个输出端中的一个输出扫描信号，向哪一个所述输出端输出扫描信号由外部控制信号指示。

5 12、根据权利要求 11 所述的电路单元，其中，所述输入电路被配置为在第一端接收到扫描信号时，将第二端所连接的移位寄存电路切换至充电态；所述移位寄存电路被配置为从被切换至充电态之后的首个时钟信号的翻转时刻开始，向所连接的 k 个输出端中的一个输出扫描信号。

10 13、根据权利要求 11 所述的电路单元，其中，所述电路单元还包括 k 个复位电路，所述扫描驱动电路中的所述复位电路共有 m 级；其中，

第 j 级的所述复位电路的第一端连接第 $j+1$ 级的所述输出端，所述 j 为大于 0 且小于 m 的任意整数；

15 所述移位寄存电路与所述 k 个复位电路的第二端相连，所述 k 个复位电路与 k 个所述输出端之间具有相同的级序号组合；

所述复位电路被配置为在第一端接收到扫描信号时使第二端所连接的移位寄存电路停止扫描信号的输出。

20 14、根据权利要求 11 所述的电路单元，其中，所述外部控制信号由 k 条控制信号线提供，所述移位寄存电路包括输出电路单元和 k 个晶体管，所述输出电路单元包括输出节点；其中，

所述输出电路单元被配置为能够向所述输出节点输出扫描信号；

所述 k 个晶体管的第一极均与所述输出节点相连；

所述 k 个晶体管的栅极各自连接所述 k 条控制信号线中的一条；

25 所述 k 个晶体管的第二极各自连接 k 个所述输出端中的一个；

其中，所述第一极和第二极分别是源极和漏极中的一个。

30 15、根据权利要求 11 所述的电路单元，其中，所述移位寄存电路包括输出电路单元，所述输出电路单元包括输出节点；所述输出电路单元还包括第一晶体管 and 第一电容，所述输入电路包括第二晶体管；其中，

所述第一晶体管的栅极连接第一节点，第二极连接所述输出节点；所述第

一节点连接所述 k 个输入电路的第二端;

在所对应的级序号组合中的级序号均为奇数的所述移位寄存电路中, 所述第一晶体管的第一极连接第一时钟信号线; 在所对应的级序号组合中的级序号均为偶数的所述移位寄存电路中, 所述第一晶体管的第一极连接第二时钟信号线; 所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个;

所述第一电容的第一端连接所述第一节点, 第二端连接所述输出节点;

所述第二晶体管的栅极连接所述输入电路的第一端, 第一极连接第一电平电压线或者所在输入电路的第一端, 第二极连接所在输入电路的第二端;

其中, 所述第一极和第二极分别是源极和漏极中的一个。

16、根据权利要求 13 所述的电路单元, 其中, 所述移位寄存电路包括输出电路单元, 所述输出电路单元包括输出节点; 所述输出电路单元还包括第一晶体管、第一电容、第三晶体管和第四晶体管, 所述复位电路包括第五晶体管; 其中,

所述第一晶体管的栅极连接第一节点, 第二极连接所述输出节点; 所述第一节点连接所述 k 个输入电路的第二端;

在所对应的级序号组合中的级序号均为奇数的所述移位寄存电路中, 所述第一晶体管的第一极连接第一时钟信号线; 在所对应的级序号组合中的级序号均为偶数的所述移位寄存电路中, 所述第一晶体管的第一极连接第二时钟信号线; 所述第一时钟信号线和所述第二时钟信号线分别提供正相时钟信号和反相时钟信号中的一个;

所述第一电容的第一端连接所述第一节点, 第二端连接所述输出节点;

所述第三晶体管的栅极连接所述 k 个复位电路的第二端, 第一极连接所述第一节点, 第二极连接第二电平电压线;

所述第四晶体管的栅极连接所述 k 个复位电路的第二端, 第一极连接所述输出节点, 第二极连接第二电平电压线;

所述第五晶体管的栅极和第一极均连接所在复位电路的第一端, 第二极连接所在复位电路的第二端;

其中, 所述第一极和第二极分别是源极和漏极中的一个。

17、一种阵列基板，其中，包括如权利要求 1 至 9 中任一项所述的扫描驱动电路。

18、一种显示装置，其中，包括如权利要求 17 所述的阵列基板。

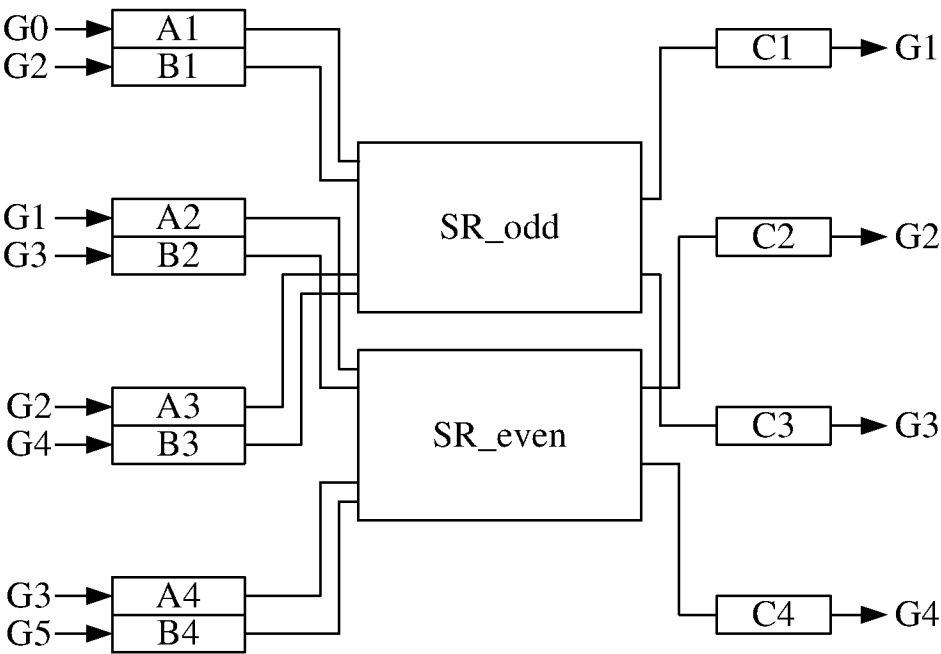


图 1

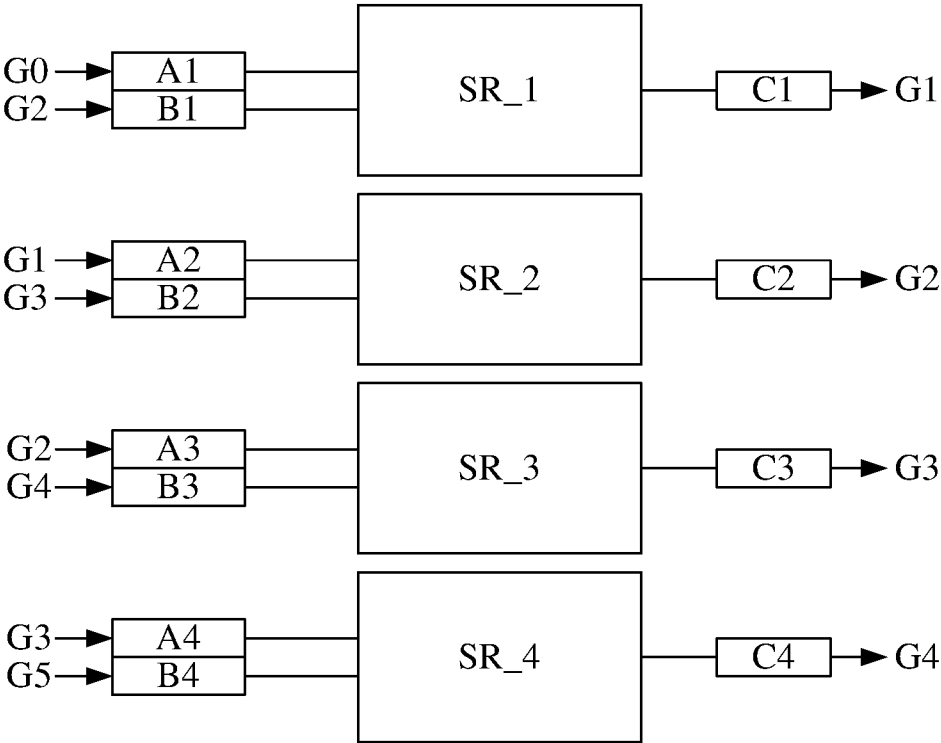


图 2

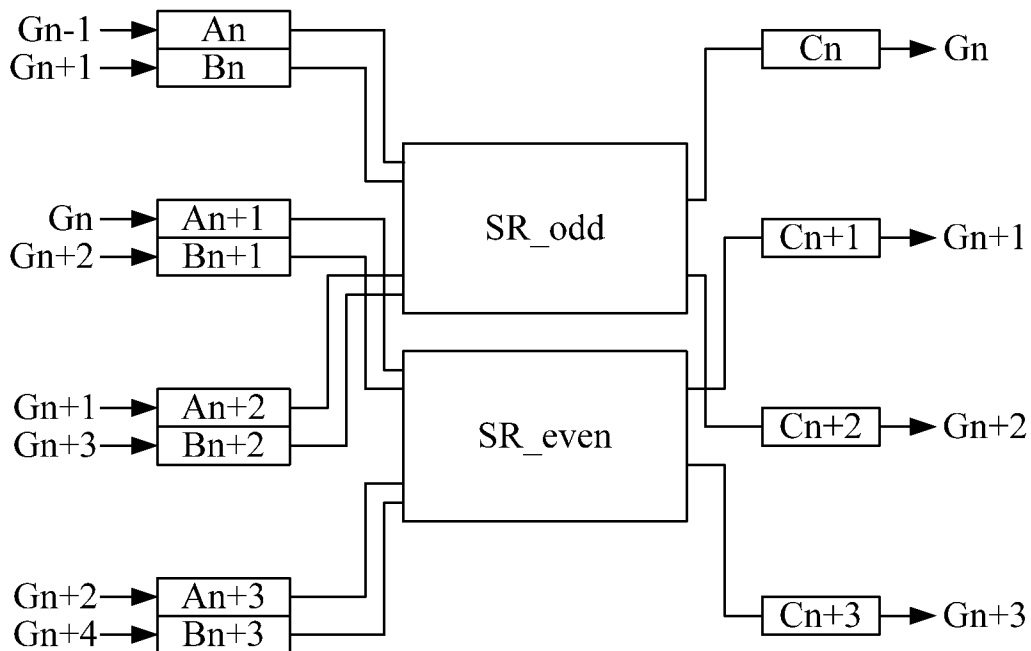


图 3

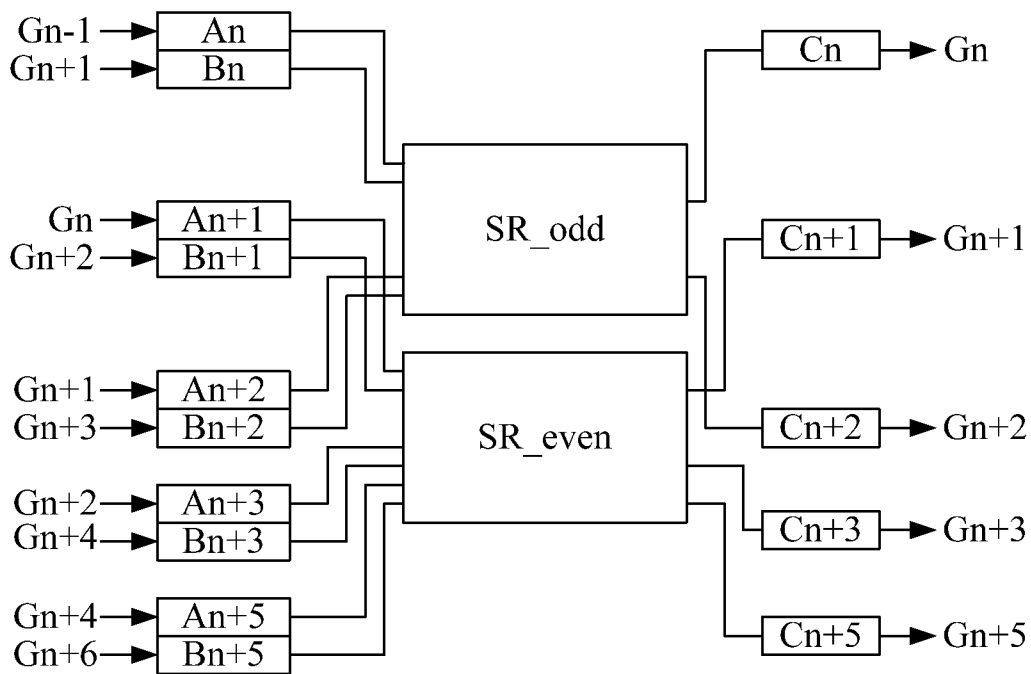


图 4

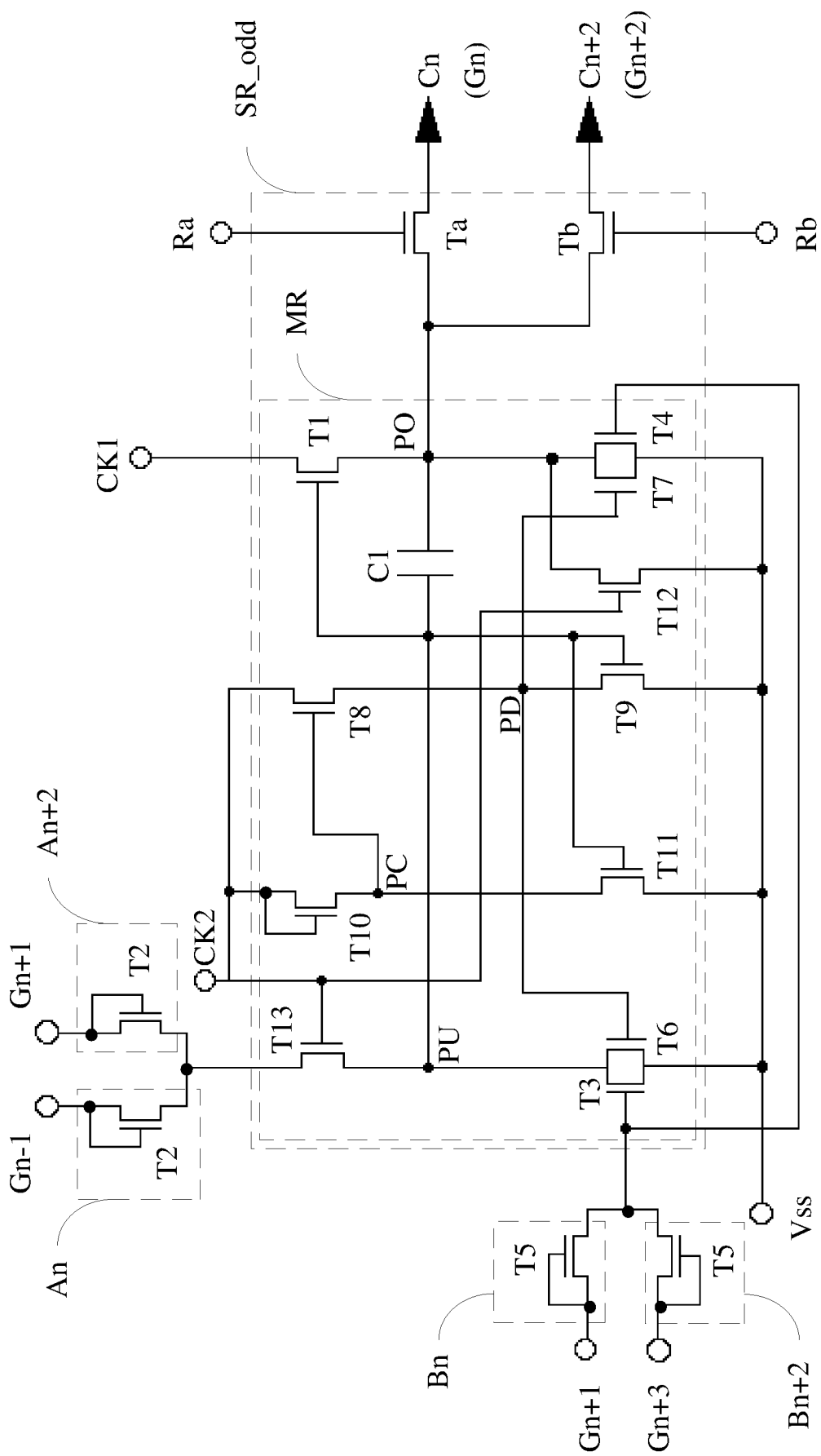


图 5

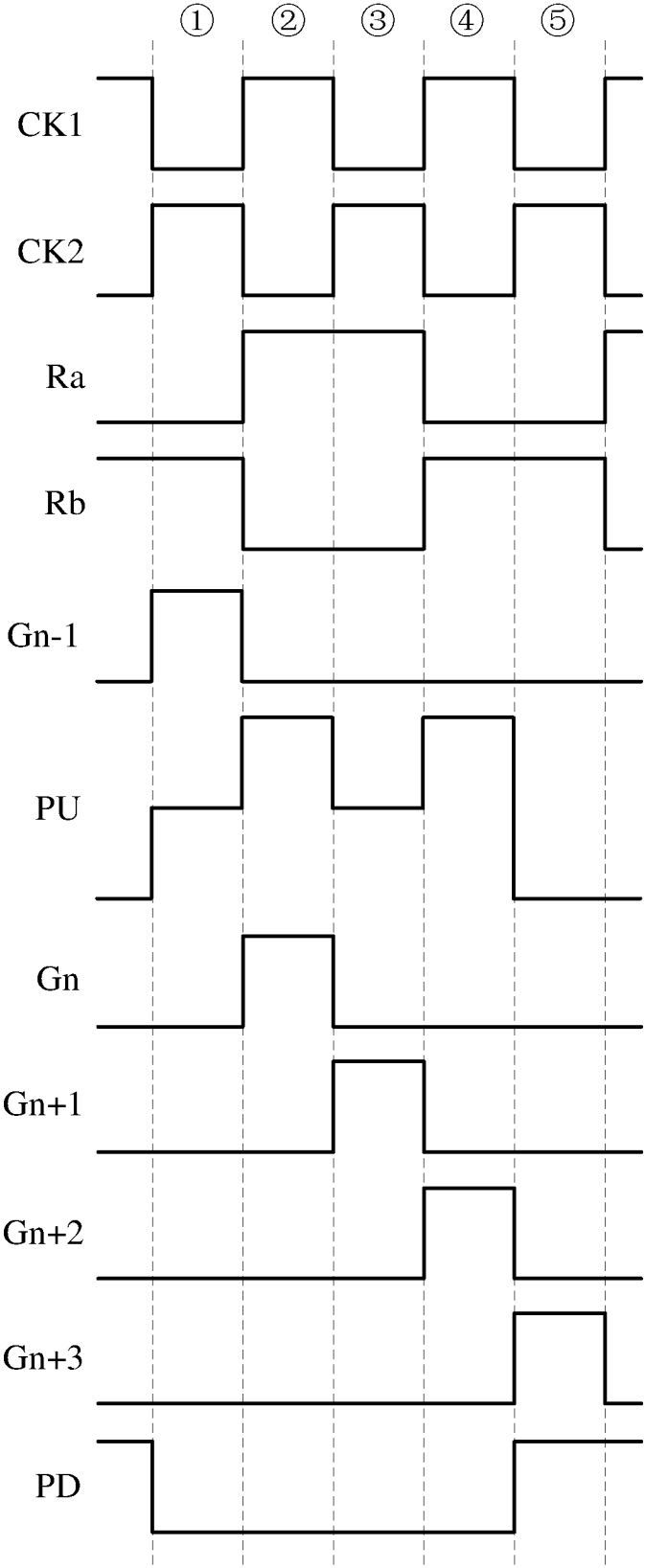


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/111183

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 显示, 级联, 多级, 移位, 移动, 寄存器, 寄入器, 驱动, 栅极, 栅线, 闸极, 扫描, 驱动, 晶体管, 串接, 串联, 输出, 输入, display, panel, shift+, mov+, step+, circulat+, register?, driv+, gate, scan+, sweep+, input, output, driv+, series, serial

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106898292 A (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 27 June 2017 (2017-06-27) description, paragraphs [0004]-[0107], figures 1-6, and claims 1-10	1-18
A	CN 104732939 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 24 June 2015 (2015-06-24) description, paragraphs [0052]-[0085], figures 1-6, and claims 1-12	1-18
A	CN 105761663 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD. ET AL.) 13 July 2016 (2016-07-13) entire document	1-18
A	CN 105895046 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 24 August 2016 (2016-08-24) entire document	1-18
A	US 2005104836 A1 (LIN, J.R.) 19 May 2005 (2005-05-19) entire document	1-18
A	KR 20080001403 A (LG PHILIPS LCD CO., LTD.) 03 January 2008 (2008-01-03) entire document	1-18

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 January 2018

Date of mailing of the international search report

13 February 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/111183

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106898292	A	27 June 2017	None			
CN	104732939	A	24 June 2015	WO	2016155205	A1	06 October 2016
				US	2017039968	A1	09 February 2017
CN	105761663	A	13 July 2016	None			
CN	105895046	A	24 August 2016	WO	2017219658	A1	28 December 2017
US	2005104836	A1	19 May 2005	TW	200518014	A	01 June 2005
				JP	2005149691	A	09 June 2005
				JP	4757451	B2	24 August 2011
				US	7292218	B2	06 November 2007
				TW	1263191	B	01 October 2006
KR	20080001403	A	03 January 2008	KR	101255312	B1	15 April 2013

A. 主题的分类 G09G 3/20 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, WPI, EPODOC: 显示, 级联, 多级, 移位, 移动, 寄存器, 寄存器, 驱动, 栅极, 栅线, 闸极, 扫描, 驱动, 晶体管, 串接, 串联, 输出, 输入 display, panel, shift+, mov+, step+, circulat+, register?, driv+, gate, scan+, sweep+, input, output, driv+, series, serial																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106898292 A (合肥鑫晟光电科技有限公司 等) 2017年 6月 27日 (2017 - 06 - 27) 说明书第[0004]-[0107]段、附图1-6、权利要求1-10</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 104732939 A (京东方科技集团股份有限公司 等) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0052]-[0085]段、附图1-6、权利要求1-12</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 105761663 A (上海中航光电子有限公司 等) 2016年 7月 13日 (2016 - 07 - 13) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 105895046 A (京东方科技集团股份有限公司 等) 2016年 8月 24日 (2016 - 08 - 24) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>US 2005104836 A1 (LIN, JAN RUEI) 2005年 5月 19日 (2005 - 05 - 19) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>KR 20080001403 A (LG PHILIPS LCD CO., LTD.) 2008年 1月 3日 (2008 - 01 - 03) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106898292 A (合肥鑫晟光电科技有限公司 等) 2017年 6月 27日 (2017 - 06 - 27) 说明书第[0004]-[0107]段、附图1-6、权利要求1-10	1-18	A	CN 104732939 A (京东方科技集团股份有限公司 等) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0052]-[0085]段、附图1-6、权利要求1-12	1-18	A	CN 105761663 A (上海中航光电子有限公司 等) 2016年 7月 13日 (2016 - 07 - 13) 全文	1-18	A	CN 105895046 A (京东方科技集团股份有限公司 等) 2016年 8月 24日 (2016 - 08 - 24) 全文	1-18	A	US 2005104836 A1 (LIN, JAN RUEI) 2005年 5月 19日 (2005 - 05 - 19) 全文	1-18	A	KR 20080001403 A (LG PHILIPS LCD CO., LTD.) 2008年 1月 3日 (2008 - 01 - 03) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
PX	CN 106898292 A (合肥鑫晟光电科技有限公司 等) 2017年 6月 27日 (2017 - 06 - 27) 说明书第[0004]-[0107]段、附图1-6、权利要求1-10	1-18																					
A	CN 104732939 A (京东方科技集团股份有限公司 等) 2015年 6月 24日 (2015 - 06 - 24) 说明书第[0052]-[0085]段、附图1-6、权利要求1-12	1-18																					
A	CN 105761663 A (上海中航光电子有限公司 等) 2016年 7月 13日 (2016 - 07 - 13) 全文	1-18																					
A	CN 105895046 A (京东方科技集团股份有限公司 等) 2016年 8月 24日 (2016 - 08 - 24) 全文	1-18																					
A	US 2005104836 A1 (LIN, JAN RUEI) 2005年 5月 19日 (2005 - 05 - 19) 全文	1-18																					
A	KR 20080001403 A (LG PHILIPS LCD CO., LTD.) 2008年 1月 3日 (2008 - 01 - 03) 全文	1-18																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2018年 1月 26日		国际检索报告邮寄日期 2018年 2月 13日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 张鹏 电话号码 (86-10) 53962585																					

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/111183

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106898292	A	2017年 6月 27日	无			
CN	104732939	A	2015年 6月 24日	WO	2016155205	A1	2016年 10月 6日
				US	2017039968	A1	2017年 2月 9日
CN	105761663	A	2016年 7月 13日	无			
CN	105895046	A	2016年 8月 24日	WO	2017219658	A1	2017年 12月 28日
US	2005104836	A1	2005年 5月 19日	TW	200518014	A	2005年 6月 1日
				JP	2005149691	A	2005年 6月 9日
				JP	4757451	B2	2011年 8月 24日
				US	7292218	B2	2007年 11月 6日
				TW	1263191	B	2006年 10月 1日
KR	20080001403	A	2008年 1月 3日	KR	101255312	B1	2013年 4月 15日

表 PCT/ISA/210 (同族专利附件) (2009年7月)