

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5774739号
(P5774739)

(45) 発行日 平成27年9月9日(2015.9.9)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl. F I
G06F 12/06 (2006.01) G06F 12/06 521B
 G06F 12/06 525A

請求項の数 39 外国語出願 (全 20 頁)

(21) 出願番号	特願2014-31055 (P2014-31055)	(73) 特許権者	595020643
(22) 出願日	平成26年2月20日 (2014.2.20)		クアアルコム・インコーポレイテッド
(62) 分割の表示	特願2009-532528 (P2009-532528) の分割		QUALCOMM INCORPORATED
原出願日	平成19年10月9日 (2007.10.9)		アメリカ合衆国、カリフォルニア州 92
(65) 公開番号	特開2014-139798 (P2014-139798A)		121-1714、サン・ディエゴ、モア
(43) 公開日	平成26年7月31日 (2014.7.31)		ハウス・ドライブ 5775
審査請求日	平成26年3月20日 (2014.3.20)	(74) 代理人	100108855
(31) 優先権主張番号	11/548,430		弁理士 蔵田 昌俊
(32) 優先日	平成18年10月11日 (2006.10.11)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 ステータスレジスタの同時読み取り

(57) 【特許請求の範囲】

【請求項1】

ステータス情報読み取りオペレーションの間に、

NビットデータバスのNビット中のMビットの別個のサブセットを用いて、複数の並列メモリデバイスの各々の対応するステータス情報を駆動するように、そして、

前記Nビットデータバスの残りのN-Mビットのサブセットをトライステートするように、

前記Nビットデータバスを共有する前記複数の並列メモリデバイスのそれぞれを構成することと、

前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスから前記対応するステータス情報を読み取ることと、

を備える、

方法。

【請求項2】

前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスから前記対応するステータス情報を読み取るとは、対応するREADコマンドが続く、対応する固有のバンク選択ビット符号化を用いた対応するモードレジスタセット(MRS)コマンドを、前記複数の並列メモリデバイスの各々に対して、同時に発行することを備える、請求項1に記載の方法。

【請求項3】

前記対応する固有のバンク選択ビット符号化は、2' b 1 0である、請求項2に記載の方法。

【請求項4】

前記複数の並列メモリデバイスから読み取られる予定である前記対応するステータス情報は、対応するアドレスバス値で選択される、請求項2に記載の方法。

【請求項5】

前記Nビットデータバスの前記Nビット中のMビットの前記別個のサブセットに対応する、0、1、あるいは、複数のデータストロブ(DQS)信号を駆動するように、

そして、前記Nビットデータバスの残りのN-Mビットのサブセットに対応する残りのDQS信号をトライステートするように、前記複数の並列メモリデバイスの各々を構成すること、

をさらに備える、請求項1に記載の方法。

【請求項6】

前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスから前記対応するステータス情報を読み取ることは、2つ以上のデータ転送サイクルの間に、前記複数の並列メモリデバイスの各々から前記対応するステータス情報を連続的に読み取ることを備えており、また、前記複数の並列メモリデバイスの少なくとも1つのメモリデバイスは、シリアル化され、連続的に、前記Nビット中のMビットの別個のサブセットを用いて、部分の対応するステータス情報を駆動し、そして、前記NビットデータバスのN-Mビットの残りのサブセットをトライステートする、請求項1に記載の方法。

【請求項7】

前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスから前記対応するステータス情報を読み取ることは、前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスの各メモリデバイス上で、対応するメモリアレイに関連づけられた温度情報を読み取ることを備える、請求項1に記載の方法。

【請求項8】

前記ステータス情報読み取りオペレーションの間に、前記複数の並列メモリデバイスから前記ステータス情報を読み取ることは、前記複数の並列メモリデバイスの各々上で対応するレジスタを読み取ることを備える、請求項1に記載の方法。

【請求項9】

前記Nビットデータバスの前記Nビット中のMビットの前記別個のサブセットを用いて前記対応するステータス情報を駆動するように前記複数の並列メモリデバイスの各々を構成することは、レジスタにおける構成ビットを設定することを備える、請求項1に記載の方法。

【請求項10】

前記Nビットデータバスの前記Nビットの中のMビットの前記別個のサブセットを用いて前記対応するステータス情報を駆動するように前記複数の並列メモリデバイスの各々を構成することは、各メモリデバイスにおいて、あらかじめ決定された論理レベルに、対応する構成ピンを結びつけることを備える、請求項1に記載の方法。

【請求項11】

前記Nビットデータバスが、前記Mビットのオーバーラップしない複数のサブセットを具備し、前記Mビットのオーバーラップしない前記複数のサブセットの各々が、前記複数の並列メモリデバイスの1つに対応する、請求項1に記載の方法。

【請求項12】

複数のアドレス可能データストレージロケーション、前記複数のアドレス可能データストレージロケーションの内の1つの読み取りアクセスは、NビットデータインタフェースのすべてのNビットを用いてデータを駆動するよう構成される、と、

1つまたは複数のステータス情報のロケーション、特定のステータス情報のロケーションの読み取りアクセスは、前記Nビットデータインタフェースの前記Nビット中のMビットの別個のサブセットを用いてステータス情報を駆動する、と、

10

20

30

40

50

を具備するメモリデバイスであって、

ここにおいて、前記特定のステータス情報ロケーションの前記読み取りアクセスの間に、前記メモリデバイスは、前記NビットデータインタフェースのN - Mビットの残りのサブセットをトライステートするように構成される、メモリデバイス。

【請求項13】

複数のアドレス可能データストレージロケーション、前記複数のアドレス可能データストレージロケーションの内の1つの読み取りアクセスは、NビットデータインタフェースのすべてのNビットを用いてデータを駆動するよう構成される、と、

1つまたは複数のステータス情報のロケーション、前記1つまたは複数のステータス情報のロケーションの特定のステータス情報ロケーションの読み取りアクセスは、前記Nビット中のMビットの別個のサブセットを用いて対応するステータス情報を駆動するように構成される、と、

10

を具備するメモリデバイスであって、

ここにおいて、前記特定のステータス情報ロケーションの前記読み取りアクセスの間に、前記メモリデバイスは、前記Nビットデータインタフェース中のMビットの前記別個のサブセットに対応する1つまたは複数のデータストロブ(DQS)信号を駆動し、および、前記Nビットデータインタフェースの残りのN - Mビットのサブセットをトライステートするように構成される、

メモリデバイス。

【請求項14】

20

前記特定のステータス情報ロケーションの前記読み取りアクセスの間に、前記メモリデバイスは、前記NビットデータインタフェースのN - Mビットの残りのサブセットに対応するDQS信号をトライステートするように構成される、請求項13に記載のメモリデバイス。

【請求項15】

前記1つまたは複数のステータス情報のロケーションは、1つまたは複数のレジスタを備える、請求項13に記載のメモリデバイス。

【請求項16】

メモリデバイスであって、

複数のアドレス可能データストレージロケーション、前記複数のアドレス可能データストレージロケーションの内の1つの読み取りアクセスは、NビットデータインタフェースのすべてのNビットを用いてデータを駆動するよう構成される、と、

30

1つまたは複数のステータス情報ロケーション、前記1つまたは複数のステータス情報ロケーションの特定のステータス情報ロケーションの読み取りアクセスは、前記Nビット中のMビットの別個のサブセットを用いて対応するステータス情報を駆動するよう構成され、前記特定のステータス情報ロケーションの前記読み取りアクセスの間に、前記メモリデバイスは、前記NビットデータインタフェースのN - Mビットの残りのサブセットをトライステートするように構成される、と、

メモリアレイ、ここにおいて、前記1つまたは複数のステータス情報ロケーションは、前記メモリアレイに関連づけられた温度センサの出力を記憶するよう構成される、と、

40

を備える、メモリデバイス。

【請求項17】

前記NビットデータインタフェースのMビットの前記別個のサブセットを特定する構成ビットを保存しているレジスタ、をさらに備える請求項16に記載のメモリデバイス。

【請求項18】

前記Mビットの別個のサブセットを特定する構成ピンをさらに備える、請求項16に記載のメモリデバイス。

【請求項19】

複数のアドレス可能データストレージロケーション、前記複数のアドレス可能データストレージロケーションの内の1つの読み取りアクセスは、Nビットデータインタフェース

50

のすべてのNビットを用いてデータを駆動するよう構成される、と、

1つまたは複数のステータス情報ロケーション、前記1つまたは複数のステータス情報ロケーションの特定のステータス情報ロケーションの読み取りアクセスは、前記Nビット中のMビットの別個のサブセットを用いて対応するステータス情報を駆動し、前記NビットデータインタフェースのN-Mビットの残りのサブセットをトライステートするように構成される、と、

前記複数のアドレス可能データストレージロケーションの各々の前記対応するステータス情報をシリアル化することと、前記Mビットの別個のサブセットを用いて、バースト形態で、前記複数のアドレス可能データストレージロケーションの各々の対応する部分ステータス情報を連続的に駆動することと、のために構成されるコントローラと、

10

を備えるメモリデバイス。

【請求項20】

Nビットデータバスに対してパラレルに接続された2つ以上のメモリデバイス、なお、前記2つ以上のメモリデバイスの各々は、ステータス読み取りオペレーションの間に、前記NビットデータバスのNビット中のMビットの別個のサブセットを用いて、前記2つ以上のメモリデバイスの各々の対応するステータス情報を駆動することと、前記NビットデータバスのN-Mビットの残りのサブセットをトライステートすることと、のために構成される、と；

前記2つ以上のメモリデバイスに接続されており、前記ステータス読み取りオペレーションの間、前記2つ以上のメモリデバイスから前記対応するステータス情報を同時に読み取るよう構成される、コントローラと；

20

を備えるメモリサブシステム。

【請求項21】

前記ステータス読み取りオペレーションは、READコマンドが続く、固有のバンク選択ビット符号化を用いたモードレジスタセット(MRS)コマンドを備える、請求項20に記載のメモリサブシステム。

【請求項22】

前記固有のバンク選択ビット符号化は、2'b10である、請求項21に記載のメモリサブシステム。

【請求項23】

30

アドレスバス値は、前記2つ以上のメモリデバイスから読み取られるべき前記対応するステータス情報を選択するよう構成される、請求項20に記載のメモリサブシステム。

【請求項24】

前記2つ以上のメモリデバイスのうちの少なくとも1つは、前記対応するステータス情報をシリアル化することと、前記ステータス読み取りオペレーションの間に、バースト形態で前記Mビットの別個のサブセットを用いて前記対応するステータス情報の部分ステータス情報を連続的に駆動することと、のために構成される、請求項20に記載のメモリサブシステム。

【請求項25】

前記2つ以上のメモリデバイスは、前記Mビットの別個のサブセットに関連づけられた0、1、あるいは複数の対応するデータストロブ(DQS)信号を駆動することと、前記ステータス読み取りオペレーションの間に残りのDQS信号をトライステートすることと、のためにさらに構成される、請求項20に記載のメモリサブシステム。

40

【請求項26】

Nビット双方向データバス、制御信号出力、および、制御回路を備え、前記制御回路は、ステータス情報読み取りオペレーションの間に、複数のメモリデバイスの各々を、

前記Nビット双方向データバスのNビット中のMビットの別個のサブセットを用いて前記複数のメモリデバイスの各々の対応するステータス情報を駆動することと、

前記Nビット双方向データバスのN-Mビットの残りのサブセットをトライステート

50

することと、

前記複数のメモリデバイスから前記対応するステータス情報を読み取ることと、のために構成する、メモリコントローラ。

【請求項 27】

バンク選択出力信号、をさらに備えており、なお、前記制御回路は、前記対応するステータス情報を読み取るために、前記複数のメモリデバイスに対して、対応する READ コマンドが続く、対応する固有のバンク選択ビット符号化を用いた対応するモードレジスタセット (MRS) コマンドを同時に発行するよう構成される、請求項 26 に記載のメモリコントローラ。

【請求項 28】

前記対応する固有のバンク選択ビット符号化は、2' b 10 である、請求項 27 に記載のメモリコントローラ。

【請求項 29】

アドレス出力信号、をさらに備えており、なお、前記対応する MRS コマンドの間のアドレスパス値は、前記複数のメモリデバイスから読み取られる予定である、前記対応するステータス情報を選択する、請求項 27 に記載のメモリコントローラ。

【請求項 30】

$\log_2 N$ 双方向データストロブ (DQS) 信号、をさらに備えており、

なお、前記制御回路は、前記複数のメモリデバイスを、

前記 N ビット双方向データバスの前記 N ビット中の M ビットの前記別個のサブセット
に対応する、0、1、あるいは複数の $\log_2 N$ 双方向 DQS 信号を駆動することと、

前記残りのサブセットに対応する残りの $\log_2 N$ 双方向 DQS 信号をトライステート
することと、

のために構成するようにさらに操作される、請求項 26 に記載のメモリコントローラ。

【請求項 31】

前記制御回路は、2 つ以上のデータ転送サイクルにおいて、前記複数のメモリデバイスの各々から前記対応するステータス情報を連続的に読み取ることによって、前記複数のメモリデバイスから前記対応するステータス情報を読み取るよう構成され、また、前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスは、前記対応するステータス情報をシリアル化し、M ビットの前記別個のサブセットを用いて、前記対応するステータス情報の部分ステータス情報を連続的に駆動するよう構成される、請求項 26 に記載のメモリコントローラ。

【請求項 32】

前記制御回路は、前記ステータス情報読み取りオペレーションの間に、前記複数のメモリデバイスの各メモリデバイス上で、対応するメモリアレイに関連づけられた温度情報を読み取るよう構成される、請求項 26 に記載のメモリコントローラ。

【請求項 33】

前記制御回路は、前記ステータス情報読み取りオペレーションの間に、前記複数のメモリデバイスの各メモリデバイス上で対応するレジスタを読み取るよう構成される、請求項 26 に記載のメモリコントローラ。

【請求項 34】

前記制御回路は、前記複数のメモリデバイスの各々の上で、対応するレジスタにおいて構成ビットを設定するよう構成される、請求項 26 に記載のメモリコントローラ。

【請求項 35】

前記複数の並列メモリデバイス上のシンクロナス READ オペレーションを実行することが後に続く、前記複数の並列メモリデバイス上でバンク選択信号の固有の符号化で、モードレジスタセット (MRS) オペレーションを実行することと、

前記対応するステータス情報を同時に読み取ることと、

をさらに備える、請求項 1 に記載の方法。

【請求項 36】

10

20

30

40

50

バンク選択信号の前記固有の符号化は、2' b 1 0である、請求項35に記載の方法。

【請求項37】

読み取られる予定である前記対応するステータス情報は、前記MRSオペレーションの間に、アドレスバス上の値によって選択される、請求項35に記載の方法。

【請求項38】

前記対応するステータス情報を同時に読み取るとは、前記シンクロナスREADオペレーションについて定義された信号タイミングにしたがって、前記対応するステータス情報を読み取るとを備える、請求項35に記載の方法。

【請求項39】

前記シンクロナスREADオペレーションについて定義された前記信号タイミングにしたがって、前記対応するステータス情報を読み取るとは、バーストにおいて前記対応するステータス情報を連続的に読み取るとを備える、請求項38に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、メモリデバイス(memory devices)の分野に関し、具体的には、2つ以上のメモリデバイスからのステータス情報(status information)の同時読み取り(concurrent read)に関する。

【背景技術】

【0002】

ポータブル電子デバイス(portable electronic devices)は、現代の生活にとって、ユビキタス携帯品(ubiquitous accoutrements)となった。ポータブル電子デバイスにおける2つの絶え間のない傾向(relentless trends)は、増大される機能性(increased functionality)と、減少するサイズ(decreased size)である。増大される機能性は、より高いコンピューティングパワー(computing power)と、より多くのメモリと、を要求する。ポータブル電子デバイスの減少するサイズは、より小さいバッテリーはより少ない電力(power)を保存し、届けることができるので、電力消費(power consumption)にプレミアムを付ける(places a premium on)。このように、パフォーマンス(performance)を増やし電力消費を減らす進歩(advances)は、一般的に、好都合(advantageous)であり、そして特に、ポータブル電子デバイスにとっては好都合である。

20

【0003】

ほとんどのポータブル電子デバイスは、プロセッサあるいは他のコントローラのためのインストラクション(instructions)およびデータを保存するために、動的ランダムアクセスメモリ(Dynamic Random Access Memory) (DRAM)のいくつかの形態を含んでいる。DRAMは、利用可能な最もコスト効率のよいソリッドステートメモリ技術(the most cost-effective solid-state memory technology available)である。シンクロナスDRAM(Synchronous DRAM) (SDRAM)は、クロック端(clock edges)に、すべての制御信号およびデータ転送サイクル(data transfer cycles)を位置合わせすること(aligning)によって、従来のDRAMよりも、簡略化されたインタフェース設計(simplified interface design)と、改良されたパフォーマンス(improved performance)と、の両方を提供する。ダブルデータレート(double data rate) (DDR) SDRAMは、いまだにより高いパフォーマンスを提供しながら、クロックの立ち上がり端および立下り端(rising and falling edges of the clock)の両方に関するデータ転送を可能にする。

30

40

【0004】

すべてのDRAMオペレーション(DRAM operation)の基本的な態様は、各ビットのポジション(each bit position)においてデータを保存している容量性の電荷(capacitive charge)がデータの状態(data state)を保存する(preserve)ために周期的に更新され(renewed)なくてはならない、ということである。DRAMアレイは、行(row)によってリフレッシュされ(refreshed)ており、いくつかのSDRAMデバイスは、同時に、マルチDRAMバンク(multiple DRAM banks)において同じ行をリフレッシュすることができる。DRA

50

Mアレイにおける各行は、指定されたリフレッシュ期間(a specified refresh period)内で、リフレッシュされなくてはならない。DRAMの行は、リフレッシュ期間毎に1度、連続的に(sequentially)リフレッシュされることができ、バーストリフレッシュ(burst refresh)として知られている。しかしながら、このことは、行のすべてを通して循環する(cycle)のに必要な時間の間、DRAMアレイへのアクセスを妨げ、そして、著しいパフォーマンスの劣化(significant performance degradation)を負わせる。あるいは、各行を対象としたリフレッシュサイクルは、読み取りおよび書き込みのデータ転送を割り込ませて(interspersed)、リフレッシュ期間にわたって均一に分散される(spread)ことができる。これは、分散リフレッシュ(distributed refresh)として知られている。それがパフォーマンスのペナルティ(performance penalty)をさほど課していないので、分散リフレッシュは、より一般にインプリメントされる(implemented)。

10

【0005】

2004年4月27日に出願され、本発明の譲受人に譲渡された、シリアル番号11/115,915の、同時係属中の米国特許出願「指定自動リフレッシュ同期化(Directed Autorefresh Synchronization)」は、その全体において、参照によってここに組み込まれている。本願は、自動リフレッシュのオプションを開示しており、ここでは、リフレッシュ行カウンタ(refresh row counter)は、SDRAMデバイスにおいて保持されている(maintained)。自動リフレッシュのモードにおいては、プロセッサのようなメモリコントローラ(memory controller)は、周期的なリフレッシュコマンド(periodic refresh commands)のみを供給しなければならず、SDRAMデバイスは、リフレッシュ行アドレスを順序

20

【0006】

全体の必要とされるリフレッシュ期間(total required refresh period)、そして、したがって、分散されたリフレッシュオペレーション(distributed refresh operation)におけるリフレッシュサイクルの間隔(spacing)は、DRAMアレイダイ(DRAM array die)の温度に依存する。経験に基づく一般的な法則として、リフレッシュレート(refresh rate)は、DRAMアレイダイ温度において10度の増加ごとに、2倍にされなくてはならない。SDRAMデバイスについて指定されるリフレッシュ期間は、典型的に、DRAMによってその最も高い予期されるオペレーション温度(its highest anticipated operation temperature)において、必要とされるものである。したがって、DRAMアレイダイがより低い温度であろうとも、リフレッシュ期間は、より長く、また、分散されたリフレッシュサイクルは、さらに間隔をあけられるかもしれない、このようにして、DRAM読み取りおよび書き込みアクセスに関するそれらの影響を減らしている。このことは、不必要なリフレッシュ動作(unnecessary refresh activity)を除去することによって、電力消費を減らし、且つプロセッサのパフォーマンスを改善するであろう。

30

【0007】

2005年5月13日に出願され、本発明の譲受人に譲渡された、シリアル番号11/128,829の、同時係属中の米国特許出願「揮発性メモリについてのレジスタ読み取り(Register Read for Volatile Memory)」は、その全体において、参照によってここに組み込まれている。本特許出願は、温度センサの出力を読み取るために、温度センサを有しているSDRAMデバイスを開示しており、また、タイミングおよびオペレーションにおいて、データ読み取りオペレーションに似ているステータスレジスタ読み取り(Status Register Read)(SRR)オペレーションを定義している。SRRコマンド(SRR command)は、2'b10に駆動されるバンク選択ライン(bank select lines)を備えたモードレジスタセット(Mode Register Set)(MRS)コマンドとして、ここにおいて定義され、READコマンド(READ command)が続く。MRSコマンドの間(during the MRS command)のアドレスビットは、読み取られるべきステータス情報を選択する。例えば、一実施形態に

40

50

において、SDRAMダイ温度の情報は、MRSコマンドの間、 0×0 に、すべてのアドレスビットを駆動することによって読み取られることができる。他のステータス情報（例、モードレジスタのコンテンツあるいは拡張されたモードレジスタのコンテンツ、ID情報、および同等のもの）は、他のアドレスにマッピングされることことができる。

【0008】

SRRCOMMANDは、DRAMダイの温度に関連づけられた情報にアクセスすることができる。この情報は、ダイの実際の温度、温度センサの較正されていない出力値(uncalibrated output value)、現在の温度について要求された最小リフレッシュレート(the minimum refresh rate required for the current temperature)、現在の温度に基づいたリフレッシュレート乗算器(a refresh rate multiplier based on the current temperature)、あるいは、要求されたリフレッシュレートをコントローラが確かめることことができる他の温度関連情報(other temperature-related information from which the controller may ascertain the required refresh rate)、を備えることことができる。ここに使用されているように、すべてのそのような情報は、温度情報(temperature information)と呼ばれており、また、DRAMアレイにおいて保存されるいずれのデータからも異なっている。

【0009】

SRROPERATIONを使用して、プロセッサのような、メモリコントローラは、周期的に温度センサの出力を読み取り、実際の最低限必要なリフレッシュレート(the actual minimum required refresh rate)を計算することができる。過渡的な温度状態の間に(during transient thermal conditions)、例えば、初期のパワーアップ時に、あるいはバッテリパワーセービング「スリープ(sleep)」モードから「ウェイクする(waking)」とき、コントローラは、しばしば、例えば4 - 6マイクロ秒ごとに、リフレッシュレートを動的に最適化するために、相対的に温度センサを読み取ることが出来る。DRAMダイ温度が安定するとき、メモリアクセスオペレーションとリフレッシュオペレーションに対して、より大きいバス帯域幅を当てる(devote)ために、コントローラは、ステータスレジスタ読み取りオペレーション(status register read operations)の周波数を減らすことことができる。SRROPERATIONのタイミングは、DRAMアレイにおけるデータに対するREADオペレーションのタイミングと同様であるので、SRROPERATIONは、通常メモリアクセスに統一されることことができる。

【0010】

各メモリサブシステムランクにおいて各DRAMデバイス（すなわち、同じチップ選択信号に結関係する(tied)各DRAMデバイス）から別々に、温度のような、ステータス情報を連続して読み取ることは、そうでなければメモリアレイを読み取り、書き込み、リフレッシュするためにペンディングのメモリアクセスを実行するために使用されることが出来るであろう利用可能なメモリ帯域を、消費している。SRROPERATIONの数を減らすことは、メモリシステムのパフォーマンスを改善するであろう、また、より少ないメモリアクセスを要求することによって、電力消費を減らすであろう。

【発明の概要】

【0011】

1つまたは複数の実施形態にしたがって、メモリアレイに保存されていないデータを備えているステータス情報は、Nビット中のMビットの別個のサブセット上でそのステータス情報を駆動し、残りのN - Mビット(remaining N-M bits)をトライステートする(tri-state)ように各メモリデバイスを構成することによって、Nビットデータバス(N-bit data bus)を共有する複数のパラレルメモリデバイス(a plurality of parallel memory devices)から効率的に読み取られる。各メモリデバイスは、0、1、または複数の、サブセットMに関連づけられたデータストローブを駆動するように、また残りのデータストローブをトライステートするように、さらに構成されている。メモリコントローラは、パラレルに、2つまたはそれ以上のメモリデバイスから、ステータス情報を同時に読み取ることができ、各メモリデバイスは、Nビットバスの個別のMビットのサブセットを駆動している。各メモリデバイスは、ステータス情報をシリアル化させ、また、バースト形態(burst f

10

20

30

40

50

orm)において、バスのサブセットM上でそれを駆動することができる。

【0012】

1つの実施形態は、Nビットデータバスを共有している複数のパラレルメモリデバイスからステータス情報を読み取る方法に関する。各メモリデバイスは、Nビット中のMビットの別個のサブセット上でステータス情報を駆動し、また残りのN - Mビットをトライステートするように構成されている。ステータス情報は、そのあとで、複数のメモリデバイスから、同時に読み取られる。

【0013】

別の実施形態は、Nビットのデータインタフェースを有しているメモリデバイスに関する。メモリデバイスは、複数のアドレス可能なデータストレージロケーション(a plurality of addressable data storage locations)を含んでおり、その読み取りアクセス(read access)は、データインタフェースのすべてのNビットに関するデータを駆動する。メモリデバイスは、1つまたは複数のステータス情報ストレージロケーションをさらに含んでおり、その読み取りアクセスは、データインタフェースのNビット中のMビットの構成可能サブセット上でステータス情報を駆動する。

10

【0014】

また、別の実施形態は、メモリコントローラに関する。コントローラは、N - ビット(a n N-bit)、双方向データバス(bidirectional data bus)、そして、制御信号出力を含んでいる。コントローラは、また、Nビット中のMビットの別個のサブセット上でステータス情報をそれぞれ駆動するように、また、ステータス情報読み取りコマンドの間に残りのN - Mビットをトライステートするように、複数のメモリデバイスを構成することが操作可能な、また、同じステータス情報読み取りオペレーションにおいて複数のメモリデバイスからステータス情報を読み取ることがさらに操作可能な、制御回路を含んでいる。

20

【0015】

また、別の実施形態は、SDRAMモジュールからステータス情報を読み取る方法に関する。バンク選択信号の固有の符号化(a unique encoding of bank select signals)を用いたモードレジスタセット(mode register set) (MRS) オペレーションは、SDRAMモジュール上で実行され、シンクロナスREADオペレーション(synchronous READ operation)が続く。ステータス情報は、そのあと、同時に(synchronously)読み取られる。

【図面の簡単な説明】

30

【0016】

【図1】図1は、1つまたは複数のメモリデバイスと1つのコントローラの機能ブロック図である。

【図2】図2は、SRRオペレーションのタイミング図(a timing diagram)である。

【図3】図3は、2ランク、x16メモリのサブシステムの機能ブロック図である。

【図4】図4は、図3のメモリシステムにおけるSRRオペレーションのタイミング図である。

【図5】図5は、図3のメモリシステムにおける同時SRRオペレーションのタイミング図である。

【図6】図6は、2ランク、x32メモリのサブシステムの機能ブロック図である。

40

【図7】図7は、DDR SDRAMを使用している、図6のメモリシステムにおける同時SRRオペレーションのタイミング図である。

【詳細な説明】

【0017】

図1は、1つまたは複数のSDRAMメモリデバイス100と、コントローラ102と、を図示している。コントローラは、プロセッサ、デジタル信号プロセッサ、マイクロコントローラ、ステートマシン、あるいは同様なもの、を備えてもよく、また、SDRAMアクセスを制御する制御回路103を含んでいる。コントローラ102は、当技術分野においてよく知られているように、制御信号クロック(Clock) (CLK)、クロックイネーブル(Clock Enable) (CKE)、チップ選択(Chip Select) (CS)、行アドレスストロー

50

ブ(Row Address Strobe) (RAS)、列アドレスストロブ(Column Address Strobe) (CAS)、書き込みイネーブル(Write Enable) (WE)、およびデータクォリファイア(Data Qualifiers) (DQM)、によってSDRAMデバイス100に対してオペレーションを指示する。特に、SDRAMデバイス100は、チップ選択信号によって命じられて、ランクでグループ化されることができる。コントローラ102は、SDRAMデバイス100に対して、複数のアドレスライン(a plurality of address lines)およびバンク選択ラインを提供し、また、双方向データバスは、コントローラ102と各SDRAMデバイス100を接続する。各SDRAMデバイス100は、DRAMアレイ104を含んでおり、それは複数のバンク106に分割されることができる。DRAMアレイ104は、インストラクションとデータを保存し、コントローラ102の指示の下で、制御回路108から読み取られ、制御回路108に書き込まれ、また、制御回路108によってリフレッシュされる。

10

【0018】

各SDRAMデバイス100は、さらに、モードレジスタ110と拡張されたモードレジスタ112を含むことができる。SDRAMデバイス100は、さらに、例えば、ベンダーID(vendor ID)およびバージョン番号(version number)のような、識別情報114を含むことができる。識別情報114は、レジスタにおいて保存されてもよく、あるいは、ダイ(die)に直結されていてもよい(hardwired)。

【0019】

SDRAMデバイス100は、DRAMアレイダイの温度を検知することが操作可能であり、DRAMアレイ104の近隣に配置された(disposed)サーミスタ(thermister)118のような1つまたは複数の温度センサ、を含んでいる温度センシング回路(temperature sensing circuit)116をさらに含んでいる。モードレジスタ110のコンテンツと拡張されたモードレジスタ112のコンテンツ、SDRAMデバイス識別114、および温度センサ116の出力は、すべて、SDRAMデバイス100から読み取られることができるデータの例であるが、DRAMアレイ104において保存されないデータの例である。ここにおいて使用されるように、そのような情報は、「ステータス情報(status information)」と呼ばれる。

20

【0020】

図2は、一実施形態に従って、ステータス情報を読み取る、SRRオペレーションのタイミング図を図示している。初めに、MRSコマンドは、2'b10に設定されたバンク選択ビット(bank select bits)と0x0のアドレス(他のステータスレジスタのロケーションの読み取りは、アドレスバス上の異なる値によって指定されている)で、SDRAM制御信号上で発行される。最小のMRS時間tMRSに続いて、従来のREADコマンドが、発行される。SDRAMデバイスは、DRAMアレイからのデータの代わりに、プログラムされたCASレイテンシtCLに続いて、データバス上にステータス情報を出力するが、そうでない場合には、従来のSDRAM読み取りオペレーションの順序づけ(sequencing)およびタイミング(timing)に続いて、データバス上にステータス情報を出力する。新しいコマンドは、ステータス情報のデータ転送(data transfer)に続いて、SDRAMデバイスに対して発行されることができる。

30

40

【0021】

1つまたは複数の実施形態にしたがって、ステータス情報の読み取りが、十分なNビットSDRAMデータバスよりも少ないものを必要するとき、ステータス情報は、Nビット中のMビットのサブセット上で利点的に駆動されることができ、残りのN-Mビットは、SRRオペレーションの間にトライステートされている。SRRオペレーションに使用するためのデータバスのビットに関する情報 - ここでは、SRR構成情報と呼ばれる - は、例えばシステム初期化の間に、SRR構成レジスタ120(図1参照)に対して、コントローラ102によって書き込まれる。SRR構成情報は、ステータス情報の1つのタイプである。SRR構成レジスタ120は、図2において図示されるように、ステータス情報のアドレススペースにおいてアドレス可能なロケーション(an addressable location)を

50

備えることができ、あるいは、モードレジスタ 110 あるいは拡張されたモードレジスタ 112 において、使用されていないビットを代替的に備えることができる。別の方法として、SDRAM デバイス 100 の 1 つまたは複数のピンは、SRR オペレーションの間に使用する各 SDRAM デバイス 100 についてのデータバスサブセットを構成するために、システム設計の間に、グラウンドあるいはパワーと結び付けられることができる。

【0022】

図 3 は、コントローラ 102 と 2 つの SDRAM デバイス 100 a および 100 b と、を備えている 2 ランクの x16 SDRAM デバイスシステムトポロジ (2-rank, x16 SDRAM device system topology) の機能ブロック図を図示している。メモリランク 0 を形成している SDRAM デバイス 100 a は、チップ選択ライン 0 に接続されており、メモリランク 1 を形成している SDRAM デバイス 100 b は、チップ選択ライン 1 に接続されている。16 ビットのデータバス (DQ [15:0]) は、個別のバイトレーン (separate byte lanes) DQ [7:0] および DQ [15:8] として、図 3 において図示されており、本発明の 1 つまたは複数の実施形態の解説の簡略のために、それぞれ、バイトデータストローブ DQS [0] および DQS [1] によって制御されており、それは、次の議論から明らかとなるであろう。他の制御信号、アドレスバス、および同等のものは、従来の方法で、コントローラ 102 と、SDRAM デバイス 100 a および 100 b と、の間で接続されており、また、簡略化のため、図 3 から省略されている。

【0023】

図 4 は、DRAM 装置 100 a および 100 b からステータス情報を読み取るために、図 3 のシステムにおいて発行された SRR を表わしているタイミング図を図示している。コントローラ 102 は、2'b10 のバンク選択と 0x0 のアドレスで、両方のランク (CS [0] 及び CS [1]、両方ともアサートされる (both asserted)) に対して、サイクル 1 において MRS コマンドを発行する。READ コマンドは、サイクル 3 において、ランク 0 に対して (CS [0] だけアサートされる) tMRS サイクル後に、発行されており、また、SDRAM デバイス 100 a は、サイクル 6 において、CAS レイテンシ tCL の後、データバス DQ [15:0] 上でステータス情報 (例えば、温度情報) を戻す。このサイクルにおいて、コントローラ 102 は、ランク 1 に対して (CS [1] だけアサートされる)、READ コマンドを発行しており、SDRAM デバイス 100 b は、サイクル 8 において、CAS レイテンシ tCL 後、データバス DQ [15:0] 上でステータス情報を戻す。コントローラ 102 は、サイクル 9 で始めて別のコマンドを発行することができる。

【0024】

本発明の 1 つまたは複数の実施形態にしたがって、各 DRAM デバイス 100 は、データバスのサブセットに対してのみ、温度情報のようなステータス情報を駆動するように構成されており、また、SRR オペレーションの間に、そのサブセットに関連づけられるデータストローブをただ駆動する。DRAM デバイス 100 は、残りのデータバスおよびその関連付けられたデータストローブをトライステートする。この構成は、第 2 の DRAM デバイス 100 が、異なるサブセットに関連づけられたデータストローブを使用して、データバスの異なるサブセット上でステータス情報を駆動することを可能にする。このような方法で、2 つ以上の DRAM デバイス 100 は、SRR オペレーションの間にデータバス上でステータス情報を同時に駆動することができ、コントローラ 102 が一度に 2 つ以上の DRAM デバイス 100 からステータス情報を同時に読み取ることを可能にする。この技術は、SRR オペレーション専用のバス帯域幅を減らし、DRAM アレイに対する、ペンディング中の読み取り、書き込み、およびリフレッシュ、のオペレーション (pending read, write, and refresh operations) のために利用可能な帯域幅を、自由にする (freeing)。

【0025】

1 つまたは複数の実施形態において、ステータス情報が SRR オペレーションの間にデータバスの構成されたサブセット上で十分に駆動されることができなかつたイベント (eve

10

20

30

40

50

nt)において、SDRAMデバイス100は、自動的にステータス情報をシリアル化し、また、それを、連続バスサイクルにおいて、データバスのサブセットに対して構成されたものの上で駆動する。この特徴は、ステータス情報の幅が1つまたは複数のSDRAMデバイス100のために構成されたデータバスサブセットを超えるときに、SDRAMデバイス100のバースト機能(burst capability)を利用する。一実施形態において、シリアル化されたステータス情報は、モードレジスタ110および/または拡張されたモードレジスタ112において構成されたバーストパラメータにしたがって、構成されたデータバスサブセット上で連続的に(successively)駆動され、DRAMアレイ104において保存されたデータに対して指示したREADオペレーションをバーストすることに適している(pertaining to burst)。

10

【0026】

図5は、図3のメモリシステムにおける同時SRRオペレーション(concurrent SRR operation)のタイミング図を図示しており、ここで、ランク0のSDRAMデバイス100aは、その下位バイトレーンDQ[7:0]を使用するように構成されており、また、ランク1のSDRAMデバイス100bは、SRRオペレーションの間にその上位バイトレーンDQ[15:8]を使用するように構成されている。コントローラ102は、2'b10のバンク選択と、0x0のアドレス(バンク選択およびアドレスバスは、図5において図示されていない)とで、両方のランク(CS[0]及びCS[1]、両方ともアサートされる)に対して、サイクル1においてMRSコマンドを発行する。READコマンドは、tMRSサイクル後、サイクル3において、両方のランク(CS[0]及びCS[1]、両方ともアサートされる)に対して、同時に発行される。CASレイテンシtCLの後で、サイクル6において、ランク0のSDRAMデバイス100aは、データバスビットDQ[7:0]上で、ステータス情報(例えば温度情報)の第1のバイトを戻し、DQS[0]を駆動し、また、サイクル7において、ステータス情報の第2のバイトで(転送される予定であるステータス情報のサイズと、SDRAMデバイス100aバースト構成パラメータと、に依存して、必要なときに、その後のシリアルバースト転送(subsequent serial burst transfers)で)、DQ[7:0]を駆動する。同時に(tACにおける可能性のある変動と、各個別のSDRAMコンポーネントの特性である、CLKからのDQsのアクセスタイミングで)、ランク1のSDRAMデバイス100bは、サイクル6において、データバスビットDQ[15:8]上でステータス情報の第1のバイトを戻し、DQS[1]を駆動し、また、サイクル7においては、ステータス情報の第2のバイトでDQ[15:8]を駆動する。コントローラ102は、サイクル7に始まって、別のコマンドを発行することができる。

20

30

【0027】

図5のタイミング図と図4のタイミング図を比較することは、2ランクメモリサブシステムにおけるCASレイテンシtCL=2サイクルに関しては、図4において図示される従来のSRRオペレーションは、両方のランクからすべてのステータス情報を受信することに関して、初期のMRSコマンドから、総計8つのサイクルを必要とするということを示している。対照的に、図5において図示された同時SRRオペレーションは、両方のランクからすべてのステータス情報を受信することに関して、初期のMRSコマンドから総計6つのサイクルのみを必要とする。この実施形態にしたがった同時SRRオペレーションは、従来のSRRオペレーションと比べて、SRRオーバーヘッドあるいは費やされたバス帯域幅 - における25%の減少を、結果としてもたらす。CASレイテンシtCL=3サイクルを考慮して、同様な分析は、従来のSRRオペレーションと比較して、同時SRRオペレーションのオーバーヘッドにおける22%の減少をもたらす(yields)。

40

【0028】

本発明のこれらの実施形態は、より幅広いバス帯域に対して、スケラブル(scalable)である。図6は、コントローラ102と、4つのSDRAMデバイス100a、100b、100cおよび100dと、を備えている2ランクのx32SDRAMデバイスシステムトポロジ(a 2-rank, x32 SDRAM device system topology)の機能ブロック図を図示する

50

。メモリランク0を形成しているSDRAMデバイス100aおよび100bは、両方ともCS[0]に接続されており、また、メモリランク1を形成しているSDRAMデバイス100cおよび100dは、両方ともCS[1]に接続されている。与えられたランクにおけるすべてのSDRAMデバイス100(すなわち、100a/100b、あるいは、100c/100d)は、SRRオペレーションの間にデータバスの同じサブセット上でステータス情報を出力するように構成されている。反対に、異なるランクにおけるパラレルSDRAM100(すなわち、100a/100c、あるいは、100b/100d)は、SRRオペレーションの間にデータバスの異なるサブセット上でステータス情報を出力するように構成されている。

【0029】

32ビットのデータバス(DQ[31:0])および4つのデータストロープ(DQS[3:0])は、図6において個別のバイトレーンとして図示されており、どのSDRAMデバイス100a、100b、100c、100dが、SRRオペレーションの間に、バイトレーン上でそのステータス情報を駆動するかを示している表示を備えている。他の制御信号、アドレスバス、および同等のものは、従来の方法において、コントローラ102と、SDRAMデバイス100a、100b、100c、100dとの間で接続されており、明瞭のために、図6から省略されている。

【0030】

図7は、図6のメモリシステムにおける同時SRRオペレーションのタイミング図を図示しており、ここで、ランク0のSDRAMデバイスである100aおよび100bは、各SDRAMコンポーネントの下位バイトレーンDQ[7:0]およびDQS[0]を使用するように構成されており、また、ランク1のSDRAMデバイスである100cおよび100dは、SRRオペレーションの間に、各SDRAMコンポーネントのそれらの上位バイトレーンDQ[15:8]およびDQS[1]を使用するように構成されている。各SDRAM100a、100b、100c、100dは、SRRオペレーションの間に、そのデータバスの構成されていない部分をトライステートする。SRRコマンドシグナリングについてのタイミングは、図5において図示されたものと同じである。

【0031】

この実施形態において、各SDRAMデバイス100a、100b、100c、100dは、ダブルデータレート(Double Data Rate)(DDR)SDRAMであり、バースト形態において、4バイトのステータス情報を転送する。図6および7において図示されるように、コントローラ102は、完全な32ビットバスDQ[31:0]を使用して、バイトレーン[7:0]上でSDRAMデバイス100a(ランク0)から、バイトレーン[15:8]上のSDRAMデバイス100c(ランク1)から、バイトレーン[23:16]上のSDRAMデバイス100b(ランク0)から、そしてバイトレーン[31:24]上のSDRAMデバイス100d(ランク1)から、ステータス情報を受信する。この方法で、2バイトのステータス情報は、各サイクルにおいて、各SDRAMデバイス、100a、100b、100c、100dから受信される。図7が図示するように、同時SRRオペレーションを使用して、4バイトのステータス情報は、7つのサイクルにおいて、各DRAMデバイス100a、100b、100c、100dから読み取られる。各DRAMデバイス100a、100b、100c、100dからステータス情報を読み取る従来のSRRオペレーションを使用することは、代わりに、15サイクルを必要とする。したがって、この例において、同時SRRオペレーションは、SRRオーバーヘッドにおける50パーセントの減少に関して、表わしている。

【0032】

本発明は、また、例えば同時SRRコマンドのペア(pairs of concurrent SRR commands)を発行することによって、2ランクシステムよりも大きいように、スケラブル(scalable)である。代替的に、各SDRAMデバイス100は、そのデータバスのより小さいサブセット(例えば、ニブル(nibble))を使用するように構成されることができ、また、必要とされるときに(as required)、ステータス情報出力をシリアル化する。この実施形

10

20

30

40

50

態においては、同じデータバスのバイトレーンを使用するように構成された2つのSDRAMデバイス100のうちの1つは、すべてのデータバスのストロープをトライステートするように構成された他のSDRAMデバイス100を用いて、関連づけられたデータバスのストロープを制御するように構成されることができる。そのような設計の決定は、当業者の能力内において適切であり(well)、また、他の構成およびアプリケーション(applications)は、本開示の教義(teachings)が与えられる場合、当業者にとって容易にあきらかであろう。

【0033】

一般に、Nビットデータバスを共有しているいずれの平行メモリデバイスについて、本発明の1つまたはそれよりも多い実施形態にしたがって、各メモリデバイスは、Nビット中のMビットの別個のサブセット上でステータス情報を駆動し、残りのN-Mビットをトライステートするように構成されることができる。さらに、各デバイスは、0、1、あるいは複数の、Nビットデータバス中のMビットのサブセットに関連づけられたデータバスのストロープを駆動するように構成されることができる。図3および図6で図示された実施形態において、N=16でM=8である。NおよびMの他の値は、本発明の範囲内にある。

【0034】

SDRAMメモリデバイス100に関してここに説明されてきたが、本発明は、SDRAMに限定されてはならず、また、いずれのメモリデバイスからステータス情報を読み取るために有利に(advantageously)適用されることができる。同様に、ステータス情報は、リフレッシュレートを制御するために使用される、DRAMアレイ104に関する温度情報としてここに説明されてきたが、本発明は、温度情報あるいはリフレッシュレート制御に限定されてはいない。ここにおいて使用されるように、ステータス情報は、メモリアレイにおいて保存されたデータのほかにメモリデバイスから読み取られるいずれのデータを参照しており、また、例えば、デバイスID114、モードレジスタ110のコンテンツあるいは拡張されたモードレジスタ112のコンテンツ、SRR構成レジスタ120のコンテンツ、あるいは、メモリアレイにおいて保存されなかったいずれの他のデータ、を含むことができる。ステータスレジスタ読み取り(Status Register Read)(SRR)コマンドあるいはオペレーションは、必ずしも実際のレジスタを読み取らなくてもよいということは、留意される。

【0035】

本発明は、それらの特定の特徴、態様、および実施形態に関連して、ここに説明されてきたが、多くの変形、修正、および他の実施形態は、本発明の幅広い範囲内で可能であり、したがって、すべての変形、修正、および実施形態は、本発明の範囲内に存在するとしてみなされるべきであることは、あきらかであろう。本実施形態は、したがって、すべての態様において、説明するためのものであって、また、限定されるものでないとして解釈されるべきであり、また、添付された特許請求の範囲の意味および均等の範囲(the meaning and equivalency range)内に入る変更はすべて、そこに包含されるように意図されている。

以下に、本願出願当初の特許請求の範囲に記載された発明を付記する。

[C1] Nビットデータバスを共有する複数の平行メモリデバイスからステータス情報を読み取る方法であって、前記方法は、Nビットの異なるサブセットのM上で、前記ステータス情報を駆動するように、そして、前記残りのN-Mビットをトライステートするように、メモリデバイスのそれぞれを構成することと、同じ、ステータス情報読み取りオペレーションにおいて、前記複数のメモリデバイスからステータス情報を読み取ることと、を備える、方法。

[C2] 前記同じ、ステータス情報読み取りオペレーションにおいて、前記の複数のメモリデバイスからステータス情報を読み取るとは、READコマンドが続く、固有のバンク選択ビット符号化を用いるモードレジスタセット(MRS)コマンドを、前記の複数のメモリデバイスに対して同時に発行することを備える、[C1]に記載の方法。

[C 3] 前記固有のバンク選択ビット符号化は、2' b 1 0である、[C 2]に記載の方法。

[C 4] 前記M R Sコマンドの間の前記アドレスバスの値は、前記のメモリデバイスから読み取られるべき前記ステータス情報を選択する、[C 2]に記載の方法。

[C 5] 前記Nビットの前記サブセットのMに対応する、0、1、あるいは、それより多くのデータストロープ(D Q S)信号を駆動すること、その上で、各メモリデバイスは、ステータス情報を駆動し、残りのD Q S信号をトライステートするように構成される、のために前記各メモリデバイスを構成することをさらに備える、[C 1]に記載の方法。

[C 6] 前記同じ、ステータス情報読み取りオペレーションにおいて、前記複数のメモリデバイスからステータス情報を読み取ることは、2つより多くのデータ転送サイクルにおいて、前記複数のメモリデバイスからステータス情報を連続的に読み取ることを備え、少なくとも1つのメモリデバイスは、各データ転送サイクルのために、そのステータス情報をシリアル化し、前記Nビットのその構成されたサブセットのM上で部分ステータス情報を連続的に駆動し、前記残りのN - Mビットをトライステートする、[C 1]に記載の方法。

10

[C 7] 前記同じ、ステータス情報読み取りオペレーションにおいて、前記の複数のメモリデバイスからステータス情報を読み取ることは、前記同じ、ステータス情報読み取りオペレーションにおいて、各メモリデバイス上のメモリアレイに関連づけられた温度情報を読み取ることを備えている、[C 1]に記載の方法。

[C 8] 前記同じ、ステータス情報読み取りオペレーションにおいて、前記複数のメモリデバイスからステータス情報を読み取ることは、前記同じ、ステータス情報読み取りオペレーションにおいて、各メモリデバイス上のレジスタを読み取ることを備える、[C 1]に記載の方法。

20

[C 9] 前記Nビットの異なるサブセットM上で前記ステータス情報を駆動するように各メモリデバイスを構成することは、レジスタにおける構成ビットを設定することを備える、[C 1]に記載の方法。

[C 1 0] 前記Nビットの異なるサブセットM上で前記ステータス情報を駆動するように各メモリデバイスを構成することは、あらかじめ決定された論理レベルに各メモリデバイス上の構成ピンを結びつけることを備える、[C 1]に記載の方法。

[C 1 1] Nビットデータインタフェースを有するメモリデバイスであって、前記メモリデバイスは、読み取りアクセスが前記データインタフェースのすべてのNビット上でデータを駆動する、複数のアドレス可能データストレージロケーションと、読み取りアクセスが前記データインタフェースの前記Nビットの構成可能なサブセットM上でステータス情報を駆動する、1つまたは複数のステータス情報のストレージロケーションと、を備える、メモリデバイス。

30

[C 1 2] ステータス情報ストレージロケーションの読み取りアクセスの間に、前記メモリデバイスは、前記データインタフェースの前記残りのN - Mビットをトライステートする、[C 1 1]に記載のメモリデバイス。

[C 1 3] ステータス情報のストレージロケーションの読み取りアクセスの間に、その上で前記メモリデバイスがステータス情報を駆動する、前記Nビットの前記サブセットMに対応する0、1、または1つまたはそれより多くのD Q S信号を駆動する、[C 1 1]に記載のメモリデバイス。

40

[C 1 4] ステータス情報のストレージロケーションの読み取りアクセスの間に、前記メモリデバイスは、前記データインタフェースの前記残りのN - Mビットに対応するD Q S信号をトライステートする、[C 1 3]に記載のメモリデバイス。

[C 1 5] 前記1つまたはそれより多くのステータス情報のストレージロケーションは、1つまたは複数のレジスタを備える、[C 1 1]に記載のメモリデバイス。

[C 1 6] 前記1つまたはそれより多くのステータス情報のストレージロケーションは、前記メモリデバイスにおけるメモリアレイに関連づけられた温度センサの前記出力を備える、[C 1 1]に記載のメモリデバイス。

50

[C 1 7] 前記データインタフェースの前記Nビットの前記サブセットMを特定する構成ビットを保存するレジスタをさらに備える、[C 1 1]に記載のメモリデバイス。

[C 1 8] 前記データインタフェースの前記Nビットの前記サブセットMを特定する構成ピンをさらに備える、[C 1 1]に記載のメモリデバイス。

[C 1 9] ステータス情報をシリアル化することと、バースト形態において前記Nビットデータバスの構成されたサブセットM上で、部分ステータス情報を連続的に駆動することと、のために操作可能なコントローラをさらに備える、[C 1 1]に記載のメモリデバイス。

[C 2 0] Nビットデータバスに対してパラレルに接続された2つまたはそれより多くのメモリデバイス、なお、各メモリデバイスは、前記Nビットの異なるサブセットM上でステータス情報を駆動し、ステータス読み取りオペレーションの間に前記残りのN - Mビットをトライステートするために操作可能である、と； 前記メモリデバイスに接続され、ステータス読み取りオペレーションを介して、2つまたはそれより多くのメモリデバイスから、ステータス情報を同時に読み取ることにために操作可能なコントローラと； を備えるメモリサブシステム。

10

[C 2 1] 前記ステータス読み取りオペレーションは、READコマンドが続く、固有のバンク選択ビット符号化を用いたモードレジスタセット(MRS)コマンドを備える、[C 2 0]に記載のメモリサブシステム。

[C 2 2] 前記固有のバンク選択ビット符号化は、2' b 1 0である、[C 2 0]に記載のメモリサブシステム。

20

[C 2 3] 前記MRSコマンドの間の前記アドレスバス値は、前記メモリデバイスから読み取られるべき前記ステータス情報を選択する、[C 2 0]に記載のメモリサブシステム。

[C 2 4] 前記メモリデバイスのうち1つまたは複数は、ステータス情報をシリアル化することと、ステータス読み取りオペレーションの間に、バースト形態において、前記Nビットデータバスの構成されたサブセットM上で部分ステータス情報を連続的に駆動することと、のために操作可能である、[C 1 9]に記載のメモリサブシステム。

[C 2 5] 各メモリデバイスは、前記Nビットデータバスの前記構成されたサブセットMに関連づけられた0、1、あるいは1またはそれより多くの複数のDQS信号を駆動することと、前記ステータス読み取りオペレーションの間に前記残りのDQS信号をトライステートすることと、のためにさらに操作可能である、[C 2 0]に記載のメモリサブシステム。

30

[C 2 6] Nビットの双方向データバスと、制御信号出力と、前記Nビットの異なるサブセットのM上でステータス情報を駆動することと、ステータス情報読み取りコマンドの間に前記残りのN - Mビットをトライステートすることと、のために複数のメモリデバイスのそれぞれを構成するように操作可能であり、前記同じ、ステータス情報読み取りオペレーションにおいて前記複数のメモリデバイスからステータス情報を読み取るようにさらに操作可能である、制御回路と、 を備える、メモリコントローラ。

[C 2 7] バンク選択出力信号をさらに備え、前記制御回路は、ステータス情報を読み取るために、前記複数のメモリデバイスに対して、READコマンドが続く、固有のバンク選択ビット符号化を用いるモードレジスタセット(MRS)コマンドを同時に発行するように操作可能である、[C 2 6]に記載のメモリコントローラ。

40

[C 2 8] バンク選択出力信号をさらに備え、前記固有のバンク選択ビット符号化は、2' b 1 0である、[C 2 7]に記載のメモリコントローラ。

[C 2 9] アドレス出力信号をさらに備えており、前記MRSコマンドの間の前記アドレスバス値は、前記メモリデバイスから読み取られるべき前記ステータス情報を選択する、[C 2 7]に記載のメモリコントローラ。

[C 3 0] $\log_2 N$ 双方向データストローブ(DQS)信号、をさらに備えており、前記制御回路は、その上で前記メモリデバイスがステータス情報を駆動するように構成される、前記Nビットの前記サブセットMに対応する、0、1、あるいは1またはそれよ

50

り多くのDQS信号を駆動し、前記残りのDQS信号をトリステートために各メモリデバイスを構成するようにさらに操作可能である、[C26]に記載のメモリコントローラ。

[C31] 前記制御回路は、2つまたはそれより多くのデータ転送サイクルにおいて、前記複数のメモリデバイスからステータス情報を連続的に読み取ることによって、前記複数のメモリデバイスからステータス情報を読み取るように操作可能、ここで、少なくとも1つのメモリデバイスは、各データ転送サイクルのために、そのステータス情報をシリアル化し、前記Nビットのその構成されたサブセットM上で部分ステータス情報を連続的に駆動し、前記残りのN-Mビットをトリステートする、[C26]に記載のメモリコントローラ。

10

[C32] 前記制御回路は、前記同じ、ステータス情報読み取りオペレーションにおいて、各メモリデバイス上で、メモリアレイに関連づけられた温度情報を読み取ることように操作可能である、[C26]に記載のメモリコントローラ。

[C33] 前記制御回路は、前記同じ、ステータス情報読み取りオペレーションにおいて各メモリデバイス上でレジスタを読み取るよう操作可能である、[C26]に記載のメモリコントローラ。

[C34] 前記制御回路は、前記メモリデバイス上で、レジスタにおいて構成ビットを設定することによって、前記Nビットの異なるサブセットM上で前記ステータス情報を駆動するために各メモリデバイスを構成する、[C26]に記載のメモリコントローラ。

[C35] 前記SDRAMモジュール上でシンクロナスREADオペレーションを実行することにより続いて、前記メモリデバイス(100)上でバンク選択信号の固有の符号化で、モードレジスタセット(MRS)オペレーションを実行することと、前記ステータス情報を同時に読み取ることと、

20

をさらに備えている[C1]に記載の方法。

[C36] バンク選択信号の前記固有の符号化は、2'b10である、[C35]に記載の方法。

[C37] 読み取られるべき前記ステータス情報は、前記MRSオペレーションの間に、アドレスバス上の値によって選択される、[C35]に記載の方法。

[C38] 前記ステータス情報を同時に読み取るとは、前記シンクロナスREADオペレーションについて定義された信号タイミングにしたがって、前記ステータス情報を読み取ることを備える、[C35]に記載の方法。

30

[C39] 前記シンクロナスREADオペレーションについて定義された信号タイミングにしたがって、前記ステータス情報を読み取るとは、バーストにおいて前記ステータス情報を連続的に読み取るとを備える、[C38]に記載の方法。

【 図 1 】

図 1

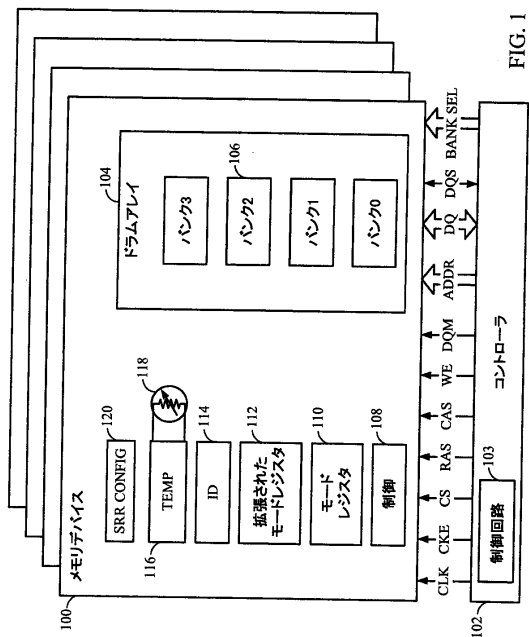


FIG. 1

【 図 2 】

図 2

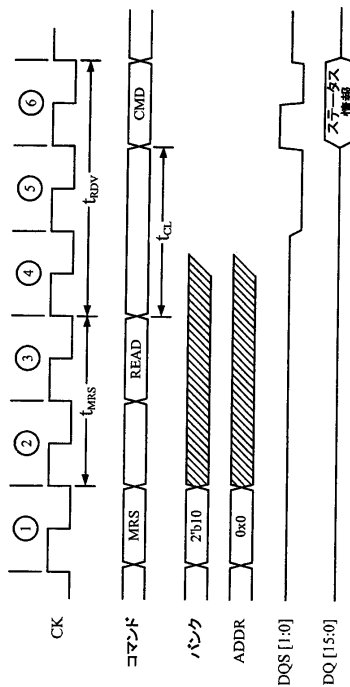


FIG. 2

【 図 3 】

図 3

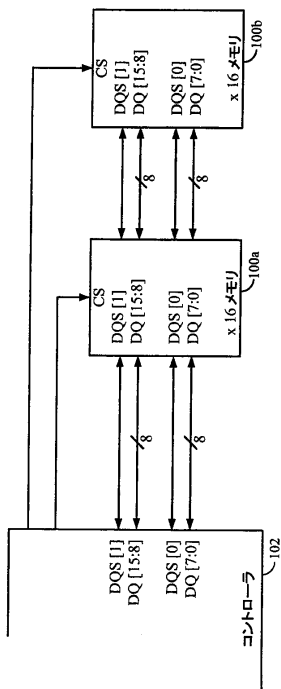


FIG. 3

【 図 4 】

図 4

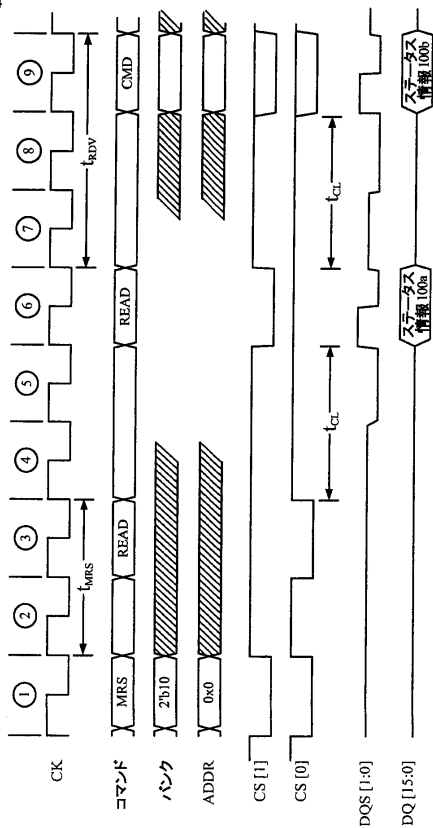


FIG. 4

【 図 5 】

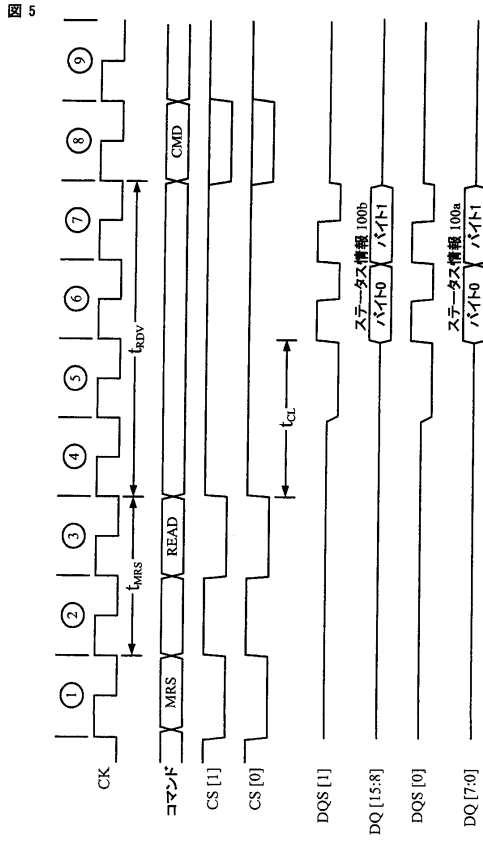


FIG. 5

【 図 6 】

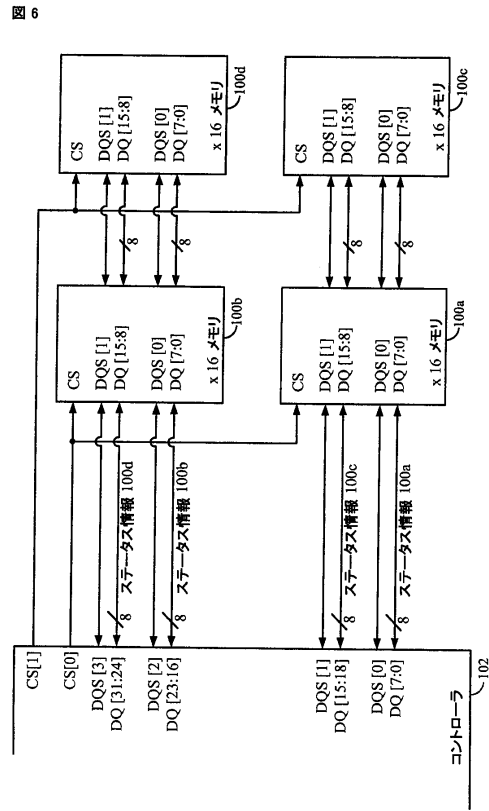


FIG. 6

【 図 7 】

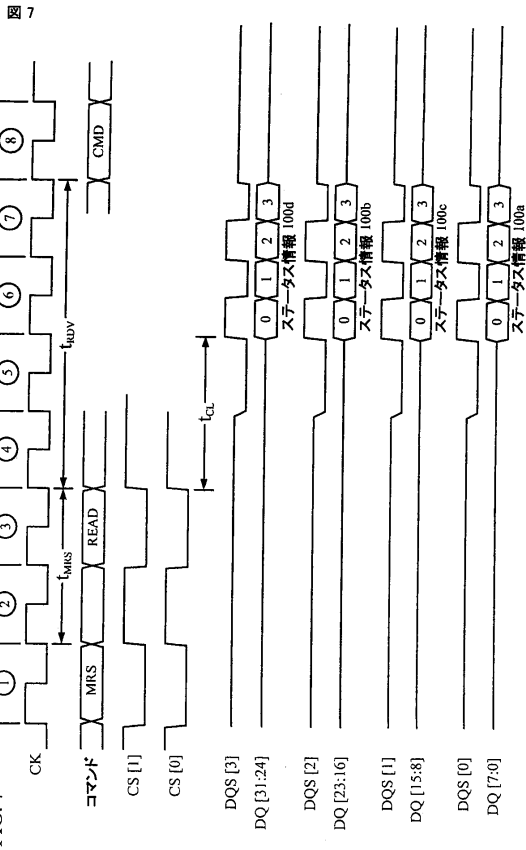


FIG. 7

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 バリー・ジョー・ウォルフォード
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ジェームズ・エドワード・サリバン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

審査官 塩澤 如正

- (56)参考文献 特開2001-043671(JP,A)
特表2004-505404(JP,A)
国際公開第2006/089313(WO,A1)
特開平11-353887(JP,A)
米国特許出願公開第2005/0160218(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 0 6 F 1 2 / 0 0 - G 0 6 F 1 2 / 0 6
G 0 6 F 1 3 / 1 6