(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3597655号
(P3597655)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]　F I
G11C 11/419　G11C 11/34 311
G11C 11/409　G11C 11/34 353A

請求項の数 11　(全 19 頁)

(21)出願番号　特願平8-336587
(22)出願日　平成8年12月17日(1996.12.17)
(65)公開番号　特開平10-3791
(43)公開日　平成10年1月6日(1998.1.6)
審査請求日　平成13年10月9日(2001.10.9)
(31)優先権主張番号　特願平8-94992
(32)優先日　平成8年4月17日(1996.4.17)
(33)優先権主張国　日本国(JP)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100081938
弁理士　徳若　光政
(74)代理人　100075096
弁理士　作田　康夫
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100081938
弁理士　徳若　光政
(74)代理人　100075096
弁理士　作田　康夫

最終頁に続く

(54)【発明の名称】半導体集積回路

(57)【特許請求の範囲】
【請求項１】
第１及び第２入力信号線と、
前記第１及び第２入力信号線上の第１及び第２入力信号の電位差を増幅するために、共通にソースが接続された一対の第１及び第２ＮＭＯＳトランジスタとを有する差動増幅回路と、
前記第１及び第２ＮＭＯＳトランジスタのソースに接続された電流源と、
前記第２入力信号に対応する出力を入力とし第１電源線に接続された第１ＣＭＯＳインバータおよび前記第１入力信号に対応する出力を入力し前記第１電源線に接続された第２ＣＭＯＳインバータを含み、前記第１ＣＭＯＳインバータの出力を第２ＣＭＯＳインバータの入力に接続すると共に前記第２ＣＭＯＳインバータの出力を前記第１ＣＭＯＳインバータの入力に接続し、前記第１及び第２ＣＭＯＳインバータを前記電流源に直列に接続したラッチ回路と、
前記第１ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第１ＰＭＯＳトランジスタと、前記第２ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第２ＰＭＯＳトランジスタとを有するセンスアンプを具備し、
前記電流源には、前記電流源の動作状態を制御するための第３入力信号が入力され、
前記第１及び第２ＰＭＯＳトランジスタのゲートには、第４入力信号が入力されることを特徴とする半導体集積回路。

【請求項２】
請求項１において、
前記第１ＣＭＯＳインバータは、そのソースが前記第１電源線に接続された第３ＰＭＯＳトランジスタと、前記第３ＰＭＯＳトランジスタのドレインにそのドレインが接続された第３ＮＭＯＳトランジスタを含み、
前記第２ＣＭＯＳインバータはそのソースが前記第１電源線に接続された第４ＰＭＯＳトランジスタと、前記第４ＰＭＯＳトランジスタのドレインにそのドレインが接続された第４ＮＭＯＳトランジスタを含み、
前記電流源は、そのソースが第２電源線に接続され、そのドレインが前記第１及び第２ＮＭＯＳトランジスタのソースに接続された第５ＮＭＯＳトランジスタを含み、
前記第５ＮＭＯＳトランジスタのゲートには、前記第３入力信号が入力されることを特徴とする半導体集積回路。
【請求項３】
請求項１又は２において、
前記第３ＰＭＯＳトランジスタのゲートと前記第４ＰＭＯＳトランジスタのゲートとの間に、そのドレイン・ソース経路が接続された第５ＰＭＯＳトランジスタを更に具備し、
前記第５ＰＭＯＳトランジスタのゲートには前記第４入力信号が入力されることを特徴とする半導体集積回路。
【請求項４】
請求項１から３の何れか一つにおいて、
前記第１ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第６ＮＭＯＳトランジスタと、前記第２ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第７ＮＭＯＳトランジスタとを更に具備し、
前記第６ＮＭＯＳトランジスタのゲートは、前記第２ＣＭＯＳインバータの出力に接続され、前記第７ＮＭＯＳトランジスタのゲートは、前記第１ＣＭＯＳインバータの出力に接続されることを特徴とする半導体集積回路。
【請求項５】
請求項４において、
前記第６ＮＭＯＳトランジスタのドレインと前記第７ＮＭＯＳトランジスタのドレインの間に、そのドレイン・ソース経路が接続された第６ＰＭＯＳトランジスタを更に含み、
前記第６ＰＭＯＳトランジスタのゲートは、前記第４入力信号が入力されることを特徴とする半導体集積回路。
【請求項６】
請求項１から３の何れか一つにおいて、
前記第１ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第６ＮＭＯＳトランジスタと、前記第２ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第７ＮＭＯＳトランジスタと、前記第６ＮＭＯＳトランジスタのドレインと前記第７ＮＭＯＳトランジスタのドレインの間にそのドレイン・ソース経路が接続された第６ＰＭＯＳトランジスタとを更に具備し、
前記第６ＰＭＯＳトランジスタのゲートには、前記第４入力信号が入力され、前記第６及び第７ＮＭＯＳトランジスタの各ゲートには、第５入力信号が入力されることを特徴とする半導体集積回路。
【請求項７】
請求項１から３の何れか一つにおいて、
前記第１ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第６ＮＭＯＳトランジスタと、前記第２ＮＭＯＳトランジスタと前記電流源の間に直列に接続される第７ＮＭＯＳトランジスタと前記第６ＮＭＯＳトランジスタのドレインと前記第７ＮＭＯＳトランジスタのドレインの間にそのドレイン・ソース経路が接続された第８ＮＭＯＳトランジスタとを更に具備し、
前記第６、７及び８のＮＭＯＳトランジスタの各ゲートには、第５入力信号が入力される

ことを特徴とする半導体集積回路。
【請求項８】
請求項１から７の何れか一つにおいて、
前記第４入力信号は、前記第３入力信号により前記電流源がオン状態とされた後に、前記第１及び第２ＰＭＯＳトランジスタをオフ状態とすることを特徴とする半導体集積回路。
【請求項９】
第１及び第２入力信号線と、
前記第１及び第２入力信号線上の第１及び第２入力信号を、ゲートにそれぞれ受ける第１及び第２ＮＭＯＳトランジスタと、前記第２入力信号に対応する出力を入力とし第１電源線に接続された第１ＣＭＯＳインバータおよび前記第１入力信号に対応する出力を入力し前記第１電源線に接続された第２ＣＭＯＳインバータを含み、前記第１ＣＭＯＳインバータの出力を第２ＣＭＯＳインバータの入力に接続すると共に前記第２ＣＭＯＳインバータの出力を前記第１ＣＭＯＳインバータの入力に接続するラッチ回路と、
前記第１及び第２ＣＭＯＳインバータと第２電源線との間にソース・ドレイン経路が接続された第５ＮＭＯＳトランジスタを具備する電流源と、
前記第１ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第１ＰＭＯＳトランジスタと、前記第２ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第２ＰＭＯＳトランジスタと、そのドレイン・ソース経路が前記第１ＮＭＯＳトランジスタと前記第２電源線との間に直列に接続される第６ＮＭＯＳトランジスタと、そのドレイン・ソース経路が前記第２ＮＭＯＳトランジスタと前記第２電源線との間に直列に接続される第７ＮＭＯＳトランジスタと、
前記第６ＮＭＯＳトランジスタのドレインと前記第７ＮＭＯＳトランジスタのドレインの間に、そのドレイン・ソース経路が接続された第６ＰＭＯＳトランジスタとを有するセンスアンプを具備し、
前記第５ＮＭＯＳトランジスタのゲートには、第３入力信号が入力され、
前記第１及び第２ＰＭＯＳトランジスタのゲートには、第４入力信号が入力され、
前記第６ＰＭＯＳトランジスタのゲートには前記第４入力信号が入力され、前記第６及び第７ＮＭＯＳトランジスタの各ゲートには第５入力信号が入力され、
前記第４入力信号は、前記第３入力信号により前記電流源がオン状態とされた後に、前記第１及び第２ＰＭＯＳトランジスタをオフ状態とすることを特徴とする半導体集積回路。
【請求項１０】
第１及び第２入力信号線と、
前記第１及び第２入力信号線上の第１及び第２入力信号を、ゲートにそれぞれ受ける第１及び第２ＮＭＯＳトランジスタと、前記第２入力信号に対応する出力を入力とし第１電源線に接続された第１ＣＭＯＳインバータおよび前記第１入力信号に対応する出力を入力し前記第１電源線に接続された第２ＣＭＯＳインバータを含み、前記第１ＣＭＯＳインバータの出力を第２ＣＭＯＳインバータの入力に接続すると共に前記第２ＣＭＯＳインバータの出力を前記第１ＣＭＯＳインバータの入力に接続するラッチ回路と、
前記第１及び第２ＣＭＯＳインバータと第２電源線との間にソース・ドレイン経路が接続された第５NMOSトランジスタを具備する電流源と、
前記第１ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第１ＰＭＯＳトランジスタと、前記第２ＣＭＯＳインバータの入力と前記第１電源線の間にそのソース・ドレイン経路が接続される第２ＰＭＯＳトランジスタと、そのドレイン・ソース経路が前記第１ＮＭＯＳトランジスタと前記第２電源線との間に直列に接続される第６ＮＭＯＳトランジスタと、そのドレイン・ソース経路が前記第２ＮＭＯＳトランジスタと前記第２電源線との間に直列に接続される第７ＮＭＯＳトランジスタと、
前記第６ＮＭＯＳトランジスタのドレインと前記第７ＮＭＯＳトランジスタのドレインの間にそのドレイン・ソース経路が接続された第８ＮＭＯＳトランジスタとを有するセンスアンプを具備し、
前記第５ＮＭＯＳトランジスタのゲートには、第３入力信号が入力され、

前記第１及び第２ＰＭＯＳトランジスタのゲートには、第４入力信号が入力され、
前記第６、７及び８ＮＭＯＳトランジスタの各ゲートには第５入力信号が入力され、
前記第４入力信号は、前記第３入力信号により前記電流源がオン状態とされた後に、前記第１及び第２ＰＭＯＳトランジスタをオフ状態とすることを特徴とする半導体集積回路。
【請求項１１】
請求項１から１０の何れか一つにおいて、　前記センスアンプは、第１及び第２出力ノードを更に有し、
前記第１出力ノードは、前記第１ＮＭＯＳトランジスタのドレインに接続され、
前記第２出力ノードは、前記第２ＮＭＯＳトランジスタのドレインに接続されることを特徴とする半導体集積回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、微小信号を増幅する差動増幅器を有する半導体集積回路に係り、更に詳しくはスタティックＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）に好適なセンスアンプの回路構成に関する。
【０００２】
【従来の技術】
従来、この種のセンスアンプとして図３に示した回路構成のセンスアンプが知られている。図３において、参照符号ＣＤＢ０２，ＣＤＴ０２，ＳＡＥＱＢ０２およびＳＡＣＭ０２はセンスアンプ外部からの入力信号を、ＳＴＢ０２及びＳＴＴ０２は出力信号の取り出しノードを、ＶＣＣは電源電圧を、ＧＮＤは接地電圧を、それぞれ示している。入力信号ＣＤＢ０２はＮＭＯＳトランジスタＭＮ２０３のゲートに、入力信号ＣＤＴ０２はＮＭＯＳトランジスタＭＮ２０４のゲートに、入力信号ＳＡＥＱＢ０２はＰＭＯＳトランジスタＭＰ２０１，ＭＰ２０２，ＭＰ２０３，ＭＰ２０６，ＭＰ２０７およびＭＰ２０８の各ゲートに、そして入力信号ＳＡＣＭ０２はＮＭＯＳトランジスタＭＮ２０５のゲートに、それぞれ入力されている。電源電圧ＶＣＣは、ＰＭＯＳトランジスタＭＰ２０１，ＭＰ２０２，ＭＰ２０４，ＭＰ２０５，ＭＰ２０６及びＭＰ２０７のソースにそれぞれ接続されている。ノードＳＴＴ０２は、ドレイン同士を接続したＰＭＯＳトランジスタＭＰ２０５とＮＭＯＳトランジスタＭＮ２０２のドレイン接続点およびゲート同士を接続したＰＭＯＳトランジスタＭＰ２０４とＮＭＯＳトランジスタＭＮ２０１のゲート接続点とＰＭＯＳトランジスタＭＰ２０１のドレインに接続されている。ＰＭＯＳトランジスタＭＰ２０３のドレインとソースは、ＰＭＯＳトランジスタＭＰ２０４とＭＰ２０５のゲート間に接続されている。また、ノードＳＴＢ０２は、ドレイン同士を接続したＰＭＯＳトランジスタＭＰ２０４とＮＭＯＳトランジスタＭＮ２０１のドレイン接続点およびゲート同士を接続したＰＭＯＳトランジスタＭＰ２０５とＮＭＯＳトランジスタＭＮ２０２のゲート接続点とＰＭＯＳトランジスタＭＰ２０２のドレインに接続されている。さらに、ＰＭＯＳトランジスタＭＰ２０６のドレインはＮＭＯＳトランジスタＭＮ２０３のドレインに、ＰＭＯＳトランジスタＭＰ２０７のドレインはＮＭＯＳトランジスタＭＮ２０４のドレインにそれぞれ接続され、ＰＭＯＳトランジスタＭＰ２０８のドレインとソースはＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４のドレイン間に接続されている。さらに、ソース同士が接続されたＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４の各ドレインは、それぞれＮＭＯＳトランジスタＭＮ２０１とＭＮ２０２のソースに接続されている。ソース接地のＮＭＯＳトランジスタＭＮ２０５のドレインは、ＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４のソース接続点に接続されると共に、ゲートには信号ＳＡＣＭ０２が入力されている。
【０００３】
このように接続される同一半導体チップ上に形成された回路において、ＮＭＯＳトランジスタＭＮ２０５が電流源となり、この電流源に接続された一対のＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４で差動回路を構成する。また、ＰＭＯＳトランジスタＭＰ２０４とＮＭＯＳトランジスタＭＮ２０１で一方のインバータを、ＰＭＯＳトランジスタＭＰ２０

５とＮＭＯＳトランジスタＭＮ２０２で他方のインバータをそれぞれ構成し、従来のセンスアンプはこれらのインバータで構成されるラッチ回路と上記差動回路と電流源とを直列に接続した３段構成となっていた。

【０００４】

このセンスアンプは、通常、入力信号ＳＡＥＱＢ０２の電位はロー（Ｌｏｗ）であり、ノードＳＴＢ０２とＳＴＴ０２をＰＭＯＳトランジスタＭＰ２０３とＭＰ２０８によりイコライズして電源電圧ＶＣＣと同電位にリセットすると共に、活性化信号ＳＡＣＭ０２をＬｏｗにしてセンスアンプを非活性化状態においておく。図４に、この従来のセンスアンプの動作波形を示す。入力信号ＣＤＴ０２とＣＤＢ０２間に微小電位差が生じた時、例えば入力信号ＣＤＴ０２が電圧ＶＣＣ、入力信号ＣＤＢ０２が電圧ＶＣＣ－Ｖ１（Ｖ１＜ＶＣＣ）となって電位差が生じた時に、入力信号ＳＡＥＱＢ０２をハイ（Ｈｉｇｈ）、次いで入力信号ＳＡＣＭ０２をＨｉｇｈにする。この結果、ＮＭＯＳトランジスタＭＮ２０４にＩ１、ＭＮ２０３にＩ１－Ｉ２（Ｉ１＞Ｉ２）の電流が流れる。また、ノードＳＴＢ０２とＳＴＴ０２は電圧ＶＣＣにリセットされているため、ＮＭＯＳトランジスタＭＮ２０２にＩ１、ＮＭＯＳトランジスタＭＮ２０１にＩ１－Ｉ２の電流が流れる。この結果、ノードＳＴＢ０２とＳＴＴ０２間にはわずかな電位差（ＳＴＢ０２の電位＜ＳＴＴ０２の電位）が生じる。この電位差は直列に接続されているラッチ回路、すなわちＰＭＯＳトランジスタＭＰ２０４とＭＰ２０５、ＮＭＯＳトランジスタＭＮ２０１とＭＮ２０２で構成されるラッチ回路で増幅され、ノードＳＴＢ０２とＳＴＴ０２間の電位差が更に増幅される。

【０００５】

このように、信号ＣＤＴ０２とＣＤＢ０２間に微小電位差が生じた時、信号ＳＡＣＭ０２をＨｉｇｈにしてセンスアンプを活性化させ、リセット信号ＳＡＥＱＢ０２を解除する。この結果、信号ＣＤＴ０２とＣＤＢ０２が入力されるＮＭＯＳトランジスタＭＮ２０３、ＭＮ２０４に電流が流れる。ＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４のゲート電位は電位が異なり、この電位差に応じた電流がＮＭＯＳトランジスタＭＮ２０３とＭＮ２０４に流れる。この電流差に応じ直列に接続されているラッチ回路が変化し、ノードＳＴＢ０２とＳＴＴ０２に入力信号ＣＤＴ０２とＣＤＢ０２の電位を増幅させた出力を得ている。なお、このような構成を有するセンスアンプに関しては、例えば、１９９２シンポジウム オン ＶＬＳＩ サーキッツ ダイジェスト オブ テクニカルペーパーズの第２８頁～第２９頁（１９９２ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｃｉｒｃｕｉｔｓ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ，ｐｐ．２８－２９）に開示されている。

【０００６】

また、米国特許公報４５０４７４８号公報のＦｉｇ．６には他のセンスアンプが開示されている。

【０００７】

【発明が解決しようとする課題】

しかしながら、前述した従来のセンスアンプによれば、差動回路とラッチ回路を直列に接続した構成になっていたため、動作時ノードＳＴＢ０２あるいはＳＴＴ０２を引き抜く電流は、ＮＭＯＳトランジスタＭＮ２０１とＭＮ２０３あるいはＭＮ２０２とＭＮ２０４を介して引き抜かれる。従って、電流源であるＮＭＯＳトランジスタＭＮ２０５を加えると３段のＮＭＯＳトランジスタを介することになるため抵抗が高くなり、ノードＳＴＢ０２あるいはＳＴＴ０２の出力が変化するまでに多くの時間を要していた。例えば、読出しサイクル６６ＭＨｚで動作するスタティックＲＡＭを用いたキャッシュメモリに上記従来のセンスアンプを適用した場合を例にとると、２．０ｎｓ程度の時間を要していた。このため、更に１００ＭＨｚを越えるような高速なキャッシュメモリには、遅延時間が１．５ｎｓ以下の高速動作が可能なセンスアンプが望まれていた。

【０００８】

また、前述した従来の他のセンスアンプは、ＣＭＯＳインバータを用いたラッチ回路を使用していないので出力電圧振幅が小さく、次段への信号伝達が遅くなるという欠点があっ

た。
【０００９】
一方、一般に、メモリに使用されるセンスアンプの数は非常に多く、チップ全体に占める割合が大きいため（例えば、１Ｍビットのキャッシュメモリでは５％）、上記に示すような遅延時間の高速化を消費電流の増加を伴わずに実現すること、およびチップ面積低減を図るためにセンスアンプを構成するトランジスタ数を低減することも望まれている。
【００１０】
そこで、本発明の目的は、センスアンプが活性化され、リセット信号ＳＡＥＱＢ０２が解除されてからセンスアンプ出力が変化するまでの遅延時間を短縮することができるセンスアンプを有する半導体集積回路を提供することにある。
【００１１】
また、本発明の他の目的は、消費電流の増加を伴わないような上記遅延時間の短縮化、および構成素子数の低減によりチップ面積の縮小化が可能なセンスアンプを有する半導体集積回路を提供することである。
【００１２】
【課題を解決するための手段】
上記目的を達成するために、本発明に係る半導体集積回路は、第１の入力信号と第２の入力信号との電位差を増幅する一対のソース同士が接続された第１及び第２のＮＭＯＳトランジスタとからなる差動増幅回路、すなわち図１で云えば入力信号ＣＤＢ０１とＣＤＴ０１との電位差を増幅する一対のソース同士が接続されたＮＭＯＳトランジスタＭＮ１０１及びＭＮ１０２と、前記第１及び第２のＮＭＯＳトランジスタのソースに接続された電流源と、前記第２の入力信号に対応する差動増幅回路の出力を入力とする第１の電源線すなわち電源電圧ＶＣＣに接続された第１のＣＭＯＳインバータおよび前記第１の入力信号に対応する差動増幅回路の出力を入力とする第１の電源線に接続された第２のＣＭＯＳインバータからなり、前記第１のＣＭＯＳインバータの出力を第２のＣＭＯＳインバータの入力に接続すると共に前記第２のＣＭＯＳインバータの出力を前記第１のＣＭＯＳインバータの入力に接続したラッチ回路と、から構成され、前記ラッチ回路を前記電流源と直列に接続したことを特徴とする。
【００１３】
この場合、前記第１のＣＭＯＳインバータはソースが第１の電源線に接続された第１のＰＭＯＳトランジスタ、すなわち図１で云えばＰＭＯＳトランジスタＭＰ１０４と、該第１のＰＭＯＳトランジスタのドレインにドレインが接続された第３のＮＭＯＳトランジスタすなわちＮＭＯＳトランジスタＭＮ１０３からなり、前記第２のＣＭＯＳインバータはソースが第１の電源線に接続された第２のＰＭＯＳトランジスタすなわちＰＭＯＳトランジスタＭＰ１０５と、該第２のＰＭＯＳトランジスタのドレインにドレインが接続された第４のＮＭＯＳトランジスタすなわちＮＭＯＳトランジスタＭＮ１０４からなり、前記電流源はソースが第２の電源線すなわち接地電圧ＧＮＤに接続され、ゲートに第３の入力信号すなわち信号ＳＡＣＭ０１が入力され、ドレインが前記第１及び第２のＮＭＯＳトランジスタのソースに接続された第５のＮＭＯＳトランジスタすなわちＮＭＯＳトランジスタＭＮ１０５から構成するようにすればよい。
【００１４】
また、前記第１のＰＭＯＳトランジスタのゲート、前記第３のＮＭＯＳトランジスタのゲート、前記第２のＰＭＯＳトランジスタのドレイン、前記第２及び第４のＮＭＯＳトランジスタのドレインに、ドレインが接続される第３のＰＭＯＳトランジスタすなわち図１で云えばＰＭＯＳトランジスタＭＰ１０１と、前記第２のＰＭＯＳトランジスタのゲート、前記第４のＮＭＯＳトランジスタのゲート、前記第１のＰＭＯＳトランジスタのドレイン、前記第１及び第３のＮＭＯＳトランジスタのドレインに、ドレインが接続される第４のＰＭＯＳトランジスタすなわちＰＭＯＳトランジスタＭＰ１０２と、前記第１のＰＭＯＳトランジスタのゲートと前記第２のＰＭＯＳトランジスタのゲート間に、ドレインとソースが接続された第５のＰＭＯＳトランジスタすなわちＰＭＯＳトランジスタＭＰ１０３を

更に設けると共に、前記第３、第４及び第５のＰＭＯＳトランジスタの各ゲートに第４の入力信号すなわち信号ＳＡＥＱＢ０１を入力するように構成すれば好適である。

【００１５】

さらに、前記差動増幅回路の前記第１のＮＭＯＳトランジスタと前記電流源の間に直列に接続される第６のＮＭＯＳトランジスタと、前記差動増幅回路の第２のＮＭＯＳトランジスタと前記電流源の間に直列に接続される第７のＮＭＯＳトランジスタ、すなわち図６で云えばＮＭＯＳトランジスタＭＮ１０１と電流源ＭＮ１０５の間に直列に接続されるＮＭＯＳトランジスタＭＮ１０６と、ＮＭＯＳトランジスタＭＮ１０２と電流源ＭＮ１０５の間に直列に接続されるＮＭＯＳトランジスタＭＮ１０７を更に設けると共に、前記第６のＮＭＯＳトランジスタのゲートに前記ラッチ回路の前記第２のＣＭＯＳインバータの出力信号を入力するようにし、前記第７のＮＭＯＳトランジスタのゲートに前記ラッチ回路の前記第１のＣＭＯＳインバータの出力信号を入力とするような構成にしてもよい。

【００１６】

また、前記第６のＮＭＯＳトランジスタのドレインと前記第７のＮＭＯＳトランジスタのドレインの間に、ドレインとソースが接続された第６のＰＭＯＳトランジスタすなわち図６で云えばＮＭＯＳトランジスタＭＮ１０６のドレインとＮＭＯＳトランジスタＭＮ１０７のドレインの間に、ドレインとソースが接続されたＰＭＯＳトランジスタＭＰ１０６を更に設けると共に、前記第６のＰＭＯＳトランジスタのゲートに前記第４の入力信号すなわち信号ＳＡＥＱＢ０１を入力するように構成すれば好適である。

【００１７】

【発明の実施の形態】

以下、本発明に係る半導体集積回路の好適な実施の形態について、添付図面を用いて説明する。

【００１８】

図１は、本発明の半導体集積回路の一実施の形態であるセンスアンプを示す回路構成図である。図１において、参照符号ＣＤＢ０１，ＣＤＴ０１，ＳＡＥＱＢ０１およびＳＡＣＭ０１はセンスアンプ外部からの入力信号を、ＳＴＢ０１及びＳＴＴ０１は出力信号の取り出しノードを、ＶＣＣは電源電圧を、ＧＮＤは接地電圧を、それぞれ示している。入力信号ＣＤＢ０１はＮＭＯＳトランジスタＭＮ１０１のゲートに、入力信号ＣＤＴ０１はＮＭＯＳトランジスタＭＮ１０２のゲートに、入力信号ＳＡＥＱＢ０１はＰＭＯＳトランジスタＭＰ１０１，ＭＰ１０２およびＭＰ１０３の各ゲートに、そして入力信号ＳＡＣＭ０１はＮＭＯＳトランジスタＭＮ１０５のゲートに、それぞれ入力されている。電源電圧ＶＣＣは、ＰＭＯＳトランジスタＭＰ１０１，ＭＰ１０２，ＭＰ１０４及びＭＰ１０５の各ソースに接続されている。ノードＳＴＴ０１は、ドレイン同士を接続したＰＭＯＳトランジスタＭＰ１０５とＮＭＯＳトランジスタＭＮ１０４のドレイン接続点およびゲート同士を接続したＰＭＯＳトランジスタＭＰ１０４とＮＭＯＳトランジスタＭＮ１０３のゲート接続点とＰＭＯＳトランジスタＭＰ１０１のドレインに接続されている。ＰＭＯＳトランジスタＭＰ１０３のドレインとソースは、ＰＭＯＳトランジスタＭＰ１０４のゲートとＭＰ１０５のゲート間に接続されている。また、ノードＳＴＢ０１は、ドレイン同士を接続したＰＭＯＳトランジスタＭＰ１０４とＮＭＯＳトランジスタＭＮ１０３のドレイン接続点およびゲート同士を接続したＰＭＯＳトランジスタＭＰ１０５とＮＭＯＳトランジスタＭＮ１０４のゲート接続点とＰＭＯＳトランジスタＭＰ１０２のドレインに接続されている。さらに、ＮＭＯＳトランジスタＭＮ１０１のドレインは、ＮＭＯＳトランジスタＭＮ１０３とＰＭＯＳトランジスタ１０４のドレイン接続点とＮＭＯＳトランジスタＭＮ１０４とＰＭＯＳトランジスタＭＰ１０５のゲート接続点に接続されている。また、ＮＭＯＳトランジスタＭＮ１０２のドレインは、ＮＭＯＳトランジスタＭＮ１０４とＰＭＯＳトランジスタ１０５のドレイン接続点とＮＭＯＳトランジスタＭＮ１０３とＰＭＯＳトランジスタＭＰ１０４のゲート接続点に接続されている。ソース接地のＮＭＯＳトランジスタＭＮ１０５のドレインは、ＮＭＯＳトランジスタＭＮ１０１，ＭＮ１０２，ＭＮ１０３およびＭＮ１０４のソース接続点に接続されている。

【００１９】
本実施の形態のセンスアンプは、上記のように接続されるＰＭＯＳトランジスタＭＰ１０４とＮＭＯＳトランジスタＭＮ１０３によるＣＭＯＳインバータ及びＭＰ１０５とＭＮ１０４によるＣＭＯＳインバータとで構成されるラッチ回路と、このラッチ回路のＮＭＯＳトランジスタＭＮ１０３と並列に接続されるＮＭＯＳトランジスタＭＮ１０１とＮＭＯＳトランジスタＭＮ１０４と並列に接続されるＮＭＯＳトランジスタＭＮ１０２とで構成される差動増幅回路と、ＮＭＯＳトランジスタＭＮ１０１，ＭＮ１０２，ＭＮ１０３およびＭＮ１０４と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１０５で構成される。
【００２０】
このセンスアンプでは、入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差をＮＭＯＳトランジスタＭＮ１０１とＭＮ１０２が増幅し、ノードＳＴＢ０１とＳＴＴ０１の電位を変化させる。ノードＳＴＢ０１とＳＴＴ０１が変化するとＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４がこの変化を更に増幅させる。このような構成にすると入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差を２段階で増幅し、また電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０１とＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０２とＭＮ１０４の２段の直列接続で構成できるため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間を短縮することができる。
【００２１】
図２は、図１に示した回路構成のセンスアンプの動作波形図である。通常、信号ＳＡＣＭ０１とＳＡＥＱＢ０１はＬｏｗであり、ノードＳＴＢ０１とＳＴＴ０１はＶＣＣにリセットされている。入力信号ＣＤＴ０１とＣＤＢ０１間に微小電位差が生じた時、例えば入力信号ＣＤＴ０１が電圧ＶＣＣ、入力信号ＣＤＢ０１がＶＣＣ－Ｖ１（Ｖ１＜ＶＣＣ）となって電位差が生じた時に、リセット信号ＳＡＥＱＢ０１をＨｉｇｈ（すなわち、これによりリセットが解除される）、次いで信号ＳＡＣＭ０１をＨｉｇｈ（すなわち、これによりセンスアンプが活性化される）にする。この結果、ＮＭＯＳトランジスタＭＮ１０２にＩ１、ＭＯＳトランジスタＭＮ１０１にＩ１－Ｉ２（Ｉ１＞Ｉ２）の電流が流れる。また、この時にノードＳＴＢ０１とＳＴＴ０１間にはわずかな電位差（ＳＴＢ０１の電位＜ＳＴＴ０１の電位）が生じる。この電位差はＰＭＯＳトランジスタＭＰ１０４とＭＰ１０５、ＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４で構成されるラッチ回路で増幅され、ノードＳＴＢ０１とＳＴＴ０１間の電位差が更に増幅される。このセンス回路は図３に示した従来のセンスアンプと異なり、微小電位差を２段階で増幅し、かつ、電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０１とＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０２とＭＮ１０４の２段の直列接続で構成しているため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間は、図２中に図４で示した従来例と比較して示したように、Δｔ時間の短縮を図ることができる。
【００２２】
例えば、０．４μｍプロセスのＣＭＯＳを用いて本実施の形態のセンスアンプを動作させたところ、従来構成のセンスアンプよりも、Δｔ＝０．６ｎｓの遅延時間の短縮結果を得ることができた。すなわち、従来より高速に動作するセンスアンプを得ることができた。
【００２３】
また、本実施の形態によるセンスアンプは、信号ＳＡＣＭ０１をＨｉｇｈ、次いで信号ＳＡＥＱＢ０１をＨｉｇｈにする（図２に対し投入順序を逆にする）ことによっても動作する。図５は、図１に示した回路構成のセンスアンプの動作波形図である。入力信号ＣＤＴ０１とＣＤＢ０１間に微小電位差が生じた時、例えば入力信号ＣＤＴ０１が電圧ＶＣＣ、入力信号ＣＤＢ０１がＶＣＣ－Ｖ１（Ｖ１＜ＶＣＣ）となって電位差が生じた時に、信号ＳＡＣＭ０１をＨｉｇｈ、次いで信号ＳＡＥＱＢ０１をＨｉｇｈにする。この場合、信号ＳＡＣＭ０１がＨｉｇｈ、信号ＳＡＥＱＢ０１がＬｏｗの期間に、電源からＰＭＯＳトランジスタＭＰ１０１、ＭＰ１０２およびＭＰ１０３を通り、ＮＭＯＳトランジスタＭＮ１０１、ＭＮ１０２、ＭＮ１０３およびＭＮ１０４とＭＮ１０５を通してＧＮＤに電流が流

れるため、ノードＳＴＢ０１、ＳＴＴ０１の電位がＶＣＣより下がる。また、同時に、入力信号ＣＤＢ０１の電位が下がり始めるため、入力信号ＣＤＴ０１とＣＤＢ０１間に電位差が生じ、ＮＭＯＳトランジスタＭＮ１０１に流れる電流がＮＭＯＳトランジスタＭＮ１０２に流れる電流より少なくなる。この結果、ノードＳＴＢ０１、ＳＴＴ０１の電位はＶＣＣより下がりながら、わずかな差を生じる（ＳＴＢ０１の電位＜ＳＴＴ０１の電位）。その後、信号ＳＡＥＱＢ０１がＨｉｇｈになると、前記のわずかな電位差がＰＭＯＳトランジスタＭＰ１０４とＭＰ１０５、ＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４で構成されるラッチ回路で増幅され、ノードＳＴＢ０１とＳＴＴ０１間の電位差が更に増幅される。この場合、信号ＳＡＥＱＢ０１がＨｉｇｈになるときに、あらかじめノードＳＴＢ０１、ＳＴＴ０１間に電位差が生じており、また、電位がＶＣＣより下がっているため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間は、図５中に図２（信号ＳＡＥＱＢ０１をＨｉｇｈ、次いで信号ＳＡＣＭ０１をＨｉｇｈにする場合）との比較を示したように、Δｔ１時間短縮される。

【００２４】

さらに、本実施の形態によるセンスアンプは、図３に示した従来のセンスアンプが１３個のトランジスタから構成されるのに比べて１０個と構成トランジスタ数も少なく、センスアンプの使用数が多いメモリにとって、チップ面積の低減に寄与する効果は大きい。

【００２５】

図６は、本発明に係る半導体集積回路の第２の実施例であるセンスアンプを示す回路構成図である。第１の実施例（図１）に対し、ソース接地のＮＭＯＳトランジスタＭＮ１０５とＮＭＯＳトランジスタＭＮ１０１の間にＮＭＯＳトランジスタＭＮ１０６を挿入し、ソース接地のＮＭＯＳトランジスタＭＮ１０５とＮＭＯＳトランジスタＭＮ１０２の間にＮＭＯＳトランジスタＭＮ１０７を挿入する。すなわち、ＮＭＯＳトランジスタＭＮ１０１のソースとＮＭＯＳトランジスタＭＮ１０６のドレインが接続され、ＮＭＯＳトランジスタＭＮ１０２のソースとＮＭＯＳトランジスタＭＮ１０７のドレインが接続されている。さらに、ＮＭＯＳトランジスタＭＮ１０６のゲートは、ノードＳＴＴ０１に接続され、ＮＭＯＳトランジスタＭＮ１０７のゲートは、ノードＳＴＢ０１に接続されている。また、ソース接地のＮＭＯＳトランジスタＭＮ１０５のドレインは、ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７、ＭＮ１０３およびＭＮ１０４のソース接続点に接続されている。さらに、ＰＭＯＳトランジスタＭＰ１０６のドレインとソースは、ＮＭＯＳトランジスタＭＮ１０１のソースとＮＭＯＳトランジスタＭＮ１０６のドレインとの接続点およびＮＭＯＳトランジスタＭＮ１０２のソースとＮＭＯＳトランジスタＭＮ１０７のドレインとの接続点に接続されている。

【００２６】

本実施の形態のセンスアンプは、上記図１のように接続されるＰＭＯＳトランジスタＭＰ１０４，ＭＰ１０５とＮＭＯＳトランジスタＭＮ１０３，ＭＮ１０４とで構成されるラッチ回路と、このラッチ回路のＮＭＯＳトランジスタＭＮ１０３と並列に接続されるＮＭＯＳトランジスタＭＮ１０１と、ＮＭＯＳトランジスタＭＮ１０３と並列かつＮＭＯＳトランジスタＭＮ１０１と直列に接続されるＮＭＯＳトランジスタＭＮ１０６（ゲートはＰＭＯＳトランジスタＭＰ１０５とＮＭＯＳトランジスタＭＮ１０４から構成されるインバータの出力に接続される）と、ＮＭＯＳトランジスタＭＮ１０４と並列に接続されるＮＭＯＳトランジスタＭＮ１０２と、ＮＭＯＳトランジスタＭＮ１０４と並列かつＮＭＯＳトランジスタＭＮ１０２と直列に接続されるＮＭＯＳトランジスタＭＮ１０７（ゲートはＰＭＯＳトランジスタＭＰ１０４とＮＭＯＳトランジスタＭＮ１０３から構成されるインバータの出力に接続される）と、ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７、ＭＮ１０３およびＭＮ１０４と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１０５で構成される。

【００２７】

このセンスアンプでは、第１の実施例と同様に、入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差をＮＭＯＳトランジスタＭＮ１０１とＭＮ１０２が増幅し、ノードＳＴＢ０１と

ＳＴＴ０１の電位を変化させる。ノードＳＴＢ０１とＳＴＴ０１が変化するとＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４がこの変化を更に増幅させる。このような構成にすると入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差を２段階で増幅し、また電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０４の２段の直列接続で構成できるため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間を短縮することができる。さらに、信号ＳＡＥＱＢ０１および信号ＳＡＣＭ０１がＨｉｇｈからＬｏｗになるまでの期間、ノードＳＴＢ０１、ＳＴＴ０１に出力信号が出力されると、例えばノードＳＴＢ０１にＬｏｗ、ノードＳＴＴ０１にＨｉｇｈが出力されると、ノードＳＴＢ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０７はオフとなるため、この期間中に第１の実施例（図１）では流れていた電流、すなわち、電源から、ノードＳＴＢ０１にゲートが接続されているＰＭＯＳトランジスタＭＰ１０５を通り、入力信号ＣＤＴ０１（電位はＨｉｇｈ）にゲートが接続されているＮＭＯＳトランジスタＭＮ１０２、電流源であるＮＭＯＳトランジスタＭＮ１０５を通してＧＮＤに流れていた電流をカットできる。すなわち、ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７の導入により、消費電流の増加を防ぐことができる。

【００２８】

図７は、図６に示した回路構成のセンスアンプの動作波形図である。通常、信号ＳＡＣＭ０１とＳＡＥＱＢ０１はＬｏｗであり、ノードＳＴＢ０１とＳＴＴ０１はＶＣＣにリセットされている。入力信号ＣＤＴ０１とＣＤＢ０１間に微小電位差が生じた時、リセット信号ＳＡＥＱＢ０１をＨｉｇｈ（すなわち、これによりリセットが解除される）、次いで信号ＳＡＣＭ０１をＨｉｇｈ（すなわち、これによりセンスアンプが活性化される）にする。この時にノードＳＴＢ０１とＳＴＴ０１間にはわずかな電位差（ＳＴＢ０１の電位＜ＳＴＴ０１の電位）が生じる。この電位差はＰＭＯＳトランジスタＭＰ１０４とＭＰ１０５、ＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４で構成されるラッチ回路で増幅され、ノードＳＴＢ０１とＳＴＴ０１間の電位差が更に増幅される。このセンス回路は図３に示した従来のセンスアンプと異なり、微小電位差を２段階で増幅し、かつ、電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０４の２段の直列接続で構成しているため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間の短縮を図ることができる。さらに、信号ＳＡＥＱＢ０１、ＳＡＣＭ０１がＨｉｇｈからＬｏｗになるまでの期間、ノードＳＴＢ０１、ＳＴＴ０１の出力が変化すると、例えばノードＳＴＢ０１にＨｉｇｈ、ノードＳＴＴ０１にＬｏｗが出力されると、ノードＳＴＴ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０３、ＭＮ１０６およびノードＳＴＢ０１にゲートが接続されているＰＭＯＳトランジスタＭＰ１０５はオフとなるため、電流源であるＮＭＯＳトランジスタＭＮ１０５を通してＧＮＤに流れる電流ＩＳＡは０となる。これに対し、図１に示す第１の実施例では、上記の期間に、電源から、ノードＳＴＴ０１にゲートが接続されているＰＭＯＳトランジスタＭＰ１０４を通り、入力信号ＣＤＢ０１（電位はＶＣＣ－Ｖ１＞ＮＭＯＳトランジスタのしきい値電圧）にゲートが接続されているＮＭＯＳトランジスタＭＮ１０１を通り、電流源であるＮＭＯＳトランジスタＭＮ１０５を通してＧＮＤに電流ＩＳＡが流れる。また、図３に示す従来例では、上記の期間、ノードＳＴＴ０２にゲートが接続されているＮＭＯＳトランジスタＭＮ２０１およびノードＳＴＢ０２にゲートが接続されているＰＭＯＳトランジスタＭＰ２０５がオフとなり、電流源であるＮＭＯＳトランジスタＭＮ２０５を通してＧＮＤに流れる電流ＩＳＡは０となる。図５中に、図１に示した第１の実施例においてＮＭＯＳトランジスタＭＮ１０５を通して流れる電流ＩＳＡと図３に示した従来例においてＮＭＯＳトランジスタＭＮ２０５を通して流れる電流ＩＳＡを比較して示す。この結果、図７に示す第２の実施例では、電流ＩＳＡを第１の実施例に対し削減できると共に、従来例と同一にすることができる。

【００２９】

例えば、０．４μｍプロセスのＣＭＯＳを用いて本実施の形態のセンスアンプを動作させたところ、従来構成のセンスアンプよりも、Δｔ＝０．６ｎｓの遅延時間の短縮結果を得

ると共に、従来構成のセンスアンプと同等の消費電流２００μＡ（動作周波数２００ＭＨｚ）を得ることことができた。すなわち、従来と同等の消費電流の下、従来より高速に動作するセンスアンプを得ることができた。

【００３０】

また、本実施の形態によるセンスアンプは、信号ＳＡＣＭ０１をＨｉｇｈ、次いで信号ＳＡＥＱＢ０１をＨｉｇｈにする（図２に対し投入順序を逆にする）ことによっても、図５に示される第１の実施例と同様に動作し、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間はΔｔ２時間短縮される。

【００３１】

図８は、本発明に係る半導体集積回路の第３の実施例であるセンスアンプを示す回路構成図である。第３の実施例（図８）では、第２の実施例（図６）におけるＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７のゲートが入力信号ＳＡＣＭＢ０１に接続されている。

【００３２】

本実施の形態のセンスアンプは、上記図１のように接続されるＰＭＯＳトランジスタＭＰ１０４，ＭＰ１０５とＮＭＯＳトランジスタＭＮ１０３，ＭＮ１０４とで構成されるラッチ回路と、このラッチ回路のＮＭＯＳトランジスタＭＮ１０３と並列に接続されるＮＭＯＳトランジスタＭＮ１０１と、ＮＭＯＳトランジスタＭＮ１０３と並列かつＮＭＯＳトランジスタＭＮ１０１と直列に接続されるＮＭＯＳトランジスタＭＮ１０６（ゲートは入力信号ＳＡＣＭＢ０１に接続される）と、ＮＭＯＳトランジスタＭＮ１０４と並列に接続されるＮＭＯＳトランジスタＭＮ１０２と、ＮＭＯＳトランジスタＭＮ１０４と並列かつＮＭＯＳトランジスタＭＮ１０２と直列に接続されるＮＭＯＳトランジスタＭＮ１０７（ゲートは入力信号ＳＡＣＭＢ０１に接続される）と、ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７、ＭＮ１０３およびＭＮ１０４と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１０５で構成される。

【００３３】

このセンスアンプにおける遅延時間の短縮は、第２の実施例と同様に説明できる。また、このセンスアンプでは、信号ＳＡＥＱＢ０１がＬｏｗ、信号ＳＡＣＭ０１がＨｉｇｈからＬｏｗになるまでの期間、ノードＳＴＢ０１、ＳＴＴ０１に出力信号が出力されるとき、例えばノードＳＴＢ０１にＨｉｇｈ、ノードＳＴＴ０１にＬｏｗが出力されるとき、入力信号ＳＡＣＭＢ０１をＬｏｗにすることにより、入力信号ＳＡＣＭＢ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７はオフとなるため、第１の実施例（図１）に比べ、第２の実施例同様、消費電流の増加を防ぐことができる。

【００３４】

図９は、本発明に係る半導体集積回路の第４の実施例であるセンスアンプを示す回路構成図である。第４の実施例（図９）では、第３の実施例（図８）における、ＰＭＯＳトランジスタＭＰ１０６の代わりにＮＭＯＳトランジスタＭＮ１０８が導入され、更に　ＮＭＯＳトランジスタＭＮ１０８のゲートが入力信号ＳＡＣＭＢ０１に接続されている。

【００３５】

本実施の形態のセンスアンプは、上記図８の第３の実施例と同様な構成を有する。

【００３６】

このセンスアンプにおける遅延時間の短縮は、第２の実施例と同様に説明できる。また、このセンスアンプでは、信号ＳＡＥＱＢ０１がＬｏｗ、信号ＳＡＣＭ０１がＨｉｇｈからＬｏｗになるまでの期間、ノードＳＴＢ０１、ＳＴＴ０１に出力信号が出力されるとき、例えばノードＳＴＢ０１にＨｉｇｈ、ノードＳＴＴ０１にＬｏｗが出力されるとき、入力信号ＳＡＣＭＢ０１をＬｏｗにすることにより、入力信号ＳＡＣＭＢ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７、ＭＮ１０８はオフとなるため、第１の実施例（図１）に比べ、第２の実施例同様、消費電流の増加を防ぐことができる。

【００３７】

図１０は、図８及び図９に示した回路構成のセンスアンプの動作波形図である。信号ＳＡ

ＥＱＢ０１、ＳＡＣＭ０１がＨｉｇｈからＬｏｗになるまでの期間、ノードＳＴＢ０１、ＳＴＴ０１の出力が変化するとき、例えばノードＳＴＢ０１にＨｉｇｈ、ノードＳＴＴ０１にＬｏｗが出力されるとき、ノードＳＴＴ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０３およびノードＳＴＢ０１にゲートが接続されているＰＭＯＳトランジスタＭＰ１０５はオフとなり、また、この期間中入力信号ＳＡＣＭＢ０１をＬｏｗにすることにより、入力信号ＳＡＣＭＢ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７、ＭＮ１０８はオフとなるため、電流源であるＮＭＯＳトランジスタＭＮ１０５を通してＧＮＤに流れる電流ＩＳＡは０となる。図１０中に、図１に示した第１の実施例においてＮＭＯＳトランジスタＭＮ１０５を通して流れる電流ＩＳＡと図３に示した従来例においてＮＭＯＳトランジスタＭＮ２０５を通して流れる電流ＩＳＡを比較して示す。この結果、図８に示す第３の実施例及び図９に示す第４の実施例では、電流ＩＳＡを第１の実施例に対し削減できると共に、従来例と同一にすることができる。

【００３８】

例えば、０．４μｍプロセスのＣＭＯＳを用いて本実施の形態のセンスアンプを動作させたところ、従来構成のセンスアンプよりも、Δｔ＝０．６ｎｓの遅延時間の短縮結果を得ると共に、従来構成のセンスアンプと同等の消費電流２００μＡ（動作周波数２００ＭＨｚ）を得ることことができた。すなわち、従来と同等の消費電流の下、従来より高速に動作するセンスアンプを得ることができた。

【００３９】

また、本実施の形態によるセンスアンプは、信号ＳＡＣＭ０１をＨｉｇｈ、次いで信号ＳＡＥＱＢ０１をＨｉｇｈ（図２に対し投入順序を逆にする）、信号ＳＡＣＭＢ０１をＬｏｗにする（図２と同様にする）ことによっても、図５に示される第１の実施例と同様に動作し、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間はΔｔ３時間短縮される。

【００４０】

図１１は、本発明に係る半導体集積回路の第５の実施例であるセンスアンプを示す回路構成図である。第３の実施例（図８）に対し、　ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７の代わりに、ソース接地のＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０を導入し、ＮＭＯＳトランジスタＭＮ１０１、ＭＮ１０２のソースを、　それぞれソース接地のＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０のドレインと接続する。すなわち、ＮＭＯＳトランジスタＭＮ１０３とＮＭＯＳトランジスタＭＮ１０４のソース接続点と、ソース接地のＮＭＯＳトランジスタＭＮ１０５のドレインが接続されている。また、ＮＭＯＳトランジスタＭＮ１０１のソースとソース接地のＮＭＯＳトランジスタＭＮ１０９のドレインが接続され、　ＮＭＯＳトランジスタＭＮ１０２のソースとソース接地のＮＭＯＳトランジスタＭＮ１１０のドレインが接続されている。さらに、ＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０のゲートは入力信号ＳＡＣ０１に接続されている。

【００４１】

本実施の形態のセンスアンプは、上記図１のように接続されるＰＭＯＳトランジスタＭＰ１０４，ＭＰ１０５とＮＭＯＳトランジスタＭＮ１０３，ＭＮ１０４とで構成されるラッチ回路と、このラッチ回路のＮＭＯＳトランジスタＭＮ１０３と並列に接続されるＮＭＯＳトランジスタＭＮ１０１と、ＮＭＯＳトランジスタＭＮ１０４と並列に接続されるＮＭＯＳトランジスタＭＮ１０２と、ＮＭＯＳトランジスタＭＮ１０３およびＭＮ１０４と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１０５と、　ＮＭＯＳトランジスタＭＮ１０１と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１０９（ゲートは入力信号ＳＡＣ０１に接続される）と、　ＮＭＯＳトランジスタＭＮ１０２と直列に接続された電流源となるＮＭＯＳトランジスタＭＮ１１０（ゲートは入力信号ＳＡＣ０１に接続される）で構成される。

【００４２】

このセンスアンプでは、第１の実施例と同様に、入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差をＮＭＯＳトランジスタＭＮ１０１とＭＮ１０２が増幅し、ノードＳＴＢ０１と

ＳＴＴ０１の電位を変化させる。ノードＳＴＢ０１とＳＴＴ０１が変化するとＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４がこの変化を更に増幅させる。このような構成にすると入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差を２段階で増幅し、また電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０４の２段の直列接続、電流源ＭＮ１０９とＮＭＯＳトランジスタＭＮ１０１の２段の直列接続及び電流源ＭＮ１１０とＮＭＯＳトランジスタＭＮ１０２の２段の直列接続で構成できるため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間を短縮することができる。このとき、信号ＳＡＣ０１は信号ＳＡＣＭ０１と同一タイミングでＨｉｇｈにする。さらに、ノードＳＴＢ０１、ＳＴＴ０１に出力信号が出力された後、信号ＳＡＥＱＢ０１がＬｏｗ、信号ＳＡＣＭ０１がＬｏｗになるまでの期間、入力信号ＳＡＣ０１をＬｏｗにすることにより、入力信号ＳＡＣ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０はオフとなるため、第１の実施例（図１）に比べ、消費電流の増加を防ぐことができる。

【００４３】

図１２は、本発明に係る半導体集積回路の第６の実施例であるセンスアンプを示す回路構成図である。第４の実施例（図９）に対し、　ＮＭＯＳトランジスタＭＮ１０６、ＭＮ１０７の代わりに、ソース接地のＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０を導入し、ＮＭＯＳトランジスタＭＮ１０１、ＭＮ１０２のソースを、　それぞれソース接地のＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０のドレインと接続する。すなわち、ＮＭＯＳトランジスタＭＮ１０３とＮＭＯＳトランジスタＭＮ１０４のソース接続点と、ソース接地のＮＭＯＳトランジスタＭＮ１０５のドレインが接続されている。また、ＮＭＯＳトランジスタＭＮ１０１のソースとソース接地のＮＭＯＳトランジスタＭＮ１０９のドレインが接続され、　ＮＭＯＳトランジスタＭＮ１０２のソースとソース接地のＮＭＯＳトランジスタＭＮ１１０のドレインが接続されている。さらに、ＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０のゲートは入力信号ＳＡＣ０１に接続されている。

【００４４】

本実施の形態のセンスアンプは、上記図１１の第５の実施例と同様な構成を有する。

【００４５】

このセンスアンプでは、第１の実施例と同様に、入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差をＮＭＯＳトランジスタＭＮ１０１とＭＮ１０２が増幅し、ノードＳＴＢ０１とＳＴＴ０１の電位を変化させる。ノードＳＴＢ０１とＳＴＴ０１が変化するとＮＭＯＳトランジスタＭＮ１０３とＭＮ１０４がこの変化を更に増幅させる。このような構成にすると入力信号ＣＤＴ０１とＣＤＢ０１間の微小電位差を２段階で増幅し、また電流源ＭＮ１０５とＮＭＯＳトランジスタＭＮ１０３あるいはＮＭＯＳトランジスタＭＮ１０４の２段の直列接続、電流源ＭＮ１０９とＮＭＯＳトランジスタＭＮ１０１の２段の直列接続及び電流源ＭＮ１１０とＮＭＯＳトランジスタＭＮ１０２の２段の直列接続で構成できるため、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間を短縮することができる。このとき、信号ＳＡＣ０１は信号ＳＡＣＭ０１と同一タイミングでＨｉｇｈにする。さらに、ノードＳＴＢ０１、ＳＴＴ０１に出力信号が出力された後、信号ＳＡＥＱＢ０１がＬｏｗ、信号ＳＡＣＭ０１がＬｏｗになるまでの期間、入力信号ＳＡＣ０１をＬｏｗにすることにより、入力信号ＳＡＣ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０９、ＭＮ１１０、ＭＮ１０８はオフとなるため、第１の実施例（図１）に比べ、消費電流の増加を防ぐことができる。

【００４６】

図１３は、図１１及び図１２に示した回路構成のセンスアンプの動作波形図である。ノードＳＴＢ０１、ＳＴＴ０１の出力が変化した後、例えばノードＳＴＢ０１にＨｉｇｈ、ノードＳＴＴ０１にＬｏｗが出力された後、信号ＳＡＥＱＢ０１、ＳＡＣＭ０１がＬｏｗになるまでの期間、ノードＳＴＴ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０３およびノードＳＴＢ０１にゲートが接続されているＰＭＯＳトランジスタＭＰ１０５はオフとなり、また、この期間中入力信号ＳＡＣ０１をＬｏｗにすることにより、入力

信号ＳＡＣ０１にゲートが接続されているＮＭＯＳトランジスタＭＮ１０９、１１０、１０８はオフとなるため、電流源であるＮＭＯＳトランジスタＭＮ１０５、ＭＮ１０９及びＭＮ１１０を通してＧＮＤに流れる電流ＩＳＡは０となる。図１３中に、図１に示した第１の実施例においてＮＭＯＳトランジスタＭＮ１０５を通して流れる電流ＩＳＡと図３に示した従来例においてＮＭＯＳトランジスタＭＮ２０５を通して流れる電流ＩＳＡを比較して示す。この結果、図１１に示す第５の実施例及び図１２に示すす第６の実施例では、電流ＩＳＡを第１の実施例に対し削減できる。

【００４７】

例えば、０．４μｍプロセスのＣＭＯＳを用いて本実施の形態のセンスアンプを動作させたところ、従来構成のセンスアンプよりも、Δｔ＝０．６ｎｓの遅延時間の短縮結果を得ることができた。すなわち、従来より高速に動作するセンスアンプを得ることができた。

【００４８】

また、本実施の形態によるセンスアンプは、信号ＳＡＣＭ０１をＨｉｇｈ、次いで信号ＳＡＥＱＢ０１をＨｉｇｈ（図２に対し投入順序を逆にする）にし、信号ＳＡＣ０１は信号ＳＡＣＭ０１と同一タイミングでＨｉｇｈ、次いで信号ＳＡＥＱＢ０１と同一タイミングでＬｏｗにすることによっても、図５に示される第１の実施例と同様に動作し、ノードＳＴＢ０１あるいはＳＴＴ０１の出力が変化するまでの遅延時間はΔｔ５時間短縮される（図１４）。

【００４９】

以上、本発明の好適な実施の形態について説明したが、本発明は前記実施の形態に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【００５０】

【発明の効果】

前述した実施の形態から明らかなように、本発明によれば、センスアンプの入力信号に電位差が生じ、リセットが解除され、センスアンプが活性化されてから、入力信号の電位差が増幅されて出力されるまでの時間を短縮することができる。

【００５１】

また、従来のセンスアンプに対して消費電流を増加させることなく、上記のように、センスアンプの入力信号に電位差が生じ、リセットが解除され、センスアンプが活性化されてから、入力信号の電位差が増幅されて出力されるまでの時間を短縮することができる。

【００５２】

また更に、センスアンプを構成するトランジスタ数が従来のセンスアンプに比べて低減されるため、チップ面積が低減し、これによる歩留まり向上及び低コスト化が図れる効果を奏する。

【図面の簡単な説明】

【図１】本発明に係る半導体集積回路の一実施の形態を示すセンスアンプの回路構成図である。

【図２】図１に示したセンスアンプの動作波形図である。

【図３】従来のセンスアンプの回路構成図である。

【図４】図３に示した従来のセンスアンプの動作波形図である。

【図５】図１に示したセンスアンプの動作波形図である。

【図６】本発明に係る半導体集積回路の第２の実施の形態を示すセンスアンプの回路構成図である。

【図７】図６に示したセンスアンプの動作波形図である。

【図８】本発明に係る半導体集積回路の第３の実施の形態を示すセンスアンプの回路構成図である。

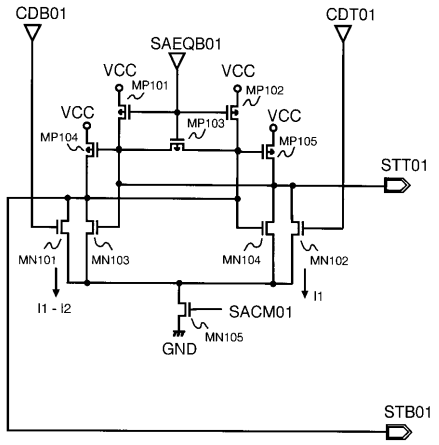
【図９】本発明に係る半導体集積回路の第４の実施の形態を示すセンスアンプの回路構成図である。

【図１０】図８及び図９に示したセンスアンプの動作波形図である。

【図１１】本発明に係る半導体集積回路の第５実施の形態を示すセンスアンプの回路構成図である。
【図１２】本発明に係る半導体集積回路の第６実施の形態を示すセンスアンプの回路構成図である。
【図１３】図１１及び図１２に示したセンスアンプの動作波形図である。
【図１４】図１１及び図１２に示したセンスアンプの動作波形図である。
【符号の説明】
ＭＰ１０１～ＭＰ２０５…ＰＭＯＳトランジスタ、ＭＮ１０１～ＭＮ２０５…ＮＭＯＳトランジスタ、ＶＣＣ…電源電圧（第１の電源線）、ＧＮＤ…接地電圧（第２の電源線）、ＣＤＴ０１，ＣＤＢ０１，ＳＡＥＱＢ０１，ＳＡＣＭ０１，ＳＡＣＭＢ０１，ＳＡＣ０１，ＣＤＴ０２，ＣＤＢ０２，ＳＡＥＱＢ０２，ＳＡＣＭ０２…外部からの入力信号、ＳＴＢ０１，ＳＴＴ０１，ＳＴＢ０２，ＳＴＴ０２…出力信号（ノード）。

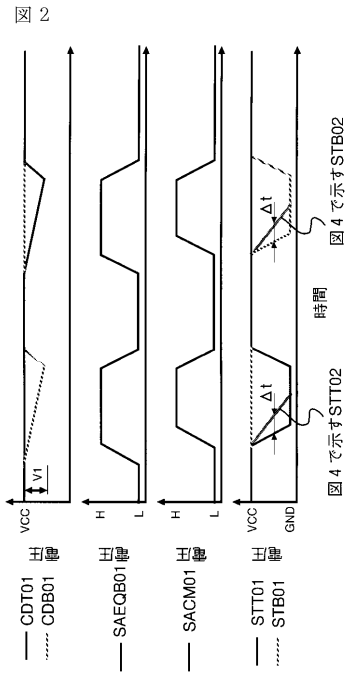
【図１】

図 1



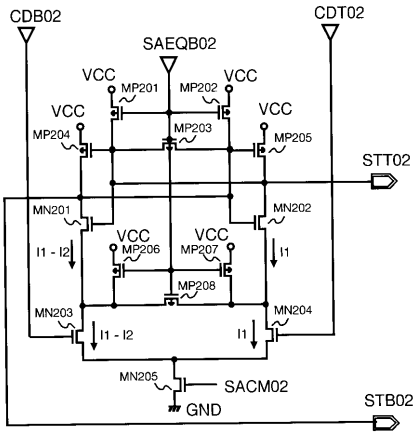
【図２】

図 2



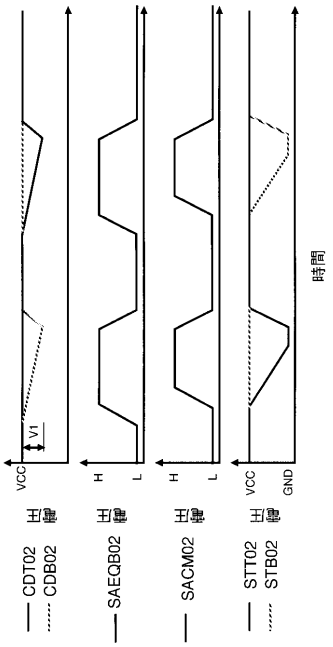
【図３】

図 3



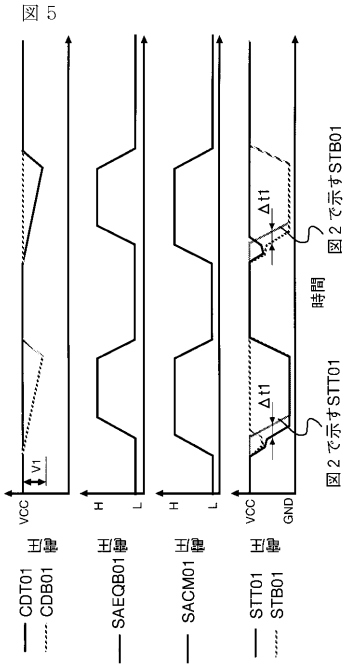
【図４】

図 4



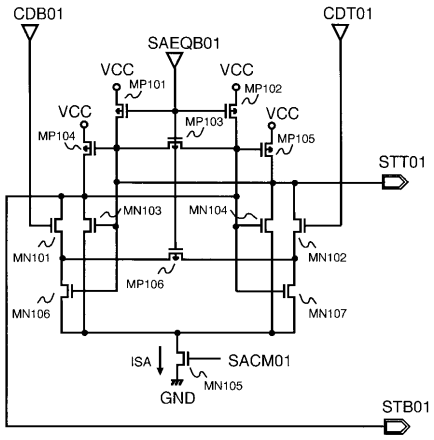
【図５】

図 5



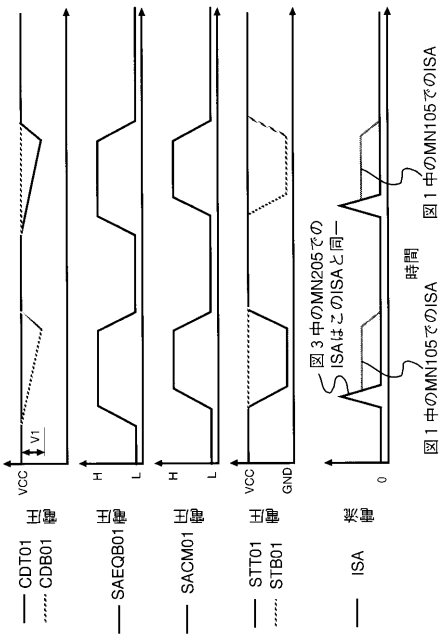
【図６】

図 6



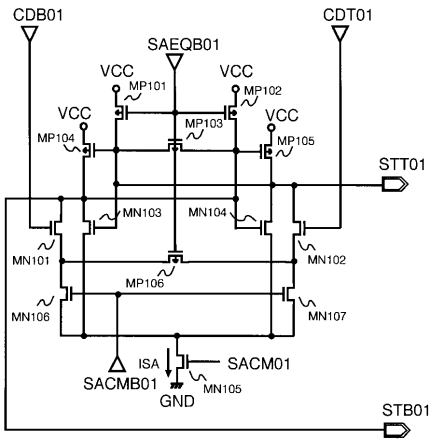
【図７】

図７



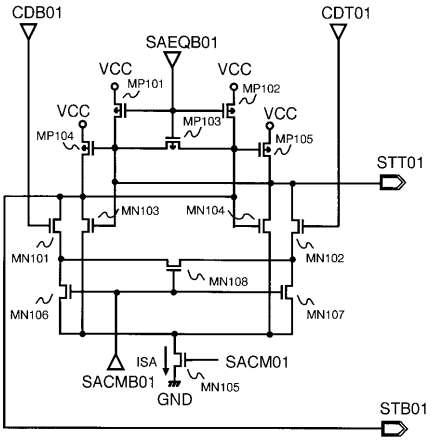
【図８】

図　８



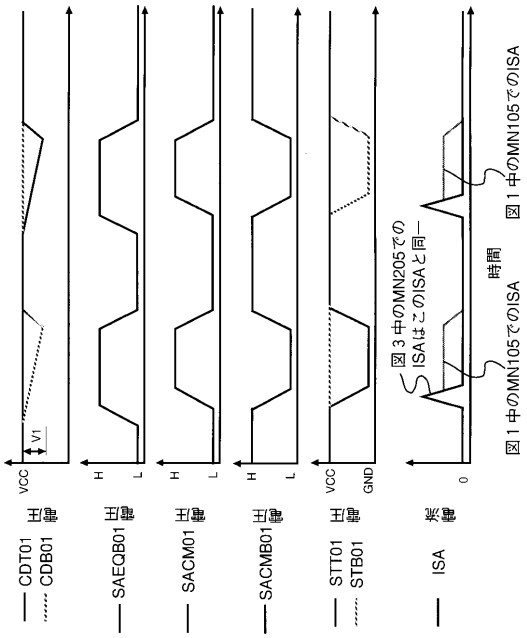
【図９】

図　９



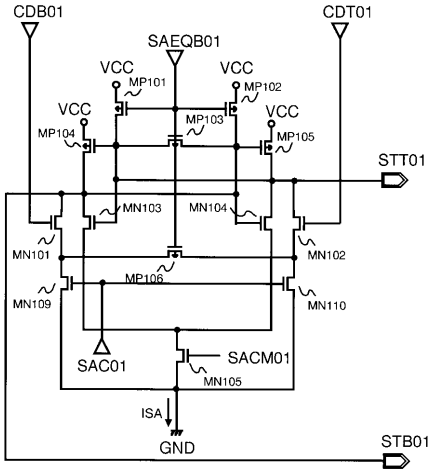
【図１０】

図１０



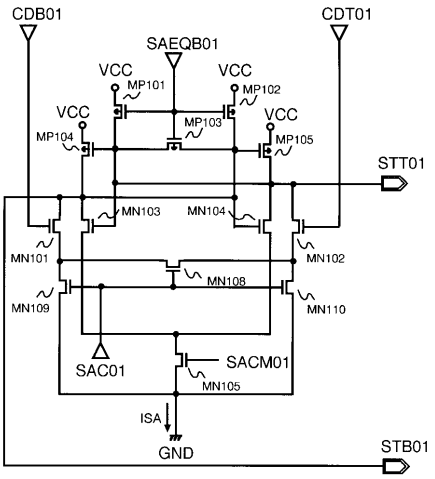
【図１１】

図 １１



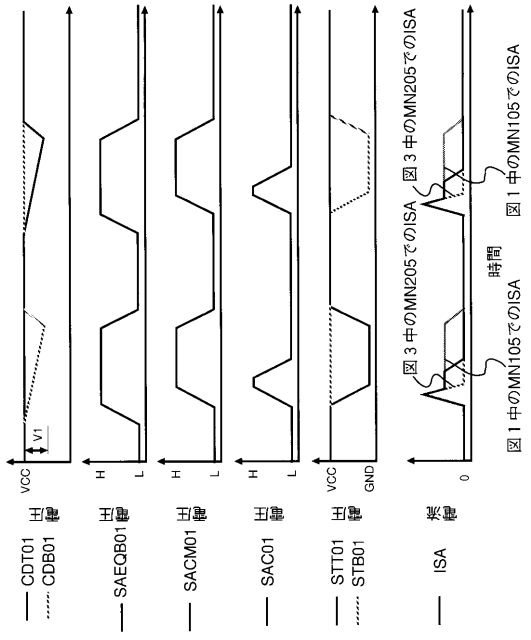
【図１２】

図 １２



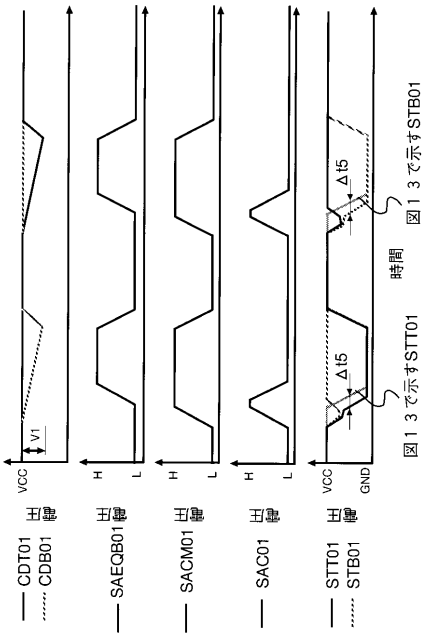
【図１３】

図１３



【図１４】

図１４



フロントページの続き

(74)代理人 100068504
弁理士 小川 勝男
(72)発明者 矢幡 秀治
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業部内
(72)発明者 西尾 洋二
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業部内
(72)発明者 小宮路 邦広
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業部内
(72)発明者 豊嶋 博
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 原田 昌樹
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 長野 知博
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 平石 厚
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業部内
(72)発明者 福井 健一
東京都小平市上水本町五丁目２０番１号 株式会社日立製作所半導体事業部内
(72)発明者 厨子 弘文
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 園田 崇宏
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 川内野 晴子
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内
(72)発明者 森田 貞幸
東京都小平市上水本町５丁目２０番１号 日立超エル・エス・アイ・エンジニアリング株式会社内

審査官 長島 孝志

(56)参考文献 米国特許第０５５０６５２４（ＵＳ，Ａ）
米国特許第０５０４９７６０（ＵＳ，Ａ）
米国特許第０５４９７１１５（ＵＳ，Ａ）
特開平０８－１０６７８６（ＪＰ，Ａ）
特開平０８－２２１９９５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/401-11/419