

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3832945号

(P3832945)

(45) 発行日 平成18年10月11日(2006.10.11)

(24) 登録日 平成18年7月28日(2006.7.28)

(51) Int. Cl. F I  
**H O 1 L 21/66 (2006.01)**  
H O 1 L 21/66 B  
H O 1 L 21/66 H

請求項の数 12 (全 18 頁)

|           |                         |           |                     |
|-----------|-------------------------|-----------|---------------------|
| (21) 出願番号 | 特願平9-288290             | (73) 特許権者 | 000005821           |
| (22) 出願日  | 平成9年10月21日(1997.10.21)  |           | 松下電器産業株式会社          |
| (65) 公開番号 | 特開平11-121557            |           | 大阪府門真市大字門真1006番地    |
| (43) 公開日  | 平成11年4月30日(1999.4.30)   | (74) 代理人  | 100077931           |
| 審査請求日     | 平成15年10月14日(2003.10.14) |           | 弁理士 前田 弘            |
|           |                         | (74) 代理人  | 100094134           |
|           |                         |           | 弁理士 小山 廣毅           |
|           |                         | (74) 代理人  | 100107445           |
|           |                         |           | 弁理士 小根田 一郎          |
|           |                         | (72) 発明者  | 中野 武志               |
|           |                         |           | 大阪府門真市大字門真1006番地 松下 |
|           |                         |           | 電器産業株式会社内           |
|           |                         | (72) 発明者  | 仲矢 修治               |
|           |                         |           | 大阪府門真市大字門真1006番地 松下 |
|           |                         |           | 電器産業株式会社内           |
|           |                         |           | 最終頁に続く              |

(54) 【発明の名称】 半導体装置の製造方法、半導体ウェハおよびその半導体ウェハを用いて行う半導体装置の検査方法、バーンイン装置

(57) 【特許請求の範囲】

## 【請求項1】

複数のチップを含む半導体ウェハであって、  
前記複数のチップの各々は、  
内部回路と、  
チップ選択信号を受け取るパッド電極と、  
前記パッド電極と前記内部回路との間に設けられた遅延回路とを備え、  
前記遅延回路は、直列的に接続された複数の遅延回路素子と、前記複数の遅延回路素子の各々の入力部を出力部に接続する配線とを含み、前記配線の少なくとも一部はヒューズ素子として機能することを特徴とする半導体ウェハ。

## 【請求項2】

前記パッド電極は、ウェハー括型バーンイン検査のためのチップ選択信号を受け取るパッド電極であり、通常の動作時にチップ選択信号を受け取るためのパッド電極からは分離されていることを特徴とする請求項1記載の半導体ウェハ。

## 【請求項3】

バーンインモード検出回路と、  
前記バーンインモード検出回路からの出力に応答して、前記チップ選択信号を前記遅延回路に与える回路素子と、  
を更に備えていることを特徴とする請求項1記載の半導体ウェハ。

## 【請求項4】

10

20

請求項 1 から 3 のいずれか 1 項に記載の半導体ウェハを用いた半導体装置の製造方法であって、

前記半導体ウェハを用意する工程と、

前記チップ選択信号を共通に受け取る複数のチップのうち少なくとも2個のチップ間で、前記遅延回路による前記チップ選択信号の遅延程度が異なるように前記ヒューズ素子の一部を溶断する工程を包含していることを特徴とする半導体装置の製造方法。

【請求項5】

ウェハ一括型検査測定用プローブカードを用いてバーンイン検査を行う工程と、

前記半導体ウェハから各チップを分離する工程と、

を更に包含することを特徴とする請求項 4 記載の半導体装置の製造方法。

10

【請求項6】

前記プローブカードは、二次元的に配列された複数のプローブ電極と、前記複数のプローブ電極に電氣的に接続された多層配線基板とを備えたウェハ一括型測定検査用のプローブカードであることを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項7】

前記プローブ電極がバンプ電極であることを特徴とする請求項 6 記載の半導体装置の製造方法。

【請求項8】

前記プローブ電極と前記多層配線基板との間において、前記プローブ電極を前記多層配線基板に電氣的に接続するための導電性ゴムを備えていることを特徴とする請求項 7 記載の半導体装置の製造方法。

20

【請求項9】

前記プローブ電極が剛性リングに張力を持った状態で張られた薄膜上に形成されていることを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項10】

請求項 1 から 3 のいずれか 1 項に記載の半導体ウェハを用いて行う半導体装置の検査方法であって、

前記半導体ウェハ上の前記配線の前記ヒューズ素子として機能する部分を選択的に溶断する工程と、

前記複数のチップのそれぞれのパッド電極に、対応するプローブ電極をコンタクトさせる工程と、

30

前記複数のチップのそれぞれのパッド電極に対して、前記プローブ電極を介してチップ選択信号を供給する工程と、

を包含することを特徴とする半導体装置の検査方法。

【請求項11】

前記ヒューズ素子として機能する部分を選択的に溶断する工程は、共通するチップ選択信号を受け取る複数のチップ間で信号遅延の程度が異なるように行うことを特徴とする請求項 10 記載の半導体装置の検査方法。

【請求項12】

バーンイン動作時に複数のチップ選択信号線に印加するための共通の信号パターンを生成する回路と、

40

ダイナミックバーンイン動作時に前記信号パターンから位相のずれたチップ選択信号を生成する回路とを備え、

前記チップ選択信号における前記信号パターンからの位相のずれは、20ナノ秒から100ナノ秒の範囲内であり、

異なるチップ選択信号線に対して異なるタイミングで前記チップ線選択信号を印加することを特徴とするウェハ一括型バーンイン装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は、半導体装置およびその製造方法、半導体ウェハおよびその半導体ウェハを用いて行う半導体装置の検査方法、プローブカードならびにバーンイン装置に関する。

#### 【0002】

##### 【従来の技術】

近年、半導体集積回路装置（以後、「半導体装置」と称する。）を搭載した電子機器の小型化及び低価格化の進展は目ざましく、これに伴って、半導体装置に対する小型化及び低価格化の要求が強くなっている。

#### 【0003】

通常、半導体装置は、半導体チップとリードフレームとがボンディングワイヤによって電氣的に接続された後、半導体チップ及びリードフレームが樹脂又はセラミクスにより封止された状態で供給され、プリント基板に実装される。ところが、電子機器の小型化の要求から、半導体装置を半導体ウェハから切り出したままの状態（以後、この状態の半導体装置をベアチップと称する。）で回路基板に直接実装する方法が開発され、品質が保証されたベアチップを低価格で供給することが望まれている。

10

#### 【0004】

ベアチップに対して品質保証を行なうためには、半導体装置に対してウェハ状態でバーンイン等の検査をする必要がある。ところが、半導体ウェハ上に形成されている複数のベアチップに対して1個又は数個ずつ何度にも分けて検査を行なうことは多くの時間を要するので、時間的にもコスト的にも現実的ではない。そこで、全てのベアチップに対してウェハ状態で一括してバーンイン等の検査を行なうことが要求される。

20

#### 【0005】

ベアチップに対してウェハ状態で一括して検査を行なうには、半導体ウェハ上に形成された複数の半導体チップの電極に電源電圧や信号を同時に印加し、該複数の半導体チップを動作させる必要がある。このためには、非常に多く（通常、数千個以上）のプローブ針を持つプローブカードを用意する必要があるが、このようにするには、従来のニードル型プローブカードではピン数の点からも価格の点からも対応できない。

#### 【0006】

そこで、ウェハ上の多数のパッド電極に対してプローブ電極を一括的にコンタクトできるプローブカードが提案されている（特開平7-231019号公報）。この技術によれば、プローブカードに多数のバンプを形成し、これらのバンプをプローブ電極として用いる。

30

#### 【0007】

##### 【発明が解決しようとする課題】

ウェハ一括型のプローブカードを用いてバーンイン検査を行う場合、各ウェハに含まれる多数のチップを同時に動作させることになる。多数のチップについて、その動作を同時に開始すると、チップ動作の最初に瞬時的に大量の電流をウェハに供給する必要性が生じる。計算では、そのような大量の電流をウェハに供給しようとする、プローブカード上の配線抵抗によって電源電圧が大きく降下するおそれや、プローブカード上の配線が大電流に耐えきれず断線するおそれがある。

#### 【0008】

本発明は上記問題に鑑みてなされたものであり、その目的とするところは、選択された複数のチップが動作を開始する時点で各チップに流れる電流のピークを分散させることのできる半導体装置およびその製造方法、そのような半導体装置を含む半導体ウェハ、その半導体ウェハを用いて行う半導体装置の検査方法、その検査方法に用いるプローブカード、ならびにバーンイン装置を提供することにある。

40

#### 【0009】

##### 【課題を解決するための手段】

本発明の半導体装置は、内部回路と、チップ選択信号を受け取るパッド電極と、前記パッド電極と前記内部回路との間に設けられた遅延回路とを備え、前記遅延回路は、直列的に接続された複数の遅延回路素子と、前記複数の遅延回路素子の各々の入力部を出力部に接

50

続する配線とを含み、前記配線の少なくとも一部はヒューズ素子として機能する。

【0010】

前記パッド電極は、ウェハー括型バーンイン検査のためのチップ選択信号を受け取るパッド電極であり、通常の動作時にチップ選択信号を受け取るためのパッド電極からは分離されていてもよい。

【0011】

バーンインモード検出回路と、前記バーンインモード検出回路からの出力に応答して、前記チップ選択信号を前記遅延回路に与える回路素子とを更に備えていてもよい。

【0012】

本発明の半導体ウェハは、複数のチップを含む半導体ウェハであって、前記複数のチップの各々は、内部回路と、チップ選択信号を受け取るパッド電極と、前記パッド電極と前記内部回路との間に設けられた遅延回路とを備え、前記遅延回路は、直列的に接続された複数の遅延回路素子と、前記複数の遅延回路素子の各々の入力部を出力部に接続する配線とを含み、前記配線の少なくとも一部はヒューズ素子として機能する。

10

【0013】

前記パッド電極は、ウェハー括型バーンイン検査のためのチップ選択信号を受け取るパッド電極であり、通常の動作時にチップ選択信号を受け取るためのパッド電極からは分離されていてもよい。

【0014】

バーンインモード検出回路と、前記バーンインモード検出回路からの出力に応答して、前記チップ選択信号を前記遅延回路に与える回路素子とを更に備えていてもよい。

20

【0015】

本発明の半導体装置の製造方法は、前記半導体ウェハを用いた半導体装置の製造方法であって、前記半導体ウェハを用意する工程と、前記チップ選択信号を共通に受け取る複数のチップのうち少なくとも2個のチップ間で、前記遅延回路による前記チップ選択信号の遅延程度が異なるように前記ヒューズ素子の一部を溶断する工程を包含する。

【0016】

ウェハー括型検査測定用プローブカードを用いてバーンイン検査を行う工程と、前記半導体ウェハから各チップを分離する工程とを更に包含していてもよい。

【0017】

前記プローブカードは、二次元的に配列された複数のプローブ電極と、前記複数のプローブ電極に電氣的に接続された多層配線基板とを備えたウェハー括型測定検査用のプローブカードであることが好ましい。

30

【0018】

前記プローブ電極はバンプ電極であることが好ましい。

【0019】

前記プローブ電極と前記多層配線基板との間において、前記プローブ電極を前記多層配線基板に電氣的に接続するための導電性ゴムを備えていることが好ましい。

【0020】

前記プローブ電極は剛性リングに張力を持った状態で張られた薄膜上に形成されていることが好ましい。

40

【0021】

前記プローブ電極は前記多層配線基板の配線の少なくとも一部から形成されていることが好ましい。

【0022】

本発明の半導体装置の検査方法は、前記半導体ウェハを用いて行う半導体装置の検査方法であって、前記半導体ウェハ上の前記配線の前記ヒューズ素子として機能する部分を選択的に溶断する工程と、前記複数のチップのそれぞれのパッド電極に、対応するプローブ電極をコンタクトさせる工程と、前記複数のチップのそれぞれのパッド電極に対して、前記プローブ電極を介してチップ選択信号を供給する工程とを包含する。

50

**【0023】**

前記ヒューズ素子として機能する部分を選択的に溶断する工程は、共通するチップ選択信号を受け取る複数のチップ間で信号遅延の程度が異なるように行うことが好ましい。

**【0024】**

本発明のプロブカードは、二次元的に配列された複数のプロブ電極と、前記複数のプロブ電極に電氣的に接続された多層配線基板とを備えたプロブカードであって、前記多層配線基板中の多層配線は、複数のチップ選択信号線を含み、前記複数のチップ選択信号線の少なくとも一つは遅延回路素子を含んでおり、その結果、前記複数のチップ選択信号線の一端にチップ選択信号が同時に印加された場合において、前記複数のチップ選択信号線他端に到達する前記チップ選択信号の遅延程度に差異が生じる。

10

**【0025】**

前記プロブ電極はバンプ電極であることが好ましい。

**【0026】**

前記プロブ電極と前記多層配線基板との間において、前記プロブ電極を前記多層配線基板に電氣的に接続するための導電性ゴムを備えていることが好ましい。

**【0027】**

前記プロブ電極は剛性リングに張力を持った状態で張られた薄膜上に形成されていることが好ましい。

**【0028】**

前記プロブ電極は前記多層配線基板の配線の少なくとも一部から形成されていることが好ましい。

20

**【0029】**

本発明のバーンイン装置は、バーンイン動作時に複数のチップ選択信号線に印加するための共通の信号パターンを生成する回路と、ダイナミックバーンイン動作時に前記信号パターンから位相のずれたチップ選択信号を生成する回路とを備え、異なるチップ選択信号線に対して異なるタイミングで前記チップ選択信号を印加する。

**【0030】**

前記位相のずれの最小値は、約20ナノ秒から約100ナノ秒の範囲内にあることが好ましい。

**【0031】**

30

**【発明の実施の形態】**

まず、本発明の理解を容易にするため、本発明が適用されるウェハー括型測定・検査技術を説明する。

**【0032】**

図1には、ウェハ上の多数のパッド電極に対してプロブ電極を一括的にコンタクトできるプロブカード1が示されている。測定・検査の対象となる素子・回路が形成されたウェハ（例えば直径200mmのシリコンウェハ）2は、チップ状に分割されることなく、そのままの状態でウェハトレイ3上に載置される。測定・検査に際して、ウェハ2はプロブカード1とウェハトレイ3との間に挟まれる。プロブカード1とウェハトレイ3との間にできる僅かな空間は、シールリング4によって大気からシールされる。その空間を真空バルブ5を介して減圧する（例えば大気圧に比べて200ミリトル程度減圧することにより、プロブカード1は大気圧の力をかりて均等にウェハ2を押圧する。その結果、プロブカード1のプロブ電極は、広いウェハ2の全面にわたって均等な力でウェハ2上のパッド電極を押圧することができる。プロブカード1上の多数のプロブ電極がウェハ2上の所定のパッド電極と確実に接触するためには、接触の前に、プロブカード1とウェハ2との間のアライメントを高精度で実行する必要がある。

40

**【0033】**

このようなウェハー括型の測定・検査技術によれば、ウェハ2の全面に形成された数千から数万個以上の多数のパッド電極に対して、プロブカード1に形成した多数のプロブ電極を同時にしかも確実にコンタクトさせることができる。

50

## 【0034】

図2は、本発明のプロブカード20の断面構成例を示している。

## 【0035】

このプロブカード20は、測定・検査装置に電氣的に接続されることになる多層配線基板21と、バンプ付きポリイミド薄膜22と、それらの間に設けられた局在型異方導電性ゴム23とを少なくとも備えている。局在型異方導電性ゴム23は、多層配線基板21の電極配線21bとバンプ付きポリイミド薄膜22のバンプ22bとを電氣的に接続する弾性部材である。図2では、上記3つの部材21～23が縦方向に分離された状態が示されているが、これらの部材21～23を密着固定することにより、一枚のプロブカード20が形成される。

10

## 【0036】

多層配線基板21としては、ガラス基板21a上に多層配線21bが形成されたものを使用できる。ガラス基板21aは、広い面積にわたって高い平坦性を持つものが比較的容易に作製され得るので好ましい。また、ガラスの熱膨張係数はシリコンウェハの熱膨張係数に近いたため、ガラスは、特にバーンイン用プロブカードの多層配線基板の材料として好適である。

## 【0037】

多層配線21bの形成は、公知の薄膜堆積技術とパターンニング技術を用いて行える。たとえば、銅(Cu)などの導電性薄膜をスパッタリング法等によりガラス基板21a上に堆積した後、フォトリソグラフィおよびエッチング工程で導電性薄膜をパターンニングすれば、任意のパターンを持った配線21bを形成することができる。異なるレベルの配線21bは、層間絶縁膜21cにより分離される。層間絶縁膜21cは、たとえばポリイミド薄膜をスピコート等の方法でガラス基板21a上に形成することで得られる。多層配線21bは、面内に二次元的に配列される多数のバンプ(プロブ電極)22bをプロブカード20の周辺領域に設けられた不図示の接続電極やコネクタに電氣的に接続し、外部の検査装置や検査回路とプロブ電極22bとの電氣的接続を可能にするものである。

20

## 【0038】

バンプ付きポリイミド薄膜22は、たとえば次のようにして得られる。まず、厚さ18μm程度のポリイミド薄膜22aと厚さ35μm程度の銅薄膜とが二層になった基材に多数の開口部(内径20～30μm程度)を設ける。電解メッキなどの方法を用いて各開口部をNi等の金属材料で埋め込み、バンプ22bを形成する。ポリイミド薄膜22aから銅薄膜の不要部分をエッチングで除去すれば、図示されるようなバンプ付きポリイミド薄膜22が得られる。バンプ22bの高さは、一例としては、約20μm程度である。バンプの横方向サイズは、40μm程度である。ポリイミド薄膜22aのどの位置にバンプ22bを形成するかは、測定対象ウェハ25のどの位置にパッド電極26が形成されているかに依存して決定される。

30

## 【0039】

局在型異方導電性ゴム23は、シリコン製ゴムのシート(厚さ200μm程度)23a内の特定箇所に導電性粒子23bが配置されており、その箇所で導通方向(膜厚方向)に鎖状につながったものである。多層配線基板21とバンプ22bとの間に、弾力性を持ったゴムを介在させることにより、ウェハ25上の段差やウェハ25のそりの影響を受けることなく、プロブカード20のバンプ22bとウェハ25上の電極26との間のコンタクトを確実に実現することができる。

40

## 【0040】

このようなプロブカード20をバーンイン検査に使用する場合、ポリイミド薄膜22aの熱膨張係数(約 $16 \times 10^{-6}/^{\circ}\text{C}$ )とウェハ25の熱膨張係数(約 $3 \times 10^{-6}/^{\circ}\text{C}$ )とが異なるため、バーンインのための加熱時に、ポリイミド薄膜22a上のバンプ22bの位置がウェハ25上のパッド電極26の位置に対して横方向にずれてしまう。この位置ズレは、ウェハ25の中央部よりも周辺部で大きくなり、ウェハ25とプロブカード20との間で正常な電氣的コンタクトがとれなくなる。このような問題を解決するには、特開

50

平7-231019号公報に開示されているように、熱膨張係数がシリコンウェハに近いセラミックリングなどの剛性リング（不図示）にポリイミド薄膜22aを張りつけ、そのポリイミド薄膜22aにあらかじめ張力を与えておくことが有効である。この場合、ポリイミド薄膜22aを剛性リングに張りつけてから、バンプ22bを形成する方がよい。バンプ22bの位置がずれにくいからである。

#### 【0041】

ウェハ25は、ウェハトレイ28に配置される。ウェハ25を搭載したウェハトレイ28がプローブカード20に対して適切な位置にくるようにアライメント工程を行った後、プローブカード20とウェハトレイ28との間隔が縮小される。その結果、ウェハ25上のパッド電極26とプローブカード20のバンプ22bとが物理的にコンタクトする。前述のように、プローブカード20とウェハトレイ28との間のシールされた空間を減圧することにより、各バンプ22bがほぼ均等な力をもってウェハ25上のパッド電極26を押圧することとなる。その後、不図示の駆動回路や検査回路からの電気信号および電源電圧が、プローブカード20のバンプ22を介してウェハ25上のパッド電極26に供給される。バーニン検査の場合、プローブカード20、ウェハ25およびウェハトレイ28は、図3に示されるような状態で、一体的にバーニン装置に挿入され、加熱される。

10

#### 【0042】

検査・測定の間、および、その前後において、プローブカード20、ウェハ25およびウェハトレイ28は、図3に示されるような状態に維持される。前述の密閉空間が減圧状態にあるウェハトレイ28は、プローブカード20から離脱することなく、これらの部材は一体的にウェハ25を挟持している。

20

#### 【0043】

ウェハ一括型の検査・測定が終了すると、プローブカード20とトレイ28との間にできた密閉空間の圧力を上昇させ、大気圧程度に回復させる。その結果、トレイ28はプローブカード20から分離され、中からウェハ25が取り出される。

#### 【0044】

以下に、図4を参照しながら本発明による半導体装置およびその検査方法を説明する。

#### 【0045】

図4は、ウェハ上に含まれる半導体集積回路チップ（以下、「チップ」と称する）の一部とプローブカード上の配線の一部（データ入出力線Data1～Data5およびチップ選択信号線CS1～CS4）とを模式的に示している。なお、本願明細書では、ダイシング等によって最終的にウェハから切り出される各チップを、ウェハから切り出される前の状態においても、「チップ」と称することとする。

30

#### 【0046】

図4に示されるように、プローブカード上の配線は、プローブカード上のバンプ（図中、黒丸点で示されている）を介して、各チップ内のパッド電極に電氣的に接続される。図4の例では、ウェハ上のある行（ロウ：row）に属するチップは、プローブカード上のチップ選択信号線CS1～CS4のいずれかに接続される。また、ウェハ上のある列（カラム：column）に属するチップは、プローブカード上の共通のデータ入出力線Data1～Data5のいずれかに接続される。なお、図4には、20個のチップしか示されていないが、現実には、これより多くのチップが一枚のウェハ上に配列され、図示されるよりも多くのデータ入出力線およびチップ選択信号線がプローブカード上に設けられる。一枚のウェハに含まれるチップの数は、ウェハサイズとチップサイズとに依存して変化するが、典型的には数百個である。

40

#### 【0047】

図5（a）は、ひとつのチップ上における入出力用パッド電極50～53およびチップ選択信号用パッド電極54の配置例を模式的に示している。これに対して、図5（b）は、プローブカード上のデータ入出力線55～58およびチップ選択信号線59並びにバンプ60の一部を模式的に示している。図5（b）のバンプ60は、図5（a）の入出力用パッド電極50～53およびチップ選択信号用パッド電極54にコンタクトするように配置

50

されている。現実のプロブカード上には、他の配線とそれに接続するパンプも多数設けられている。それら種類の異なる配線は、相互に短絡しないように絶縁膜を介して多層化され絶縁分離されている。図5(b)のデータ入出力線55～58もチップ選択信号線59とは異なるレベルに形成されており、相互に絶縁分離されている。

#### 【0048】

図5(a)に示すように、チップの内部回路41内にはチップ選択回路42が設けられており、このチップ選択回路42は、チップ選択信号用パッド電極59に接続されている。本実施形態のウェハ一括型バーンイン検査に際しては、ウェハ上のある行に属するチップのチップ選択回路42が、それぞれのチップ選択信号用パッド電極54を介して、プロブカード上の共通のチップ選択線59からチップ選択信号を受け取る。ある行（すべての行の場合もあれば、一行の場合もある。）に属するチップを動作させる場合、その行に接続されているチップ選択信号線（複数の場合もあれば、単数の場合もある。）にチップ選択信号を印加すれば良い。その結果、選択した行に属するチップの内部回路41が動作し、データ入出力などの各種の動作が実行される。

10

#### 【0049】

本実施形態では、ウェハ上のある列に属するチップの内部回路41は、それぞれの入出力用パッド電極を介して、プロブカード上の共通のデータ入出力線55～58に接続される（簡単化のため「出力回路」は図示されていない。）。従って、ある列に属するチップ内のデータをデータ入出力線55～58から読み出そうとするときは、同時に複数のチップ内のデータを読み出すことはできないので、その列に属する複数のチップのそれぞれから各データを順次読み出す必要性がある。このような順次読み出しを実行するには、上述のチップ選択信号をチップ選択信号線CS1～CS4に時間的に重複しないように順次印加してゆけば良い。

20

#### 【0050】

なお、図5(a)では各チップに4個の入出力用パッド電極が設けられているが、入出力用パッド電極の数は1の場合もあれば、4以上の場合もある。取り扱うデータのビット幅に応じて入出力用パッド電極の数は異なる。また、一つのチップ選択線に接続されるチップの数も、図4に示される例（5個）に限られるわけではない。また、チップ選択信号線およびデータ入出力線の走る方向が90度回転することによって、行(row)と列(column)とが入れ替わってもよいことは言うまでもない。

30

#### 【0051】

次に、図6を参照しながら本実施形態にかかる半導体装置の構造をより詳細に説明する。

#### 【0052】

本半導体装置は、入出力用パッド電極54とチップ選択回路42との間を直列的に接続する複数の遅延回路素子61aおよび61bと、各遅延回路素子61a、61bの入力部および出力部を接続する配線62とを備えている。これらは、遅延回路を形成している。この遅延回路の詳細を図7(a)に示す。

#### 【0053】

各遅延回路素子61a、61bの入力部および出力部を接続する配線62は、バーンイン検査前のトリミング工程で溶断され得る材料から形成されているか、または、そのような材料から形成された部分を少なくとも一部に含んでいる。図7(a)では、配線62がポリシリコンから形成されたヒューズ素子70を含む場合を示している。このヒューズ素子70は、トリミング用レーザ光の照射を受けると容易に溶断する。

40

#### 【0054】

図6に示される6個のチップ63～68のうち、一番左に位置するチップ63および66においては、2つの遅延回路素子61aおよび61bに割り当てられたすべてのヒューズ素子が溶断されている。左から2番目のチップ64および67においては、2つの遅延回路素子61aおよび61bのうち一方に割り当てられたヒューズ素子のみが溶断されている。左から3番目のチップ65および68においては、2つの遅延回路素子61aおよび61bに割り当てられたいずれのヒューズ素子も溶断されていない。

50

**【0055】**

この結果、一番左のチップ63および66では、チップ選択信号用パッド電極54に入力されたチップ選択信号が2つの遅延回路素子61aおよび61bを通してチップ選択回路42に入力されることになる。これに対して、左から2番目のチップ64および67では、チップ選択信号用パッド電極54に近い遅延素子61aに割り当てられたヒューズ素子が溶断していないため、チップ選択信号は、そのヒューズ素子と、2番目の遅延回路素子61bを通してからチップ選択回路42に入力される。また、左から3番目のチップ65および68では、チップ選択信号用パッド電極54に入力されたチップ選択信号は、いずれ遅延回路素子61a、61bをも通ることなく、ヒューズ素子を含む配線62を通してチップ選択回路42に入力される。

10

**【0056】**

一つの遅延回路素子61aまたは61bを信号が通る間に遅延する時間は、数十ナノ秒程度以上に設定されることが好ましい。その程度の遅延がチップ選択信号に生じると、各チップの動作開始時点における電流ピークの問題は大きく緩和されるからである。

**【0057】**

本実施形態によれば、チップ選択回路42に到達するチップ選択信号の遅延程度は、同じチップ選択信号線に接続されたチップ間で異なっている。図8(a)は、チップ65(または68)を流れる電流の波形を示している。これに対して、図8(b)は、チップ64(または67)を流れる電流の波形を示している。チップ64(または67)の動作開始ポイントは、チップ65(または68)の動作開始ポイントよりも数十ナノ秒程度遅れているため、図8(b)の電流ピークも、数十ナノ秒程度、図8(a)の電流ピークよりも遅れている。その結果、複数チップの電流ピーク合計値は小さくなる。

20

**【0058】**

N個の遅延回路素子を図7(b)に示すように直列に接続した場合、溶断するヒューズ素子数(0個からN個)に応じて、N+1通りの信号遅延時間を生じさせることができる。従って、N+1個のチップが同時に同じチップ選択信号を受け取る場合において、もし、すべてのチップの動作開始ポイントを完全にシフトさせたい場合は、N個の遅延素子を各チップ内に設けておけばよい。ただし、すべてのチップの動作開始ポイントを完全にシフトさせる必要性は必ずしもない。例えば、図6に示されるような遅延回路素子を持った3個のチップ63~65(または66~68)を行方向に沿って周期的に配列するだけでも、同時にすべてのチップが動作を開始する場合に比較して、電流ピークが3分の1に低減する。

30

**【0059】**

このように、本実施形態によれば、チップ選択信号が同じタイミングで複数のチップ選択信号用パッド電極54に入力されても、チップ選択回路42の動作開始タイミングがずれることになる。その結果、動作開始直後に測定装置およびプローブカードを流れる電流のピークを大幅に低減することができる。

**【0060】**

バーンイン検査の途中において、不良チップの生成割合を行毎にモニタリングする場合がある。このようなモニタリングは、バーンイン検査の途中に、図4に示すチップ選択信号線CS1~CS4に順次チップ選択信号を印加してゆくことで実行可能になる。図6の場合では、まず、チップ選択信号線CS1にチップ選択信号が印加され、チップ63~65(および同じ行に属している不図示の他のチップも含む)のモニタリングが行われた後、チップ選択信号線CS2にチップ選択信号が印加され、チップ66~68(および同じ行に属している不図示の他のチップも含む)のモニタリングが行われる。

40

**【0061】**

本実施形態によれば、各行に属する複数のチップ間で動作開始ポイントがシフトするため、通常のバーンイン検査時(ダイナミックバーンインモード時)はもちろん、モニタリング(テストモード)に際しても、電流ピーク分散の効果が得られる。

**【0062】**

50

上記実施形態では、チップ選択信号用パッド電極54とチップ選択回路42との間に遅延回路素子を接続しているが、このチップ選択信号用パッド電極および遅延回路素子は、いずれも、バーンイン検査のために特別に半導体装置に設けたものである。従って、ウェハからチップが切り出された後は不要となる。一方、半導体集積回路チップは、チップ選択のためのチップイネーブル（CE）信号を受け取るCEパッド電極を本来的に備えている場合がある。また、DRAMの場合、RAS信号を外から受け取るためのパッド電極を備えている。このような既存のパッド電極をバーンイン検査時の上記チップ選択信号用パッド電極として使用できれば、余分なパッド電極を半導体装置内に形成する必要がなくなる。

**【0063】**

10

以下、図9（a）および（b）を参照しながら、CE信号用パッド電極をバーンイン時のチップ選択信号用パッド電極として使用するための実施形態を説明する。

**【0064】**

図9（a）は、本実施形態にかかる半導体装置の主要部を示している。この半導体装置は、内部回路に接続されたCE信号用パッド電極と、前述の遅延回路と、CE信号用パッド電極と遅延回路の入力部との間に設けられた第1のトランスファークゲート90aと、CE信号用パッド電極と内部回路の入力部との間に設けられた第2のトランスファークゲート90bを備えている。これらのトランスファークゲート90aおよび90bは、半導体装置内に設けられたバーンインモード検知回路91の出力に応答して開閉する。バーンインモード検知回路91の内部構成例を図9（b）に示す。図9（b）に示されるように、このバーンインモード検知回路91では、電源電圧（Vdd）と接地電圧との間に抵抗R1および抵抗R2が直列的に接続されている。一方、電源電圧（Vdd）から定電流源93を介して一定の電流を流すように接続された抵抗R3が設けられおり、その両端には一定の電圧Viが生じる。この一定の電圧Viは、レファレンス電圧として比較器94の一端に与えられ、他端には抵抗R2の両端に生じた電圧が与えられる。抵抗R2の両端に生じる電圧は、電源電圧（Vdd）を抵抗R1および抵抗R2の抵抗比で分割した値を持つ。その値は、具体的には、 $Vdd \cdot R2 / (R1 + R2)$  となり、電源電圧Vddに比例する。電源電圧Vddが通常動作モードの電圧範囲を超えて、バーンインモードの電圧範囲に入ると、 $Vdd \cdot R2 / (R1 + R2)$  の値が一定電圧Viを超えるように、各抵抗の抵抗値及び低電流源が流す電流の値が設定されている。こうして、 $Vdd \cdot R2 / (R1 + R2)$  の値が一定電圧Viを超えると、比較器94の出力ノードAの電位が上昇する。その結果、第1のトランスファークゲート90aがオン状態に遷移する。これに対して、第2のトランスファークゲート90bのゲート電極には、出力ノードAの電位がインバータ92によって反転されたものが印加されたため、第1のトランスファークゲート90aがオン状態の時、第2のトランスファークゲート90bはオフ状態になる。

20

30

**【0065】**

通常動作モードでは、比較器94の出力ノードAの電位は低いため、第1のトランスファークゲート90aはオフ状態に維持され、第2のトランスファークゲート90bはオン状態に維持される。

**【0066】**

40

こうして、電源電圧Vddの値が通常動作のための電圧範囲を超えて高い場合、バーンインモードにあることを認識して遅延回路が使用される。その結果、前述したように、瞬時電流ピークを分散することができる。これに対して、各チップがウェハから切り出された後においては、電源Vddの値が通常動作のための電圧範囲にあるため、チップ選択のための信号は遅延回路を通ることなく内部回路に到達する。このため、不要な信号遅延は生じない。

**【0067】**

本実施形態によれば、バーンインモードにおいて、チップ選択信号は遅延回路を流れることになるが、通常の動作モードでは、遅延回路を経由することなく、内部回路に入力される。従って、バーンイン検査のときのチップ選択信号の印加を、通常のチップ選択信号用

50

パッド電極を用いて各チップに与えることが可能になる。なお、バーンインモード検知回路を用いることによって、バーンイン検査時にのみ遅延回路を使用するための具体的な回路構成は上記実施形態の回路構成に限定されない。

#### 【0068】

以上の実施形態では、いずれも、遅延回路素子を半導体装置の内部に設けている。しかし、遅延回路素子を設けるべき位置はこれに限定されない。以下、半導体装置の内部以外に遅延回路素子を設ける場合を説明する。

#### 【0069】

チップ選択信号等の信号や電源は、図10に示されるように、バーンイン装置100内の回路で生成され、プローブカード101上の多層配線およびプローブ電極を介して、ウェハ102上のパッド電極に供給される。また、ウェハ102上のパッド電極上に表れた信号（データ等）は、プローブカード101のプローブ電極および多層配線を介して、装置100内の所定回路に伝達される。

10

#### 【0070】

従って、チップ選択信号をチップ毎にシフトさせるためには、ウェハ102内にある半導体装置に前記遅延回路素子を設ける代わりに、プローブカード101上、またはバーンイン装置100内の回路上に遅延回路素子を設けても良い。この場合、チップ選択信号線の途中に前述のような遅延回路素子（図7（a）および（b）参照）を挿入することになる。従って、一つのチップ選択信号線から同一のチップ選択信号を共通に受け取るチップの間では、信号遅延は共通に生じる。

20

#### 【0071】

図11は、遅延回路素子をプローブカード11上のチップ選択信号線CS2～CS3に設けた場合の信号遅延を示す。この例では、遅延時間が相互に異なるチップ選択信号線CS1～CS3からチップ選択信号を受け取るチップの間では、動作の開始が遅延時間 $t_d$ ずつシフトする。そのため、電流ピークの分散化が達成される。このようにプローブカード上のチップ選択信号線の所定箇所に遅延素子を設けることにすれば、ウェハ内の各チップに遅延回路素子を設け、特定のチップ上のヒューズ素子に対してトリミング処理を行う必要性は無くなる。

#### 【0072】

また、プローブカード上に遅延回路を設ける代わりに、バーンイン装置100内にチップ選択信号の出力タイミングをシフトさせる構成を設けてもよい。この場合、バーンイン動作時において複数のチップ選択信号線に印加するための共通の信号パターンを生成する回路と、少なくともダイナミックバーンイン動作時にその信号パターンから位相のずれたチップ選択信号を生成する回路とをバーンイン装置内に設ければよい。このようなバーンイン装置を使用すれば、異なるチップ選択信号線に対して異なるタイミングでチップ選択信号を印加できるので、電流ピークの分散が達成される。

30

#### 【0073】

通常のバーンイン時（ダイナミックバーンイン時）においては、異なる行および異なる列に属するすべてのチップを動作させる。そのため、各チップ選択信号線にいっせいにチップ選択信号が印加される。そのような場合、同じ行に属するチップどうしの電流ピーク加算も問題になる。これに対して、バーンイン中のモニタリング時（テストング時）には、チップ選択信号が異なるチップ選択信号線に対して順次的に印加される。例えば、ある行に属するチップのモニタリング（検査）が終了してから、次の行に属するチップのモニタリングが行われる。従って、この場合、同じ列（カラム）に属するチップの動作開始ポイントはもともと大きく異なっているため、複数チップの電流ピーク加算による影響は比較的小さい。

40

#### 【0074】

以下、ダイナミックラム（DRAM）のバーンインを例にとって、上述のことを説明する。

#### 【0075】

50

まず、図12を参照する。図12は、通常のバーンイン時（ダイナミックバーンイン時）において、チップの主なパッド電極に印加される信号のタイミングチャートを示している。ここでは、RAS（ロウ・アドレス・ストロブ）信号をチップ選択信号として用いており、チップ選択時には「ロー（Low）」レベルになる。ここでは、チップAに与えるRAS信号をRAS（A）、チップBに与えるRAS信号をRAS（B）、チップCに与えるRAS信号をRAS（C）と表記することにする。この例において、チップA～Cは同じ列（カラム）の異なる行（ロウ）に属しているとする。図12には、CAS（カラム・アドレス・ストロブ）信号、WE（ライトイネーブル）信号、OE（アウトプットイネーブル）信号、アドレス信号、およびData（データ）信号のタイミングチャートもあわせて示されている。

10

**【0076】**

本来ならば、ダイナミックバーンイン動作時、RAS（A）、RAS（B）、およびRAS（C）は、同じ位相を持つ信号として生成され、対応する信号線に出力されるが、本実施形態では、図12に示されるように、RAS（B）およびRAS（C）の立ち下がりエッジは、RAS（A）の立ち下がりエッジよりも、それぞれ、時間 $t_1$ および時間 $t_2$ だけ遅れている。このような信号は、前述のように、バーンイン装置に設けた回路により生成されても良いし、プローブカード上に設けた遅延回路により形成しても良い。このような信号の位相ずれは、約20ナノ秒から約100ナノ秒の範囲内にあり、各チップが選択される期間（約150ナノ秒から約500ナノ秒）の長さに比べて十分に小さい。この位相ずれの程度は、後述するモニタリングモードでのRAS（A）、RAS（B）およびRAS（C）のタイミングのずれに比べて格段に小さい。

20

**【0077】**

このようにRAS（A）、RAS（B）およびRAS（C）の立ち下がりのタイミングに僅かのずれがあるだけで、チップAに流れる電流のピークに比べて、チップBおよびチップCに流れる電流のピークは時間的に遅れることになり、電流ピークの分散が実現する。

**【0078】**

図13（a）から（c）は、バーンインのモニタリング時（テストング時）におけるRAS信号のタイミングチャートを示している。図13（a）、（b）および（c）は、それぞれ、チップAの測定検査時、チップBの測定検査時およびチップCの測定検査時の場合を表している。RAS信号以外の信号（CAS信号やWE信号等）のタイミングチャートは、図12に示したものと同一であるので、図13（a）～（c）では、その記載を省略している。

30

**【0079】**

このように、本実施形態のバーンインのモニタリング時（テストング時）には、そもそも、チップA～Cの動作は異なる時間に実行される。

**【0080】**

上述の説明から明らかなように、本実施形態によれば、同じ列（カラム）に属するチップの動作開始ポイントを少しずつシフトさせることができるため、モニタリング時以外の通常のバーンイン時に顕著な電流分散効果をもたらす。

**【0081】**

なお、本実施形態に最初の実施形態を組み合わせることによって、通常のバーンイン時において、より一層おおきな電流ピーク分散効果を得ることができる。つまり、列方向の信号遅延および行方向の信号遅延の両方を重ね合わせて利用することにより、すべてのチップについて動作開始ポイントを相互シフトさせることも可能になる。

40

**【0082】**

以上、行ごとに共通のチップ選択信号を与える実施形態について、本願発明を説明してきたが、チップ選択信号線およびデータ入出力線とチップ配列との関係は、上記実施形態の関係に限定されない。チップ選択信号線やデータ入出力線がプローブカード上を蛇行していても良い。本発明は、複数のチップが共通のチップ選択信号線に接続されている場合に有効であるので、「行単位」ではなく、複数のチップからなる「ブロック単位」でチップ

50

選択を行う場合にも本願発明は有効に適用可能である。

【0083】

【発明の効果】

本発明によれば、ウェハ一括測定検査時において、多数のチップが動作する場合に、その動作開始のタイミングをずらすことによって、動作開始直後に各チップを流れる電流の合計値が非常に大きくなるという問題を回避できる。このため、プローブカード上の電流供給経路が大電流による発熱で断線・ショートする等の不具合や大きな電圧降下を生じるといった不具合を避けることができ、ウェハ一括型プローブカードを用いて多数のチップに対してバーンイン検査を行うことに実用上大きく貢献する。

【図面の簡単な説明】

【図1】ウェハ一括型の測定・検査技術を説明するための斜視図。

【図2】ウェハ一括型の測定・検査技術に用いられるプローブカード、ウェハおよびウェハトレイの構成を示す断面図。

【図3】測定時におけるプローブカード、ウェハおよびウェハトレイの関係を示す断面図。

【図4】ウェハ上に含まれるチップの一部とプローブカード上の配線の一部とを模式的に示すレイアウト図。

【図5】(a)は、ウェハ上に含まれるチップ上における入出力用パッド電極およびチップ選択信号用パッド電極の配置例を模式的に示す平面レイアウト図、(b)は、本実施形態にかかるプローブカード上のデータ入出力線およびチップ選択信号線並びにバンプ電極の一部の平面レイアウト図。

【図6】本発明の第1の実施形態にかかる半導体装置の構成を示す図。

【図7】(a)は、第1の実施形態における遅延回路素子と、その入力部および出力部を接続する配線とを示す模式図、(b)は、他の遅延回路の内部構成例を示す図。

【図8】(a)および(b)は、チップに流れる電流の波形を示すグラフ。

【図9】(a)は、本発明の第2の実施形態にかかる半導体装置の構成を示す図、(b)は、バーンインモード検知回路の内部構成例を示す回路図。

【図10】バーンイン装置、プローブカード、およびウェハの間の信号の流れを示す模式図。

【図11】チップ選択信号の遅延を示すタイミングチャート。

【図12】通常のバーンイン時（ダイナミックバーンイン時）において、チップの主なパッド電極に印加する信号のタイミングチャート。

【図13】バーンインのモニタリング時（テストング時）におけるRAS信号のタイミングチャートであって、(a)、(b)および(c)は、それぞれ、チップAの測定検査時、チップBの測定検査時およびチップCの測定検査時の場合を表すタイミングチャート。

【符号の説明】

- 1      プローブカード
- 2      ウェハ（例えば直径200mmのシリコンウェハ）
- 3      ウェハトレイ
- 4      シールリング
- 5      真空バルブ
- 20     プローブカード
- 21     多層配線基板
- 21a    ガラス基板
- 21b    電極配線
- 21c    層間絶縁膜
- 22     バンプ付きポリイミド薄膜
- 22a    ポリイミド薄膜
- 22b    バンプ

10

20

30

40

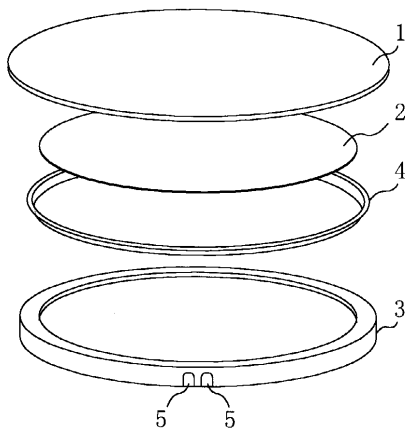
50

- 23 局在型異方導電性ゴム
- 25 ウェハ
- 26 パッド電極
- 28 ウェハトレイ
- 42 チップ選択回路
- C S 1 ~ C S 4 チップ選択信号線
- 50 ~ 53 データ入出力線
- 54 チップ選択信号用パッド電極
- 55 ~ 58 データ入出力線
- 60 バンプ
- 61 a 遅延回路素子
- 61 b 遅延回路素子
- 63 ~ 68 チップ
- 70 ヒューズ素子
- 90 a トランスファゲート
- 90 b トランスファゲート
- 91 バーンインモード検知回路
- 92 インバータ
- 93 定電流源
- 94 比較器

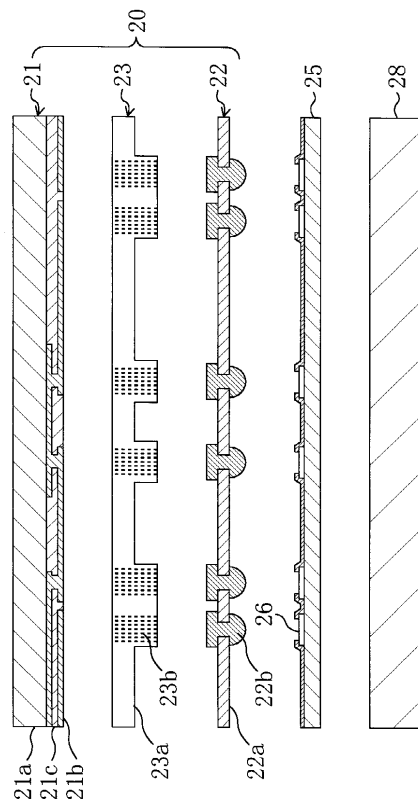
10

20

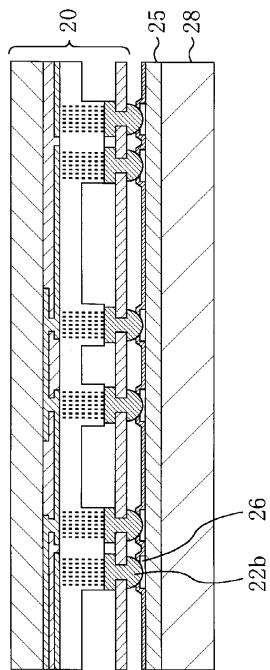
【図 1】



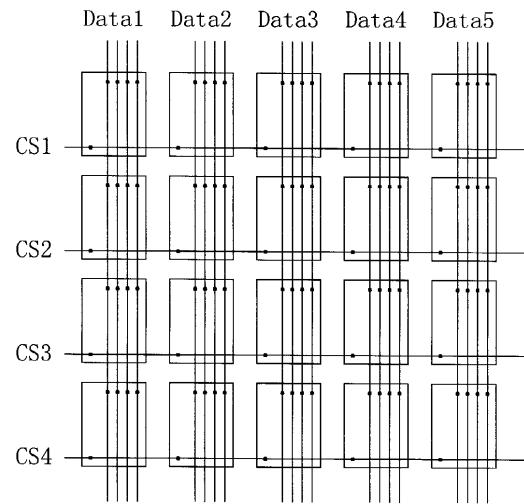
【図 2】



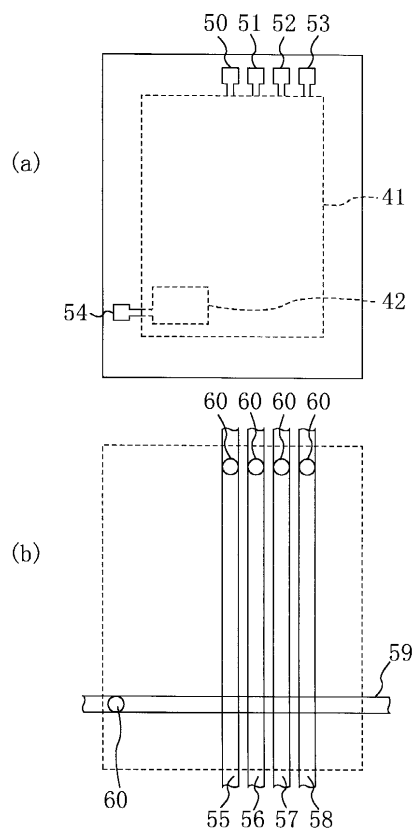
【図 3】



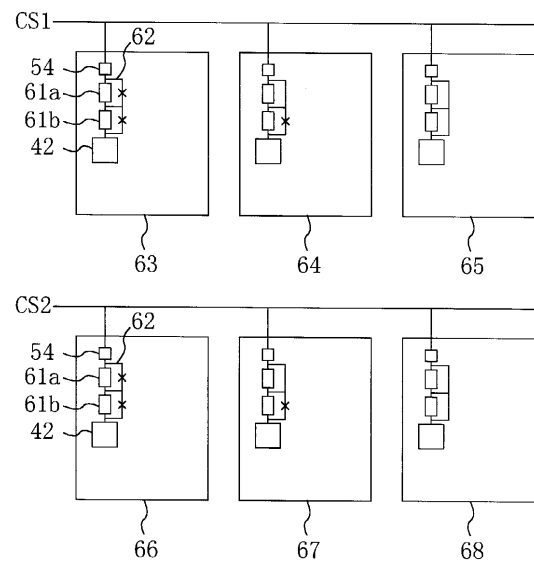
【図 4】



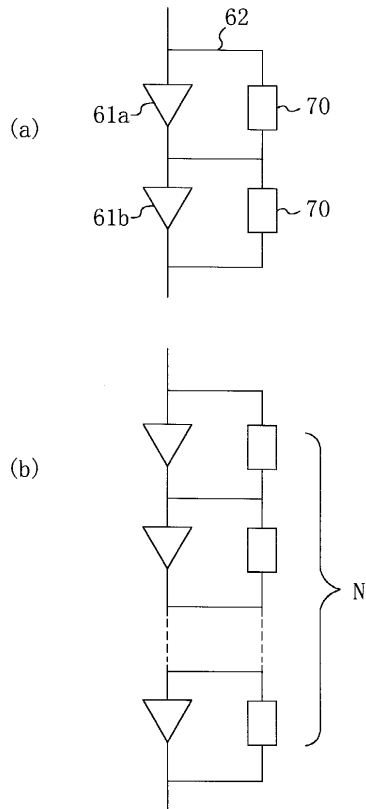
【図 5】



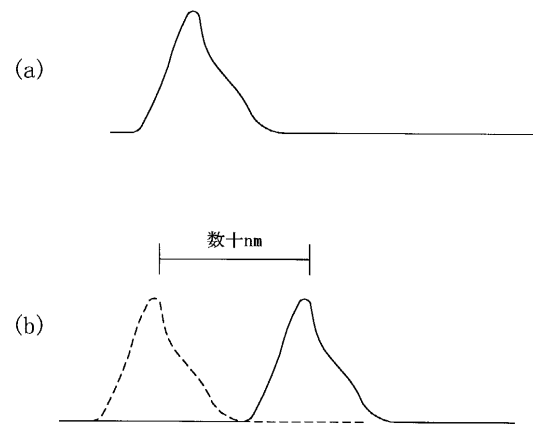
【図 6】



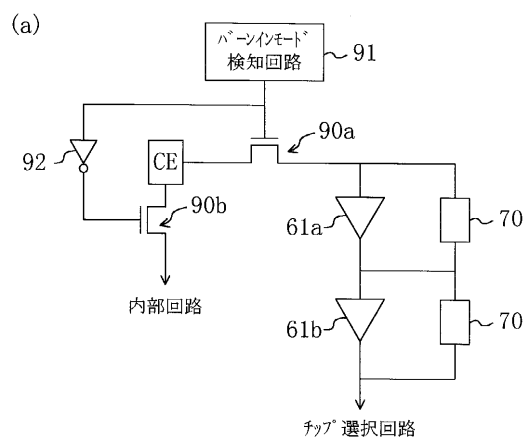
【図 7】



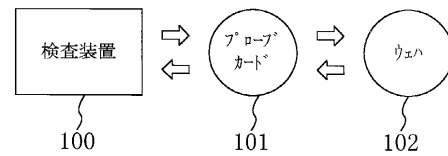
【図 8】



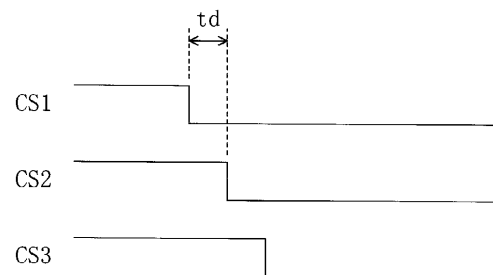
【図 9】



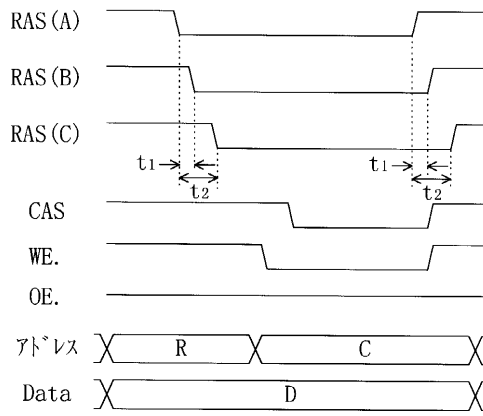
【図 10】



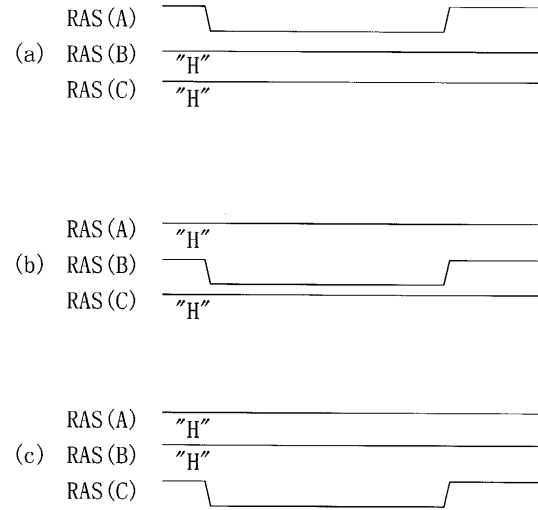
【図 11】



【図 1 2】



【図 1 3】



---

フロントページの続き

審査官 市川 篤

- (56)参考文献 特開昭64-003576 (JP, A)  
特開平07-231019 (JP, A)  
特開平05-142295 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 21/66  
G01R 31/26