



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0056269  
(43) 공개일자 2012년06월01일

- (51) 국제특허분류(Int. Cl.)  
*H01L 33/48* (2010.01) *H01L 33/54* (2010.01)  
*H01L 33/62* (2010.01)
- (21) 출원번호 10-2012-7006122
- (22) 출원일자(국제) 2010년07월19일  
심사청구일자 없음
- (85) 번역문제출일자 2012년03월07일
- (86) 국제출원번호 PCT/EP2010/060434
- (87) 국제공개번호 WO 2011/015449  
국제공개일자 2011년02월10일
- (30) 우선권주장  
102009036621.0 2009년08월07일 독일(DE)
- (71) 출원인  
오스람 옵토 세미컨덕터스 게엠베하  
독일 레겐스부르크 라이브니츠슈트라쎄 4 (우:93055)
- (72) 발명자  
바이트너, 칼  
독일 81245 뮌헨 차우저베크 6  
비르트, 칼프  
독일 93138 라페르스도르프 암 슬라그 33  
(뒷면에 계속)
- (74) 대리인  
남상선

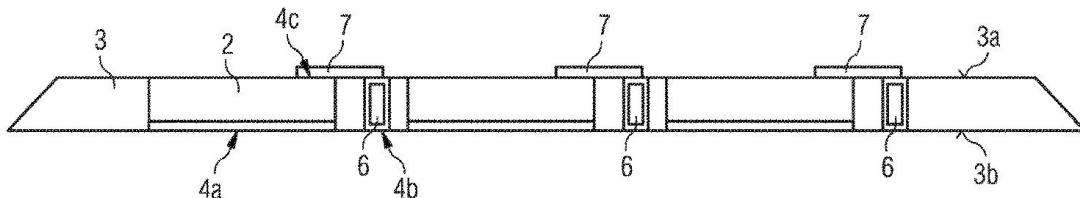
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 광전자 반도체 소자를 제조하기 위한 방법 그리고 광전자 반도체 소자

### (57) 요 약

본 발명은 광전자 반도체 소자를 제조하기 위한 방법에 관한 것이며, 상기 방법은 하기의 단계들을 포함한다: 캐리어(1)를 제공하는 단계, 적어도 하나의 광전자 반도체 칩(2)을 상기 캐리어(1)의 상부면(1a)에 배치하는 단계, 상기 적어도 하나의 광전자 반도체 칩(2)을 성형 바디(3)에 의하여 변형하는 단계 - 이때 상기 성형 바디(3)는 상기 적어도 하나의 광전자 반도체 칩(2)의 모든 측면들(2c)을 덮고, 상기 캐리어(1)로부터 떨어져서 마주하는 표면은 상기 적어도 하나의 반도체 칩(2)의 상부면(2a)에서 또는 상기 캐리어 쪽을 향하는 캐리어의 표면은 상기 적어도 하나의 반도체 칩(2)의 하부면(2b)에서 성형 바디(3)를 갖지 않거나 또는 노출되어 있음 -, 상기 캐리어(1)를 제거하는 단계.

### 대 표 도



(72) 발명자

칼텐바허, 악셀

독일 85053 잉골슈타트 알렌슈타이너 슈트라쎄 3

베클라이터, 발터

독일 93152 니텐도르프 마리엔슈트라쎄 15

바르히만, 베른트

독일 93059 레겐스부르크 퀴니체 슈트라쎄 11

부츠, 올리버

독일 93049 레겐스부르크 로터 브라흐베크 80 아

마르펠트, 얀

독일 93055 레겐스부르크 텔루스베크 2

## 특허청구의 범위

### 청구항 1

광전자 반도체 소자를 제조하기 위한 방법으로서,

캐리어(1)를 제공하는 단계,

적어도 하나의 광전자 반도체 칩(2)을 상기 캐리어(1)의 상부면(1a)에 배치하는 단계,

상기 적어도 하나의 광전자 반도체 칩(2)을 성형 바디(3)에 의해 변형하는 단계 – 이때 상기 성형 바디(3)는 상기 적어도 하나의 광전자 반도체 칩(2)의 모든 측면들(2c)을 덮고, 상기 캐리어(1)로부터 떨어져서 마주하는 표면이 상부면(2a)에서 그리고/또는 상기 캐리어를 향하는 표면이 상기 적어도 하나의 반도체 칩(2)의 하부면(2a)에서 상기 성형 바디(3)를 갖지 않거나 또는 노출되어 있음 –,

상기 캐리어(1)를 제거하는 단계

를 포함하는,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 2

제 1항에 있어서,

상기 성형 바디(3)가 매트릭스 재료를 포함하고 광을 반사하는 입자들을 상기 매트릭스 재료 안으로 삽입함으로써, 결과적으로 상기 성형 바디(3)가 백색으로 나타나는,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 3

제 2항에 있어서,

상기 매트릭스 재료가 실리콘을 함유하거나 또는 실리콘으로 이루어지고, 광을 반사하는 입자들이 티타늄옥사이드로 이루어진,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 4

제 1항 내지 제 3항 중 어느 한 항에 있어서,

다수의 광전자 반도체 칩(2)이 상기 캐리어(1)의 상부면(1a)에 배치되고,

각각의 반도체 칩(2)이 작동 중에 광을 영역의 전자기 방사선을 생성하기 위하여 상기 반도체 칩(2)에 할당된 피크-광장을 가지며,

각각의 반도체 칩(2)의 피크-광장은 모든 광전자 반도체 칩(2)의 피크-광장들의 평균값과 최대 +/- 2%만큼 상이한,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 5

제 4항에 있어서,

변형 공정 전에 또는 변형 공정 후에는 상기 광전자 반도체 칩들(2)의 상부면(2a) 또는 하부면(2b) 다음에 공통의 발광층(8)이 배치되는,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 6

제 1항 내지 제 5항 중 어느 한 항에 있어서,

변형 공정 전 또는 변형 공정 후에는 각각의 반도체 칩(2)을 위해 적어도 하나의 관통 플레이트(6)가 도전 재료에 의해 형성되고,

상기 관통 플레이트(6)가 할당된 반도체 칩(2)에 대하여 가로 방향으로 이격되어 배치되어 있으며, 그리고

상기 관통 플레이트(6)가 성형 바디(3)를 완전히 관통하고, 이때 상기 관통 플레이트(6)는 성형 바디(3)의 상부면(3a)으로부터 성형 바디(3)의 하부면(3b)까지 연장되는,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 7

제 6항에 있어서,

상기 관통 플레이트(6)와 상기 할당된 반도체 칩(2) 사이에 도전 접합부(7)가 형성되고, 상기 도전 접합부(7)는 상기 반도체 칩(2)의 상부면(2a)에서 상기 캐리어(1)로부터 떨어져서 마주하는 표면과 도전 접속되고 상기 성형 바디(3)의 상부면(3a)에서 연장되는,

광전자 반도체 소자를 제조하기 위한 방법.

### 청구항 8

측면들(2c)이 성형 바디(3)에 의해 덮여 있는 광전자 반도체 칩(2),

도전 재료를 포함하는 적어도 하나의 관통 플레이트(6), 및

상기 반도체 칩(2)과 관통 플레이트(6)를 도전 접속하는 도전 접합부(7)

를 구비하는 광전자 반도체 소자로서,

상기 관통 플레이트(6)는 반도체 칩(2)에 대하여 가로 방향으로 이격되어 배치되고,

상기 관통 플레이트(6)는 상기 성형 바디(3)를 완전히 관통하고, 이때 상기 관통 플레이트(6)는 상기 성형 바디(3)의 상부면(3a)으로부터 성형 바디(3)의 하부면(3b)까지 연장되며,

상기 도전 접합부(7)는 상기 성형 바디(3)의 상부면(3a)에서 연장되는,

광전자 반도체 소자.

### 청구항 9

제 8항에 있어서,

상기 성형 바디(3)가 광학적으로 반사성으로 형성된,

광전자 반도체 소자.

### 청구항 10

제 9항에 있어서,

상기 성형 바디(3)가 매트릭스 재료를 포함하고, 광을 반사하는 입자들이 상기 매트릭스 재료 안으로 삽입됨으로써, 그 결과 상기 성형 바디(3)가 백색으로 나타나는

광전자 반도체 소자.

### 청구항 11

제 10항에 있어서,

상기 매트릭스 재료가 실리콘을 함유하거나 또는 실리콘으로 이루어져 있고, 광을 반사하는 입자들이 티타늄 옥사이드로 이루어진,

광전자 반도체 소자.

**청구항 12**

제 8항에 있어서,  
상기 성형 바디(3)가 방사선 투과성으로 형성된,  
광전자 반도체 소자.

**청구항 13**

제 1항 내지 12항 중 어느 한 항에 있어서,  
상기 성형 바디(3)의 상부면(3a)에서 연장되는 도전 접합부들(7)이 다수의 반도체 칩(2)과 서로 도전 접속된,  
광전자 반도체 소자.

**명세서****기술분야**

[0001] 간행물 WO 2009/075753 A2호 및 WO 02/084749호는 각각 광전자 반도체 소자를 기술하고 있다.

**발명의 내용**

- [0002] 본 발명의 과제는 광전자 반도체 소자를 제조하기 위한 간소화된 제조 방법을 제공하는 것이다. 본 발명의 추가 해결 과제는 특히 간단히 제조될 수 있는 광전자 반도체 소자를 제공하는 것이다.
- [0003] 본 발명에서는 광전자 반도체 소자를 제조하기 위한 방법이 제시된다. 광전자 반도체 소자로서는 예를 들어 전자기 방사선을 방출하기 위해 제공된 발광 다이오드가 사용된다. 대안적으로 광전자 반도체 소자로서는 전자기 방사선을 검출하기 위해 제공된 포토 다이오드(photo diode)도 사용될 수 있다.
- [0004] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 제일 먼저 캐리어가 제공된다. 상기 캐리어는 마지막 방법 단계에서 다시 제거되는 임시 캐리어이다. 캐리어는 예컨대 박막(foil), 회로 기판 또는 일반적으로는 플라스틱 재료, 금속, 세라믹 재료 또는 반도체 재료로 형성된 기판일 수 있다.
- [0005] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 하나 이상의 광전자 반도체 칩은 캐리어상에서 캐리어의 상부면에 배치된다. 광전자 반도체 칩으로서는 예를 들어 발광 다이오드 칩 또는 포토 다이오드 칩이 사용된다. 또한, 레이저 다이오드 칩도 사용될 수 있다. 상기 적어도 하나의 광전자 반도체 칩은 바람직하게 광전자 반도체 칩과 캐리어 사이에서 기계적 결합이 이루어지도록 캐리어상에 고정되어 있고, 상기 기계적 결합은 나중에 광전자 반도체 칩을 위해 비파괴 방식으로 제거될 수 있다. 다른 말로 하자면, 반도체 칩과 캐리어 사이에는 희생층이 배치된다. 광전자 반도체 칩은 예를 들어 접착제에 의해 캐리어상에 고정될 수 있다.
- [0006] 바람직하게 다수의 광전자 반도체 칩이 캐리어 상에 고정된다. 이러한 경우 캐리어와 상기 다수의 광전자 반도체 칩으로 이루어진 어레인지먼트로서는 소위 인조 웨이퍼(artificial wafer)가 사용이 되고, 상기 인조 웨이퍼의 경우에는 다수의 광전자 반도체 칩들 - 바람직하게는 동일한 타입의 광전자 반도체 칩들 - 이 하나의 공통의 캐리어상에 배치되어 있다.
- [0007] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 상기 적어도 하나의 광전자 반도체 칩 - 바람직하게는 다수의 광전자 반도체 칩 - 은 성형 바디에 의해 변형되며, 이 경우 상기 성형 바디는 상기 적어도 하나의 광전자 반도체 칩의 모든 측면들을 덮는다. 다른 말로 하자면, 상기 적어도 하나의 광전자 반도체 칩은 성형 바디에 의해 둘러싸인다. 변형하거나 또는 둘러싸는 공정은 예를 들어 박막의 사출 성형, 주조, 프린팅(printing), 적층 또는 그와 유사한 방법에 의해 실행할 수 있다. 성형 바디는 예를 들어 플라스틱, 멜트다운(meltdown) 유리 또는 멜트다운 유리 세라믹과 같은 기계적으로 안정화된 재료로부터 형성되어 있다. 성형 바디는 예를 들어 애폴시 수지, 실리콘, 애폴시-실리콘 하이브리드-재료, 유리 또는 유리 세라믹을 함유할 수 있거나 또는 상기의 재료들 중 하나의 재료로 이루어질 수 있다.
- [0008] 성형 바디는 이 성형 바디가 상기 적어도 하나의 광전자 반도체 칩 쪽을 향하는 캐리어의 표면을 덮고 상기 표면과 직접 접촉하도록 상기 캐리어상에 제공된다. 또한, 상기 성형 바디는 예를 들어 캐리어의 표면에 대해 가로 방향으로 또는 수직으로 진행되는 측면들과 적어도 국부적으로 직접 접촉한다. 이 경우 상기 적어도

하나의 반도체 칩의 모든 측면들이 성형 바디에 의해 완전히 덮여질 수도 있다. 하지만, 반도체 칩들의 측면들이 정해진 높이까지만 성형 바디에 의해 덮여져 있고, 상기 적어도 하나의 반도체 칩의 부분들이 성형 바디로부터 돌출됨으로써, 결과적으로 상기 적어도 하나의 광전자 반도체 칩의 측면들은 국부적으로 성형 바디를 갖지 않을 수도 있다. 그와 더불어, 상기 성형 바디가 반도체 칩들의 노출 면들을 완전히 덮을 수도 있다. 다시 말해, 캐리어로부터 떨어져서 마주하는 상기 적어도 하나의 광전자 반도체 칩의 표면도 성형 바디에 의해 덮일 수 있다.

[0009] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 캐리어는 제거된다. 다시 말해, 상기 적어도 하나의 광전자 반도체 칩의 변형 공정 후에는 상기 캐리어가 성형 바디와 광전자 반도체 칩으로 이루어진 복합체로부터 제거된다. 제거 공정은 예를 들어 캐리어를 가열 또는 캐리어를 시닝(thinning)함으로써 실행할 수 있다. 가열은 예를 들어 레이저 빔에 의해 이루어질 수 있다. 시닝은 예를 들어 캐리어의 백 그라인드(back grind)에 의해서 행해질 수 있다. 또한, 캐리어 또는 경우에 따라 캐리어상에 존재하는 접착층의 화학적 분리에 의해 제거가 이루어질 수 있다. 캐리어의 제거 후, 초기에 캐리어 쪽을 향하는 상기 적어도 하나의 광전자 반도체 칩의 하부면은 자유롭게 접근될 수 있다. 상기 하부면은 반도체 칩의 작동 중에 상기 반도체 칩으로부터 방출되는 방사선이 통과하는 반도체 칩의 방사면일 수도 있다. 다른 말로 하자면, 반도체 칩은 "페이스-다운(face-down)" 방식으로 캐리어상에 제공된다. 상기 적어도 하나의 광전자 반도체 칩의 모든 측면들은 적어도 국부적으로 성형 바디에 의해 덮여져 있다. 다시 말해, 캐리어의 제거 후, 성형 바디는 기계적으로 안정화된 바디를 나타내며, 상기 바디는 상기 적어도 하나의 광전자 반도체 칩의 측면들을 둘러싸고 – 존재하는 경우에 – 다수의 광전자 반도체 칩을 서로 결합시킨다.

[0010] 광전자 반도체 소자를 제조하기 위한 방법의 적어도 하나의 실시 예에 따르면, 상기 방법은 하기의 단계들을 포함한다:

[0011] – 캐리어를 제공하는 단계,

[0012] – 적어도 하나의 광전자 반도체 칩을 캐리어의 상부면에 배치하는 단계,

[0013] – 상기 적어도 하나의 광전자 반도체 칩을 성형 바디에 의해 변형하는 단계, 이 경우 상기 성형 바디는 상기 적어도 하나의 광전자 반도체 칩의 모든 측면을 덮으며, 그리고

[0014] – 캐리어를 제거하는 단계.

[0015] 이 경우 상기 기술된 방법 단계들은 바람직하게 지시된 순서로 실시된다.

[0016] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 다수의 광전자 반도체 칩은 캐리어의 상부면에 배치되고, 이 경우 상기 반도체 칩들 각각에는 작동 중에 광장 영역의 전자기 방사선의 생성을 위해 반도체 칩에 할당된 피크-파장이 제공되어 있다. 다시 말해, 각각의 반도체 칩은 전자기 방사선을 생성하기에 적합하다. 이 경우 반도체 칩은 작동 중에 특정 광장 영역에서 전자기 방사선을 생성한다. 상기 생성된 전자기 방사선은 특정 광장이 정해진 경우 – 피크-파장의 경우 – 광장 영역 내에서 최댓값을 갖는다. 다른 말로 하자면, 피크-파장은 반도체 칩으로부터 작동 중에 생성된 전자기 방사선의 주요 광장이다.

[0017] 이 경우 상기 반도체 칩들 각각의 피크-파장은 모든 광전자 반도체 칩의 피크-파장들의 평균값과 최대 +/-2% 상이하다. 다시 말해, 상기 광전자 반도체 칩들은 광장이 동일하거나 또는 유사한 경우에 전자기 방사선을 방출하는 광전자 반도체 칩들이다. 바람직하게는 상기 반도체 칩들 각각의 피크-파장은 모든 광전자 반도체 칩의 피크-파장들의 평균값과 최대 +/- 1%, 특히 바람직하게는 최대 +/-0.5% 상이하다.

[0018] 다른 말로 하자면, 캐리어상에 배치된 광전자 반도체 칩들은 자신들의 방출 광장과 관련하여 사전 분류(presort)되어 있다. 상기와 같은 광전자 반도체 칩들은 캐리어상에 공통으로 배치되고, 상기 반도체 칩들은 자체 피크-파장 내에서 서로 거의 상이하지 않거나 또는 전혀 상이하지 않다.

[0019] 예를 들어 광전자 반도체 칩들은 자신들의 피크-파장과 관련하여 제조 후에 분류된다(소위 바이닝(binning)). 상기 분류시에 공통의 그룹으로 세분되는 이러한 광전자 반도체 칩들은 캐리어 상에 배치된다.

[0020] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 변형 공정 전 또는 변형 공정 후에 광전자 반도체 칩들 다음에는 공통의 발광층 상부면 또는 하부면이 배치된다. 이 경우 "공통의 발광층"이라는 표현은 모든 광전자 반도체 칩의 다음에 동일한 또는 유사한 특성들을 갖는 발광층이 배치된다는 것을 의미한다. 다시 말해, 모든 광전자 반도체 칩들의 발광층은 예를 들어 동일한 재료로 이루어지고 동일한 두께를 갖는다.

[0021] 발광층은 발광 물질을 포함하거나 또는 발광 물질로 이루어져 있고, 상기 발광 물질은 반도체 칩으로부터 작

동 중에 생성된 전자기 방사선의 흡수를 위해 제공되어 있으며, 광전자 반도체 칩들과 다른 파장 영역 내에서 전자기 방사선을 재-방출한다. 예를 들어 광전자 반도체 칩들은 작동 중에 청색 광을 생성하고 발광층의 발광 물질로부터는 청색 광과 함께 백색 광으로 혼합되는 황색 광이 재-방출된다. 발광층은 예를 들어 발광 물질 입자들의 형태로 제공될 수 있고, 상기 발광 물질 입자들은 예컨대 실리콘 또는 세라믹과 같은 매트릭스 재료 내에 삽입되어 있다. 또한, 발광층은 발광 물질을 포함하거나 또는 세라믹 발광 물질로 이루어진 세라믹 소형 플레이트로서 캐리어로부터 떨어져서 마주한 반도체 칩들의 표면에 제공될 수 있다. 이 경우 발광층은 캐리어로부터 떨어져서 마주한 광전자 반도체 칩들의 표면상으로 직접 제공될 수 있다.

[0022] 특히 바람직하게, 위에서 기술한 바와 같이, 광전자 반도체 칩들은 유사한 광전자 반도체 칩들이 사용되고, 상기 반도체 칩들은 자신들의 피크-파장과 관련하여 서로 거의 상이하지 않거나 또는 전혀 상이하지 않다. 바람직하게는 상기 유사한 광전자 반도체 칩들 다음에는 공통의 발광층이 배치될 수 있다. 광전자 반도체 칩들과 공통 발광층의 유사점으로 인하여 상기와 같이 제조된 광전자 반도체 칩들은 작동 중에 유사한 또는 동일한 특성들을 갖는 혼합 광을 방출한다. 그러므로 광전자 반도체 소자들의 다른 통상의 제조의 경우와는 달리, 각각의 광전자 반도체 칩의 다음에 적합한 발광층이 배치될 필요가 없음으로써, 결과적으로 원하는 혼합 방사선이 광전자 반도체 칩으로부터 직접 방출된 전자기 방사선 및 발광층으로부터 재-방출된 전자기 방사선에서 발생한다.

[0023] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 캐리어로부터 떨어져서 마주한 적어도 하나의 반도체 칩의 상부면은 성형 바디로부터 노출되거나 또는 상기 상부면은 성형 바디를 갖지 않는다. 다시 말해, 성형 바디는 캐리어로부터 떨어져서 마주하는 적어도 하나의 반도체 칩의 표면이 성형 바디의 재료에 의해 덮이지 않도록 제공된다. 아니면 대안적으로 성형 바디가 이 성형 바디의 제공 후에 반도체 칩들의 상부면으로부터 다시 제거될 수 있다. 이런 경우에는 성형 바디를 갖지 않는 표면상으로 예를 들어 발광층이 제공될 수 있다.

[0024] 하지만, 반도체 칩들의 방사면이 캐리어상에 고정될 수도 있다. 캐리어의 제거시에는 캐리어 쪽을 향하는 표면 – 즉 하부면 – 이 노출된다. 이러한 본 발명에 따른 방법의 상기의 변이형에서는 적어도 하나의 접속 접촉부가 각각의 반도체 칩의 방사면 상에 존재할 수 있다.

[0025] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 각각의 반도체 칩의 변형 공정 전 또는 변형 공정 후에는 적어도 하나의 관통 플레이트가 도전 재료에 의해 형성된다. 이 경우 상기 관통 플레이트는 할당된 반도체 칩에 대하여 가로 방향으로 이격되어 배치되어 있다. 다시 말해, 예컨대 반도체 칩들에 할당되어 있는 캐리어의 표면에 대하여 평행하게 진행되는 방향에서 볼 때, 상기 반도체 칩에 대하여 간격을 두고 관통 플레이트가 형성된다. 이 경우 상기 관통 플레이트는 성형 바디를 완전히 통과하고 상기 성형 바디의 상부면으로부터 성형 바디의 하부면까지 연장된다. 본 발명에 따른 방법의 종료 후에는, 다시 말해 캐리어의 제거 후에는 적어도 성형 바디의 하부면에서 관통 플레이트가 자유롭게 접근될 수 있다. 성형 바디의 상부면에는 관통 플레이트가 발광층에 의해 덮일 수 있다.

[0026] 성형 바디의 변형 공정 전에는 관통 플레이트가 예를 들어 콘택 펈들(contact pins)에 의해 형성될 수 있으며, 상기 콘택 펈들은 변형 공정 전에 반도체 칩들 사이에 있는 캐리어의 상부면에 배치된다. 이 경우 콘택 펈들은 예컨대 구리와 같은 도전 재료로부터 형성되어 있다. 이 경우 콘택 펈들은 캐리어와 일체형으로도 형성될 수 있다. 다시 말해, 관통 플레이트들이 이미 존재하는 기판이 캐리어로서 사용된다. 또한, 압착 스크린(pressed screen)이 캐리어로서 사용될 수 있다.

[0027] 대안적으로 관통 플레이트들은 반도체 칩의 변형 공정 후에 성형 바디 내에 리세스들을 형성함으로써 만들어 질 수 있다. 예를 들어 레이저 보오링(laser boring) 또는 다른 유형의 재료에 의해 성형 바디 내에 홀들을 형성될 수 있으며, 상기 홀들은 성형 바디를 완전히 관통하고 성형 바디의 상부면으로부터 하부면까지 연장된다. 이러한 경우 상기 홀들은 전도성 재료로 채워진다. 전도성 재료로는 예를 들어 납땜 재료 또는 도체 접착제와 같은 전기 도금(electroplating)이 사용될 수 있다.

[0028] 본 발명에 따른 방법의 적어도 하나의 실시 예에 따르면, 관통 플레이트와 할당된 반도체 칩 사이에는 도전 접합부가 형성된다. 이 경우 상기 도전 접합부는 반도체 칩의 상부면에서 캐리어로부터 떨어져서 마주하는 표면들과 도전 접속되어 있고 성형 바디의 상부면을 따라 연장된다. 도전 접합부는 예를 들어 할당된 반도체 칩의 상부면에서 본딩 패드(bonding pad)와 도전 접촉하고 관통 플레이트까지 연장된다. 이 경우 상기 접합부는 성형 바디의 상부면에서 상기 성형 바디의 외부 표면상에서 연장되거나 또는 상기 성형 바디의 외부 표면 바로 아래에서 연장된다. 도전 접합부는 스퍼터링, 포토 리소그라피, 전기 도금 및/또는 에칭 백(etching

back)에 의해 생성될 수 있다. 또한, 도전 접합부의 생성을 위해 절연 재료 및 금속을 압축하여, 소결 방법에 의해 금속 페이스트로서 제공하며 (특히 성형 바디가 세라믹 재료로부터 형성되어 있다면), 도체 접착제로서 또는 그와 유사한 것을 제공하는 것이 가능하다. 그러므로 예컨대 도전 접합부들을 사출 성형방법에 의해 제공하는 것 또한 가능하다. 다시 말해, 도전 접합부들은 "몰드 프린트 회로부품(MID: Molded interconnected devices)"의 방식에 따라 제공된다.

[0029] 관통 플레이트들 및 할당된 도전 접합부들의 형성은, 광전자 반도체 칩들의 상부면 및 상기 상부면으로부터 떨어져서 마주한 하부면이 도전 접촉 지점들을 갖는다면 바람직하다. 대안적으로 플립-칩-반도체 칩들의 사용이 가능하며, 상기 플립-칩-반도체 칩들은 하부면 또는 상부면 중 단지 한 측에서만 전기적 접촉 지점들을 갖는다. 이러한 경우에는 성형 바디를 통과하는 관통 플레이트가 생략될 수 있다.

[0030] 또한, 본 발명에서는 광전자 반도체 소자가 제시된다. 상기 광전자 반도체 소자는 바람직하게 본 발명에 기술된 방법에 의해 제조 가능하다. 다시 말해, 상기 방법과 관련하여 공지된 모든 특징들은 광전자 반도체 소자에 대해서도 공개되었으며, 그 반대로도 가능하다.

[0031] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 상기 광전자 반도체 소자는 측면들이 성형 바디에 의해 덮여있는 광전자 반도체 칩을 포함한다. 이 경우 상기 측면들은 광전자 반도체 칩의 상부면과 하부면에서 상기 광전자 반도체 칩의 외부 표면에 대하여 횡으로 진행하며 상기 외부 표면들을 서로 연결시키는 표면들이다. 이 경우 상기 측면들은 성형 바디에 의해 완전히 덮일 수 있다. 그와 더불어 측면들은 성형 바디에 정해진 높이까지만 의해 덮여있을 수도 있다. 예를 들어 광전자 반도체 칩은 반도체 층들이 기판상에 에피택셜 방식으로 증착된 반도체 칩일 수 있다. 이러한 경우 반도체 칩의 측면들은 에피택셜 방식으로 제조된 층들이 성형 바디를 갖지 않도록 덮여 있을 수 있다. 상기 에피택셜 방식으로 제조된 층들은 예를 들어 압축 공정을 거쳐 추가의 재료에 의해 덮여 지거나 또는 노출되어 있을 수 있다.

[0032] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 상기 광전자 반도체 소자는 도전 재료를 갖는 적어도 하나의 관통 플레이트를 포함한다. 도전 재료로는 예를 들어 금속 또는 전도성 접착제가 사용된다.

[0033] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 상기 소자는 반도체 칩과 관통 플레이트와 도전 접속되어 있는 도전 접합부를 포함한다. 상기 도전 접합부는 예를 들어 금속 또는 전도성 접착제에 의해 형성되어 있다.

[0034] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 관통 플레이트는 반도체 칩에 대하여 가로 방향으로 이격되어 배치되어 있다. 이 경우 가로 방향이란 광전자 반도체 칩의 측면들에 대하여 횡으로 또는 수직으로 진행하는 방향이다. 다시 말해, 관통 플레이트는 반도체 칩의 측면에 배치되어 있고 예를 들어 광전자 반도체 칩의 측면에 대하여 평행하게 또는 대체적으로 평행하게 진행한다. 이 경우 관통 플레이트는 성형 바디를 바람직하게는 완전히 관통하고 상기 성형 바디의 상부면으로부터 성형 바디의 하부면까지 연장된다. 이 경우 관통 플레이트는 성형 바디의 상부면 및 하부면에서 자유롭게 접근될 수 있다.

[0035] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 도전 접합부는 성형 바디의 상부면에서 연장된다. 다시 말해, 도전 접합부는 반도체 칩을 관통 플레이트와 연결하고 이 경우 성형 바디 상부면에서 반도체 몸체와 관통 플레이트 사이로 진행한다. 이 경우 도전 접합부는 성형 바디의 외부 표면상에 배치될 수 있다.

[0036] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 상기 광전자 반도체 소자는 측면들이 성형 바디에 의해 덮여 있는 광전자 반도체 칩을 포함한다. 또한, 상기 광전자 반도체 소자는 도전 재료를 갖는 적어도 하나의 관통 플레이트 및 반도체 칩과 관통 플레이트를 도전 접속하는 도전 접합부를 포함한다. 이 경우 상기 관통 플레이트는 반도체 칩에 대하여 가로 방향으로 이격되어 배치되어 있고 성형 바디를 완전히 관통한다. 관통 플레이트는 성형 바디의 상부면으로부터 성형 바디의 하부면까지 연장되고, 도전 접합부는 성형 바디의 상부면에서 반도체 칩으로부터 관통 플레이트까지 연장된다.

[0037] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 성형 바디는 광학적으로 반사성으로 형성되어 있다. 이러한 반사성의 형성은 예를 들어 전자기 방사선, 특히 광을 반사하는 입자들이 성형 바디의 매트릭스 재료 안으로 삽입됨으로써 이루어질 수 있다. 광전자 반도체 칩의 측면들을 통과하는 전자기 방사선은 성형 바디에 의해 반사될 수 있다. 이러한 경우 상기 성형 바디는 광전자 반도체 칩의 상부면을 적어도 국부적으로 덮지 않는다. 입자들은 예를 들어 하기의 재료들 중 적어도 하나의 재료에 의해 형성되어 있거나 또는 하기 재료들 중 적어도 하나의 재료를 포함한다:  $TiO_2$ ,  $BaSO_4$ ,  $ZnO$ ,  $Al_{x}O_y$ . 성형 바디가 실리콘을 포함하거나 또는 실리콘으로 이루어지고, 입자들이 티탄늄옥사이드(titaniumoxide)로 이루어져 있는 경우 특히 바람직한

것으로 입증된다.

[0038] 바람직하게 입자들은 성형 바디가 백색으로 나타나는 농도로 성형 바디 안으로 삽입되어 있다.

[0039] 또한, 성형 바디는 방사선 투과성으로 형성될 수도 있다. 이러한 형성은 측면들을 통해 전자기 방사선의 상당 부분을 방출하는 광전자 반도체 칩들에 특히 바람직하다.

[0040] 광전자 반도체 소자의 적어도 하나의 실시 예에 따르면, 상기 반도체 소자는 다수의 반도체 칩을 포함하고, 상기 반도체 칩들은 성형 바디의 상부면에서 연장되는 도전 접합부들에 의해 서로 도전 접속되어 있다. 예를 들어 반도체 칩들은 도전 접합부들에 통해서 직렬 또는 병렬로 스위칭될 수 있다. 반도체 칩들은 각각의 반도체 칩의 측면에서 성형 바디에 의해 덮여있다. 성형 바디는 접합 재료(junction material)를 나타내며, 상기 접합 재료에 의해서는 광전자 반도체 소자를 위한 도전 반도체 칩들이 연결되어 있다.

[0041] 하기에서는 본 발명에 기술된 방법 및 본 발명에 기술된 광전자 반도체 소자가 실시 예들 및 상기 실시 예들에 해당하는 도면들을 참조하여 더 자세히 설명된다.

### 도면의 간단한 설명

[0042] 도 1 내지 도 3은 개략적인 단면도들을 참조하여 본 발명에 기술된 방법의 실시 예들을 보여준다.

도 4 및 도 5는 본 발명에 기술된 광전자 반도체 소자들의 실시 예들의 개략적인 도면들을 보여준다.

### 발명을 실시하기 위한 구체적인 내용

[0043] 도면들에서 동일한, 동일한 형태의 또는 동일하게 작용하는 소자들에는 동일한 도면 부호들이 제공되었다. 도면들 그리고 상기 도면들에 도시된 소자들의 상호 크기 비율들은 척도에 맞는 것으로 간주될 수 없다. 오히려 개별 소자들은 더 나은 개관을 위하여 그리고/또는 더 나은 이해를 위하여 과도하게 크게 도시되어 있을 수 있다.

[0044] 도 1a의 개략적인 단면도를 통해 광전자 반도체 소자를 제조하기 위한 본 발명에 따른 방법의 제 1 방법 단계가 더 자세히 설명되어 있다. 상기 방법에서는 제일 먼저 캐리어(1)가 제공된다. 캐리어(1)로는 예를 들어 구리 또는 알루미늄과 같은 금속, 세라믹, 반도체 재료 또는 플라스틱에 의해 형성된 캐리어가 사용된다. 캐리어(1)의 상부면(1a)에는 다수의 광전자 반도체 칩(2)이 배치되어 있고, 상기 광전자 반도체 칩들은 본 발명에서 발광 다이오드들이다. 반도체 칩들(2)은 접합 수단(5)에 의해 캐리어(1)에 고정되어 있다. 접합 수단(5)으로는 예를 들어 접착제가 사용된다. 이 경우에 반도체 칩들(2)의 하부면(2b)은 캐리어(1)의 상부면(1a)을 향한다. 반도체 칩들(2)의 하부면(2b)에는 반도체 칩(2)의 전기적 콘택팅을 위해 제공되어 있는 접촉 지점(4a)이 있다. 예를 들어 상기 접촉 지점(4a)으로는 반도체 칩(2)의 하부면(2b)에 있는 금속화층(metallization layer)이 사용된다. 반도체 칩(2)의 빔 출력면은 측면들(2c) 및 상부면(2a)의 외부 표면을 포함할 수 있다.

[0045] 본 발명의 경우 접촉 지점(4a)은 상부면(2a)에, 접촉 지점(4b)은 하부면(2b)에 존재하는 것이 가능하다. 또한, 두 개의 접촉 지점(4a, 4b)이 동일한 측에 존재할 수도 있다. 또한, 하부면(2b) 또는 상부면(2a)은 반도체 칩(2)의 방사면일 수 있다. 다시 말해, 반도체 칩(2)의 빔 출력면은 상부면(2a) 및/또는 하부면(2b)의 측면들(2c)을 포함할 수 있고, 그리고 외부 표면을 포함할 수 있다.

[0046] 도 1b와 관련해서는 본 발명에 따른 방법의 추가의 방법 단계가 설명되어 있다. 상기 방법 단계에서는, 반도체 칩들(2)의 측면들(2c)이 성형 바디에 의해 덮여 있고 상기 성형 바디가 반도체 칩들(2)을 서로 결합시키도록 성형 바디(3)가 예를 들어 성형 화합물의 스퍼터링 공정에 의해 제공된다. 이 경우 성형 바디의 하부면(3b)은 캐리어(1) 또는 캐리어(1)의 상부면(1a)에 있는 접합 수단(5)과 직접 접촉한다. 성형 바디(3)의 상부면(3a)은 반도체 칩(2)의 상부면(2a)에 있는 표면과 같은 높이로 종료될 수 있다. 그와 더불어 성형 바디(3)는 – 도 1b에 도시된 바와 달리 – 반도체 칩들(2)의 측면들(2c)을 정해진 높이까지만 덮고, 반도체 칩들(2)은 성형 바디의 상부면(3a) 위로 돌출할 수 있다.

[0047] 성형 바디(3)는 방사선 투과성으로, 예를 들어 투명하게, 방사선 흡수성으로 또는 반사성으로 형성될 수 있다.

[0048] 도 1c와 관련하여 설명된 방법 단계에서는 캐리어(1)가 선택적으로 존재하는 접합 수단층(5)과 함께 성형 바디 및 반도체 칩(2)으로부터 제거된다. 이때 성형 바디(3)에 의해 서로 결합되어 있는 반도체 칩들(2)로 된 결합체는 유지된다. 반도체 칩들(2)의 하부면(2b)에는 접촉 지점(4a) 및 – "페이스-다운"의 어레인지먼트의

경우에는 – 방사선 통과면도 노출되어 있다.

[0049] 도 1d에서 개략적으로 도시된 본 발명에 따른 방법의 추가의 방법 단계에서는 반도체 칩들(2)의 복합체가 개별 광전자 반도체 소자들로 분리될 수 있고, 상기 반도체 소자들은 하나 또는 다수의 반도체 칩들(2)을 포함한다. 분리에 의해서는 성형 바디의 측면들(3c)이 형성되고, 상기 측면들은 재료 제거의 흔적들을 갖는다. 예를 들어 측면들(3c)은 성형 바디(3)의 분리에 의해 야기된 톱니 그루우브들 또는 연삭 흔적들을 갖는다. 각각의 반도체 칩(2)의 측면들(2c)은 성형 바디(3)에 의해 적어도 국부적으로 덮여있다.

[0050] 도 2의 개략적인 단면도를 참조하여 본 발명에 따른 방법의 추가의 방법 단계가 설명되어 있고, 상기 방법 단계는 변형 화합물에 의한 반도체 칩들(2)의 변형 공정 전 또는 변형 공정 후에 그리고 캐리어의 제거 전 또는 제거 후에 이루어질 수 있다. 상기 방법 단계에서는, 성형 바디(3)를 이 성형 바디의 상부면(3a)으로부터 하부면(3b)까지 관통하는 관통 플레이트들(6)이 도전 재료로부터 형성된다. 관통 플레이트들(6)은 반도체 몸체들(2)에 대하여 가로 방향으로 이격되어 배치되어 있다. 각각의 반도체 몸체(2)에는 바람직하게 하나의 관통 플레이트가 할당되어 있다. 이 경우 상기 할당은 확정적일 수도 있다. 또한, 하나의 관통 플레이트는 다수의 반도체 칩(2)을 위해서도 존재할 수 있다. 본 발명의 경우 관통 플레이트(6)가 형성된 후에는, 상부면(3a)에 있는 도전 접합부(7)가 성형 바디(3)의 표면상에 형성되고, 상기 도전 접합부는 반도체 칩(2)의 접촉 지점(4c)을 관통 플레이트(6)와 도전 접속시킨다. 성형 바디(3b)의 하부면에서는 관통 플레이트들(6)이 자유롭게 접근되며 상기 하부면에서 반도체 소자의 접촉 지점(4b)을 형성한다.

[0051] 도 3을 참조한 개략적인 단면도에서 본 발명에 따른 방법의 추가의 방법 단계가 설명되고, 상기 방법 단계는 성형 바디의 제공 후에 실행될 수 있다. 상기 방법 단계에서는 성형 바디(3)의 상부면에 있는 발광층(8)이 반도체 칩들(2)의 상부면(2a)에 제공된다. 이 경우 상기 발광층(8)은, 도 3에서 도시된 바와 같이, 전체 반도체 칩들(2) 위로 연속하여 형성되어 있을 수 있다. 또한, 각각의 반도체 칩(2)상에 고유의 발광층이 제공되어 있을 수도 있다. 이러한 발광층의 제공은 성형 화합물이 제공되기 전에도 실행될 수 있다. 도 3의 실시 예에서, 바람직하게 광전자 반도체 칩으로는 유사하거나 또는 동일한 발광 특성 곡선을 갖는, 다시 말해, 추가로 기술한 바와 같이 유사하거나 또는 동일한 피크-파장을 갖는 발광 다이오드 칩들이 사용된다. 반도체 칩들(2)상에는 일체형의 발광층(8)이 제공되어 있다. 상기와 같은 공정은 결과적으로 유사하거나 또는 동일한 발광 특성 곡선을 갖는 광전자 반도체 소자들을 야기한다. 예를 들어 상기 반도체 소자들은 작동 중에 유사한 또는 동일한 색 위치(colour location) 및/또는 유사한 또는 동일한 색 온도(colour temperatur)를 갖는 백색 광을 생성한다.

[0052] 도 4a 및 도 4b는 본 발명에서 기술한 광전자 반도체 소자를 개략적인 사시도로 보여준다. 도 4a는 반도체 칩(2)의 상부면(2a)에서 본 반도체 소자를 보여준다. 상기 반도체 소자는 정확히 하나의 반도체 칩(2)을 포함하고, 상기 반도체 칩의 측면들(2c)은 성형 화합물(3)에 의해 완전히 둘러싸여 있다. 성형 화합물(3)을 통하여 관통 플레이트들(6)이 관통되어 있고, 상기 관통 플레이트들은 도전 접합부들(7)에 의해 반도체 칩(2)의 상부면(2a)에 있는 접촉 지점들(4c)과 접속되어 있다. 반도체 소자의 하부면(도 4b 참조)에는 접촉 지점(4a)이 형성되어 있고, 상기 접촉 지점에 의해 반도체 칩(2)은 예를 들어 p-측으로 콘택팅된다. n-측의 콘택팅은 관통 플레이트들(6)에 의해 형성되어 있는 접촉 지점들(4b)에 의해서 이루어진다. 관통 플레이트들(6)과 반도체 칩(2) 사이에는 마찬가지로 관통 플레이트들(6)을 반도체 칩(2)으로부터 전기적으로 절연하는 성형 바디(3)가 배치되어 있다.

[0053] 도시된 실시 예에 대하여 대안적으로, 반도체 칩(2)이 예를 들어 n- 및 p-측의 콘택이 공통적으로 반도체 칩의 하부면(2b)에 배치되어 있는 반도체 칩일 수 있다. 이러한 경우에는 관통 플레이트들(6)이 생략될 수 있다.

[0054] 도 5는 개략적인 평면도를 참조하여 본 발명에 기술된 반도체 소자의 추가 실시 예를 보여준다. 상기 실시 예에서는 반도체 소자가 성형 바디(3)에 의해 서로 결합되어 있는 4개의 반도체 칩(2)을 포함한다. 반도체 칩들(2)은 도전 접합부들(7)에 의해 서로 도전 접속되어 있고, 상기 접합부들은 성형 바디(3)의 상부면(3a)에 배치되어 있으며 예를 들어 성형 바디의 외부 표면상에서 진행한다. 본 발명에서는 반도체 칩들이 도전 접합부들(7)을 통하여 직렬로 스위칭 되어있고, 관통 플레이트들(6)에 의해 형성되어 있는 접속 지점들(4b) 및 접속 지점들(4a)을 통해 전기적으로 콘택팅된다.

[0055] 본 발명에 기술된 방법 그리고 본 발명에 기술된 반도체 소자들은 특히 하기 장점들을 특징으로 한다: 반도체 소자들의 열손실은 반도체 칩들의 전체 하부면(2b)에 걸쳐서 표면 전체적으로 이루어질 수 있다.

[0056] 관통 플레이트들(6)을 통해서는 반도체 소자의 플립-칩-콘택팅이 가능하다. 다시 말해, 기계적으로 약한 본

당 와이어가 생략될 수 있다. 이러한 콘택팅은 다수의 반도체 칩(2)이 동시에 성형 바디(3)에 의해 둘러싸일 수 있다는 사실 때문에 특히 비용 절감되는 방법으로 간주된다.

[0057] 예를 들어 광전자 반도체 칩들의 피크-파장과 관련하여 상기 광전자 반도체 칩들의 사전 분류는 공통의 발광층(8)을 유사한 또는 동일한 방사 특성 곡성을 특징으로 하는 모든 반도체 칩들 상에 동시에 제공하는 것을 가능하게 한다.

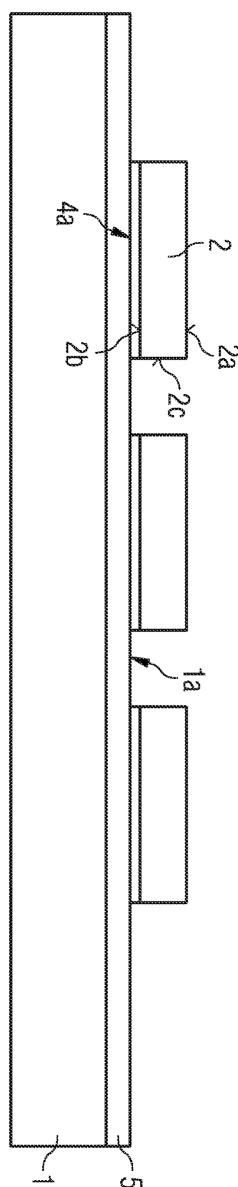
[0058] 또한, 본 발명에 따른 방법에 의해서는 반도체 소자가 거의 임의의 반도체 칩(2)의 개수로 유연하게 형성될 수 있다. 반도체 소자의 표면 사용은 선택적이다.

[0059] 본 발명의 특허 출원은 독일 특허 출원서 10 2009 036 621.0호의 우선권을 주장하며, 상기 우선권 문서의 공개 내용은 인용을 통해 본 특허 출원서에 수용된다.

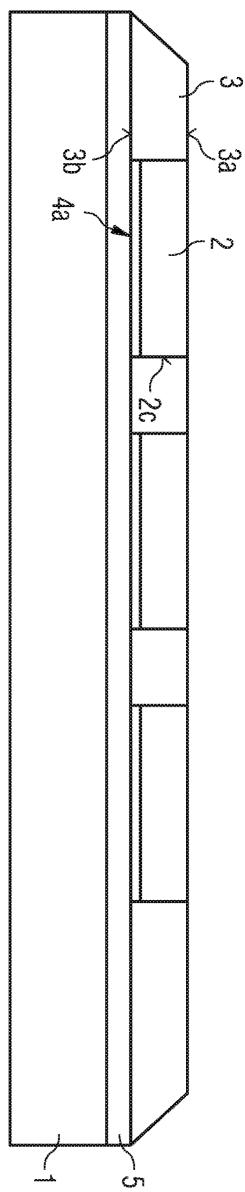
[0060] 본 발명은 실시 예들을 참조한 상세한 설명으로 인해 상기 실시 예들에만 한정되지 않는다. 오히려 본 발명은 각각의 새로운 특징 그리고 특징들의 각각의 조합을 포함하며, 상기 특징 또는 상기 조합 자체가 특허 청구 범위 또는 실시 예들에 명시적으로 기재되어 있지 않더라도 특히 각각의 특징 조합은 특허 청구범위에 포함된 것으로 간주한다.

## 도면

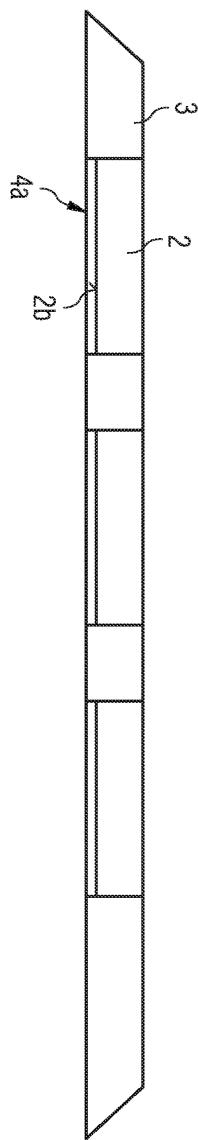
### 도면1a



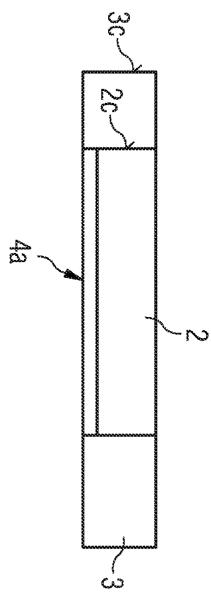
도면1b



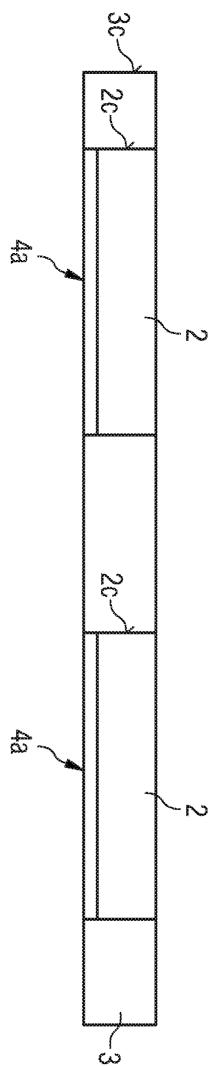
도면1c



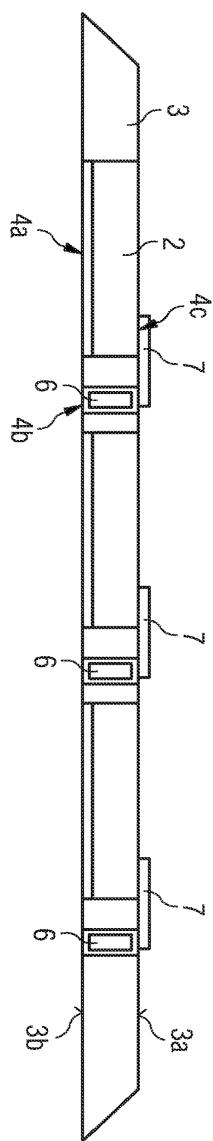
도면1d



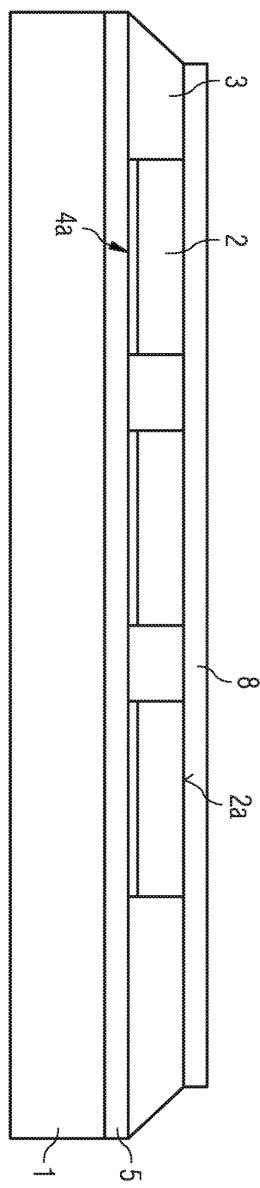
도면 1e



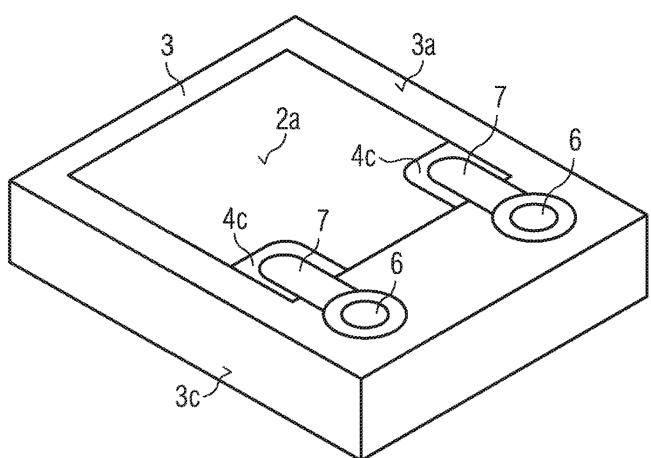
도면2



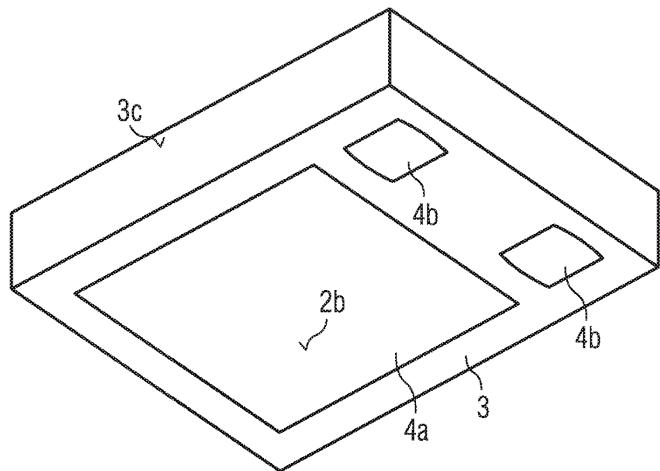
도면3



도면4a



도면4b



도면5

