

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4151229号  
(P4151229)

(45) 発行日 平成20年9月17日(2008.9.17)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl.	F I
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 21/318 B
HO 1 L 27/115 (2006.01)	HO 1 L 21/318 M
HO 1 L 21/318 (2006.01)	

請求項の数 19 (全 21 頁)

(21) 出願番号	特願2001-100264 (P2001-100264)	(73) 特許権者	000002185
(22) 出願日	平成13年3月30日(2001.3.30)		ソニー株式会社
(65) 公開番号	特開2002-203917 (P2002-203917A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年7月19日(2002.7.19)	(74) 代理人	100094053
審査請求日	平成15年3月5日(2003.3.5)		弁理士 佐藤 隆久
(31) 優先権主張番号	特願2000-327725 (P2000-327725)	(72) 発明者	田中 伸史
(32) 優先日	平成12年10月26日(2000.10.26)		東京都品川区北品川6丁目7番35号 ソニー株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	藤原 一郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	青笹 浩
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体の活性領域に形成されたボトム誘電体膜と、  
電荷保持能力を有する電荷蓄積層を内部に含み、上記ボトム誘電体膜に積層された複数の誘電体膜と、  
上記複数の誘電体膜に形成されたトップ誘電体膜と、  
上記トップ誘電体膜に形成された電極と  
を有し、  
上記電荷蓄積層が、  
窒化珪素または酸化窒化珪素からなる第1の窒化膜と、  
上記第1の窒化膜に形成され、窒化珪素または酸化窒化珪素からなり、上記第1の窒化膜より電荷トラップ密度が高い第2の窒化膜と  
を含み、  
上記第1および第2の窒化膜は塩素を含み、  
上記第1の窒化膜は上記第2の窒化膜より塩素濃度が高い、  
不揮発性半導体記憶装置。

【請求項2】

半導体の活性領域に形成されたボトム誘電体膜と、  
電荷保持能力を有する電荷蓄積層を内部に含み、上記ボトム誘電体膜に積層された複数の誘電体膜と、

上記複数の誘電体膜に形成されたトップ誘電体膜と、  
 上記トップ誘電体膜に形成された電極と  
 を有し、  
 上記電荷蓄積層が、  
 窒化珪素または酸化窒化珪素からなる第1の窒化膜と、  
 上記第1の窒化膜に形成され、窒化珪素または酸化窒化珪素からなり、上記第1の窒化膜より電荷トラップ密度が高い第2の窒化膜と、  
上記第2の窒化膜と上記トップ誘電体膜との間に形成された窒化珪素または酸化窒化珪素からなり、上記第2の窒化膜より電荷トラップ密度が低い第3の窒化膜と  
を含み、  
 上記第1、第2および第3の窒化膜は塩素を含み、  
上記第1および第3の窒化膜は上記第2の窒化膜より塩素濃度が高い、  
 不揮発性半導体記憶装置。

10

## 【請求項3】

半導体の活性領域にボトム誘電体膜を形成し、上記ボトム誘電体膜に電荷保持能力を有する電荷蓄積層を含む複数の誘電体膜を形成し、上記複数の誘電体膜にトップ誘電体膜を形成し、上記トップ誘電体膜に電極を形成する不揮発性半導体記憶装置の製造方法であって、

上記複数の誘電体膜の形成工程は以下の諸工程、すなわち、

クロルシラン ( $\text{SiH}_{x_1}\text{Cl}_{4-x_1}$  ( $x_1=1,2$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_1}\text{Cl}_{6-y_1}$  ( $y_1=1,2,3,4$ )) または四塩化珪素 ( $\text{SiCl}_4$ ) のいずれかを含む第1の原料ガスと窒素含有ガスとを用いた化学的気相堆積により第1の窒化膜を上記ボトム誘電体膜に形成する工程と、

20

上記第1の窒化膜の形成時に用いる上記第1の原料ガスより塩素の組成比が低いクロルシラン ( $\text{SiH}_{x_2}\text{Cl}_{4-x_2}$  ( $x_2>x_1, x_2=2,3$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_2}\text{Cl}_{6-y_2}$  ( $y_2>y_1, y_2=2,3,4,5$ ))、モノシラン ( $\text{SiH}_4$ ) またはジシラン ( $\text{Si}_2\text{H}_6$ ) のいずれかを含む第2の原料ガスと窒素含有ガスとを用いた化学的気相堆積により第2の窒化膜を上記第1の窒化膜に形成する工程と、

を含む、

不揮発性半導体記憶装置の製造方法。

30

## 【請求項4】

半導体の活性領域にボトム誘電体膜を形成し、上記ボトム誘電体膜に電荷保持能力を有する電荷蓄積層を含む複数の誘電体膜を形成し、上記複数の誘電体膜にトップ誘電体膜を形成し、上記トップ誘電体膜に電極を形成する不揮発性半導体記憶装置の製造方法であって、

上記複数の誘電体膜の形成工程に以下の諸工程、すなわち、

クロルシラン ( $\text{SiH}_{x_1}\text{Cl}_{4-x_1}$  ( $x_1=1,2$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_1}\text{Cl}_{6-y_1}$  ( $y_1=1,2,3,4$ )) または四塩化珪素 ( $\text{SiCl}_4$ ) のいずれかを含む原料ガスと窒素含有ガスとを用いた化学的気相堆積により第1の窒化膜を上記ボトム誘電体膜に形成する工程と、

上記第1の窒化膜の形成時に用いる上記第1の原料ガスより塩素の組成比が低いジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ ) からなる第2の原料ガスと窒素含有ガスとを用いた化学的気相堆積により第2の窒化膜を上記第1の窒化膜に形成する工程と、

40

を含む、

不揮発性半導体記憶装置の製造方法。

## 【請求項5】

上記第1の窒化膜の化学的気相堆積時の上記第1の原料ガスとして四塩化珪素 ( $\text{SiCl}_4$ ) を用い、

上記第2の窒化膜の化学的気相堆積時の上記第2の原料ガスとして三塩化シラン ( $\text{SiHCl}_3$ )、ジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ ) またはモノシラン ( $\text{SiH}_4$ ) を用いる、

請求項3記載の不揮発性半導体記憶装置の製造方法。

50

## 【請求項 6】

上記第 1 の窒化膜の化学的気相堆積時の上記第 1 の原料ガスとして三塩化シラン ( $\text{SiHCl}_3$ ) を用い、

上記第 2 の窒化膜の化学的気相堆積時の上記第 2 の原料ガスとしてジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ )、モノシラン ( $\text{SiH}_4$ ) またはジシラン ( $\text{Si}_2\text{H}_6$ ) を用いる、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 7】

上記第 1 の窒化膜の化学的気相堆積時の上記第 1 の原料ガスとしてジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ ) を用い、

上記第 2 の窒化膜の化学的気相堆積時の上記第 2 の原料ガスとしてモノシラン ( $\text{SiH}_4$ ) またはジシラン ( $\text{Si}_2\text{H}_6$ ) を用いる、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 8】

上記窒素含有ガスとしてアンモニア ( $\text{NH}_3$ ) を用いる、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 9】

上記窒素含有ガスとして、窒素により希釈したアンモニア ( $\text{NH}_3$ ) を用いる、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 10】

上記窒素含有ガスとして、周波数 5 ~ 500 MHz の交流電磁場により電離した窒素を用いる、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 11】

上記複数の誘電体膜の形成工程は、以下の諸工程、すなわち、

上記第 2 の窒化膜の形成時に用いる上記第 2 の原料ガスより塩素の組成比が高いクロルシラン ( $\text{SiH}_{x3}\text{Cl}_{4-x3}$  ( $x3 < x2, x3=1, 2$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y3}\text{Cl}_{6-y3}$  ( $y3 < y2, y3=1, 2, 3, 4$ )) または四塩化珪素 ( $\text{SiCl}_4$ ) からなる第 3 の原料ガスと窒素含有ガスを原料に用いた化学的気相堆積により、第 3 の窒化膜を上記第 2 の窒化膜上に形成する工程と、

をさらに含む、

請求項 3 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 12】

上記第 2 の窒化膜の化学的気相堆積時の上記第 2 の原料ガスとしてモノシラン ( $\text{SiH}_4$ ) を用い、

上記第 3 の窒化膜の化学的気相堆積時の上記第 3 の原料ガスとしてジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ )、三塩化シラン ( $\text{SiHCl}_3$ ) または四塩化珪素 ( $\text{SiCl}_4$ ) を用いる、

請求項 11 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 13】

上記第 2 の窒化膜の化学的気相堆積時の上記第 2 の原料ガスとしてジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ ) を用い、

上記第 3 の窒化膜の化学的気相堆積時の上記第 3 の原料ガスとして三塩化シラン ( $\text{SiHCl}_3$ ) または四塩化珪素 ( $\text{SiCl}_4$ ) を用いる、

請求項 11 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 14】

上記第 2 の窒化膜の化学的気相堆積時の上記第 2 の原料ガスとして三塩化シラン ( $\text{SiHCl}_3$ ) を用い、

上記第 3 の窒化膜の化学的気相堆積時の上記第 3 の原料ガスとして四塩化珪素 ( $\text{SiCl}_4$ ) を用いる、

請求項 11 記載の不揮発性半導体記憶装置の製造方法。

## 【請求項 15】

10

20

30

40

50

上記窒素含有ガスとしてアンモニア ( $\text{NH}_3$ ) を用いる、  
請求項 1 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 6】

上記窒素含有ガスとして、窒素により希釈したアンモニア ( $\text{NH}_3$ ) を用いる  
請求項 1 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 7】

上記窒素含有ガスとして、周波数 5 ~ 5 0 0 M H z の交流電磁場により電離した窒素を用いる、

請求項 1 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 8】

上記トップ誘電体膜の形成時に上記第 3 の窒化膜の表面を熱酸化する、  
請求項 1 1 記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 9】

上記トップ誘電体膜の形成時に、ジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ )、三塩化シラン ( $\text{SiHCl}_3$ ) または四塩化珪素 ( $\text{SiCl}_4$ ) と酸化二窒素 ( $\text{N}_2\text{O}$ ) とを用いた化学的気相堆積により、二酸化珪素膜を上記第 3 の窒化膜に形成する、

請求項 1 1 記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、フラッシュ E E P R O M (Flash Electrically Erasable and Programmable R O M) に代表される不揮発性半導体記憶装置の電荷蓄積層の構造および作製法に関する。

【0 0 0 2】

【従来の技術】

不揮発性半導体メモリトランジスタにおける情報の保持は、チャンネルが形成される半導体活性領域上で二酸化珪素に挟まれたポリシリコン、あるいは二酸化珪素に挟まれた窒化珪素等の層 (以下、電荷蓄積層という) に電荷を蓄積することにより行われる。

十分な電荷保持時間の実現は、その半導体活性領域側の二酸化珪素膜 (ボトム誘電体膜) を厚くすることで可能になる。一般に、ポリシリコンを電荷蓄積層とする F G (Floating Gate) 型におけるボトム誘電体膜は約 1 0 n m 以上、窒化珪素膜を電荷蓄積層とする M O N O S (Metal-Oxide-Nitride-Oxide-Semiconductor) 型におけるボトム誘電体膜は約 3 n m 以上成膜することが必要である。また、電荷蓄積層上の酸化珪素膜 (トップ誘電体膜) は、その上に積層されたゲート電極との間で電荷の移動を防ぐのに必要な厚さが必要である。

【0 0 0 3】

この電荷蓄積層への電荷の入力では、ゲート電極に電圧を印加しボトム誘電体膜に高い電界を生じさせる。一般に、この電界の強さおよびボトム誘電体膜厚に応じて決まる電気伝導機構、すなわちダイレクトトンネリング現象あるいは F N (Fowler-Nordheim) トンネリング現象によりボトム誘電体膜内を電荷が伝導し、電荷蓄積層に注入される。このトンネリング現象を用いた電荷注入を、以下、“トンネル注入”という。トンネル注入は、チャンネル全面から行う場合と、ソースまたはドレインの一方または双方から行う場合がある。

【0 0 0 4】

他の代表的な電荷注入方法としては、半導体活性領域でボトム誘電体膜の障壁高さを越えるまで電荷をエネルギー的に励起する方法がある。最も一般的な“チャンネルホットキャリア (ホットエレクトロンまたはホットホール) 注入”と呼ばれる方法では、ゲート電極両サイドの半導体活性領域内に設けたソース領域とドレイン領域間に電圧を印加し、かつゲート電極に電圧を印加してソースとドレイン間に反転層 (チャンネル) を形成し、ソース側から供給されチャンネル内を走行するキャリアを加速させる。このキャリアはチャンネル方向に印加されている電界からエネルギーを受けてドレイン端側でホットキャリアとなり、その一部が、ボトム誘電体膜とシリコンとのエネルギー障壁高さを越えて上記した電荷蓄積

10

20

30

40

50

層に注入される。

なお、チャンネルを形成せずにソース領域またはドレイン領域とゲート電極に高い電圧を印加し、その領域の表面部を強制的に反転させてバンド - バンド間トンネリングを発生させ、これにより発生した高エネルギー電荷を電荷蓄積層に注入する方法も知られている。

【 0 0 0 5 】

電荷蓄積層からの電荷の出力は、上記したトンネル注入時とは逆方向の電界を印加し、電荷蓄積層からチャンネル側に電荷を強制的に引き抜くことで実現できる。また、蓄積された電荷と逆極性の電荷を電荷蓄積層に注入することでも、電荷を引く抜く場合と同様な効果が得られる。

【 0 0 0 6 】

このような電荷蓄積層内の電荷の有無または蓄積電荷量を検出する際には、ソースとドレイン間の電圧およびゲート電圧を所定の値にする。このときのバイアス条件を最適化すると、電荷の有無または蓄積電荷量に応じてチャンネルの導電率が顕著に変化する。したがって、電荷蓄積層内の電荷の有無または蓄積電荷量がチャンネル電流量またはドレイン電圧変化に効果的に変換され、これにより記憶情報の検出が可能となる。

【 0 0 0 7 】

【 発明が解決しようとする課題 】

電荷蓄積層が単一の窒化珪素膜または酸化窒化珪素膜からなる従来の MONOS 型メモリトランジスタでは、必要な電荷保持時間を確保するためにボトム誘電体膜厚を 3 nm 以下に薄膜化できないといった課題があった。また、半導体活性領域とゲート電極間の誘電体膜厚を二酸化珪素換算で薄くできないため、低電圧化あるいは高速化が進まないという課題があった。

【 0 0 0 8 】

一方、従来の MONOS 型メモリトランジスタでは、ゲート電極と電荷蓄積層（窒化珪素膜）との間のトップ誘電体膜は二酸化珪素膜からなっていた。二酸化珪素膜内では水素原子は拡散しやすいために、素子作製直後に窒化珪素内に含まれる水素が二酸化珪素内を拡散し窒化珪素膜から抜けてしまうことがある。窒化珪素膜内で珪素と結合している水素の量は電荷トラップ量と正の相関がある。このため、素子作製直後に窒化珪素膜から水素が抜けると、窒化珪素内に存在する電荷トラップ量が減少し、その結果、デバイス特性の経時変化が生じている可能性があった。

【 0 0 0 9 】

本発明の第 1 の目的は、電荷蓄積層内で蓄積電荷の分布中心をチャンネル側から出来るだけ離すことにより電荷保持特性を改善し、あるいは必要な電荷保持時間を維持しながらボトム誘電体膜を薄膜化して、結果として低電圧化および / または高速化を達成できる電荷蓄積層構造を有した不揮発性半導体記憶装置と、その製造方法を提供することにある。

本発明の第 2 の目的は、水素を閉じ込めて電荷トラップ量を形成直後の状態から減少させない電荷蓄積層構造を有し、デバイス特性の経時変化を抑制した不揮発性半導体記憶装置と、その製造方法を提供することにある。

【 0 0 1 0 】

本発明の第 1 の観点に係る 不揮発性半導体記憶装置は、半導体の活性領域に形成されたボトム誘電体膜と、電荷保持能力を有する電荷蓄積層を内部に含み、上記ボトム誘電体膜に積層された複数の誘電体膜と、上記複数の誘電体膜に形成されたトップ誘電体膜と、上記トップ誘電体膜に形成された電極とを有し、上記電荷蓄積層が、窒化珪素または酸化窒化珪素からなる第 1 の窒化膜と、上記第 1 の窒化膜に形成された窒化珪素または酸化窒化珪素からなり、上記第 1 の窒化膜より電荷トラップ密度が高い第 2 の窒化膜とを含む。

【 0 0 1 1 】

上記第 2 の窒化膜は、上記第 1 の窒化膜よりもシリコンダングリングボンド密度が高い。また、好適には、第 2 の窒化膜のシリコンダングリングボンド密度の上限は、絶縁性を確保できる限りにおいて、特に上限はない。

10

20

30

40

50

上記第2の窒化膜は、上記第1の窒化膜よりもシリコンダングリングボンド密度が高い。また、好適には、上記第1の窒化膜のシリコンダングリングボンド密度は、 $5 \times 10^{16} \text{ cm}^{-3}$ 以下であり、上記第2の窒化膜のシリコンダングリングボンド密度は、 $7 \times 10^{16} \text{ cm}^{-3}$ 以上である。

また、好適には、第2の窒化膜のシリコンダングリングボンド密度の上限は、絶縁性を確保できる限りにおいて、特に上限はない。

【0012】

好適には、窒化珪素または酸化窒化珪素からなり上記第2の窒化膜より電荷トラップ密度が低い第3の窒化膜を、上記複数の誘電体膜内で上記第2の窒化膜と上記トップ誘電体膜との間に有する。

10

【0013】

好適には、上記第1および第2の窒化膜は塩素を含み、上記第1の窒化膜は上記第2の窒化膜より塩素濃度が高い。

好適には、上記第1、第2および第3の窒化膜は塩素を含み、上記第1および第3の窒化膜は上記第2の窒化膜より塩素濃度が高い。

【0014】

好適には、前記ボトム誘電体膜は、二酸化珪素  $\text{SiO}_2$ 、酸化窒化珪素  $\text{SiN}_x\text{O}_y$ 、酸化アルミニウム  $\text{Al}_2\text{O}_3$ 、酸化タンタル  $\text{Ta}_2\text{O}_5$ 、酸化ジルコニウム  $\text{ZrO}_2$ 、酸化ハフニウム  $\text{HfO}_2$  のいずれかの材料からなる。

あるいは、好適には、2nm以下の二酸化珪素膜を上記半導体の活性領域上に有し、前記ボトム誘電体膜は、酸化窒化珪素  $\text{SiN}_x\text{O}_y$ 、酸化アルミニウム  $\text{Al}_2\text{O}_3$ 、酸化タンタル  $\text{Ta}_2\text{O}_5$ 、酸化ジルコニウム  $\text{ZrO}_2$ 、酸化ハフニウム  $\text{HfO}_2$  のいずれかの材料からなる。

20

【0015】

好適には、前記トップ誘電体膜は、二酸化珪素  $\text{SiO}_2$ 、窒化珪素  $\text{SiN}_x$ 、酸化窒化珪素  $\text{SiN}_x\text{O}_y$ 、酸化アルミニウム  $\text{Al}_2\text{O}_3$ 、酸化タンタル  $\text{Ta}_2\text{O}_5$ 、酸化ジルコニウム  $\text{ZrO}_2$ 、酸化ハフニウム  $\text{HfO}_2$  のいずれかの材料からなる。

【0016】

本発明の第2の観点に係る不揮発性半導体記憶装置の製造方法は、半導体の活性領域にボトム誘電体膜を形成し、上記ボトム誘電体膜に電荷保持能力を有する電荷蓄積層を含む複数の誘電体膜を形成し、上記複数の誘電体膜にトップ誘電体膜を形成し、上記トップ誘電体膜に電極を形成する不揮発性半導体記憶装置の製造方法であって、上記複数の誘電体膜の形成工程は以下の諸工程、すなわち、クロルシラン ( $\text{SiH}_{x_1}\text{Cl}_{4-x_1}$  ( $x_1=1,2$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_1}\text{Cl}_{6-y_1}$  ( $y_1=1,2,3,4$ )) または四塩化珪素 ( $\text{SiCl}_4$ ) のいずれかを含む第1の原料ガスと窒素含有ガスとを用いた化学的気相堆積により第1の窒化膜を上記ボトム誘電体膜に形成する工程と、上記第1の窒化膜の形成時に用いる上記第1の原料ガスより塩素の組成比が低いクロルシラン ( $\text{SiH}_{x_2}\text{Cl}_{4-x_2}$  ( $x_2 > x_1$ ,  $x_2=2,3$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_2}\text{Cl}_{6-y_2}$  ( $y_2 > y_1$ ,  $y_2=2,3,4,5$ ))、モノシラン ( $\text{SiH}_4$ ) またはジシラン ( $\text{Si}_2\text{H}_6$ ) のいずれかを含む第2の原料ガスと窒素含有ガスとを用いた化学的気相堆積により第2の窒化膜を上記第1の窒化膜に形成する工程とを含む。

30

40

あるいは、好適には、半導体の活性領域にボトム誘電体膜を形成し、上記ボトム誘電体膜に電荷保持能力を有する電荷蓄積層を含む複数の誘電体膜を形成し、上記複数の誘電体膜にトップ誘電体膜を形成し、上記トップ誘電体膜に電極を形成する不揮発性半導体記憶装置の製造方法であって、上記複数の誘電体膜の形成工程に以下の諸工程、すなわち、クロルシラン ( $\text{SiH}_{x_1}\text{Cl}_{4-x_1}$  ( $x_1=1,2$ ))、クロルジシラン ( $\text{Si}_2\text{H}_{y_1}\text{Cl}_{6-y_1}$  ( $y_1=1,2,3,4$ )) または四塩化珪素 ( $\text{SiCl}_4$ ) のいずれかを含む原料ガスと窒素含有ガスとを用いた化学的気相堆積により第1の窒化膜を上記ボトム誘電体膜に形成する工程と、上記第1の窒化膜の形成時に用いる上記第1の原料ガスより塩素の組成比が低いジクロルシラン ( $\text{SiH}_2\text{Cl}_2$ ) からなる第2の原料ガスと窒素含有ガスとを用いた化学的気相

50

堆積により第2の窒化膜を上記第1の窒化膜に形成する工程とを含む。

【0017】

たとえば、好適には、上記第1の窒化膜の化学的気相堆積時の上記第1の原料ガスとして四塩化珪素  $\text{SiCl}_4$  を用い、上記第2の窒化膜の化学的気相堆積時の上記第2の原料ガスとして三塩化シラン  $\text{SiHCl}_3$ 、ジクロルシラン  $\text{SiH}_2\text{Cl}_2$ 、またはモノシラン  $\text{SiH}_4$  を用いる。

あるいは、好適には、上記第1の窒化膜の化学的気相堆積時の上記第1の原料ガスとして三塩化シラン  $\text{SiHCl}_3$  を用い、上記第2の窒化膜の化学的気相堆積時の上記第2の原料ガスとしてジクロルシラン  $\text{SiH}_2\text{Cl}_2$ 、モノシラン  $\text{SiH}_4$ 、またはジシラン  $\text{Si}_2\text{H}_6$  を用いる。

10

あるいは、好適には、上記第1の窒化膜の化学的気相堆積時の上記第1の原料ガスとしてジクロルシラン  $\text{SiH}_2\text{Cl}_2$  を用い、上記第2の窒化膜の化学的気相堆積時の上記第2の原料ガスとしてモノシラン  $\text{SiH}_4$ 、またはジシラン  $\text{Si}_2\text{H}_6$  を用いる。

【0018】

好適には、上記窒素含有ガスとして、アンモニア  $\text{NH}_3$  を用いる。

あるいは、好適には、上記窒素含有ガスとして、窒素により希釈したアンモニア  $\text{NH}_3$  を用いる。

あるいは、好適には、上記窒素含有ガスとして、周波数  $5 \sim 500 \text{ MHz}$  の交流電磁場により電離した窒素を用いる。

【0019】

20

好適には、上記複数の誘電体膜の形成工程は、以下の諸工程、すなわち、上記第2の窒化膜の形成時に用いる上記第2の原料ガスより塩素の組成比が高いクロルシラン  $\text{SiH}_{x3}\text{Cl}_{4-x3}$  ( $x3 < x2$ ,  $x3=1,2$ )、クロルジシラン  $\text{Si}_2\text{H}_{y3}\text{Cl}_{6-y3}$  ( $y3 < y2$ ,  $y3=1,2,3,4$ )、または四塩化珪素  $\text{SiCl}_4$  からなる第3の原料ガスと窒素含有ガスとを原料に用いた化学的気相堆積により、第3の窒化膜を上記第2の窒化膜上に形成する工程と、をさらに含む。

【0020】

たとえば、好適には、上記トップ誘電体膜の形成時に上記第3の窒化膜の表面を熱酸化する。

あるいは、好適には、上記トップ誘電体膜の形成時に、ジクロルシラン  $\text{SiH}_2\text{Cl}_2$ 、三塩化シラン  $\text{SiHCl}_3$ 、または四塩化珪素  $\text{SiCl}_4$  と酸化二窒素  $\text{N}_2\text{O}$  とを用いた化学的気相堆積により、二酸化珪素膜を上記第3の窒化膜上に形成する。

30

【0021】

【発明の実施の形態】

以下、本発明の実施形態について、記憶素子として  $n$  チャネル型のメモリトランジスタを有する場合を例に図面を参照しながら説明する。なお、 $p$  チャネル型のメモリトランジスタは、以下の説明で不純物導電型を逆にすることで実現される。

【0022】

第1実施形態

図1に、第1実施形態に係る不揮発性メモリトランジスタの断面構造を示す。また、図2は、電荷蓄積層の構造の詳細を示す図1の要部を拡大した図である。

40

【0023】

このメモリトランジスタは、たとえば  $p$  型シリコンウエハなどの半導体基板、半導体基板内表面に形成された  $p$  ウェル、または  $\text{SOI}$  型基板分離構造の  $p$  型シリコン層（以下、単に基板  $\text{SUB}$  という）に形成されている。基板  $\text{SUB}$  の表面に、必要に応じて、たとえば  $\text{LOCOS}$  (Local Oxidation of Silicon) または  $\text{STI}$  (Shallow Trench Isolation) などにより形成された誘電体分離層  $\text{ISO}$  が形成されている。この誘電体分離層  $\text{ISO}$  が形成されていない基板表面部分が当該メモリトランジスタを含む素子が形成される活性領域となる。

【0024】

50

活性領域上に、ボトム誘電体膜BTM、電荷蓄積膜CS、トップ誘電体膜TOP、およびゲート電極Gが積層されている。このゲート電極G自身、あるいは、ゲート電極Gに接続された図示しない上層配線層により、メモリセルアレイのワード線が構成される。

【0025】

ボトム絶縁膜BMTは、たとえば1nm～数nm程度の膜厚を有する二酸化珪素SiO<sub>2</sub>の膜からなる。

電荷蓄積膜CSは、図2に示すように、主にポテンシャルバリアとして機能する第1窒化膜CS1と、第1窒化膜CS1上に形成され、主に電荷蓄積手段として機能する第2窒化膜CS2とからなる。第1および第2窒化膜CS1, CS2は、窒化珪素SiN<sub>x</sub>または酸化窒化珪素(silicon oxynitride)SiO<sub>x</sub>N<sub>y</sub> (x, y > 0)からなる。

トップ誘電体膜TPOは、たとえばCVDにより作製した二酸化珪素膜からなり、その膜厚は3nm～10nm程度である。

ゲート電極Gは、CVD法により形成し高濃度に不純物がドーピングされた多結晶珪素、または、多結晶珪素と、その上に形成されたWSi<sub>2</sub>, TiN, TaSi<sub>2</sub>, TiSi<sub>2</sub>, Ti, W, Cu, Al, Au等との蓄積膜からなる。

【0026】

このような構成のゲート積層構造の両側のシリコン活性領域内表面に、いわゆるLDD(Lightly Doped Drain)を有した2つのソース・ドレイン不純物領域S/Dが互いに離れて形成されている。動作時の電圧印加方向に応じて、この2つのソース・ドレイン不純物領域S/Dの一方がソース、他方がドレインとして機能する。

また、ゲート積層構造の両側面には、いわゆるサイドウォールと称せられる絶縁層SWが形成されている。サイドウォールSW直下に位置する活性領域に、n型不純物が比較的低濃度で浅く導入されることにより、ソース・ドレイン不純物領域S/Dのn<sup>-</sup>不純物領域(LDD)が形成されている。また、サイドウォールSWを自己整合マスクとして、その両外側にn型不純物を比較的高濃度で深くまで導入することにより、ソース・ドレイン不純物領域S/Dの主体をなすn<sup>+</sup>不純物領域が形成されている。

なお、2つのソース・ドレイン不純物領域S/Dの間の活性領域部分が、当該メモリトランジスタのチャンネル形成領域CHである。

【0027】

以下、このメモリトランジスタの製造方法を、図面を参照しながら説明する。ここで、図3～図10は、第1実施形態に係るメモリトランジスタの製造における断面図である。

図3に示すように、基板SUB上にLOCOS法またはSTI法により誘電体分離層ISOを形成する。また、必要に応じて、メモリトランジスタのしきい値電圧を調整するための不純物ドーピングを、たとえばイオン注入法により行う。

【0028】

800 から1000 に昇温した基板SUBの表面をO<sub>2</sub> またはN<sub>2</sub>Oに曝すことにより、1nm程度の二酸化珪素膜を形成する。基板温度を800 から1000 に保った状態で、二酸化珪素膜の表面をアンモニアNH<sub>3</sub>に数10分間曝し、二酸化珪素膜表面を窒化する。この高温窒化処理は、つぎの窒化珪素膜の堆積時のインキュベーション時間を低減するためである。これにより、図4に示すように、約1nmのボトム誘電体膜BTMが基板SUBのSi活性領域上に形成される。

【0029】

基板温度を600 から800 の範囲内に下げ、四塩化珪素(テトラクロルシラン)SiCl<sub>4</sub>とアンモニアNH<sub>3</sub>を、それぞれ10sccmから500sccmの範囲内の所定流量で、かつチャンバ内の圧力が数100mTorrとなる条件で流し、窒化珪素のCVDを行う。所定時間経過後にCVDを止めると、図5に示すように、数nmの窒化珪素膜(第1窒化膜CS1)がボトム誘電体膜BTM上に形成される。

【0030】

続いて、原料ガスを変更してCVDし、第2窒化膜CS2を形成する。すなわち、同じ基板温度を保ったまま、あるいは600 から800 の範囲内で基板温度を必要に応じて

10

20

30

40

50



変え、ジクロルシラン  $\text{SiH}_2\text{Cl}_2$  とアンモニア  $\text{NH}_3$  を、それぞれ  $10\text{ sccm}$  から  $500\text{ sccm}$  の範囲内の所定流量で、かつチャンバ内の圧力が数  $100\text{ mTorr}$  となる条件で流し、窒化珪素の CVD を行う。所定時間経過後に CVD を止めると、図 6 に示すように、数  $\text{nm}$  の窒化珪素膜 (第 2 窒化膜 CS2) が第 1 窒化膜 CS1 上に形成される。

#### 【0031】

さらに、導入ガスを二酸化珪素の形成ガスに変更して CVD し、トップ誘電体膜 TOP を形成する。すなわち、同じ基板温度を保ったまま、あるいは  $600$  から  $800$  の範囲内で必要に応じて変え、ジクロルシラン  $\text{SiH}_2\text{Cl}_2$  と酸化二窒素  $\text{N}_2\text{O}$  を、それぞれ数  $100\text{ sccm}$  の所定流量で、かつチャンバ内の圧力が数  $100\text{ mTorr}$  となる条件で流し、二酸化珪素の CVD を行う。所定時間経過後に CVD を止めると、図 7 に示すように、数  $\text{nm}$  の二酸化珪素膜 (トップ誘電体膜 TOP) が第 2 窒化膜 CS2 上に形成される。

なお、この CVD に代えて、第 2 窒化膜 CS2 表面の熱酸化により、あるいは熱酸化と CVD の組合せによりトップ誘電体膜 TOP を形成してもよい。この熱酸化時の第 2 窒化膜 CS2 の膜減りを考慮して、図 6 の工程で予め、第 2 窒化膜 CS2 を最終膜厚より厚く堆積しておく。

#### 【0032】

ゲート電極 G となる高濃度不純物がドーピングされた多結晶珪素を、トップ誘電体膜 TOP 上に CVD する。この多結晶珪素の形成では、モノシラン ( $\text{SiH}_4$ )、ジクロルシラン ( $\text{SiCl}_2\text{H}_2$ )、テトラクロルシラン ( $\text{SiCl}_4$ ) などの珪素原子を含むガスを原料とした CVD 法、または、多結晶珪素をターゲットとしたスパッタリング法を用いる。ここでは、基板温度  $650$  とした CVD により多結晶珪素を堆積し、必要に応じて、多結晶珪素上に、金属、高融点金属、その金属シリサイドを含む合金などからなる低抵抗化層を形成する。低抵抗化層の材料としては、銅 (Cu)、アルミニウム (Al)、金 (Au)、タングステン (W)、チタン (Ti)、タングステンシリサイド ( $\text{WSi}_2$ )、タンタルシリサイド ( $\text{TaSi}_2$ )、チタンナイトライド (TiN) などを用いる。このように形成されたゲート電極 G の厚さは、 $50\text{ nm} \sim 200\text{ nm}$  程度である (図 8)。

#### 【0033】

とくに図示しないが、必要に応じてドライエッチング耐性の優れた誘電体膜のパターンを形成し、この誘電体膜あるいはレジストをマスクとして異方性のあるエッチング、たとえば RIE (Reactive Ion Etching) を行う。これにより、図 9 に示すように、ゲート電極 G、トップ誘電体膜 TOP、電荷蓄積膜 CS がパターンニングされる。

#### 【0034】

つぎに、ゲート積層膜を自己整合マスクとしボトム誘電体膜 BTM をスルー膜として、Si 活性領域の表面に n 型不純物を低濃度でイオン注入し、n<sup>-</sup> 不純物領域 (LDD 領域、図では N<sup>-</sup> で示す) を形成する。このイオン注入では、たとえば砒素イオン ( $\text{As}^+$ ) を  $1 \sim 5 \times 10^{13}\text{ cm}^{-2}$  ほどの密度でドーピングする。

その後、全面に CVD により  $\text{SiO}_2$  膜を  $100\text{ nm} \sim 200\text{ nm}$  程度堆積し、これを RIE 等の異方性エッチングによりエッチバックする。これにより、図 10 に示すように、ゲートの積層膜 G、TOP および CS の側面にサイドウォール SW が形成される。

#### 【0035】

この状態で、サイドウォール SW 外側の Si 活性領域に n 型不純物を高濃度でイオン注入し、ソース・ドレイン不純物領域 S/D を形成する (図 1)。このイオン注入では、たとえば、ゲートの積層膜およびサイドウォール SW をマスクとして自己整合的に  $\text{As}^+$  を  $1 \sim 5 \times 10^{15}\text{ cm}^{-2}$  ほどの密度でドーピングする。その後、層間誘電体膜および配線層の形成を行って、当該メモリトランジスタを完成させる。

#### 【0036】

つぎに、第 1 実施形態に係るメモリトランジスタの第 1 のバイアス設定例および動作を説明する。

10

20

30

40

50

書き込み時に、基板SUBの電位を基準として2つのソース・ドレイン領域S/Dを0Vで保持し、ゲート電極Gに正の電圧、たとえば10Vを印加する。このとき、チャンネル形成領域CHに電子が蓄積されて反転層が形成され、その反転層内の電子の一部がボトム誘電体膜BTMおよび第1窒化膜CS1をトンネル効果により伝導し、主に第2窒化膜CS2内に形成された電荷トラップに捕獲される。

#### 【0037】

読み出し時に、基板SUBの電位を基準としてソース・ドレイン領域S/Dの一方に0Vを印加し、他方にたとえば1.5Vを印加し、電荷蓄積膜CS内の捕獲電子数をしきい値電圧に影響がでるまで変化させない範囲の電圧、たとえば2.5Vをゲート電極Gに印加する。このバイアス条件下、電荷蓄積膜CS内の捕獲電子の有無または捕獲電子量に応じてチャンネルの導電率が顕著に変化する。すなわち、電荷蓄積膜CSに電子が十分注入されている場合、電荷蓄積膜CSに電子が十分注入されていない場合と比較して蓄積電子がチャンネルの電位を相対的に上昇させチャンネル内の電子密度を減少させるためソースとドレイン間の伝導度が小さい。逆に、電荷蓄積膜CSに電子が十分注入されていない場合は、チャンネルの電位が相対的に低く、ソースとドレイン間の伝導度が大きくなる。このチャンネルの伝導度の差は、チャンネルの電流量またはドレイン電圧変化に効果的に変換される。このチャンネルの電流量またはドレイン電圧変化を、たとえばセンスアンプなどの検出回路で増幅し記憶情報として外部に読み出す。

なお、この第1のバイアス設定例では、書き込みをチャンネル全面で行ったため、ソースとドレインの電圧印加方向を上記と逆にしても読み出しが可能である。

#### 【0038】

消去時に、基板SUBの電位を基準とし2つのソース・ドレイン領域S/Dの双方に0Vを印加し、ゲート電極Gに負の電圧、たとえば-10Vを印加する。このとき、電荷蓄積膜CS内で保持されていた電子がボトム誘電体膜BTMおよび第1窒化膜CS1をトンネルしてチャンネル形成領域CHに強制的に引き抜かれる。これにより、メモリトランジスタは、その電荷蓄積膜CS内の捕獲電子量が十分低い書き込み前の状態(消去状態)に戻される。

#### 【0039】

つぎに、第1実施形態に係るメモリトランジスタの第2のバイアス設定例および動作を説明する。

書き込み時に、基板SUBの電位を基準として2つのソース・ドレイン領域S/Dの一方に0V、他方に5Vを印加し、ゲート電極Gに正の電圧、たとえば10Vを印加する。このとき、チャンネル形成領域CHに電子が蓄積されて反転層が形成され、その反転層内にソースから供給された電子がソースとドレイン間の電界により加速されてドレイン端部側で高い運動エネルギーを得てホットエレクトロンとなる。ホットエレクトロンの一部が、主に第1窒化膜CS1で規定されるポテンシャル障壁高さより高いエネルギーを持つと、それらの電子は散乱過程によってボトム誘電体膜BTMを透過しトンネル効果により第1窒化膜CS1のポテンシャル障壁を乗り越え、主に第2窒化膜CS2内に形成された電荷トラップに捕獲される。

#### 【0040】

読み出しは、第1のバイアス設定例と同様に行う。ただし、第2のバイアス設定例では、書き込み時に5Vを印加したドレイン側に電荷が蓄積されるため、読み出しでは、この電荷蓄積側がソースとなるようにソースとドレイン間に電圧を印加する必要がある。

消去時では、第1のバイアス設定時と同様にFNトンネリングを用いるか、または、バンド-バンド間トンネリングを用いる。後者の方法では、基板電位を基準としてソース・ドレイン領域S/Dの一方または双方に5Vを印加し、5Vを印加しないソース・ドレイン領域S/Dは0Vで保持し、ゲート電極Gに-5Vを印加する。5Vを印加したソース・ドレイン領域S/Dの表面が空乏化し、その空乏層内が高電界となるためにバンド-バンド間トンネル電流が発生する。バンド-バンド間トンネル電流に起因した正孔は電界で加速されて高エネルギーを得る。この高いエネルギーの正孔はゲート電圧に引きつけられて

10

20

30

40

50

電荷蓄積膜CS内の電荷トラップに注入される。その結果、電荷蓄積膜内の蓄積電子は注入された正孔により電荷が打ち消され、当該メモリトランジスタが消去状態、すなわちしきい値電圧が低い状態に戻される。

【0041】

つぎに、第1実施形態に係るメモリトランジスタの第3のバイアス設定例および動作を説明する。バイアス設定の基本は第2のバイアス設定例と同様であるが、この第3のバイアス設定例では2ビットを1メモリトランジスタ内に記憶する動作を説明する。

第1の情報の書き込み時に、基板SUBの電位を基準として2つのソース・ドレイン領域S/Dの一方に0V、他方に5Vを印加し、ゲート電極Gに正の電圧、たとえば10Vを印加する。このとき、チャンネル形成領域CHに電子が蓄積されて反転層が形成され、その反転層内にソースから供給された電子がソースとドレイン間の電界により加速されてドレイン端部側で高い運動エネルギーを得てホットエレクトロンとなる。ホットエレクトロンの一部が、主に第1窒化膜CS1で規定されるポテンシャル障壁高さより高いエネルギーを持つと、それらの電子は散乱過程によってボトム誘電体膜BTMを透過しトンネル効果により第1窒化膜CS1のポテンシャル障壁を乗り越え、主に第2窒化膜CS2内に形成された電荷トラップに捕獲される。

10

第2の情報の書き込み時に、2つのソース・ドレイン領域S/Dの電圧を上記した第1の情報の書き込み時と逆にする。上記した第1の情報の書き込み時には、5Vを印加したソース・ドレイン領域S/D側からチャンネルホットエレクトロンが注入され、電荷蓄積膜CSの他方端部を中心とした一部の領域に電子が捕獲されている。これに対し、この第2の情報の書き込みでは、電荷蓄積膜CSの一方端部側に第1の情報とは独立に2値情報(第2の情報)を書き込むために、2つのソース・ドレイン領域S/Dの他方に0Vを印加し、一方に5Vを印加する。0Vを印加した他方のソース・ドレイン領域S/Dから供給された電子は、5Vを印加した一方のソース・ドレイン領域S/D側でホットエレクトロン化し、電荷蓄積膜の一方側の一部に注入される。なお、この第3の動作例で2つの2ビット情報が互いに重ならないように、電子の注入量およびメモリトランジスタのゲート長が決められる。

20

【0042】

この2ビット情報の読み出しでは、読み出し対象の情報が書き込まれた側に近いほうのソース・ドレイン領域S/Dがソースとなるように、ソースとドレイン間の電圧印加方向が決められる。

30

第1の情報を読み出す際には、第1の情報に近い他方のソース・ドレイン領域S/Dに0Vを印加し、一方のソース・ドレイン領域S/Dに1.5Vを印加し、電荷蓄積膜CS内の捕獲電子数をしきい値電圧に影響がでるまで変化させない範囲の電圧、たとえば2.5Vをゲート電極Gに印加する。このバイアス条件下、電荷蓄積膜CS内のソース側端部に存在する捕獲電子の有無または捕獲電子量に応じてチャンネルの導電率が顕著に変化する。すなわち、電荷蓄積膜CSのソース側端部に電子が十分注入されている場合、電荷蓄積膜CSのソース側端部に電子が十分注入されていない場合と比較して蓄積電子がチャンネルのソース側部分の電位を相対的に上昇させチャンネル内の電子密度を減少させるためソースとドレイン間の伝導度が小さい。このとき、ドレイン側近傍ではドレイン電圧によって電子に対するポテンシャルが、電荷蓄積膜CSのドレイン側端部の電子の有無にかかわらず低くなっている。また、この読み出し時にドレイン端部がピンチオフ状態となるため、電荷蓄積膜CSのドレイン側端部の電子の有無がチャンネルの伝導度に対する影響が小さくなる。すなわち、トランジスタのしきい値電圧は、より低い電界のソース側の捕獲電子の量を反映したものとなるため、このバイアス条件下では第1の情報が検出回路によって読み出される。

40

一方、第2の情報を読み出す際には、第2の情報に近い一方のソース・ドレイン領域S/Dに0Vを印加し、他方のソース・ドレイン領域S/Dに1.5Vを印加し、ゲート電極Gに2.5Vを印加する。このバイアス条件下では、一方のソース・ドレイン領域S/D側が低電界となるため、上記した第1の情報の読み出し時と同様な原理で第2の情報が読

50

み出される。

【0043】

消去時では、第1のバイアス設定時と同様にFNトンネリングを用いるか、または、第2のバイアス設定時と同様にバンド-バンド間トンネリングを用いる。

【0044】

第1実施形態に係るメモリトランジスタは、電荷蓄積膜CSを複数の窒化膜CS1, CS2により構成したことに特徴を有する。

第1および第2窒化膜CS1, CS2をCVDにより形成する際に用いる塩素含有ガスの種類が異なる。前記したように、第1窒化膜CS1形成時の塩素含有ガスとして四塩化珪素(テトラクロルシラン)SiCl<sub>4</sub>を用い、第2窒化膜CS2形成時の塩素含有ガスとしてジクロルシランSiH<sub>2</sub>Cl<sub>2</sub>を用いている。本願明細書において、塩素含有ガスとして四塩化珪素(テトラクロルシラン: TCS)SiCl<sub>4</sub>を用いて作製した窒化膜をTCS-SiN膜と称し、塩素含有ガスとしてジクロルシラン(DCS)SiH<sub>2</sub>Cl<sub>2</sub>を用いて作製した窒化膜をDCS-SiN膜と称する。

10

【0045】

原料ガスが四塩化珪素SiCl<sub>4</sub>であるか、ジクロルシランSiH<sub>2</sub>Cl<sub>2</sub>であるかの違いにより、窒化膜中のシリコンダングリングボンド密度に差が現れる。一般に、シリコンの4本の結合手のうち、未結合手をシリコンダングリングボンドと呼ぶが、窒化膜中のシリコンダングリングボンドは、自由電子の捕獲、電気伝導度に影響する。シリコンダングリングボンド密度が大きいほど、電荷トラップ密度が大きい膜、電気伝導度の大きい膜となる。

20

【0046】

シリコンダングリングボンドは、ESR(電子スピン共鳴)測定にて観測される量である。図11に、DCS-SiN膜とTCS-SiN膜のESR測定における微分型の信号波形の一例を示す。

図11(a)は、シリコン基板に1nmの二酸化珪素膜と8nmのDCS-SiN膜の積層膜を形成した試料の測定結果を示し、図11(b)は、シリコン基板に1nmの二酸化珪素膜と8nmのTCS-SiN膜の積層膜を形成した試料の測定結果を示す。

【0047】

図11より、DCS-SiN膜には、TCS-SiN膜では観測されないピークAが現れていることがわかる。すなわち、DCS-SiN膜には、TCS-SiN膜には含まれないシリコンダングリングボンドがあることがわかる。なお、DCS-SiN膜とTCS-SiN膜に共通のピークBは、シリコン基板のシリコンダングリングボンドによるものであると考えられる。

30

【0048】

図11に示したESRの微分型の信号波形から、積分型の信号波形を算出し、当該積分型の信号波形の面積を算出することによりシリコンダングリングボンド密度が算出される。図12に、DCS-SiN膜とTCS-SiN膜のシリコンダングリングボンド密度の算出結果の一例を示す。

図12では、DCS-SiN膜のシリコンダングリングボンド密度の算出結果については、DCS-SiN膜を成膜した同じ一つのウェーハから切り出した異なる2つの試料を測定し、DCS-SiN(1)、DCS-SiN(2)としている。

40

【0049】

図12に示すように、DCS-SiN膜(1)および(2)のシリコンダングリングボンド密度は、それぞれ $1.74 \times 10^{17} \text{ cm}^{-3}$ および $0.95 \times 10^{17} \text{ cm}^{-3}$ であり、一方、TCS-SiN膜のシリコンダングリングボンド密度は、検出限界の $0.5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

複数の試料の測定結果から、DCS-SiN膜のシリコンダングリングボンド密度は、原料ガスの流量比や、CVD温度などの成膜条件などを変えることによって、調節することができ、その範囲は、略 $0.70 \times 10^{17} \text{ cm}^{-3}$ 以上であった。

50

## 【0050】

一方、TCS-SiN膜とDCS-SiN膜の電荷トラップ密度の違いが、図13に示すメモリヒス特性から確認できる。

この測定では、四塩化珪素 $SiCl_4$ を用いて作製した窒化珪素(TCS-SiN)を単一の電荷保持膜として含むメモリトランジスタと、ジクロルシラン $SiH_2Cl_2$ を用いて作製した窒化珪素(DCS-SiN)を単一の電荷保持膜として含むメモリトランジスタとを比較した。比較の結果、DCS-SiNを有するメモリトランジスタの閾値ウインドウが、TCS-SiNを有するメモリトランジスタの閾値ウインドウより約1.5Vほど大きいことが分った。この差を電荷密度に換算すると、DCS-SiNは、その蓄積電子密度がTCS-SiNより約40%大きく、蓄積正孔密度が約70%大きい。なお、この電荷密度差は成膜条件等を変えることで、さらに大きくすることが可能である。

10

## 【0051】

上述した測定結果は、以下のように理解できる。すなわち、四塩化珪素 $SiCl_4$ はジクロルシラン $SiH_2Cl_2$ より塩素の組成比が大きいため、第1窒化膜CS1は、第2窒化膜CS2より塩素の含有率が高い。したがって、第1窒化膜CS1は、窒化珪素内に珪素-水素結合基(Si-Hボンド)よりも結合エネルギーの大きく安定な珪素-塩素結合基(Si-Clボンド)が多く含まれることから、第1窒化膜CS1は、第2窒化膜CS2に比べシリコンダングリングボンド密度が低い。

一方、成膜直後のDCS-SiN膜は、成膜直後のTCS-SiN膜よりSi-Hボンドが多く含まれる。Si-Hボンドは水素が抜ける過程でシリコンダングリングボンドを発生させる可能性が高い。

20

従って、ジクロルシラン $SiH_2Cl_2$ を用いて作製した窒化膜CS2(DCS-SiN膜)のシリコンダングリングボンド密度は、四塩化珪素 $SiCl_4$ を用いて作製した窒化膜CS1(TCS-SiN膜)のシリコンダングリングボンド密度より高くなり、Si-Hボンド密度と電荷トラップ密度は正の相関があることから、電荷トラップ密度もそれに応じて高くなる。

## 【0052】

本実施形態に係るメモリトランジスタは、シリコンダングリングボンド密度が低いTCS-SiN(またはTCS-SiON)を半導体基板SUB側に配置することで、シリコンダングリングボンド密度が高いDCS-SiN(またはDCS-SiON)を半導体基板SUBから離している。したがって、電荷蓄積膜CSの二酸化珪素膜換算での厚さを従来と同じとした場合、チャネル形成領域CHと垂直な軸における電荷トラップの平均的位置が従来よりゲート電極G側に移動する。その結果、保持電荷がチャネル側に抜けにくくなり、電荷保持特性が向上する。また、従来と同じ電荷保持特性としたときの電荷蓄積膜CS自体の厚さを薄くでき、その分、ゲートに印加する電圧を低くでき、あるいは書き込みまたは消去動作が速くなる。

30

## 【0053】

ところで、電子を電荷蓄積膜CSに注入する際に、珪素からなるチャネル形成領域内の電子に対する二酸化珪素(ボトム誘電体膜BTM)が作るポテンシャル障壁高さ、すなわち、珪素の伝導帯端と二酸化珪素の伝導帯端のエネルギー差は注入に必要なゲート電圧値を決定するパラメータの一つとなる。従来構造、すなわち電荷蓄積膜が単層膜の場合、チャネル内電子に対する二酸化珪素のポテンシャル障壁高さは約3.2eVであった。このため、ボトム誘電体膜BTM内の電場をFNトンネリングが起こる領域、すなわち膜厚方向の電界強度で7MeV/cm以上に高めることが必要となる。また、ホットエレクトロン注入書き込みを行う場合、チャネル内電子のエネルギーをポテンシャル障壁高さ3.2eV以上にまでホット化する電圧をソースとドレイン間に印加しなければならない。これらは、動作電圧の低電圧化を妨げる要因となっていた。

40

## 【0054】

本実施形態に係るメモリトランジスタでは、第1窒化膜CS1と第2窒化膜CS2間でシリコンダングリングボンド密度の差を十分大きくすると、第2窒化膜CS2が主な電荷蓄

50

積手段として機能し、第1窒化膜CS1は電荷蓄積手段としては余り機能しない。その結果、第2窒化膜CS2と半導体基板SUBとの間にある第1窒化膜CS1は、ポテンシャルバリアとしての役割が増す。このことは、従来3nm程度が膜厚の限界であったボトム誘電体膜BTMを1nm程度と薄くすることができる利点をもたらす。ボトム誘電体膜厚を1nmまで薄くするとポテンシャルバリアとして殆ど働かないことから、その場合に必要メモリトランジスタのポテンシャルバリアは、主に第1窒化膜CS1の存在によって確保されることとなる。上記したようにボトム誘電体膜BTMとして従来用いられていた二酸化珪素膜のポテンシャルバリア高さは3.2eVであるが、TCS-SiNのポテンシャルバリア高さは最大でも2.1eVと低い。このため、従来と同じ電荷保持特性が得られるように電荷蓄積膜CSの膜厚を設計した場合でも、電荷蓄積膜CSキャリアの注入効率が増し、動作電圧が低くでき、あるいは高速に動作する。

10

#### 【0055】

第1実施形態に係る製造方法を用いて作製した不揮発性メモリトランジスタの特性を図14および図15に示す。

図14の横軸は、ソース、ドレインおよび基板電位を0Vとしチャンネル全面からFNトンネリングを用いて書き込みまたは消去する際のゲート電圧を示す。図14の縦軸は、ゲート電圧印加後のメモリトランジスタのしきい値電圧を示す。グラフ内の数値は、書き込みまたは消去のためにゲートに印加したパルスの印加時間である。このグラフから、消去時間は20msで十分な閾値ウィンドウが得られていることが分かる。

#### 【0056】

20

図15は、書き込み時に1.1Vのゲート電圧を0.1ms加え、消去時に-8.5Vのゲート電圧を60ms加える動作を繰り返したときのしきい値電圧の変化を示す。10<sup>4</sup>回までは大きなしきい値電圧変化がなく、2V程度の閾値ウィンドウが維持されていることが分かる。窒化膜が単層のONO膜を有する従来のMONOS型メモリトランジスタでは、書き込み時に1ms、消去時に100msを要していたが、本実施形態に係るMONOS型メモリトランジスタでは、従来より短い時間で書き込みおよび消去動作が可能なが分かる。

#### 【0057】

以下、第2および第3実施形態に、第2窒化膜CS2の形成ガスを変更した場合を説明する。これらの実施形態では、図1および図2の基本素子構造、および図3～図10の製造における断面図は、そのまま適用される。

30

#### 【0058】

#### 第2実施形態

第2実施形態に係るメモリトランジスタの製造方法では、図3～図5の第1窒化膜CS1の形成までは、第1実施形態と同様に行う。

#### 【0059】

図6の第2窒化膜CS2の形成では、第1窒化膜CS1の形成時と同じ基板温度を保ったまま、あるいは600から800の範囲内で必要に応じて変え、モノシランSiH<sub>4</sub>とアンモニアNH<sub>3</sub>を、それぞれ10sccmから500sccmの範囲内の所定流量で、かつチャンバ内の圧力が数100mTorrとなる条件で流し、窒化珪素のCVDを行う。所定時間経過後にCVDを止めると、数nmの窒化珪素膜(第2窒化膜CS2)が第1窒化膜CS1上に形成される。

40

#### 【0060】

その後は、第1実施形態と同様な方法によって、トップ誘電体膜TOPの形成、ゲート電極Gの形成、ゲート加工、LDDの形成、サイドウォールSWの形成、ソース・ドレイン領域S/Dの形成等の諸工程を行い、当該メモリトランジスタを完成させる。

#### 【0061】

#### 第3実施形態

第3実施形態に係るメモリトランジスタの製造方法では、図3～図5の第1窒化膜CS1の形成までは、第1実施形態と同様に行う。

50

## 【 0 0 6 2 】

図 6 の第 2 窒化膜 C S 2 の形成では、第 1 窒化膜 C S 1 の形成時と同じ基板温度を保ったまま、あるいは 6 0 0 から 8 0 0 の範囲内で必要に応じて変え、三塩化シラン  $\text{SiHCl}_3$  とアンモニア  $\text{NH}_3$  を、それぞれ 1 0 s c c m から 5 0 0 s c c m の範囲内の所定流量で、かつチャンバ内の圧力が数 1 0 0 m T o r r となる条件で流し、窒化珪素の C V D を行う。所定時間経過後に C V D を止めると、数 n m の窒化珪素膜（第 2 窒化膜 C S 2 ）が第 1 窒化膜 C S 1 上に形成される。

## 【 0 0 6 3 】

その後は、第 1 実施形態と同様な方法によって、トップ誘電体膜 T O P の形成、ゲート電極 G の形成、ゲート加工、L D D の形成、サイドウォール S W の形成、ソース・ドレイン領域 S / D の形成等の諸工程を行い、当該メモリトランジスタを完成させる。

10

## 【 0 0 6 4 】

第 4 実施形態

第 4 実施形態に係るメモリトランジスタの基本構造は図 1 と同様である。図 1 6 に、第 4 実施形態に係るメモリトランジスタの要部を拡大した断面図を示す。

## 【 0 0 6 5 】

このメモリトランジスタが第 1 ~ 第 3 実施形態と異なるのは、電荷蓄積層 C S が 3 層構造となっている点にある。電荷蓄積層 C S は、第 1 ~ 第 3 実施形態と同様な第 1 および第 2 窒化膜 C S 1 , C S 2 上に、さらに、第 3 窒化膜 C S 3 を有する。他の構造、すなわち基板 S U B , ボトム誘電体膜 B T M , トップ誘電体膜 T O P およびゲート電極 G の構造、材料および形成方法は、第 1 実施形態とほぼ同じである。

20

第 4 実施形態における第 3 窒化膜 C S 3 は四塩化珪素  $\text{SiCl}_4$  を用いて作製した窒化膜からなり、その上のトップ誘電体膜 T O P は、第 3 窒化膜 C S 3 の表面をパイロジェニック酸化して形成した二酸化珪素からなる。

## 【 0 0 6 6 】

図 3 ~ 図 6 に示されるように、第 1 ~ 第 3 実施形態と同様な方法によって、誘電体分離層 I S O , ボトム誘電体膜 B T M , 第 1 窒化膜 C S 1 , 第 2 窒化膜 C S 2 を形成する。

## 【 0 0 6 7 】

その後、図 7 に対応する工程では、まず、基板温度を 6 0 0 から 8 0 0 の範囲内に保ち、四塩化珪素  $\text{SiCl}_4$  とアンモニア  $\text{NH}_3$  を、それぞれ 1 0 s c c m から 5 0 0 s c c m の範囲内の所定流量で、かつチャンバ内の圧力が数 1 0 0 m T o r r となる条件で流し、窒化珪素の C V D を行う。これにより、最終膜厚より厚い窒化珪素膜（第 3 窒化膜 C S 3 ）が第 2 窒化膜 C S 2 上に形成される。

30

続いて、第 3 窒化膜 C S 3 表面をパイロジェニック酸化により酸化すると、第 3 窒化膜 C S 3 表面部の窒化珪素が二酸化珪素に変化し、これにより、数 n m のトップ誘電体膜 T O P が形成される。このとき、下地の第 3 窒化膜 C S 3 の膜減りが生じ、第 3 窒化膜 C S 3 が所定の最終膜厚となる。

## 【 0 0 6 8 】

その後は、第 1 実施形態と同様な方法によって、ゲート電極 G の形成、ゲート加工、L D D の形成、サイドウォール S W の形成、ソース・ドレイン領域 S / D の形成等の諸工程を行い、当該メモリトランジスタを完成させる。

40

## 【 0 0 6 9 】

第 4 実施形態では、第 2 窒化膜 C S 2 の形成に用いる塩素含有ガスは第 1 窒化膜 C S 1 の形成に用いる塩素含有ガスより塩素の組成比が小さいクロルシランガスを用いることができる。また、第 3 窒化膜 C S 3 の形成に用いる塩素含有ガスは、第 2 窒化膜 C S 2 の形成に用いる塩素含有ガスより塩素の組成比が大きなクロルシランガスまたはモノシランを用いることができる。その結果、第 3 窒化膜 C S 3 は、主体的に電荷蓄積機能を担う下地の第 2 窒化膜 C S 2 より塩素の含有率が高い。一般に、窒化珪素膜中では、二酸化珪素よりも原子の拡散係数が小さく、特に塩素の含有量を多くした窒化珪素膜では、S i - H ボンドよりも結合エネルギーの大きい S i - C l ボンドを多く含むため、より緻密な膜になっ

50

ており原子の拡散係数はさらに小さい。このため、電荷蓄積層としての第2窒化膜CS2内の水素の拡散を第3窒化膜CS3が阻止し、これが最上層のトップ誘電体膜TOPを構成している二酸化珪素膜に吸収されることがない。したがって、第4実施形態に係るメモリトランジスタでは、デバイス特性の経時変化が抑制され安定したメモリ特性が得られるという利点がある。

なお、第4実施形態では、電荷保持を主体的に担う第2窒化膜CS2上に第3窒化膜CS3を設けたことにより、トップ誘電体膜TOPの膜厚を、第1～第3実施形態の場合より薄くすることができる。

#### 【0070】

第4実施形態では、トップ誘電体膜TOPの形成で、パイロジェニック酸化に代えてCVD法を用いてもよい。この場合、基板温度を600 から800 の範囲内で保ち、ジクロルシラン $SiH_2Cl_2$ あるいは四塩化珪素 $SiCl_4$ と酸化二窒素 $N_2O$ とを、それぞれ数100 sccmの所定流量で、かつチャンバ内の圧力が数100 mTorrとなる条件で流し、二酸化珪素のCVDを行う。

#### 【0071】

##### 変形例

本発明は、上述の第1～第4実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

たとえば、電荷蓄積膜CSは4層以上であってもよく、少なくとも塩素濃度が高い第1の窒化膜CS1と、塩素濃度が低い第2の窒化膜CS2とを含む。また、この電荷蓄積膜CSの形成時に、クロルシラン $SiH_{x_1}Cl_{4-x_1}$  ( $x_1=1,2$ )、クロルジシラン $Si_2H_{y_1}Cl_{6-y_1}$  ( $y_1=1,2,3,4$ )または四塩化珪素 $SiCl_4$  からなる塩素含有ガスと窒素含有ガスを原料に用いた化学的気相堆積により第1の窒化膜CS1を形成する工程と、第1の窒化膜CS1の形成時に用いる塩素含有ガスより塩素の組成比が低いクロルシラン $SiH_{x_2}Cl_{4-x_2}$  ( $x_2 > x_1$ ,  $x_2=2,3$ )、クロルジシラン $Si_2H_{y_2}Cl_{6-y_2}$  ( $y_2 > y_1$ ,  $y_2=2,3,4,5$ )、モノシラン $SiH_4$  またはジシラン $Si_2H_6$  からなる塩素含有ガスと窒素含有ガスを原料に用いた化学的気相堆積により第2の窒化膜CS2を形成する工程とを含む。したがって、塩素含有ガスの選択は、この範囲において任意である。

#### 【0072】

また、必要に応じて、第2の窒化膜CS2の形成時に用いる塩素含有ガスより塩素の組成比が高いクロルシラン $SiH_{x_3}Cl_{4-x_3}$  ( $x_3 < x_2$ ,  $x_3=1,2$ )、クロルジシラン $Si_2H_{y_3}Cl_{6-y_3}$  ( $y_3 < y_2$ ,  $y_3=1,2,3,4$ ) または四塩化珪素 $SiCl_4$  からなる塩素含有ガスと窒素含有ガスを原料に用いた化学的気相堆積により、第3の窒化膜CS3を形成する工程を含む。したがって、第3の窒化膜CS3の形成時の塩素含有ガスの選択は、この範囲において任意である。

#### 【0073】

ボトム誘電体膜BMTおよびトップ誘電体膜TOPは、二酸化珪素に限定されず、たとえば、窒化珪素 $SiN_x$ 、酸化窒化珪素 $SiN_xO_y$ 、酸化アルミニウム $Al_2O_3$ 、酸化タンタル $Ta_2O_5$ 、酸化ジルコニウム $ZrO_2$ 、酸化ハフニウム $HfO_2$ のいずれかの材料から形成してもよい。

#### 【0074】

ボトム誘電体膜BMTまたはトップ誘電体膜TOPの材料として酸化アルミニウム $Al_2O_3$ が選択された場合、その形成では、 $AlCl_3$ 、 $CO_2$ および $H_2$ を形成ガスとしたCVD法、またはアルミニウムアルコシド( $Al(C_2H_5O)_3$ 、 $Al(C_3H_7O)_3$ または $Al(C_4H_9O)_3$ など)の熱分解を用いる。

ボトム誘電体膜BMTまたはトップ誘電体膜TOPの材料として酸化タンタル $Ta_2O_5$ が選択された場合、その形成では、 $TaCl_5$ 、 $CO_2$ および $H_2$ を形成ガスとしたCVD法、または、 $TaCl_2(OC_2H_5)_2C_5H_7O_2$ あるいは $Ta(OC_2H_5)_5$ などの熱分解を用いる。

ボトム誘電体膜BMTまたはトップ誘電体膜TOPの材料として酸化ジルコニウム $ZrO$

10

20

30

40

50



2 が選択された場合、その形成では、Zrを酸素雰囲気中でスパッタリングする方法を用いる。

ボトム誘電体膜BMTまたはトップ誘電体膜TOPの材料として酸化ハフニウム $\text{HfO}_2$ が選択された場合、その形成では、Hfを酸素雰囲気中でスパッタリングする方法を用いる。

#### 【0075】

ボトム誘電体膜BMTまたはトップ誘電体膜TOPの材料として酸化窒化珪素 $\text{SiN}_x\text{O}_y$ が選択された場合、前記した方法により形成した二酸化珪素を、アンモニア $\text{NH}_3$ に曝して酸化窒化する的方法を用いる。また、酸化窒化珪素 $\text{SiN}_x\text{O}_y$ を形成する他の方法として、基板温度を600 から800 の範囲内で保ち、ジクロルシラン $\text{SiH}_2\text{Cl}_2$ あるいは四塩化珪素 $\text{SiCl}_4$ と、酸化二窒素 $\text{N}_2\text{O}$ と、アンモニア $\text{NH}_3$ とを、それぞれ10 sccmから500 sccmの範囲内の所定流量で、かつチャンバ内の圧力が数100 mTorrとなる条件で流し、酸化窒化膜のCVDを行う。

なお、上記した何れの方法において、上記窒素含有ガスとして、周波数5 ~ 500 MHzの交流電磁場により電離した窒素を用いてもよい。

#### 【0076】

前記した何れかの構造を有し、前記した何れかの製造方法により製造されたメモリトランジスタが行列状に多数配置されてメモリセルアレイが構成されるが、そのセル方式に限定はない。NOR型では、ソース線が分離された方式、ソース線およびビット線がワード方向のセル間で共通化されたバーチャルグランドセル方式の何れも採用できる。また、NOR型の一種である、いわゆるAND型、HiCR型、DINOR型の何れでもよい。さらに、NAND型の採用も可能である。

#### 【0077】

##### 【発明の効果】

本発明に係る不揮発性半導体記憶装置および製造方法によれば、電荷蓄積層内で蓄積電荷の分布中心をチャンネル側から出来るだけ離すことにより電荷保持特性を改善し、あるいは必要な電荷保持時間を維持しながらボトム誘電体膜を薄膜化して、結果として低電圧化および/または高速化が達成された。

また、水素を閉じ込めて電荷トラップ量を形成直後の状態から減少させない電荷蓄積層構造を有し、その結果、デバイス特性の経時変化を抑制した。

##### 【図面の簡単な説明】

【図1】実施形態に係る不揮発性メモリトランジスタの断面構造を示す。

【図2】第1 ~ 第3実施形態に係るメモリトランジスタにおいて、電荷蓄積層の構造の詳細を示す図1の要部を拡大した図である。

【図3】実施形態に係るメモリトランジスタの製造において、誘電体分離層の形成後の断面図である。

【図4】実施形態に係るメモリトランジスタの製造において、ボトム誘電体膜の形成後の断面図である。

【図5】実施形態に係るメモリトランジスタの製造において、第1窒化膜の形成後の断面図である。

【図6】実施形態に係るメモリトランジスタの製造において、第2窒化膜の形成後の断面図である。

【図7】実施形態に係るメモリトランジスタの製造において、トップ誘電体膜の形成後の断面図である。

【図8】実施形態に係るメモリトランジスタの製造において、ゲート電極となる膜の形成後の断面図である。

【図9】実施形態に係るメモリトランジスタの製造において、ゲート加工後の断面図である。

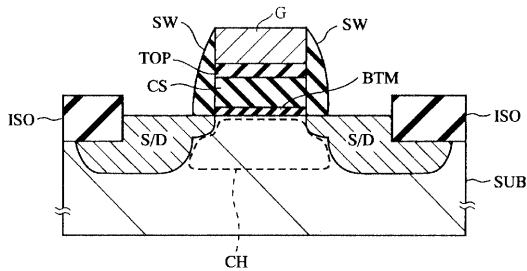
【図10】実施形態に係るメモリトランジスタの製造において、サイドウォール形成後の断面図である。

- 【図11】シリコンダングリング密度を測定するためのESR測定結果を示す図である。
- 【図12】図11に示すESR測定から求めたシリコンダングリングボンド密度を示すグラフである。
- 【図13】電荷トラップ密度を調べた実験結果を示すメモリヒステリシス特性を示すグラフである。
- 【図14】第1実施形態に係るメモリトランジスタのメモリヒステリシス特性を示すグラフである。
- 【図15】第1実施形態に係るメモリトランジスタのエンデュランス特性を示すグラフである。
- 【図16】第4実施形態に係るメモリトランジスタにおいて、電荷蓄積層の構造の詳細を示す図1の要部を拡大した図である。

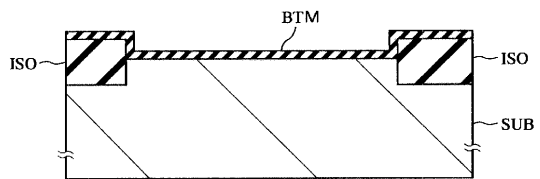
【符号の説明】

SUB...基板(半導体)、CH...チャネル形成領域、S/D...ソース・ドレイン領域、ISO...誘電体分離層、BTM...ボトム誘電体膜、CS...電荷蓄積膜、CS1...第1窒化膜、CS2...第2窒化膜、CS3...第3窒化膜、TOP...トップ誘電体膜、G...ゲート電極、SW...サイドウォール。

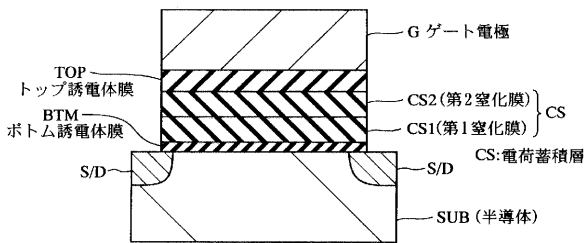
【図1】



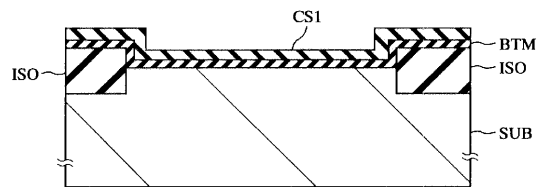
【図4】



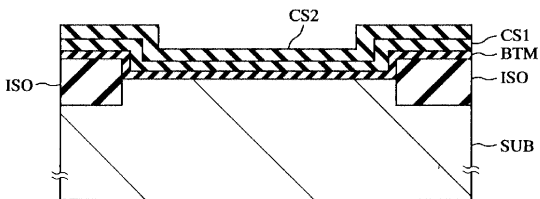
【図2】



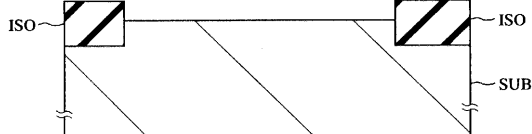
【図5】



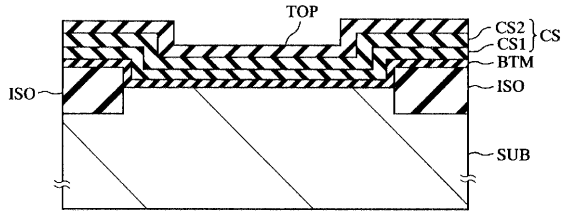
【図6】



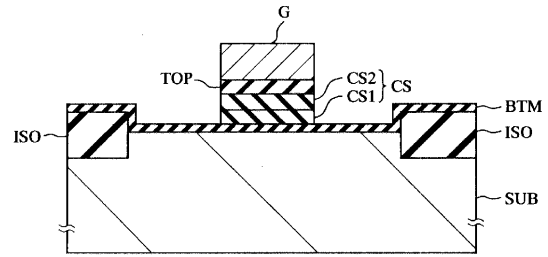
【図3】



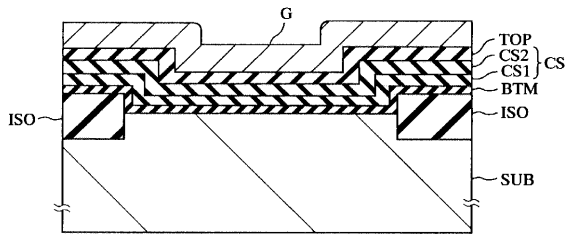
【図7】



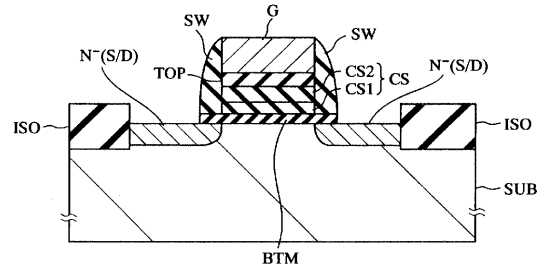
【図9】



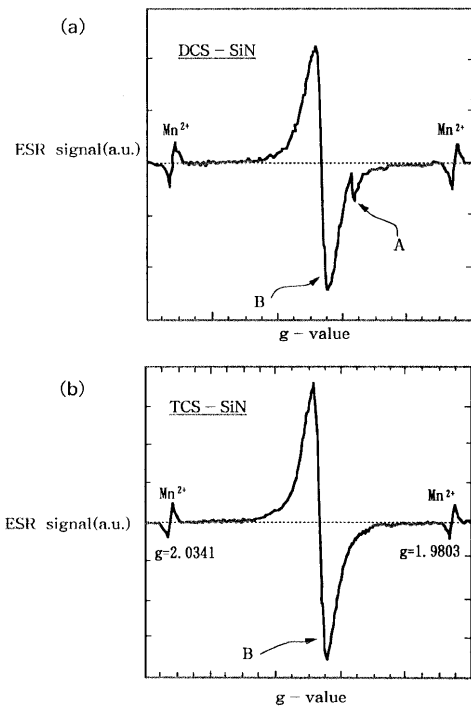
【図8】



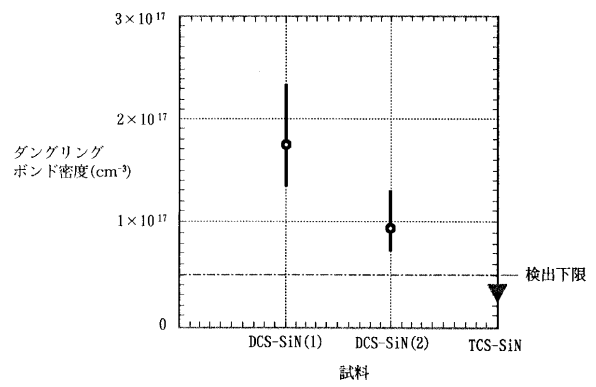
【図10】



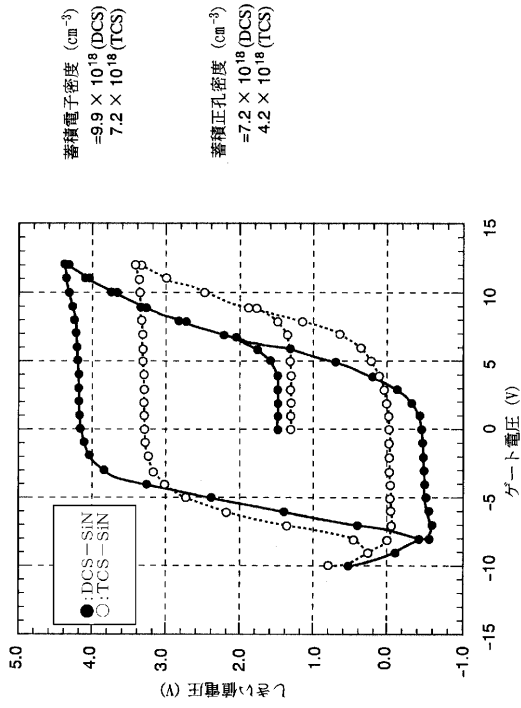
【図11】



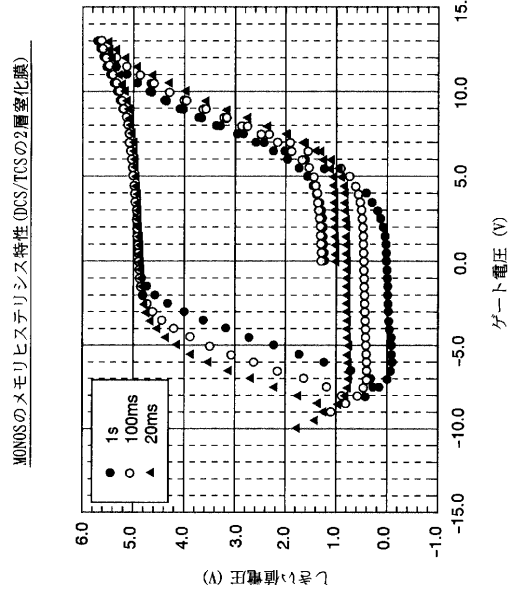
【図12】



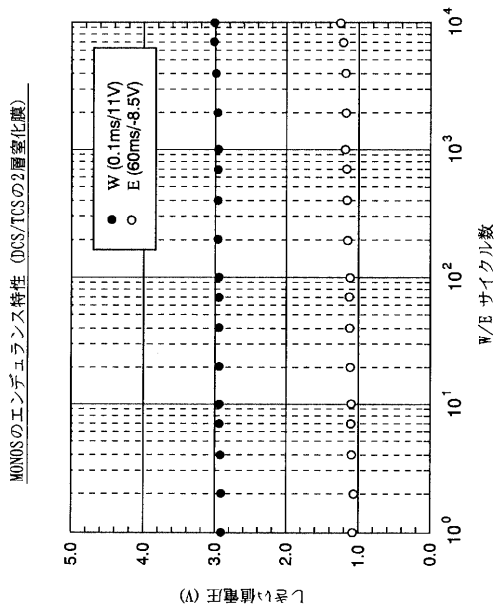
【図13】



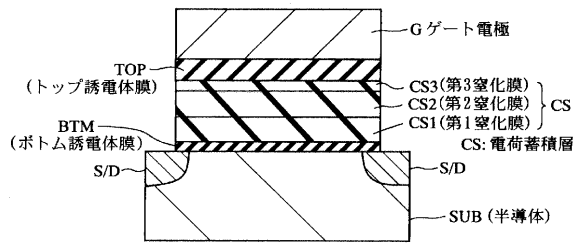
【図14】



【図15】



【図16】



---

フロントページの続き

(72)発明者 野本 和正  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 河口 雅英

(56)参考文献 特開平03-009571(JP,A)  
特開平11-074485(JP,A)  
特開平09-064205(JP,A)  
特開平01-095562(JP,A)  
特開昭58-054674(JP,A)  
特開昭60-060770(JP,A)  
特開昭63-205965(JP,A)  
特開平06-296029(JP,A)  
特開平05-343694(JP,A)  
特開平09-153492(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/115  
H01L 29/788  
H01L 29/792  
H01L 21/8247  
H01L 21/318