

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3708637号
(P3708637)

(45) 発行日 平成17年10月19日(2005.10.19)

(24) 登録日 平成17年8月12日(2005.8.12)

(51) Int. Cl.⁷

F I

GO2F 1/1368

GO2F 1/1368

GO2F 1/1343

GO2F 1/1343

請求項の数 4 (全 13 頁)

<p>(21) 出願番号 特願平8-205378 (22) 出願日 平成8年7月15日(1996.7.15) (65) 公開番号 特開平10-31235 (43) 公開日 平成10年2月3日(1998.2.3) 審査請求日 平成15年6月30日(2003.6.30)</p>	<p>(73) 特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地 (73) 特許権者 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号 (72) 発明者 張 宏勇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 武内 晃 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内 (72) 発明者 宮本 忠芳 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内 最終頁に続く</p>
---	---

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

トップゲイト型構造のTFTをスイッチング素子としたアクティブマトリクス回路を有する液晶表示装置であって、
 前記アクティブマトリクス回路において、
前記TFTの半導体層は、チャンネル、前記ソースバスラインと電氣的に接続される第1の領域、および画素電極に電氣的に接続される第2の領域を有し、
 一定の電位に固定された遮光膜を前記半導体層の下に有し、
 ソースバスラインもしくはゲイトバスラインのうち少なくともソースバスラインは、前記遮光膜上に形成され、
前記第2の領域の一部は前記ソースバスラインに覆われ、かつ前記ソースバスラインの下方において、前記遮光膜と絶縁層を介して重なって、補助容量を形成することを特徴とする液晶表示装置。

【請求項2】

他行のゲイトバスラインが、前記第2の領域の一部と他の絶縁層を介して重なって、補助容量を形成することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記遮光膜は、その幅がソースバスラインよりも太いことを特徴とする請求項1又は2に記載の液晶表示装置。

【請求項4】

前記ソースバスラインの上層に、前記遮光膜とその一部が重なる別の遮光膜を有することを特徴とする請求項1乃至3いずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に液晶表示装置に関し、特に液晶パネルを構成する一对の対向基板のうち、TFT（薄膜トランジスタ）を担持する側の基板の遮光膜の配置に特色を有するものに関する。

【0002】

【従来の技術】

液晶表示装置は投射型もしくは直視型の表示装置として広く使われている。特に、高解像度カラー表示を達成するためには、個々の画素を薄膜トランジスタ（TFT）により駆動する、いわゆるアクティブマトリクス方式の液晶表示装置が適している。アクティブマトリクス駆動方式を使うことにより、単純マトリクス方式において生じる画素間のクロストークを排除することができ、優れた表示特性が得られる。

【0003】

かかるアクティブマトリクス駆動方式では、液晶パネルを構成するガラス基板の一方にTFTが配列され、個々のTFTは対応する透明な画素電極への印加電圧を制御する。TFTは半導体素子であり、直接、外部より光が当たると特性が変動する。したがって、外光を妨げる構造とすることが求められる。特に投射型表示装置では強力な光が照射されるので、遮光は重要な課題である。

【0004】

一方、液晶表示装置の各画素の境界部では隣接する画素の電界の影響を受け、光が漏れてしまう。表示のコントラスト比を向上させるためには、このようなTFT形成部分を通して漏れる光を最小化する必要があるため、このような境界部は表示に用いないような構造が提案されている。このような構造をブラックマトリクス（省略して、BM、ともいう）という。ブラックマトリクス自体、遮光効果があるので、上記の遮光の目的にも用いられる。また、ブラックマトリクスにしても、あるいは、単なる遮光効果を有する構造も被膜の形態であるので遮光膜とも呼ばれる。

【0005】

従来は、TFTを担持する基板と対向する基板上に遮光膜（ブラックマトリクス）を形成していた。しかし、かかる構成では、遮光膜が対応するTFTを覆うように基板間の精密なアラインメントが必要で、このため液晶パネルの組立工程に時間を要していた。アラインメント作業を容易にするために遮光パターンを大きめに形成すると、表示の明るさが減じる等の問題が生じてしまう。

【0006】

上記の問題を解決するためには、遮光膜をTFTを担持する同じ基板上に形成する構成とすればよい。遮光膜は半導体層よりも上の層もしくは下の層に形成された。すなわち、前者であれば、TFT作製プロセスでは、遮光膜は終段の工程で形成され、後者であれば、初期の段階で形成される。

【0007】

【発明が解決しようとする課題】

従来の遮光膜は、単に遮光の目的のみに使用されていた。しかし、そのためだけに成膜工程やエッチング・パターニング工程を追加することは、量産性の点で無駄である。本発明人はこのことに鑑み、遮光膜を導電性のものとし、かつ、それを画素の保持容量にも利用できるように構造を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明は、TFTとしてトップゲイト型構造（基板上に半導体層（活性層）があり、その上にゲイト電極がある構造）を用い、遮光膜を半導体層の下に設けた構造のアクティブマ

10

20

30

40

50

トリクス回路を特色とする。そして、前記遮光膜によって、ソースバスラインもしくはゲイトバスラインの少なくとも一方が隠される（重なる）構造とする。

【0009】

そして、主たる光は基板側から入射される構造とする。

また、遮光膜は半導体層のうち、画素電極に電氣的に接続した領域（ドレイン）と、絶縁層を介して重なり、遮光膜を適当な電位に保つことにより遮光膜とドレインとの間に容量を形成する。この容量は画素電極の容量（画素容量）と並列であるので、補助容量（保持容量）として使用できる。

【0010】

もちろん、上記のように遮光膜と半導体層との間の容量に加えて、半導体層と他行のゲイトバスラインその他の配線との間の容量を組み合わせてもよい。半導体層と遮光膜の間に存在する絶縁膜の厚さは、TFTのゲイト絶縁膜の厚さの2倍以上であることが好ましい。遮光膜は、ソースバスラインやゲイトバスラインよりも太く、これらを遮光できる構造とすることが望ましい。また遮光膜は適当な電位に固定される。例えば、遮光膜は液晶パネルの外部端子に接続され、適当な電位を外部から与えられる構成が採られる。

10

【0011】

さらに、タンタルやチタンのごとき機械的に強固な材料を用いた場合には、このような遮光膜は外部の接触端子としても使用できる。

上記の補助容量は遮光膜と重なって形成されるので、回路設計上、開口率を低下させることがない。

20

本発明においては、遮光膜は半導体層を全て隠す形状でも、一部が重なる形状でもよい。

【0012】

また、上記のような半導体層の下に設ける遮光膜に加えて、素子の層にも遮光膜（上層の遮光膜という）を設けてもよい。特にTFTの部分において上層の遮光膜を設けると、TFTに入射する迷光を極限にまで減らすことができ、TFTの動作を安定させる上で効果的である。

この場合、上層の遮光膜は導電性でも、絶縁性でもよい。また、上層の遮光膜を導電性のものとする場合には、上層の遮光膜と画素電極との間に容量を形成してもよい。この場合、上層の遮光層と下層の遮光層が重なるように配置すると、同じ位置に層の異なる2つの容量が形成でき、素子の集積化の上で有効である。

30

【0013】

【実施例】

〔実施例1〕 図1に本実施例の作製工程断面図、図2に本実施例の作製工程平面図をそれぞれ示す。基板1としては透明なガラス基板、例えば、本実施例ではコーニング7059を用いる。基板1上にはスパッタ法によってタンタル膜を1000～3000、例えば、1000形成し、これを公知のフォトリソグラフィ法によって加工して、遮光膜2を得る。この段階で上方より見た様子を図2(A)に示す。同図に示すように、遮光膜2のパターンは画素を分離するパターンである。なお遮光膜2は図示しないコモン電極に延在し、そこには液晶パネル外から適当な電位が与えられる。（図2(A)）

【0014】

次に、公知のプラズマCVD法によって厚さ500～5000、例えば、2500の酸化珪素膜3を堆積する。酸化珪素膜3はTFTの下地絶縁膜として機能する。（図1(A)）

40

次いで、公知のプラズマCVD法もしくは減圧CVD法により厚さ100～1500、例えば、500の非晶質珪素膜を堆積し、公知の熱アニール法もしくはレーザーアニール法等の手段によってこれを結晶化させる。さらに、公知のフォトリソグラフィ法によって、結晶化した珪素膜を島状に分離し、活性層（島状領域）4を得る。

【0015】

次に、公知のプラズマCVD法により、厚さ500～3000の酸化珪素膜5を堆積する。酸化珪素膜5はTFTのゲイト絶縁膜として機能する。さらに、厚さ2000～80

50

00、例えば、6000のアルミニウム（もしくはアルミニウム合金）膜をスパッタ法によって堆積し、これを公知のフォトリソグラフィ法によって加工し、ゲイト電極と配線（ゲイトバスライン）6を形成する。（図1（B））

【0016】

図2（B）にはこの段階で上方より見た様子を示す。同図に示されるようにゲイトバスライン6は平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン2上に存在する。また、活性層4は、その一部15が先に形成された遮光膜のパターン2と重なるように形成される。（図2（B））

【0017】

次いで、公知の不純物拡散技術、例えば、イオンドーピング法によりゲイトバスライン6をマスクとして、活性層4にN型の不純物を導入する。ドーピング後は熱アニール法もしくはレーザーアニール法によって、再結晶化をおこなう。かくして、ソース7、ドレイン8が得られる。なお、以下の記述でドレインとは単に画素電極の接続される方の不純物領域のことを意味する。

10

次に公知のプラズマCVD法により厚さ3000～8000、例えば、5000の窒化珪素膜9を堆積する。窒化珪素膜9は第1の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。（図1（C））

【0018】

次いで、窒化珪素膜9にソース7およびドレイン8に通じるコンタクトホールを形成し、公知のスパッタ法によりアルミニウム合金膜もしくはアルミニウムとチタンの多層膜を堆積し、これを公知のフォトリソグラフィ法により加工し、ソースバスライン10、ドレイン電極11を形成する。図2（C）にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン10は平行に複数形成され、また、個々の活性層4と各1つのコンタクトを有する。また、ソースバスライン10は先に形成されたタンタルの遮光膜のパターン2上に存在する。（図2（C））

20

【0019】

その後、公知のプラズマCVD法により厚さ3000～8000、例えば、5000の酸化珪素膜12を堆積する。酸化珪素膜12は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。（図1（D））

次に、ポリイミド膜を塗布し、表面の平坦化をおこなう。この工程でポリイミド膜13が形成される。次いで、ポリイミド膜13をエッチングして、ドレイン電極11に通じるコンタクトホールを形成する。

30

【0020】

そして、公知のスパッタ法によって、透明導電性被膜、例えば、インディウム錫酸化物被膜を500～2000、例えば、1000堆積し、これを公知のフォトリソグラフィ法を用いて加工し、画素電極14を得る。画素電極は遮光膜2と重なるようにパターンを形成する。かくすることにより漏光を防止することができる。（図1（E））

かくして、アクティブマトリクス回路が完成する。本実施例では、TFTがNチャネル型であり、かつ、TFTのチャネルの下に遮光膜2が形成されている。TFTに印加される電位がいかなる場合にも遮光膜2によってON状態とならないためには、遮光膜2にはTFTのソースもしくはドレインに印加される可能性のある最低電位よりも低い電位を付与することが望まれる。

40

【0021】

かくして、遮光膜2とドレイン8（活性層4）との間に容量が形成され、かつ、この容量は画素電極と並列に存在するので、画素容量の補助容量（保持容量）となる。もちろん、遮光膜2が存在するため、TFTのチャネルに光が入射することが防止され、TFTの特性が安定する。

【0022】

〔実施例2〕 図3を用いて本実施例を説明する。本実施例のTFT作製工程自体は実施例1と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図3の番号は実

50

施例 1 のものに対応する。

まず、実施例 1 と同様にタンタルで遮光膜のパターン 2 を形成する。これを図 3 (A) に示す。(図 3 (A))

【 0 0 2 3 】

次いで、活性層 4 とゲイトバスライン 6 を形成する。ここで、ゲイトバスライン 6 と活性層 4 は共に遮光膜 2 の内側に配置される。(図 3 (B))

さらに、データバスライン 1 0、ドレイン電極 1 1 を形成する。ここでも、データバスライン 1 0、ドレイン電極 1 1 は遮光膜 2 の内側に配置される。(図 3 (C))

かくして、活性層、ゲイトバスライン、データバスライン、ドレイン電極のいずれもが遮光膜 2 の内側に形成され、これらは遮光膜 2 によって遮光される。

10

【 0 0 2 4 】

〔実施例 3〕 図 4 に本実施例の作製工程断面図、図 5 に本実施例の作製工程平面図をそれぞれ示す。基板 4 1 としてはコーニング 1 7 3 7 を用いる。基板 4 1 上にはスパッタ法によってタンタル膜を 2 0 0 0 形成し、これをフォトリソグラフィ法によって加工して、遮光膜 4 2 を得る。この段階で上方より見た様子を図 5 (A) に示す。同図に示すように、遮光膜 4 2 のパターンはゲイトバスライン(ゲイト電極を含む)とソースバスラインと重なり、画素を分離するパターンである。(図 5 (A))

【 0 0 2 5 】

次に、プラズマ C V D 法によって厚さ 1 5 0 0 の酸化珪素膜 4 3 を堆積する。酸化珪素膜 4 3 は T F T の下地絶縁膜として機能する。(図 4 (A))

20

次いで、減圧 C V D 法により厚さ 8 0 0 の非晶質珪素膜を堆積し、熱アニール法によってこれを結晶化させ、フォトリソグラフィ法によって、これを島状に分離し、活性層(島状領域) 4 4 を得る。さらに、プラズマ C V D 法により、厚さ 1 0 0 0 の酸化珪素膜 4 5 を堆積する。酸化珪素膜 4 5 は T F T のゲイト絶縁膜として機能する。(図 4 (B))

【 0 0 2 6 】

次に、イオンドーピング法により活性層 4 4 に N 型の不純物を選択的に導入する。ドーピング後は熱アニール法またはレーザーアニール法によって、再結晶化をおこなう。かくして、ソース 4 7、ドレイン 4 8 が得られる。さらに、厚さ 5 0 0 0 のアルミニウム - チタン合金膜をスパッタ法によって堆積し、これをフォトリソグラフィ法によって加工し、ゲイトバスライン 4 6 a (当該画素のゲイト電極として機能する部分) およびゲイトバスライン 4 6 b (次行のゲイト電極として機能する部分) を形成する。ゲイトバスライン 4 6 b は当該画素の活性層 4 4 のドレイン 4 8 と重なるように形成される。

30

【 0 0 2 7 】

図 5 (B) にはこの段階で上方より見た様子を示す。同図に示されるようにゲイトバスライン 4 6 a および 4 6 b は平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン 4 2 上に存在する。また、活性層 4 4 は、その一部が先に形成された遮光膜のパターン 4 2 と重なるように、また、他の部分が次行のゲイトバスラインと重なるように形成される。(図 5 (B))

次にプラズマ C V D 法により厚さ 5 0 0 0 の窒化珪素膜 4 9 を堆積する。窒化珪素膜 4 9 は第 1 の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。(図 4 (C))

40

【 0 0 2 8 】

次いで、窒化珪素膜 4 9 にソース 4 7 およびドレイン 4 8 に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン 5 0、ドレイン電極 5 1 を形成する。図 5 (C) にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン 5 0 は平行に複数形成され、また、個々の活性層 4 4 と各 1 つのコンタクトを有する。また、ソースバスライン 5 0 は先に形成されたタンタルの遮光膜のパターン 4 2 上に存在する。(図 5 (C))

50

その後、プラズマCVD法により厚さ5000 の酸化珪素膜52を堆積する。酸化珪素膜52は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。(図4(D))

【0029】

次に、ポリイミド膜の平坦化膜53を形成し、これをエッチングして、ドレイン電極51に通じるコンタクトホールを形成する。そして、スパッタ法によって、インディウム錫酸化物被膜を1500 堆積し、これをフォトリソグラフィ法を用いて加工し、画素電極54を得る。画素電極は遮光膜2と重なるようにパターンを形成する。かくすることにより漏光を防止することができる。(図4(E))

かくして、アクティブマトリクス回路が完成する。本実施例も実施例1と同様にNチャネル型であり、遮光膜42にはTFTのソースもしくはドレインに印加される可能性のある最低電位よりも低い電位を付与することが望まれる。

【0030】

本実施例では、実施例1と同様に、遮光膜42とドレイン48(活性層44)との間に容量55(図4(E)の矢印)が形成される。しかしながら、そればかりではなく、ドレイン48と次行のゲートバスラインとの間にも容量56(図4(E)の矢印)が形成される。容量55の一部と容量56は立体的に形成されるため、開口率を低下させることなく、実施例1の場合よりも、より多くの容量が補助容量として用いられる。

【0031】

本実施例では、容量56を形成するために、次行のゲートバスラインを用いたが、回路配置上、開口率が低下するという問題はあるが、ゲートバスラインと同じ層内の電位の固定された配線を用いてもよい。ゲートバスラインを容量の一方の電極として用いる場合には、容量がゲート信号の影響を受け、したがって、マトリクスの走査方向が固定されるのに対し、ゲート信号と独立した電位に保持された配線を用いると、走査方向は上からでも下からでも任意に設定できる。

【0032】

〔実施例4〕 図6を用いて本実施例を説明する。本実施例のTFT作製工程自体は実施例2と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図6の番号は実施例2のものに対応する。

まず、実施例2と同様にタンタルで遮光膜のパターン42を形成する。これを図6(A)に示す。(図6(A))

【0033】

次いで、活性層44とゲートバスライン46を形成する。ここで、ゲートバスライン46と活性層44は共に遮光膜42の内側に配置される。(図6(B))

さらに、データバスライン50、ドレイン電極51を形成する。ここでも、データバスライン50、ドレイン電極51は遮光膜42の内側に配置される。(図6(C))

かくして、活性層、ゲートバスライン、データバスライン、ドレイン電極のいずれもが遮光膜42の内側に形成され、これらは遮光膜42によって遮光される。

【0034】

〔実施例5〕 図7に本実施例の作製工程断面図、図8に本実施例の作製工程平面図をそれぞれ示す。基板71としてはコーニング1737を用いる。基板71上にはスパッタ法によってタンタル膜を1000 形成し、これをフォトリソグラフィ法によって加工して、遮光膜72を得る。この段階で上方より見た様子を図8(A)に示す。同図に示すように、遮光膜72のパターンはソースバスラインと重なるパターンである。(図8(A))

【0035】

次に、プラズマCVD法によって厚さ2000 の酸化珪素膜73を堆積する。酸化珪素膜73はTFTの下地絶縁膜として機能する。(図7(A))

次いで、減圧CVD法により厚さ1000 の非晶質珪素膜を堆積し、レーザーアニール法によってこれを結晶化させ、フォトリソグラフィ法によって、これを島状に分離し、

10

20

30

40

50

活性層（島状領域）74を得る。さらに、プラズマCVD法により、厚さ1200の酸化珪素膜75を堆積する。酸化珪素膜75はTFTのゲイト絶縁膜として機能する。

【0036】

次に、厚さ5000のアルミニウム-チタン合金膜をスパッタ法によって堆積し、これをフォトリソグラフィ法によって加工し、ゲイトバスライン76を形成する。（図7（B））

図8（B）にはこの段階で上方より見た様子を示す。同図に示されるようにゲイトバスライン76は平行に複数形成され、それらは先に形成されたタンタルの遮光膜のパターン72と直交する。また、活性層74は、その一部が先に形成された遮光膜のパターン72と重なるように形成される。（図8（B））

10

【0037】

さらに、イオンドーピング法により活性層74にゲイトバスライン76をマスクとしてN型の不純物を導入する。ドーピング後はレーザーアニール法によって、再結晶化をおこなう。かくして、ソース77、ドレイン78が得られる。

次にプラズマCVD法により厚さ5000の窒化珪素膜79を堆積する。窒化珪素膜79は第1の層間絶縁物として機能する。窒化珪素の代わりに酸化珪素を用いてもよい。（図7（C））

【0038】

次いで、窒化珪素膜79にソース77およびドレイン78に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン80、ドレイン電極81を形成する。図8（C）にはこの段階で上方より見た様子を示す。同図に示されるようにソースバスライン80は平行に複数形成され、また、個々の活性層74と各1つのコンタクトを有する。また、ソースバスライン80は先に形成されたタンタルの遮光膜のパターン72上に存在する。（図8（C））

20

【0039】

その後、プラズマCVD法により厚さ5000の酸化珪素膜82を堆積する。酸化珪素膜82は第2の層間絶縁物として機能する。酸化珪素の代わりに窒化珪素を用いてもよい。（図7（D））

次に、スパッタ法によって厚さ1000のクロム膜を堆積し、これをパターン形成して上層の遮光膜85を形成する。この段階で上方より見た様子を図8（D）に示す。同図より明らかなように上層の遮光膜はゲイトバスラインを隠すように形成される。

30

【0040】

さらに、ポリイミド膜の平坦化膜83を形成し、これをエッチングして、ドレイン電極81に通じるコンタクトホールを形成する。遮光膜85とポリイミド膜83の間には何らかの無機材料被膜を設けて、密着性を強化してもよい。そして、スパッタ法によって、インジウム錫酸化物被膜を1500堆積し、これをフォトリソグラフィ法を用いて加工し、画素電極84を得る。画素電極84と上層の遮光膜85は一部重なるように配置する。（図7（E））

かくして、アクティブマトリクス回路が完成する。本実施例も実施例1および3と同様にNチャンネル型であるが、遮光膜72はTFTの活性層のうち、チャンネルと重なっていないので、遮光膜72の電位がいかなるものであれ、TFTに与える影響はない。この点で他の実施例のものよりも優れている。

40

【0041】

本実施例では、実施例1と同様に、遮光膜72とドレイン78（活性層74）との間に容量が形成される。そればかりではなく、上層の遮光膜85にも適切な電位を付与することにより、画素電極84との間にも容量が形成される。画素電極84は当該画素を駆動するゲイトバスライン76により影響を受けることは避けなければならないが、本実施例では、ゲイトバスラインを覆って導電性の遮光膜85が設けられるので、画素電極84とゲイトバスライン76とのカップリングは十分に低減される。

50

【 0 0 4 2 】

さらに、本実施例では、下層の遮光膜 7 2 はソースバスライン 8 0 と、上層の遮光膜 8 5 はゲートバスライン 7 6 と、それぞれ重なって配置されるが、各遮光膜とバスラインの間には十分な絶縁層があるので、バスラインに対する寄生容量は極限にまで低減できる。なお、本実施例では T F T のチャンネル部分は上層の遮光膜 8 5 によってのみ遮光される構造となっているが、下層の遮光膜 7 2 によっても遮光されるようなパターンとすると T F T の動作を安定させる上でより効果的である。

【 0 0 4 3 】

〔実施例 6〕 図 9 を用いて本実施例を説明する。本実施例の T F T 作製工程自体は実施例 3 と同じであるが、遮光膜、各バスライン、活性層等の配置が異なる。図 9 の番号は実施例 3 のものに対応する。

10

まず、実施例 3 と同様にタンタルで遮光膜のパターン 7 2 を形成する。これを図 9 (A) に示す。(図 9 (A))

【 0 0 4 4 】

次いで、活性層 7 4 とゲートバスライン 7 6 を形成する。ここで、ゲートバスライン 7 6 と活性層 7 4 は共に遮光膜 7 2 の内側に配置される。(図 9 (B))

さらに、データバスライン 8 0、ドレイン電極 8 1 を形成する。ここでもドレイン電極 8 1 は遮光膜 7 2 の内側に配置される。かくして、活性層、ゲートバスライン、ドレイン電極のいずれもが遮光膜 7 2 の内側に形成され、これらは遮光膜 7 2 によって遮光される。

(図 9 (C))

20

【 0 0 4 5 】

次に、上層の遮光膜 8 5 を形成する。本実施例では場合は、遮光膜 8 5 は分離して与えられるので、導電性である必要はなく、絶縁性のものでよい。また、遮光膜 8 5 はデータバスライン 8 0 を隠すように形成する。かくして、データバスライン 8 0 は遮光膜 7 2 と上層の遮光膜 8 5 によって覆われる。(図 9 (D))

本実施例は実施例 1 ~ 4 と同様に遮光膜 7 2 が T F T のチャンネルと重なるので、その電位は T F T のソース、ドレインに印加される電位よりも低い (N チャンネル型の場合) もしくは高い (P チャンネル型の場合) ことが望ましい。

【 0 0 4 6 】

〔実施例 7〕 図 1 0 に本実施例の作製工程断面図を示す。本実施例は、遮光膜として形成されるタンタル膜の一部を外部とのボンディング端子に用いる例である。基板 9 1 としてはコーニング 1 7 3 7 を用いる。基板 9 1 上にはスパッタ法によってタンタル膜を 1 0 0 0 形成し、これをフォトリソグラフィ法によって加工して、遮光膜 9 2 b およびボンディング端子電極 9 2 a を得る。ボンディング端子電極 9 2 a および遮光膜 9 2 b はこの段階では電氣的に接続されている。そして、プラズマ C V D 法によって厚さ 2 0 0 0 の酸化珪素膜 9 3 を堆積する。酸化珪素膜 9 3 は T F T の下地絶縁膜として機能する。(図 1 0 (A))

30

【 0 0 4 7 】

次いで、結晶性珪素膜によって活性層 (島状領域) 9 4 を得る。さらに、プラズマ C V D 法により、厚さ 1 2 0 0 の酸化珪素膜 9 5 を堆積する。酸化珪素膜 9 5 は T F T のゲート絶縁膜として機能する。

40

次に、酸化珪素膜 9 4 および 9 5 をエッチングして、ボンディング端子電極 9 2 a にコンタクトホール 9 6 a および 9 6 b を形成する。前者はボンディング箇所であり、後者はゲートバスラインとのコンタクトを得る場所である。(図 1 0 (B))

【 0 0 4 8 】

そして、厚さ 5 0 0 0 のアルミニウム - チタン合金膜によって、ゲートバスライン 9 7 a および 9 7 b を形成する。この段階では、ゲートバスライン 9 7 a および 9 7 b は電氣的に接続している。そして、ゲートバスライン 9 7 a がボンディング端子電極 9 2 a と接触しているため、ボンディング端子電極 9 2 a、遮光膜 9 2 b、およびゲートバスライン 9 7 a および 9 7 b は全て同電位に保たれている。かくすると帯電現象によるゲート絶縁

50

膜の破壊は極力抑えられる。(図10(C))

【0049】

さらに、イオンドーピング法により活性層94にゲートバスライン97bをマスクとしてN型の不純物を導入し、ソース98、ドレイン99を得る。そして、プラズマCVD法により厚さ5000の窒化珪素膜100(第1の層間絶縁物)を堆積する。

次いで、窒化珪素膜100にソース98およびドレイン99に通じるコンタクトホールを形成し、スパッタ法によりアルミニウムとチタンの多層膜を堆積し、これをフォトリソグラフィ法により加工し、ソースバスライン101、ドレイン電極102を形成する。そして、この段階でボンディング端子電極92aと遮光膜92b、およびゲートバスライン97aと97bを機械的に切断する。(図10(D))

10

【0050】

その後、プラズマCVD法により厚さ3000の窒化珪素膜103(第2の層間絶縁物)を堆積する。(図10(E))

さらに、ポリイミド膜の平坦化膜104を形成し、これと2つの窒化珪素膜100および103をエッチングして、ドレイン電極102およびボンディング端子電極92aに通じるコンタクトホールを形成する。このエッチング工程においてはドレイン電極102がエッチングストッパーとして機能せしめてもよい。

そして、スパッタ法によって、インディウム錫酸化物(ITO)被膜を1500堆積し、これをフォトリソグラフィ法を用いて加工し、ボンディング端子105aおよび画素電極105bを得る。(図10(F))

20

【0051】

このようにして作製したアクティブマトリクス回路のTFTとボンディング部分が完成する。ボンディングは、ボンディング端子105aにおいて形成されるが、ボンディング端子92aの、特にコンタクトホール96aにおいておこなうとよい。該部分はタンタル膜とITO膜との多層領域であり、機械的に強固であるため、ボンディングの目的に適している。例えば、層間絶縁物上のITO膜では、下層の層間絶縁物がさまざまな応力にさらされているため、例えば、膜の剥離が生じたりして、十分な接続が得られない。しかしながら、コンタクトホール96aの部分では下地は基板そのものであり、機械的に非常に安定している。

【0052】

30

【発明の効果】

本発明によって、遮光膜を補助容量として有効に利用できる。実施例では結晶性珪素を用いたTFTを取り上げたが、非晶質珪素を用いたTFT、その他の半導体を用いたTFTであっても同様に実施できることは自明である。また、(下層の)遮光膜もタンタル以外のものでも、導電性で、かつ、その後のプロセスに耐えるものであれば何ら問題なく使用できる。このように本発明は工業上有用である。

【図面の簡単な説明】

【図1】本発明の実施例を説明する工程断面図である。(実施例1)

【図2】本発明の実施例を説明する工程平面図である。(実施例1)

【図3】本発明の実施例を説明する工程平面図である。(実施例2)

40

【図4】本発明の実施例を説明する工程断面図である。(実施例3)

【図5】本発明の実施例を説明する工程平面図である。(実施例3)

【図6】本発明の実施例を説明する工程平面図である。(実施例4)

【図7】本発明の実施例を説明する工程断面図である。(実施例5)

【図8】本発明の実施例を説明する工程平面図である。(実施例5)

【図9】本発明の実施例を説明する工程平面図である。(実施例6)

【図10】本発明の実施例を説明する工程平面図である。(実施例7)

【符号の説明】

1、41、71、91

基板

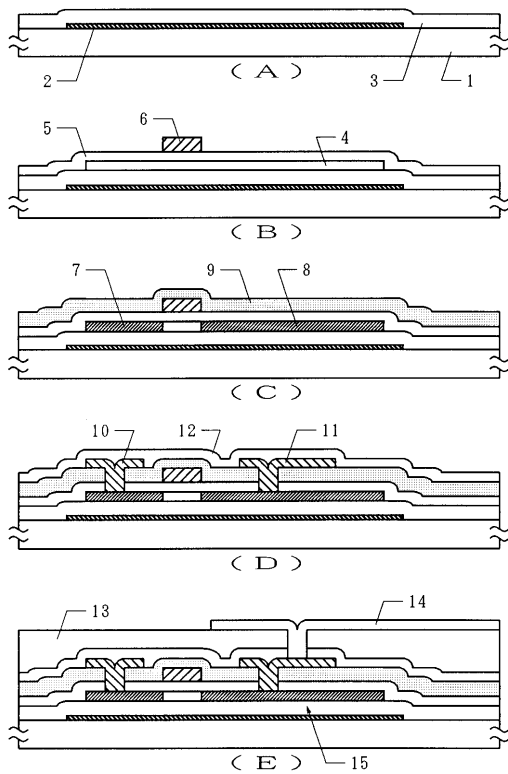
2、42、72、92

(下層の)遮光膜

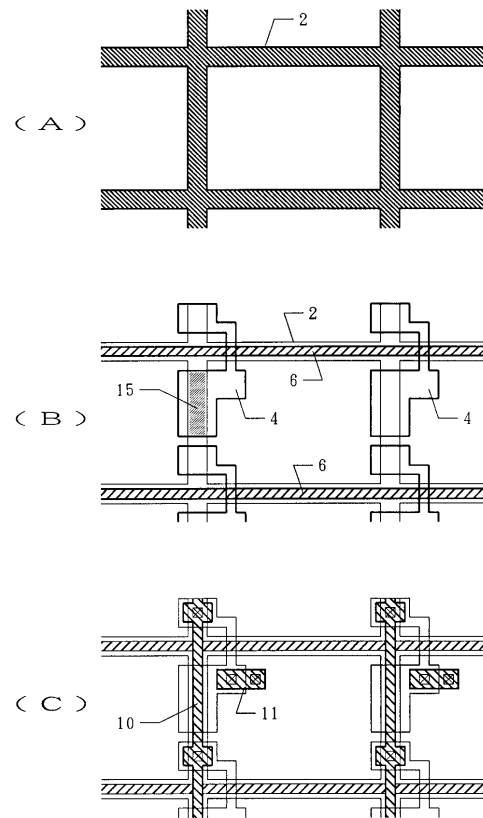
50

- 3、43、73、93 下地絶縁膜
- 4、44、74、94 半導体層
- 5、45、75、95 ゲイト絶縁膜
- 6、46、76、97 ゲイト電極（ゲイトバスライン）
- 7、47、77、98 ソース
- 8、48、78、99 ドレイン
- 9、49、79、100 第1層間絶縁物
- 10、50、80、101 ソースバスライン
- 11、51、81、102 金属電極
- 12、52、82、103 第2層間絶縁物
- 13、53、83、104 平坦化膜
- 14、54、84、105 画素電極（透明導電膜）
- 15、55、56 容量
- 85 上層の遮光膜
- 96 下層の遮光膜に対するコンタクトホール

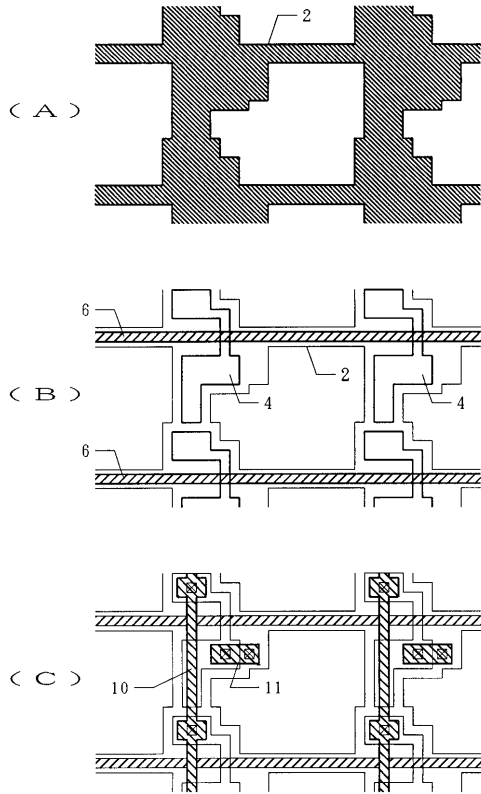
【図1】



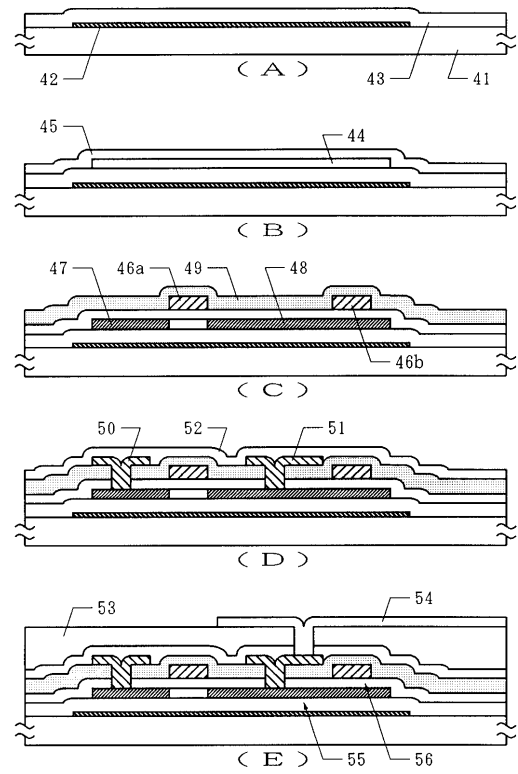
【図2】



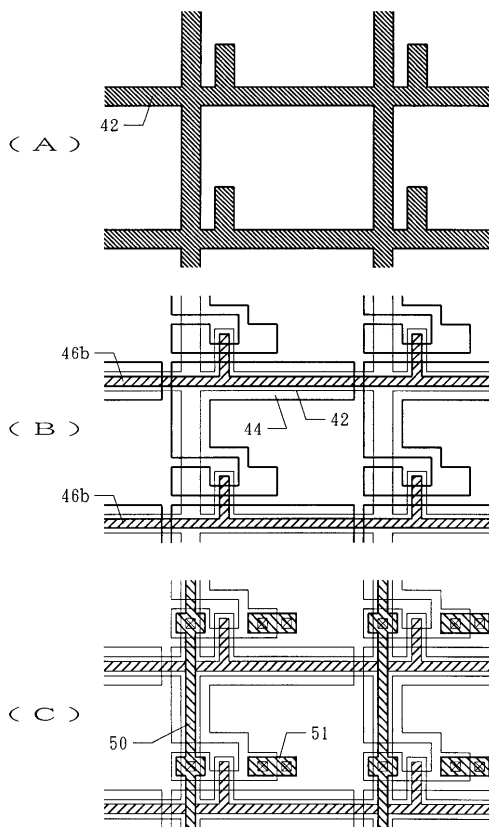
【 図 3 】



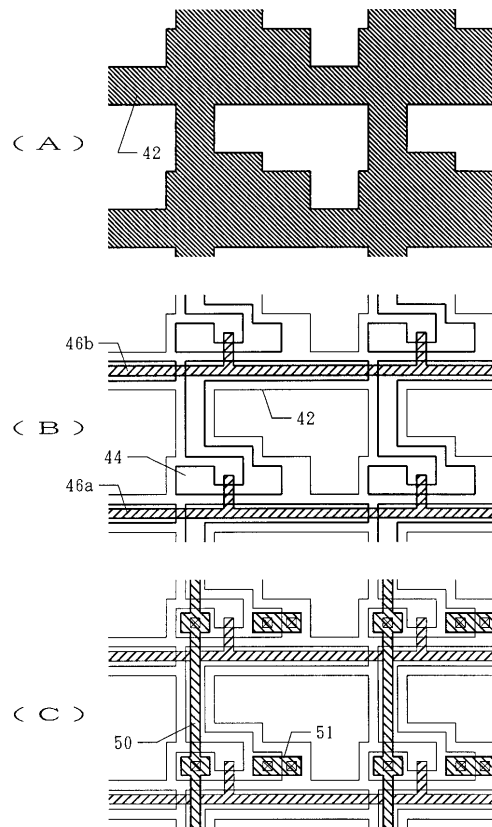
【 図 4 】



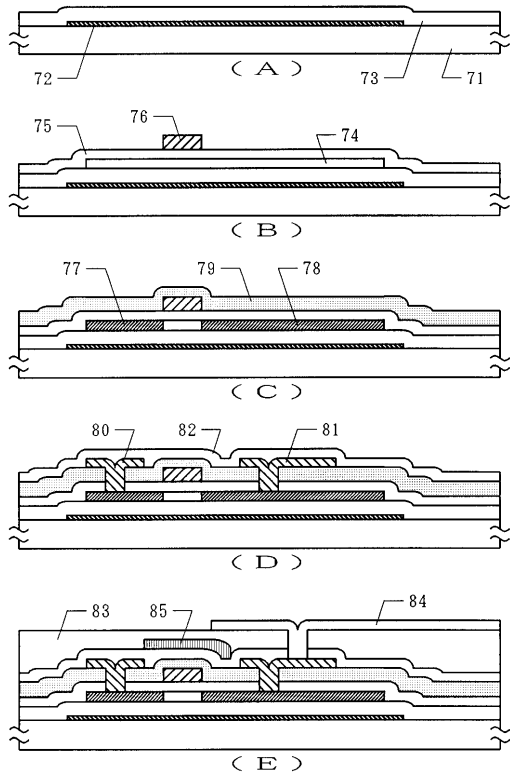
【 図 5 】



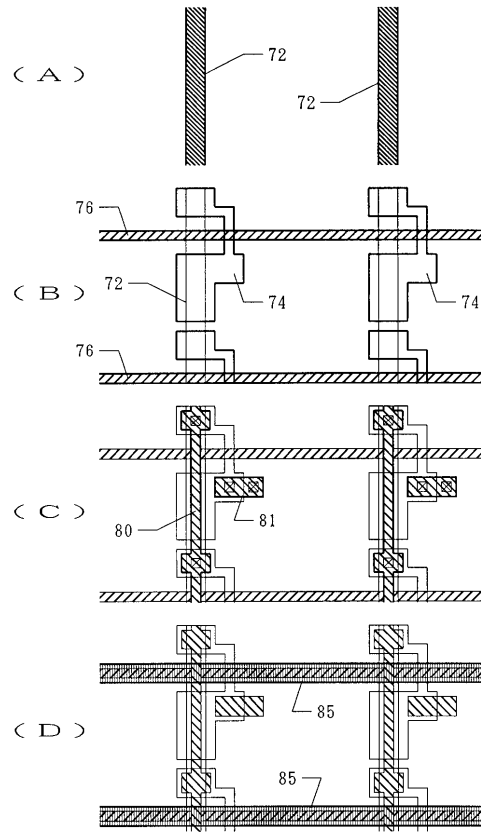
【 図 6 】



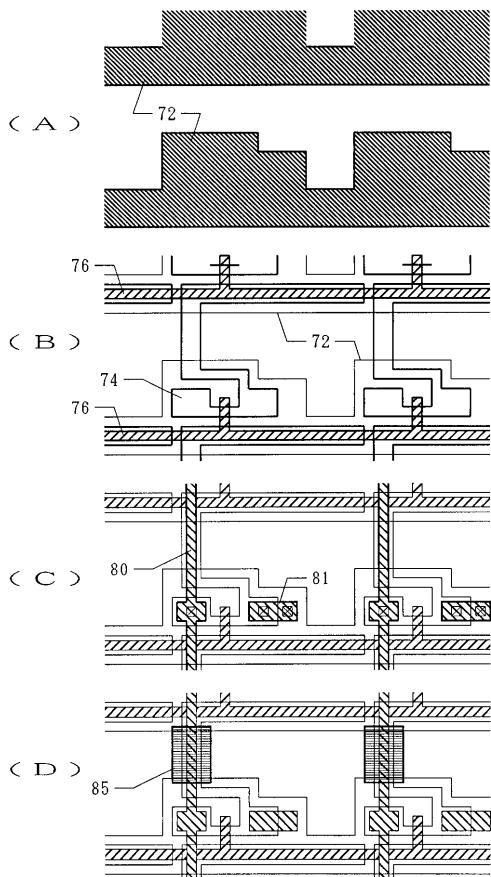
【図 7】



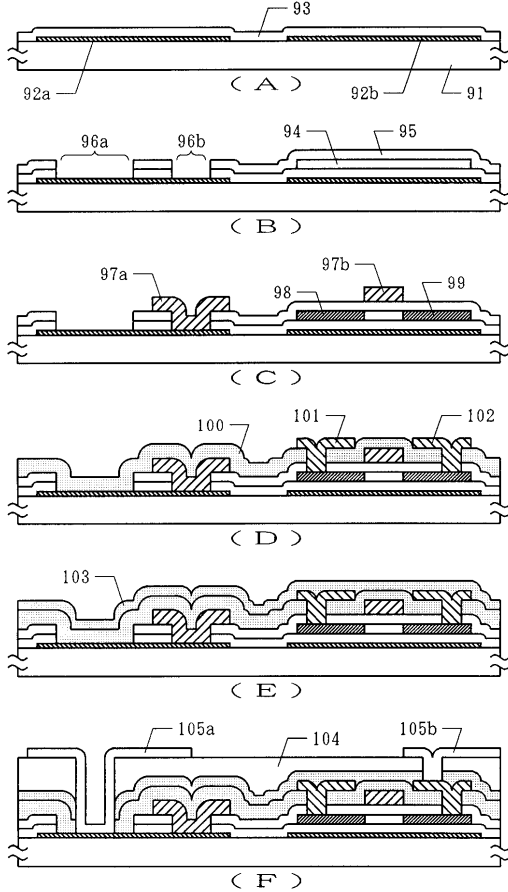
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 芳之内 淳

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 藤岡 善行

(56)参考文献 特開平08-101400(JP,A)

特開平08-160453(JP,A)

特開平06-067201(JP,A)

特開平07-092499(JP,A)

特開平08-062579(JP,A)

特開昭61-170724(JP,A)

特開平07-128685(JP,A)

特開平05-173183(JP,A)

特開平09-026601(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/136

G02F 1/1343