

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年10月6日(06.10.2016)



(10) 国際公開番号
WO 2016/158935 A1

- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2016/060079
- (22) 国際出願日: 2016年3月29日(29.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-069740 2015年3月30日(30.03.2015) JP
- (71) 出願人: 東レエンジニアリング株式会社(TORAY ENGINEERING CO., LTD.) [JP/JP]; 〒1030028 東京都中央区八重洲1丁目3番22号(八重洲龍名館ビル) Tokyo (JP).
- (72) 発明者: 朝日 昇(ASAHI, Noboru); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP). 新井 義之(ARAI, Yoshiyuki); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP). 宮本 芳範(MIYAMOTO, Yoshinori); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内

Shiga (JP). 青木 進平(AOKI, Shimpei); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP). 仁村 将次(NIMURA, Masatsugu); 〒5202141 滋賀県大津市大江一丁目1番45号 東レエンジニアリング株式会社内 Shiga (JP).

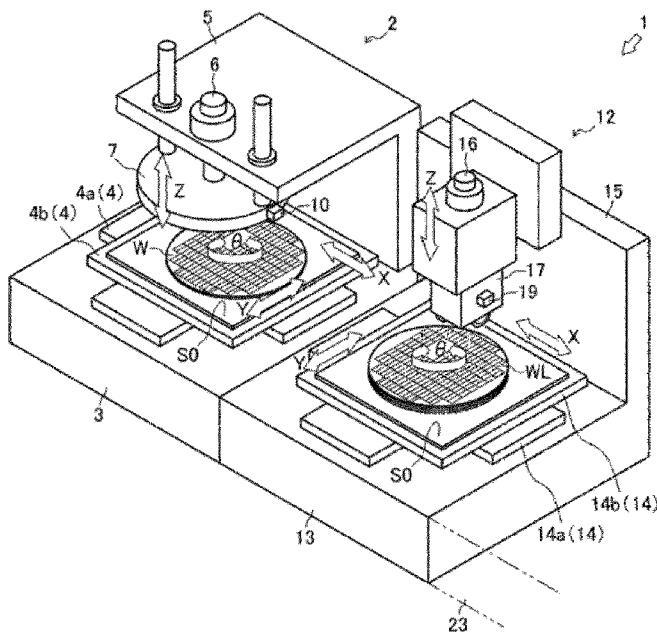
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR MOUNTING DEVICE, AND MEMORY DEVICE MANUFACTURED BY METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法、半導体実装装置および半導体装置の製造方法で製造されたメモリデバイス

[図1]



(57) Abstract: The purpose of the present invention is to provide a method for manufacturing a semiconductor device, a semiconductor mounting device, and a memory device manufactured by the method for manufacturing a semiconductor device, with which it is possible to shorten the manufacturing time of a semiconductor device in which chip components are laminated, and to suppress the occurrence of joining defects and the like between the chip components. Specifically, provided is a method for manufacturing a semiconductor device 1 in which semiconductor wafers W are laminated, wherein the method includes: a pre-bonding step in which the plurality of semiconductor wafers W are laminated and heated with an NCF interposed therebetween, pressure is applied to the semiconductor wafers W so that the gap between a through silicon via Pb provided to each chip component P, and a through silicon via Pb of the adjacent semiconductor wafer W is kept within a prescribed range Gt, and a pre-bonded laminate WL is produced; a cutting step for cutting the pre-bonded laminate WL with a dicing blade 18 to produce pre-bonded laminate chip components PL in which the chip components P are laminated; and a bonding step in which the pre-bonded laminate chip components PL are heated to the melting point of the solder Pa or higher and pressure is applied to produce laminate chip components PL.

(57) 要約:

[続葉有]

WO 2016/158935 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる半導体装置の製造方法、半導体実装装置および半導体装置の製造方法で製造されたメモリデバイスの提供を目的とする。具体的には、半導体ウェハWを積層する半導体装置1の製造方法であって、NCFを介して複数の半導体ウェハWを積層加熱し、チップ部品P毎に設けられた貫通電極PbのはんだPaと隣接する半導体ウェハWの貫通電極Pbとの間隙が所定の範囲Gt以内に収まるように半導体ウェハWを加圧して仮圧着積層体WLを作製する仮圧着工程と、仮圧着積層体WLをダイシングブレード18で切断してチップ部品Pが積層された仮圧着された積層チップ部品PLを作製する切断工程と、仮圧着された積層チップ部品PLをはんだPaの融点以上に加熱および加圧して積層チップ部品PLを作製する本圧着工程とを含む。

明 細 書

発明の名称：

半導体装置の製造方法、半導体実装装置および半導体装置の製造方法で製造されたメモリデバイス

技術分野

[0001] 本発明は、半導体装置の製造方法および半導体実装装置に関する。詳しくは、チップ部品が形成された複数の半導体ウェハを積層して電氣的に接続した半導体装置の製造方法、半導体実装装置および半導体装置の製造方法で製造されたメモリデバイスに関する。

背景技術

[0002] 従来、銅配線等の導電体からなる回路を有する基板のパターンの高精度化、微細化に対応するため、半導体素子からなる複数のチップ部品を半導体ウェハに形成されたパッドに接着剤を介して積層させて加熱、および加圧して半導体ウェハに接続する半導体装置の製造方法および半導体実装装置が知られている。例えば特許文献1の如くである。

[0003] 特許文献1に記載の半導体装置の製造方法は、基板（半導体ウェハ）上に樹脂層（接着剤）を介して半導体部品（チップ部品）を積層させた後に樹脂が半硬化する温度以上ではんだが溶融する温度未満に加熱する工程を複数回行う繰り返し接着工程と、積層された複数の半導体部品を狭圧し、かつはんだが溶融する温度以上に加熱して基板と半導体部品間および積層された半導体間をはんだ接合するはんだ接合工程とを含む。これにより、基板と半導体部品間および積層された半導体間の接合不良を抑制することができる。しかし、特許文献1に記載の技術では、半導体部品の実装箇所や積層数が増えるに従って実装時間が増大する点で不利であった。

先行技術文献

特許文献

[0004] 特許文献1：特開2013-225642号公報

発明の概要

発明が解決しようとする課題

- [0005] 本発明の目的は、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる半導体装置の製造方法、半導体実装装置および半導体装置の製造方法で製造されたメモリデバイスの提供を目的とする。

課題を解決するための手段

- [0006] 本発明の解決しようとする課題は以上の如くであり、次にこの課題を解決するための手段を説明する。
- [0007] 即ち、本発明は、チップ部品が形成された複数の半導体ウェハを積層して電氣的に接続する半導体装置の製造方法であって、接着剤を介して複数の半導体ウェハを積層し、接着剤が所定の粘度になるように加熱するとともに、チップ部品毎に設けられた貫通電極のはんだと隣接する半導体ウェハの貫通電極との間隙がゼロよりも大きい所定の範囲内に収まるように半導体ウェハを仮圧着荷重で加圧して仮圧着積層体を作製する仮圧着工程と、仮圧着積層体を切断手段で切断してチップ部品が積層された仮圧着された積層チップ部品を作製する切断工程と、仮圧着された積層チップ部品を接着剤の硬化温度以上かつはんだの融点以上に加熱するとともに、はんだが隣接するチップ部品の貫通電極に接触するように仮圧着された積層チップ部品を本圧着荷重で加圧して本圧着された積層チップ部品を作製する本圧着工程と、を含むものである。
- [0008] 本発明は、前記切断工程において、前記切断手段が積層された前記半導体ウェハを一枚ずつ切断するものである。
- [0009] 本発明は、前記切断工程において、前記切断手段がダイシングブレードから構成され、前記半導体ウェハを切断する度にダイシングブレードのブレード幅を小さくするものである。
- [0010] 本発明は、前記仮圧着工程において、前記半導体ウェハを真空中で加熱および加圧するものである。

- [0011] 本発明は、前記仮圧着工程において、サポート基板上に前記半導体ウェハを積層し、加熱および加圧した後に作製した仮圧着積層体からサポート基板を取り除くものである。
- [0012] 本発明は、請求項 1 から請求項 5 のいずれか一項に記載の半導体装置の製造方法で製造されたメモリデバイスである。
- [0013] 本発明は、チップ部品が形成された複数の半導体ウェハを積層して電氣的に接続する半導体装置の製造装置であって、接着剤を介して複数の半導体ウェハを積層し、接着剤が所定の粘度になるように加熱するとともに、チップ部品毎に設けられた貫通電極のはんだと隣接する半導体ウェハの貫通電極との間隙がゼロよりも大きい所定の範囲内に収まるように半導体ウェハを仮圧着荷重で加圧して仮圧着積層体を作製する仮圧着装置 2 と、仮圧着積層体を切断手段で切断してチップ部品が積層された仮圧着された積層チップ部品を作製する切断装置と、各半導体ウェハに形成されているチップ部品のうち不良チップ部品の位置を予め取得し、作製した仮圧着された積層チップ部品のうち不良チップ部品が含まれる仮圧着された積層チップ部品を排出する排出手段と、を具備するものである。

発明の効果

- [0014] 本発明の効果として、以下に示すような効果を奏する。
- [0015] 本発明においては、複数のチップ部品が一括して積層されるとともに、仮圧着積層チップ部品に切り分けた後に本圧着されるのでボイドの発生が抑制される。また、半導体ウェハの間隙を小さくすることで切断時に半導体ウェハ同士のずれが抑制される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。また、従来の 1 個ずつチップ部品を仮圧着する場合には、チップ部品が薄いと接着剤がはみ出してチップ部品上部やアタッチメントを汚染することもあったが、本発明では、ウェハで積層を行うことができるので、仮圧着後に接着剤の接着剤のはみ出しのない仮圧着積層体を形成できる。

- [0016] 本発明においては、切断手段による切断精度が向上するとともに切断手段が圧着積層体に及ぼす影響が最小限に抑制される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。
- [0017] 本発明においては、ダイシングブレードによる切断精度が向上するとともにダイシングブレードが圧着積層体に及ぼす影響が最小限に抑制される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。
- [0018] 本発明においては、ボイドの発生が抑制される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。
- [0019] 本発明においては、半導体ウェハの反り等の発生が抑制される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。
- [0020] 本発明においては、接合不良以外の不良品が排出される。これにより、チップ部品を積層させた半導体装置の製造時間を短縮するとともにチップ部品間の接合不良等の発生を抑制することができる。

図面の簡単な説明

- [0021] [図1]本発明の一実施形態に係る半導体実装装置の仮圧着装置と切断装置とを示す概略図。
- [図2]本発明の一実施形態に係る半導体実装装置の切断装置と本圧着装置とを示す概略図。
- [図3] (a) 本発明の一実施形態に係る半導体実装装置の仮圧着ヘッドの構成を示す概略図 (b) 本発明の一実施形態に係る半導体実装装置の切断ヘッドの構成を示す概略図 (c) 本発明の一実施形態に係る半導体実装装置の本圧着ヘッドの構成を示す概略図。
- [図4]本発明の一実施形態に係る半導体実装装置の制御構成を表すブロック図を示す図。

[図5]本発明の一実施形態に係る半導体実装装置の加圧時の温度状態を表すグラフを示す図。

[図6]本発明の一実施形態に係る半導体実装装置に用いられるNCFの温度と粘度との関係を表すグラフを示す図。

[図7] (a) 本発明の一実施形態に係る半導体実装装置の仮圧着工程において半導体ウェハが半導体ウェハに近接される態様を示す概略図 (b) 同じく仮圧着工程において半導体ウェハが半導体ウェハに加圧される態様を示す概略図 (c) 同じく仮圧着工程において半導体ウェハが半導体ウェハに加圧されてZ軸方向の位置が定まる態様を示す概略図。

[図8] (a) 本発明の一実施形態に係る半導体実装装置の仮圧着工程において半導体ウェハが半導体ウェハに仮圧着されている態様を示す概略図 (b) 同じく仮圧着工程において仮圧着後に距離を測定している態様を示す概略図。

[図9] (a) 本発明の一実施形態に係る半導体実装装置の切断工程において最も上側の半導体ウェハが最もブレード幅の大きいダイシングブレードで切断される態様を示す概略図 (b) 同じく次の半導体ウェハが次にブレード幅の大きいダイシングブレードで切断される態様を示す概略図 (c) 同じく最も下側の半導体ウェハが最もブレード幅の小さいダイシングブレードで切断される態様を示す概略図。

[図10] (a) 本発明の一実施形態に係る半導体実装装置の切断工程において不良チップ部品以外の積層チップ部品が搬送される態様を示す概略図 (b) 同じく本圧着工程において仮圧着された積層チップ部品を実装基板に本圧着する態様を示す概略図。

[図11]本発明の一実施形態に係る半導体実装装置の全体の制御態様を表すフローチャートを示す図。

[図12]本発明の一実施形態に係る半導体実装装置の仮圧着工程における制御態様を表すフローチャートを示す図。

[図13]本発明の一実施形態に係る半導体実装装置の切断工程における制御態様を表すフローチャートを示す図。

[図14]本発明の一実施形態に係る半導体実装装置の本圧着工程における制御態様を表すフローチャートを示す図。

発明を実施するための形態

[0022] まず、図1から図4を用いて、本発明に係る半導体実装装置における一実施形態である半導体実装装置1について説明する。以下の説明では仮圧着装置2から本圧着装置22へ半導体ウェハWを搬送する方向をX軸方向、後述の仮圧着用ヘッド7、切断用ヘッド17および本圧着用ヘッド27の半導体ウェハWに垂直な移動方向をZ軸方向、Z軸を中心として回転する方向を θ 方向として説明する。なお、本実施形態においては、半導体実装装置1の実施形態として仮圧着装置2と切断装置12と本圧着装置22とがそれぞれ構成されているが、これに限定されるものではない。

[0023] 半導体ウェハWには、半導体素子である複数のチップ部品Pが形成されている。各チップ部品Pには、貫通電極Pbが形成され、貫通電極Pbの一方または両方の端部にはんだPaが設けられている。さらに、はんだPaを覆うように接着剤である熱硬化性樹脂からなる非導電性フィルム（以下、単に「NCF」と記す）が貼り付けられている。また、本実施形態において、半導体ウェハWの積層により構成される仮圧着積層体WLは、下側から順に第1半導体ウェハW1、第2半導体ウェハW2、第3半導体ウェハW3・・・が積層されている。本実施形態において、仮圧着積層体WLは、第1半導体ウェハW1、第2半導体ウェハW2、第3半導体ウェハW3から構成されている。NCFは、予め半導体ウェハWのはんだPaを覆うように貼り付けられているものとするがこれに限定されるものではない。半導体ウェハWは、サポート基板S0上に積層される。

[0024] 図1に示すように、半導体実装装置1は、複数のチップ部品Pを積層して電氣的に接続した半導体装置を製造するものである。半導体実装装置1は、仮圧着装置2、切断装置12、本圧着装置22、搬送装置30および制御装置31を具備している。半導体実装装置1は、仮圧着装置2と切断装置12と本圧着装置22とが隣接して配置されている。

[0025] 仮圧着装置 2 は、接着剤である NCF によって半導体ウェハ W 同士を仮圧着するものである。つまり、仮圧着装置 2 は、半導体ウェハ W が積層された仮圧着積層体 WL を作製するものである。仮圧着装置 2 は、仮圧着用基台 3、仮圧着用ステージ 4、仮圧着用支持フレーム 5、仮圧着用ユニット 6、仮圧着用ヘッド 7、仮圧着用ヒーター 8 および仮圧着用アタッチメント 9 および仮圧着用画像認識装置 11 を具備している。

[0026] 仮圧着用基台 3 は、仮圧着装置 2 を構成する主な構造体である。仮圧着用基台 3 は、十分な剛性を有するようにパイプ材等を組み合わせて構成されている。仮圧着用基台 3 は、仮圧着用ステージ 4 と仮圧着用支持フレーム 5 とを支持している。

[0027] 仮圧着用ステージ 4 は、半導体ウェハ W を保持しつつ、任意の位置に移動させるものである。仮圧着用ステージ 4 は、駆動ユニット 4a に半導体ウェハ W またはサポート基板 SO を吸着保持できる吸着テーブル 4b が取り付けられて構成されている。仮圧着用ステージ 4 は、仮圧着用基台 3 に取り付けられ、駆動ユニット 4a によって吸着テーブル 4b を X 軸方向、Y 軸方向および θ 方向に移動できるように構成されている。すなわち、仮圧着用ステージ 4 は、仮圧着用基台 3 上において吸着テーブル 4b に吸着された半導体ウェハ W またはサポート基板 SO を X 軸方向、Y 軸方向、 θ 方向に移動できるように構成されている。なお、本実施形態において仮圧着用ステージ 4 は、吸着により半導体ウェハ W またはサポート基板 SO を保持しているがこれに限定されるものではない。

[0028] 仮圧着用支持フレーム 5 は、仮圧着用ユニット 6 を支持するものである。仮圧着用支持フレーム 5 は、板状に形成され、仮圧着用基台 3 の仮圧着用ステージ 4 の近傍から Z 軸方向にむかって延びるように構成されている。

[0029] 加圧ユニットである仮圧着用ユニット 6 は、仮圧着用ヘッド 7 を移動させるものである。仮圧着用ユニット 6 は、図示しないサーボモータとボールねじとから構成される。仮圧着用ユニット 6 は、サーボモータによってボールねじを回転させることによりボールねじの軸方向の駆動力を発生するように

構成されている。仮圧着用ユニット6は、ボールねじの軸方向が半導体ウェハWに対して垂直なZ軸方向になるように仮圧着用支持フレーム5に取り付けられている。つまり、仮圧着用ユニット6は、Z軸方向の駆動力（加圧力）を発生するように構成されている。仮圧着用ユニット6は、サーボモータの出力を制御することによりZ軸方向の加圧力である仮圧着荷重 F_t を任意に設定できるように構成されている。なお、本実施形態において、仮圧着用ユニット6は、サーボモータとボールねじとの構成としたがこれに限定されるものではなく、空圧アクチュエータや油圧アクチュエータから構成してもよい。

[0030] 仮圧着用ヘッド7は、仮圧着用ユニット6の駆動力を半導体ウェハWに伝達するものである。仮圧着用ヘッド7は、仮圧着用ユニット6を構成している図示しないボールねじナットに取り付けられている。また、仮圧着用ユニット6は、仮圧着用ステージ4と対向するように配置されている。つまり、仮圧着用ヘッド7は、仮圧着用ユニット6によってZ軸方向に移動されることで仮圧着用ステージ4に近接できるように構成されている。仮圧着用ヘッド7には、仮圧着用ヒーター8、仮圧着用アタッチメント9および仮圧着用距離センサ10が設けられている（図3（a）参照）。

[0031] 図3（a）に示すように、仮圧着用ヒーター8は、半導体ウェハWを加熱するためのものである。仮圧着用ヒーター8は、カートリッジヒーターから構成され、仮圧着用ヘッド7に形成された孔等に組み込まれている。本実施形態において、仮圧着用ヒーター8は、カートリッジヒーターから構成されているがこれに限定されるものではなく、半導体ウェハWを加熱することができるものであればよい。

[0032] 仮圧着用アタッチメント9は、半導体ウェハWを保持し、加圧力や熱を伝達するものである。仮圧着用アタッチメント9は、仮圧着用ヘッド7に仮圧着用ステージ4と対向するように設けられている。仮圧着用アタッチメント9は、半導体ウェハWを位置決めしながら吸着保持できるように構成されている。仮圧着用アタッチメント9の吸着保持面9aは、仮圧着用ステージ4

と略平行に形成されている。これにより、仮圧着用アタッチメント 9 の吸着保持面 9 a は、対向する仮圧着用ステージ 4 までの間隔がその全面において略同一になるように構成されている。また、仮圧着用アタッチメント 9 は、仮圧着用ヒーター 8 によって加熱されるように構成されている。つまり、仮圧着用アタッチメント 9 は、半導体ウェハ W を位置決め保持するとともに、仮圧着用ヒーター 8 からの伝熱によって半導体ウェハ W に貼り付けられている NCF を加熱できるように構成されている。

[0033] 仮圧着用距離センサ 10 は、任意の基準位置からの仮圧着用ヘッド 7 の Z 軸方向の距離を測定するものである。仮圧着用距離センサ 10 は、各種レーザー光を利用した距離センサから構成されている。仮圧着用距離センサ 10 は、仮圧着用ヘッド 7 の任意の基準位置から仮圧着された各半導体ウェハ W までの距離を測定する。つまり、仮圧着用距離センサ 10 は、仮圧着積層体 WL を構成する仮圧着後の第 m 半導体ウェハ W (m) までの距離 L (m) を測定する。本実施形態において、仮圧着用距離センサ 10 は、第 1 半導体ウェハ W 1 までの距離 L 1、仮圧着後の第 2 半導体ウェハ W 2 までの距離 L 2 および仮圧着後の第 3 半導体ウェハ W 3 までの距離 L 3 を測定する。なお、本実施形態において、仮圧着用距離センサ 10 はレーザー光を利用したものから構成されているがこれに限定されるものではなく、超音波を利用したものや、リニアスケール、サーボモータのエンコーダから算出するものから構成されていてもよい。

[0034] 図 4 に示すように、仮圧着用画像認識装置 11 は、画像によって半導体ウェハ W の位置情報を取得するものである。仮圧着用画像認識装置 11 は、仮圧着用ステージ 4 に吸着保持されている半導体ウェハ W の位置合わせマークと仮圧着用アタッチメント 9 に保持されている半導体ウェハ W の位置合わせマークとを画像認識して、各半導体ウェハ W の位置情報を取得するように構成されている。

[0035] 図 1 と図 2 とに示すように、切断装置 12 は、半導体ウェハ W が積層された仮圧着積層体 WL を切断するものである。つまり、切断装置 12 は、仮圧

着された積層チップ部品PLを作製するものである。切断装置12は、切断用基台13、切断用ステージ14、切断用支持フレーム15、切断用ユニット16、切断用ヘッド17、切断手段であるダイシングブレード18、距離測定手段である切断用距離センサ19および切断用画像認識装置20を具備している。なお、切断用基台13、切断用ステージ14、切断用支持フレーム15および切断用画像認識装置20は、仮圧着装置2とほぼ同一の構成であるので、同様の点に関してはその具体的説明を省略し、相違する部分を中心に説明する。

[0036] 切断用ユニット16は、切断用ヘッド17を移動させるものである。切断用ユニット16は、図示しない移動用のサーボモータとボールねじとから構成される。切断用ユニット16は、サーボモータによってボールねじを回転させることによりボールねじの軸方向の駆動力を発生するように構成されている。切断用ユニット16は、移動方向が半導体ウェハWに対して垂直なZ軸方向になるように切断用支持フレーム15に取り付けられている。つまり、切断用ユニット16は、切断用ヘッド17を任意の位置に移動させつつZ軸方向の駆動力（加圧力）を発生するように構成されている。切断用ユニット16は、サーボモータの出力を制御することによりZ軸方向の加圧力である切断荷重 F_c を任意に設定できるように構成されている。なお、本実施形態において、切断用ユニット16は、サーボモータとボールねじとの構成としたがこれに限定されるものではなく、空圧アクチュエータや油圧アクチュエータから構成してもよい。

[0037] 切断用ヘッド17は、切断用ユニット16の駆動力を半導体ウェハWに伝達するとともに、切断手段である複数のダイシングブレード18を選択的に回転駆動させるものである。切断用ヘッド17は、切断用ユニット16を構成している図示しないボールねじナットに取り付けられている。また、仮圧着用ユニット6は、切断用ステージ14と対向するように配置されている。つまり、切断用ヘッド17は、切断用ユニット16によってZ軸方向に移動されることで切断用ステージ14に近接できるように構成されている。切断

用ヘッド17には、図示しないダイシングブレード18用のモータ、複数のダイシングブレード18および切断用距離センサ19が設けられている（図3（b）参照）。

[0038] 図3（b）に示すように、切断手段であるダイシングブレード18は、半導体ウェハWを切断するための刃である。ダイシングブレード18は、切断用ヘッド17に回転駆動自在に設けられている。ダイシングブレード18は、半導体ウェハWの積層枚数に応じてブレード幅の異なるものが複数設けられている。本実施形態において、3枚の半導体ウェハWが積層される場合、ダイシングブレード18は、ブレード幅が小さい順に第1ダイシングブレード18a、第2ダイシングブレード18bおよび第3ダイシングブレード18cが切断用ヘッド17に設けられている。第1ダイシングブレード18a、第2ダイシングブレード18bおよび第3ダイシングブレード18cは、切断用ヘッド17の内部に収納自在に構成され（図3（b）黒塗矢印参照）、切断する仮圧着積層体WLの層に応じて選択的に使用される。

[0039] 切断用距離センサ19は、任意の基準位置からZ軸方向の距離を測定するものである。切断用距離センサ19は、各種レーザー光を利用した変位センサから構成される。切断用距離センサ19は、切断用ヘッド17の任意の基準位置から仮圧着積層体WLまでの距離である第n半導体ウェハW（n）までの距離L（n）を測定するように構成されている。なお、本実施形態において、切断用距離センサ19はレーザー光を利用したものから構成されているがこれに限定されるものではなく、超音波を利用したものや、リニアスケール、サーボモータのエンコーダから算出するものから構成されてもよい。

[0040] 図2に示すように、本圧着装置22は、接着剤であるNCFによってチップ部品P同士を接着するとともにはんだPaを溶融させて隣接するチップ部品Pの貫通電極Pbと電氣的に接続するものである。つまり、本圧着装置22は、本圧着された積層チップ部品PLを作製するものである。本圧着装置22は、本圧着用基台23、本圧着用ステージ24、本圧着用支持フレーム25、本圧着用ユニット26、本圧着用ヘッド27、本圧着用ヒーター28

および本圧着用アタッチメント 29 を具備している。なお、本圧着用基台 23、本圧着用ステージ 24、本圧着用支持フレーム 25 および本圧着用ヒーター 28 は、仮圧着装置 2 とほぼ同一の構成であるので、同様の点に関してはその具体的説明を省略し、相違する部分を中心に説明する。

[0041] 加圧ユニットである本圧着用ユニット 26 は、本圧着用ヘッド 27 を移動させるものである。本圧着用ユニット 26 は、図示しないサーボモータとボールねじとから構成される。本圧着用ユニット 26 は、サーボモータによってボールねじを回転させることによりボールねじの軸方向の駆動力を発生するように構成されている。本圧着用ユニット 26 は、ボールねじの軸方向が半導体ウェハ W に対して垂直な Z 軸方向になるように支持フレームに取り付けられている。つまり、本圧着用ユニット 26 は、Z 軸方向の駆動力（加圧力）を発生できるように構成されている。本圧着用ユニット 26 は、サーボモータの出力を制御することにより Z 軸方向の加圧力である本圧着荷重 F_p を任意に設定できるように構成されている。なお、本実施形態において、本圧着用ユニット 26 は、サーボモータとボールねじとの構成としたがこれに限定されるものではなく、空圧アクチュエータや油圧アクチュエータから構成してもよい。

[0042] 本圧着用ヘッド 27 は、本圧着用ユニット 26 の駆動力を均等に仮圧着された積層チップ部品 PL に伝達するものである。本圧着用ヘッド 27 は、本圧着用ユニット 26 を構成している図示しないボールねじナットに取り付けられている。また、本圧着用ユニット 26 は、本圧着用ステージ 24 と対向するように配置されている。つまり、本圧着用ユニット 26 は、本圧着用ユニット 26 によって Z 軸方向に移動されることで本圧着用ステージ 24 に近接できるように構成されている。本圧着用ヘッド 27 には、本圧着用ヒーター 28 および本圧着用アタッチメント 29 が設けられている。

[0043] 本圧着用アタッチメント 29 は、仮圧着された積層チップ部品 PL と接触して加圧力や熱を伝達するものである。本圧着用アタッチメント 29 は、本圧着用ヘッド 27 に本圧着用ステージ 24 と対向するように設けられている。

。本圧着用アタッチメント２９には、複数の仮圧着された積層チップ部品ＰＬを一括して加圧することができる本圧着用接触面２９ａが形成されている。本圧着用接触面２９ａは、本圧着用ステージ２４と略平行に形成されている。これにより、本圧着用接触面２９ａは、対向する本圧着用ステージ２４までの間隔がその全面において略同一になるように構成されている。つまり、本圧着用アタッチメント２９は、本圧着用接触面２９ａが複数の仮圧着された積層チップ部品ＰＬにほぼ同時に接触し、一括して加圧できるように構成されている。さらに、本圧着用アタッチメント２９は、本圧着用ヒーター２８によって加熱されるように構成されている。つまり、本圧着用アタッチメント２９は、本圧着用ヒーター２８の熱を同じ条件で複数の仮圧着された積層チップ部品ＰＬに伝熱し、複数の仮圧着された積層チップ部品ＰＬを一括してほぼ同時に加圧できるように構成されている。

[0044] 図４に示すように、搬送装置３０は、仮圧着装置２と切断装置１２との間で仮圧着積層体ＷＬの受け渡しを行い、切断装置１２と本圧着装置２２との間で仮圧着された積層チップ部品ＰＬの受け渡しを行うものである。搬送装置３０は、仮圧着装置２の仮圧着用ステージ４から仮圧着積層体ＷＬが配置されたサポート基板Ｓ０を仮圧着装置２の仮圧着用ステージ４に搬送し、仮圧着装置２の仮圧着用ステージ４から複数の仮圧着された積層チップ部品ＰＬを本圧着装置２２の本圧着用ステージ２４上の実装基板Ｓ１に搬送できるように構成されている。

[0045] 制御装置３１は、仮圧着装置２、切断装置１２、本圧着装置２２および搬送装置３０等を制御するものである。制御装置３１は、実体的には、ＣＰＵ、ＲＯＭ、ＲＡＭ、ＨＤＤ等がバスで接続される構成であってもよく、あるいはワンチップのＬＳＩ等からなる構成であってもよい。制御装置３１は、仮圧着装置２、切断装置１２、本圧着装置２２および搬送装置３０等を制御するために種々のプログラムやデータが格納されている。

[0046] 制御装置３１は、仮圧着用ステージ４と切断用ステージ１４と本圧着用ステージ２４とに接続され、仮圧着用ステージ４と切断用ステージ１４と本圧

着用ステージ 24 との X 軸方向、Y 軸方向、 θ 方向の移動量をそれぞれ制御することができる。

[0047] 制御装置 31 は、仮圧着用ヒーター 8 と本圧着用ヒーター 28 とに接続され、仮圧着用ヒーター 8 と本圧着用ヒーター 28 との温度をそれぞれ制御することができる。

[0048] 制御装置 31 は、仮圧着用ユニット 6 と切断用ユニット 16 と本圧着用ユニット 26 とに接続され、仮圧着用ユニット 6 と切断用ユニット 16 と本圧着用ユニット 26 との X 軸方向の加圧力および切断用ユニット 16 のダイシングブレード 18 の動作態様をそれぞれ制御することができる。

[0049] 制御装置 31 は、仮圧着用アタッチメント 9 に接続され、仮圧着用アタッチメント 9 の吸着状態を制御することができる。

[0050] 制御装置 31 は、仮圧着用画像認識装置 11 と切断用画像認識装置 20 とに接続され、仮圧着用画像認識装置 11 と切断用画像認識装置 20 とをそれぞれ制御し、半導体ウェハ W や仮圧着積層体 WL の位置情報を取得することができる。

[0051] 制御装置 31 は、搬送装置 30 に接続され、搬送装置 30 を制御することができる。

[0052] 制御装置 31 は、仮圧着用距離センサ 10 と切断用距離センサ 19 に接続され、仮圧着用距離センサ 10 が測定した仮圧着積層体 WL における各層までの距離 L (m) (本実施形態において距離 L_1 、 L_2 、 L_3) と切断用距離センサ 19 が測定した仮圧着積層体 WL までの距離である距離 L (n) (本実施形態において距離 L_3) を取得することができる。

[0053] 以下では、図 5 から図 7 を用いて、本発明に係る半導体実装装置 1 の仮圧着時における NCF を用いた隣接する半導体ウェハ W のはんだ P_a と貫通電極 P_b との間隙の制御について第 1 半導体ウェハ W₁ と第 2 半導体ウェハ W₂ とを用いて説明する。

[0054] 図 6 に示すように、NCF は、その温度に応じて粘度が変動する。具体的には、熱硬化性樹脂から構成される NCF は、NCF の特性から定まる基準

温度 T_s (図5参照) 未満の温度域においては硬化することなく、可逆的に温度上昇に伴って粘度が低くなる性質を示す。一方、NCFは、基準温度 T_s 以上の温度域においては硬化し、不可逆的に温度上昇に伴って粘度が高くなる性質を示す。

[0055] 図5と図6とに示すように、半導体実装装置1は、仮圧着工程において、仮圧着装置2の仮圧着用アタッチメント9に吸着保持した第2半導体ウェハ W_2 を仮圧着用ヒーター8によって所定の仮圧着温度 T_t まで加熱する。これに伴って、第2半導体ウェハ W_2 のはんだ P_a を覆うように貼り付けられているNCF (図7参照) は、第2半導体ウェハ W_2 の熱が伝わり第2半導体ウェハ W_2 と略同一の仮圧着温度 T_t に加熱される。ここで、仮圧着温度 T_t は、基準温度 T_s よりも低く設定されている。すなわち、半導体実装装置1は、NCFが硬化しない温度域においてNCFが所定の粘度になるように仮圧着用ヒーター8の温度を制御している。

[0056] 図7(a)に示すように、半導体実装装置1は、仮圧着温度 T_t に加熱された第2半導体ウェハ W_2 を仮圧着用ユニット6によって第1半導体ウェハ W_1 に向かってZ軸方向に移動させる。図7(b)に示すように、第1半導体ウェハ W_1 に向かって移動された第2半導体ウェハ W_2 は、はんだ P_a を覆うように貼り付けられているNCFが半導体ウェハ W 上のパッド C_a に接触する。第2半導体ウェハ W_2 は、NCFが第1半導体ウェハ W_1 の貫通電極 P_b に接触したことで仮圧着用ユニット6から仮圧着荷重 F_t がZ軸方向に加わる。

[0057] 第2半導体ウェハ W_2 のNCFは、仮圧着用ユニット6の仮圧着荷重 F_t により変形していく。この際、第2半導体ウェハ W_2 には、仮圧着荷重 F_t に対してNCFの粘性抵抗による反力が生じる。第2半導体ウェハ W_2 に生じるNCFの粘性抵抗による反力は、第1半導体ウェハ W_1 の貫通電極 P_b と第2半導体ウェハ W_2 のはんだ P_a とにはさみ込まれたNCFの変形量に応じて増加する。このため、仮圧着荷重 F_t で加圧されている第2半導体ウェハ W_2 は、仮圧着荷重 F_t につり合う粘性抵抗による反力が生じるNCF

の変形量に到達するとZ軸方向の位置が定まる。

[0058] すなわち、仮圧着工程における第2半導体ウェハW2のZ軸方向の位置は、仮圧着荷重 F_t とNCFの粘度とによって定まる。従って、図7(c)に示すように、半導体実装装置1は、仮圧着装置2において、仮圧着用ユニット6による仮圧着荷重 F_t とNCFの粘度を設定するための仮圧着用ヒーター8の温度とによって第1半導体ウェハW1の貫通電極Pbと第2半導体ウェハW2のはんだPaとの間隙を任意の所定範囲 G_t 内に設定することができる。なお、第2半導体ウェハW2のZ軸方向の位置は、NCFの任意の粘度において仮圧着荷重 F_t と仮圧着時間により制御することもできる。

[0059] 以下に、図8から図10を用いて、本発明に係る半導体実装装置1による半導体装置である積層チップ部品PLの製造方法について説明する。本発明に係る積層チップ部品PLの製造方法は、仮圧着工程、切断工程および本圧着工程を含む。本実施形態において、積層チップ部品PLはメモリデバイスある。

[0060] 図8(a)に示すように、仮圧着工程として、半導体実装装置1は、仮圧着装置2の仮圧着用アタッチメント9によって吸着保持した第1半導体ウェハW1を仮圧着装置2の仮圧着用ステージ4に吸着保持されているサポート基板S0上に配置する。さらに、半導体実装装置1は、仮圧着用アタッチメント9によって第2半導体ウェハW2を保持しつつ仮圧着装置2の仮圧着用ヒーター8によって仮圧着温度 T_t に加熱する。仮圧着温度 T_t は、基準温度 T_s よりも低く設定されている(図5参照)。すなわち、半導体実装装置1は、NCFが硬化しない温度域においてNCFが所定の粘度になるように仮圧着用ヒーター8の温度を制御している。

[0061] 半導体実装装置1は、第1半導体ウェハW1のはんだPaまたは貫通電極Pbと第2半導体ウェハW2のはんだPaまたは貫通電極Pbとが重複するように第2半導体ウェハW2のX軸方向、Y軸方向、 θ 方向の位置合わせを行う。そして、半導体実装装置1は、仮圧着用アタッチメント9によって第2半導体ウェハW2を仮圧着荷重 F_t で加圧しながら第1半導体ウェハW1

に仮圧着する。この際、半導体実装装置 1 は、第 1 半導体ウェハ W 1 の貫通電極 P b と第 2 半導体ウェハ W 2 のはんだ P a との間隙が所定範囲 G t 以内に収まるように仮圧着する（図 7（c）参照）。ここで、所定範囲 G t は、 $1 \sim 5 \mu\text{m}$ とすることが好ましく、より好ましくは $1 \sim 3 \mu\text{m}$ である。この値は、実験的に求めた値であり、これより間隙を狭くしたり第 1 半導体ウェハ W 1 の貫通電極 P b と第 2 半導体ウェハ W 2 のはんだ P a とを接触させたりすると、後述する接続工程で両者を接続したときに、貫通電極 P b とはんだ P a の間に接着剤 7 が残留する可能性があることがわかっている。これは、はんだの融点まで加温することによって、はんだが溶融して NCF を巻き込むためであると考えられる。また、この値より間隙を広くすると、本圧着工程で位置ズレが発生する可能性があり、品質に重大な問題となる。

[0062] 図 8（b）に示すように、半導体実装装置 1 は、第 2 半導体ウェハ W 2 を仮圧着すると仮圧着用ヘッド 7 の任意の基準位置から第 2 半導体ウェハ W 2 までの距離 L 2 を測定する。同様にして、半導体実装装置 1 は、仮圧着積層体 W L が形成されるまで（本実施形態において 3 層の仮圧着積層体 W L）、仮圧着用アタッチメント 9 によって第 m 半導体ウェハ W（m）を仮圧着温度 T t に加熱しつつ仮圧着荷重 F t で加圧しながら第（m - 1）半導体ウェハ W（m - 1）に仮圧着し、距離 L（m）を測定する。このようにして、半導体実装装置 1 は、仮圧着工程において仮圧着積層体 W L を作製する。なお、仮圧着工程の別実施形態として、半導体実装装置 1 は、真空炉の中で仮圧着温度 T t に加熱し、仮圧着荷重 F t で加圧する構成でもよい。

[0063] 次に、図 9 に示すように、切断工程として、半導体実装装置 1 は、搬送装置 30 によって切断装置 12 の切断用ステージ 14 に搬送された n 層の仮圧着積層体 W L を吸着保持する。半導体実装装置 1 は、仮圧着装置 2 の仮圧着用距離センサ 10 の測定値および切断装置 12 の切断用距離センサ 19 の測定値に基づいて、仮圧着積層体 W L を構成する半導体ウェハ W 毎に切断装置 12 のダイシングブレード 18 によって切断する。本実施形態において、図 9（a）に示すように、半導体実装装置 1 は、3 層の仮圧着積層体 W L の最

も上層の第3半導体ウェハW3のみを切断装置12の第3ダイシングブレード18cによって切断する。この際、半導体実装装置1は、仮圧着された積層チップ部品PLの形状にそって第3半導体ウェハW3を切断する。さらに、図9(b)に示すように、半導体実装装置1は、仮圧着装置2の仮圧着用距離センサ10の測定値である距離L2に基づいて第2半導体ウェハW2のみを第3ダイシングブレード18cよりもブレード幅が小さい第2ダイシングブレード18bによって切断する。同様にして、図9(c)に示すように、半導体実装装置1は、第1半導体ウェハW1のみを第2ダイシングブレード18よりもブレード幅が小さい第1ダイシングブレード18aによって切断する。このようにして、半導体実装装置1は、切断工程において、切断幅よりも薄いダイシングプレート18を順次用いることでダイシングプレートと半導体ウェハWとの接触を抑制しつつ仮圧着された積層チップ部品PLを作製する。図10(a)に示すように、仮圧着積層体WLの切断後、半導体実装装置1は、上流工程から取得した各半導体ウェハWの不良チップ部品の情報に基づいて、不良チップ部品が含まれる積層チップ部品PLd以外の積層チップ部品PLを搬送装置30によって本圧着装置22の本圧着用ステージ24に搬送する。つまり、半導体実装装置1は、不良チップ部品についての情報に基づいて不良チップ部品を含む積層チップ部品PLdを排除する。なお、半導体ウェハWと同時にNCFが切断されるので、ダイシング後の積層チップ部品PLにはNCFのはみ出しは殆どない(はみ出し1 μ 以下)。この、積層チップ部品PLでNCFはみ出しのない状態は、切断面の光学顕微鏡観察観察で確認することが可能である。

[0064] 次に、図10(b)に示すように、本圧着工程として、半導体実装装置1は、本圧着装置22の本圧着用ステージ24に吸着保持されている実装基板S1に複数の仮圧着された積層チップ部品PLを所定の位置に搬送する。そして、半導体実装装置1は、複数の仮圧着された積層チップ部品PLに一括して本圧着装置22の本圧着用アタッチメント29を接触させて本圧着温度Tpに加熱する。本圧着温度Tpは、基準温度Ts以上かつはんだPaの融

点以上の一定範囲内に設定されている（図5参照）。すなわち、半導体実装装置1は、NCFが硬化する温度域であってNCFが所定の本圧粘度（硬度）になるとともに、はんだPaが溶融するように本圧着用ヒーター28の温度を制御している。さらに、半導体実装装置1は、本圧着用アタッチメント29によって複数の仮圧着された積層チップ部品PLを一括して本圧着荷重Fpで加圧する。各チップ部品Pは、貫通電極PbとはんだPaとの間隙をなくすように近接する。仮圧着された積層チップ部品PLは、熱硬化するNCFによって隣接するチップ部品P同士が固定（本圧着）されるとともにはんだPaが溶融して隣接するチップ部品Pの貫通電極Pbと電氣的に接続される。この、複数のチップ部品Pには、本圧着用アタッチメント29の本圧着用接触面29aが略同時かつ均一に接触する。つまり、複数のチップ部品Pは、本圧着装置22によって加熱時期、加熱時間、加圧力等がほぼ同一の状態では本圧着される。

[0065] 以下では、図11から図14を用いて、本発明に係る半導体製造装置1においてn層の積層チップ部品PLからなる半導体装置を製造する制御態様について具体的に説明する。なお、以下の制御態様において、仮圧着用ヒーター8は、チップ部品Pを仮圧着温度Ttに加熱するために必要な温度に予め維持され、本圧着用ヒーター28は、チップ部品Pを本圧着温度Tpに加熱するために必要な温度に予め維持されているものとする。また、制御装置31は、上流工程から第1半導体ウェハW1、第2半導体ウェハW2および第3半導体ウェハW3に形成されているチップ部品Pのうち不良チップ部品の位置情報を取得しているものとする。

[0066] 図11に示すように、ステップS100において、制御装置31は、仮圧着工程制御Aを開始し、ステップをステップ110に移行させる（図12参照）。そして、仮圧着工程制御Aが完了するとステップをステップS200に移行させる。

[0067] ステップS200において、制御装置31は、切断工程制御Bを開始し、ステップをステップ210に移行させる（図13参照）。そして、切断工程

制御Bが終了するとステップをステップS300に移行させる。

[0068] ステップS300において、制御装置31は、本圧着工程制御Cを開始し、ステップをステップS310に移行させる（図14参照）。そして、本圧着工程制御Cが終了するとステップを終了する。

[0069] 図12に示すように、ステップS110において、制御装置31は、仮圧着用アタッチメント9によって吸着保持された第m半導体ウェハW(m)を仮圧着用ステージ4上のサポート基板S0に配置し、ステップをステップS120に移行させる（ $m=1$ ）。

[0070] ステップS120において、制御装置31は、仮圧着用距離センサ10によって仮圧着用ユニット6の任意の基準位置から第m半導体ウェハW(m)までのZ軸方向の距離L(m)を測定し、ステップをステップS130に移行させる。

[0071] ステップS130において、制御装置31は、 $m=m+1$ とし、ステップをステップS140に移行させる。

[0072] ステップS140において、制御装置31は、第m半導体ウェハW(m)を仮圧着用ヘッド7の仮圧着用アタッチメント9によって吸着保持し、ステップをステップS150に移行させる（ $m \geq 2$ とする）。

[0073] ステップS150において、制御装置31は、仮圧着用画像認識装置11によって仮圧着用ヘッド7の仮圧着用アタッチメント9に吸着保持されている第m半導体ウェハW(m)の位置合わせマークと仮圧着用ステージ4に吸着保持されている第m-1半導体ウェハW(m-1)の位置合わせマークとの画像情報を取得し、ステップをステップS160に移行させる。

[0074] ステップS160において、制御装置31は、取得した第m-1半導体ウェハW(m-1)と第m半導体ウェハW(m)との画像情報に基づいて、第m-1半導体ウェハW(m-1)と第m半導体ウェハW(m)の位置合わせのための仮圧着用ステージ4のX軸方向、Y軸方向、 θ 方向の座標位置を算出するとともに、仮圧着用ステージ4の吸着テーブル4bを駆動ユニット4aによって移動させ、ステップをステップS170に移行させる。 ステッ

プS 1 7 0において、制御装置3 1は、仮圧着用アタッチメント9に吸着保持させている第 m 半導体ウェハ $W(m)$ を仮圧着用ステージ4の第 $m-1$ 半導体ウェハ $W(m-1)$ に仮圧着用ユニット6によって仮圧着荷重 F_t で所定時間加圧して仮圧着し、ステップをステップS 1 8 0に移行させる。

[0075] ステップS 1 8 0において、制御装置3 1は、仮圧着用ユニット6によって第 n 半導体ウェハ $W(n)$ の仮圧着が終了したか否か、すなわち $m=n$ 層の仮圧着積層体 WL が完成したか否か判断する。

[0076] その結果、仮圧着用ユニット6による第 n 半導体ウェハ $W(n)$ の仮圧着が完了したと判定した場合、すなわち、 $m=n$ 層の仮圧着積層体 WL が完成したと判定した場合、制御装置3 1は仮圧着工程制御Aを終了してステップをステップS 2 0 0に移行させる（図1 1参照）。

[0077] 一方、仮圧着用ユニット6による第 n 半導体ウェハ $W(n)$ の仮圧着が完了していないと判定した場合、すなわち、 $m=n$ 層の仮圧着積層体 WL が完成していないと判定した場合、制御装置3 1はステップをステップS 1 2 0に移行させる。

[0078] 図1 3に示すように、ステップS 2 1 0において、制御装置3 1は、搬送装置3 0によって仮圧着用ステージ4から搬送されたサポート基板 $S 0$ （仮圧着積層体 WL ）を切断用ステージ1 4の吸着テーブル1 4 bによって吸着保持し、ステップをステップS 2 2 0に移行させる。

[0079] ステップS 2 2 0において、制御装置3 1は、切断用画像認識装置2 0によって切断用ステージ1 4に吸着保持されている仮圧着積層体 WL の位置合わせマークの画像情報を取得し、ステップをステップS 2 3 0に移行させる。

[0080] ステップS 2 3 0において、制御装置3 1は、仮圧着積層体 WL の画像情報に基づいて、仮圧着積層体 WL の位置合わせのための切断用ステージ1 4の X 軸方向、 Y 軸方向、 θ 方向の座標位置を算出するとともに、切断用ステージ1 4の吸着テーブル1 4 bを駆動ユニット1 4 aによって移動させ、ステップをステップS 2 4 0に移行させる。

- [0081] ステップS240において、制御装置31は、切断用ユニット16の任意の基準位置から第 n 半導体ウェハ $W(n)$ までのZ軸方向の距離 $L(n)$ を測定して高さ方向の誤差を補正し、ステップをステップS250に移行させる。
- [0082] ステップS250において、制御装置31は、 $m=m-1$ とし、ステップをステップS260に移行させる。
- [0083] ステップS260において、制御装置31は、仮圧着工程制御Aで測定したZ軸方向の距離 $L(m)$ に基づいて、第 m 半導体ウェハ $W(m)$ のみを切断するために切断用ヘッド17の移動量を算出し、ステップをステップS270に移行させる。
- [0084] ステップS270において、制御装置31は、所定のダイシングブレード18を回転駆動させて仮圧着積層体 WL のうち第 m 半導体ウェハ $W(m)$ のみをチップ部品 P の形状にそって切断し、ステップをステップS280に移行させる。
- [0085] ステップS280において、制御装置31は、仮圧着用ユニット6によって第1半導体ウェハ $W1$ の切断が終了したか否か判断する。
- [0086] その結果、仮圧着用ユニット6による第1半導体ウェハ $W1$ の切断が完了したと判定した場合、すなわち、複数の仮圧着された積層チップ部品 PL が完成したと判定した場合、制御装置31は切断工程制御Bを終了してステップをステップS300に移行させる（図9参照）。
- [0087] 一方、仮圧着用ユニット6による第1半導体ウェハ $W1$ の切断が完了していないと判定した場合、すなわち、複数の仮圧着された積層チップ部品 PL が完成していないと判定した場合、制御装置31はステップをステップS250に移行させる。
- [0088] 図14に示すように、ステップS310において、制御装置31は、搬送装置30によって不良チップ部品を含む仮圧着された積層チップ部品 PLd 以外の積層チップ部品 PL を本圧着用ステージ24の吸着テーブル24bに吸着保持されている実装基板 $S1$ の所定位置に配置し、ステップをステップ

S 3 2 0に移行させる。

- [0089] ステップS 3 2 0において、制御装置3 1は、複数の仮圧着された積層チップ部品P Lを本圧着用ユニット2 6によって本圧着荷重F pで所定時間加圧して固定し、本圧着工程制御Cを終了し、ステップを終了する。このような工程により、積層構造を有するメモリデバイスが製造される。
- [0090] このように構成することで、半導体実装装置1は、複数のチップ部品Pが形成されている第1半導体ウェハW 1、第2半導体ウェハW 2および第3半導体ウェハW 3をサポート基板S 0上に積層する。つまり、仮圧着工程においてサポート基板S 0を用いることで、半導体実装装置1は、半導体ウェハWの反り等を抑制しつつメモリデバイスである複数の積層チップ部品P Lを同時に一括して作製する。さらに、半導体実装装置1は、ブレード幅の異なる複数のダイシングプレート1 8を選択的に使用して仮圧着積層体W Lを切断する。つまり、半導体実装装置1は、切断工程において、切断幅よりも薄いダイシングブレード1 8によって次の半導体ウェハWを切断することでダイシングプレート1 8との接触等による切断時のずれを抑制しつつ仮圧着された積層チップ部品P Lを作製する。また、半導体実装装置1は、隣接する貫通電極P bとはんだP aとの間隙が十分に小さい所定範囲G t以内の仮圧着積層体W Lを切断した後に本圧着する。つまり、半導体実装装置1は、切断工程および本圧着工程において、ボイドの発生や切断時のずれを抑制しつつメモリデバイスである積層チップ部品P Lを作製する。また、半導体実装装置1は、不良チップ部品についての情報に基づいて不良チップ部品を含む積層チップ部品P L dを排除する。つまり、半導体実装装置1は、切断以外の事由による不良な積層チップ部品P L dを排除する。これにより、チップ部品Pを積層させたメモリデバイス等の半導体装置の製造時間を短縮するとともにチップ部品P間の接合不良等の発生を抑制することができる。また、半導体実装装置1は、仮圧着工程において、第1半導体ウェハW 1、第2半導体ウェハW 2および第3半導体ウェハW 3の仮圧着を真空炉内で行うことでボイドの発生が抑制される。これにより、チップ部品Pを積層させたメモ

リデバイス等の半導体装置の製造時間を短縮するとともにチップ部品 P 間の接合不良等の発生を抑制することができる。

符号の説明

[0091]	1	半導体実装装置
	18	ダイシングブレード
	P	チップ部品
	Pa	はんだ
	Pb	貫通電極
	NCF	接着剤
	W(n)	半導体ウェハ
	Ft	仮圧着荷重
	Fp	本圧着荷重

請求の範囲

- [請求項1] チップ部品が形成された複数の半導体ウェハを積層して電氣的に接続する半導体装置の製造方法であって、
- 接着剤を介して複数の半導体ウェハを積層し、接着剤が所定の粘度になるように加熱するとともに、チップ部品毎に設けられた貫通電極のはんだと隣接する半導体ウェハの貫通電極との間隙がゼロよりも大きい所定の範囲内に収まるように半導体ウェハを仮圧着荷重で加圧して仮圧着積層体を作製する仮圧着工程と、
- 仮圧着積層体を切断手段で切断してチップ部品が積層された仮圧着された積層チップ部品を作製する切断工程と、
- 仮圧着された積層チップ部品を接着剤の硬化温度以上かつはんだの融点以上に加熱するとともに、はんだが隣接するチップ部品の貫通電極に接触するように仮圧着された積層チップ部品を本圧着荷重で加圧して本圧着された積層チップ部品を作製する本圧着工程と、
- を含む半導体装置の製造方法。
- [請求項2] 前記切断工程において、前記切断手段が積層された前記半導体ウェハを一枚ずつ切断する請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記切断工程において、前記切断手段がダイシングブレードから構成され、前記半導体ウェハを切断する度にダイシングブレードのブレード幅を小さくする請求項1または請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記仮圧着工程において、前記半導体ウェハを真空中で加熱および加圧する請求項1から請求項3のいずれか一項に記載の半導体装置の製造方法。
- [請求項5] 前記仮圧着工程において、サポート基板上に前記半導体ウェハを積層し、加熱および加圧した後に作製した仮圧着積層体からサポート基板を取り除く請求項1から請求項3のいずれか一項に記載の半導体装置の製造方法。

[請求項6] 請求項1から請求項5のいずれか一項に記載の半導体装置の製造方法で製造されたメモリデバイス。

[請求項7] チップ部品が形成された複数の半導体ウェハを積層して電氣的に接続する半導体装置の製造装置であって、

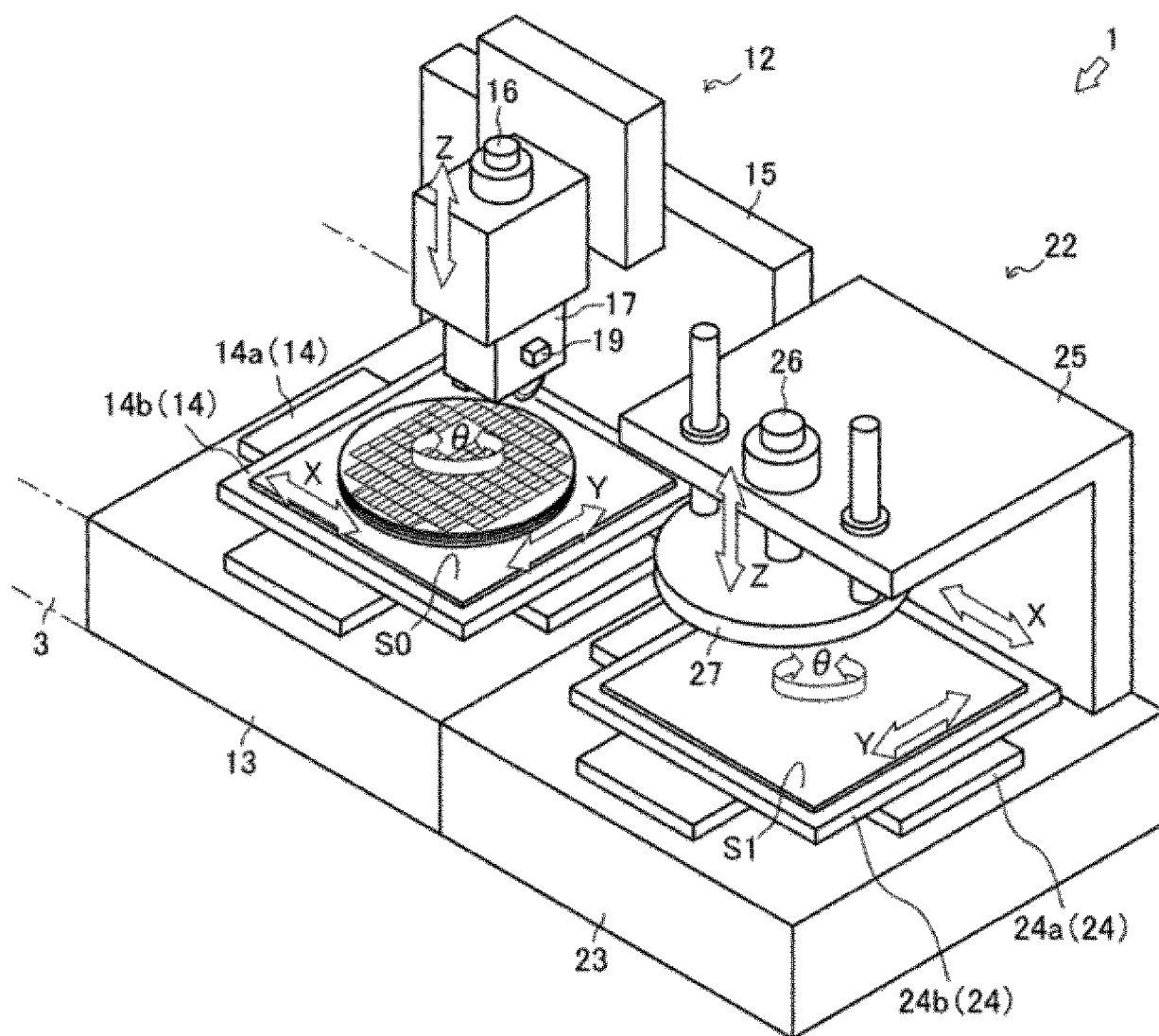
 接着剤を介して複数の半導体ウェハを積層し、接着剤が所定の粘度になるように加熱するとともに、チップ部品毎に設けられた貫通電極のはんだと隣接する半導体ウェハの貫通電極との間隙がゼロよりも大きい所定の範囲内に収まるように半導体ウェハを仮圧着荷重で加圧して仮圧着積層体を作製する仮圧着装置2と、

 仮圧着積層体を切断手段で切断してチップ部品が積層された仮圧着された積層チップ部品を作製する切断装置と、

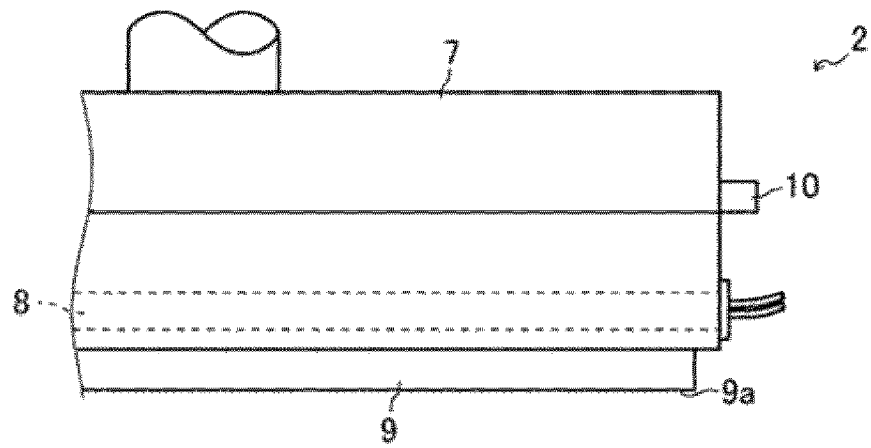
 各半導体ウェハに形成されているチップ部品のうち不良チップ部品の位置を予め取得し、作製した仮圧着された積層チップ部品のうち不良チップ部品が含まれる仮圧着された積層チップ部品を排出する排出手段と、

 を具備する半導体実装装置。

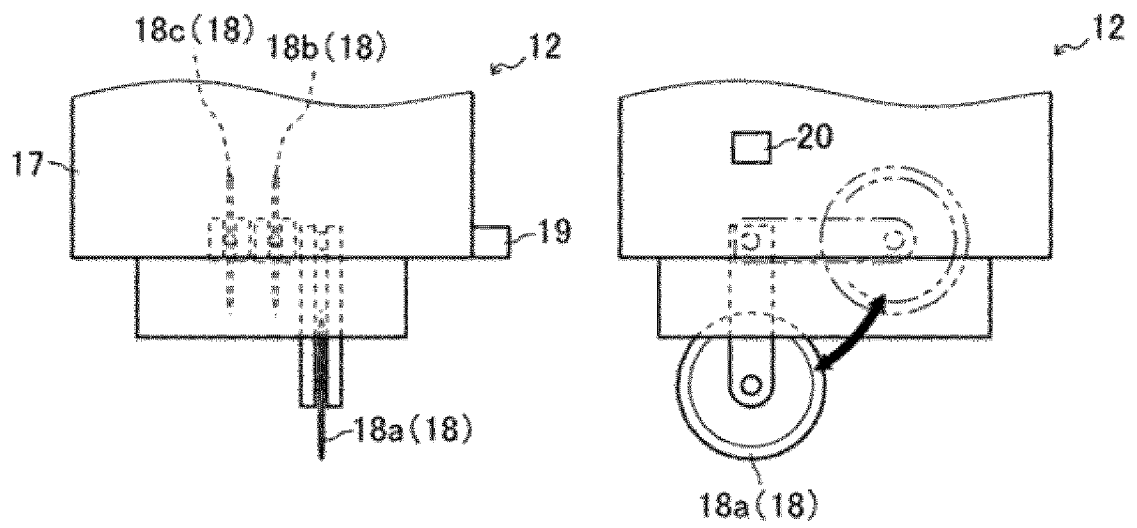
[図2]



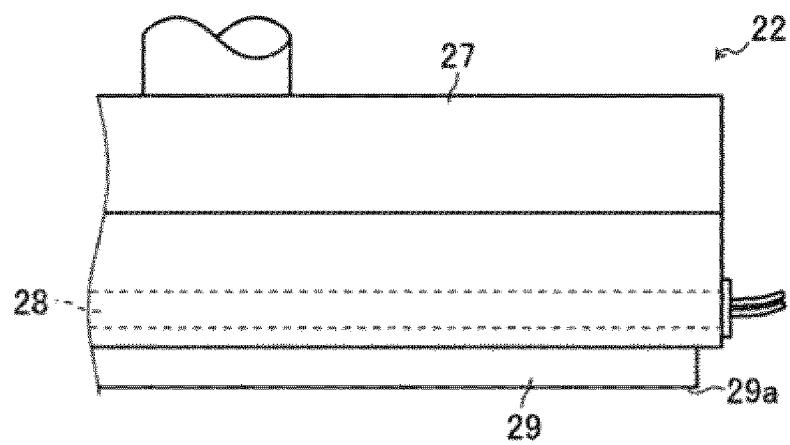
[図3]



(a)

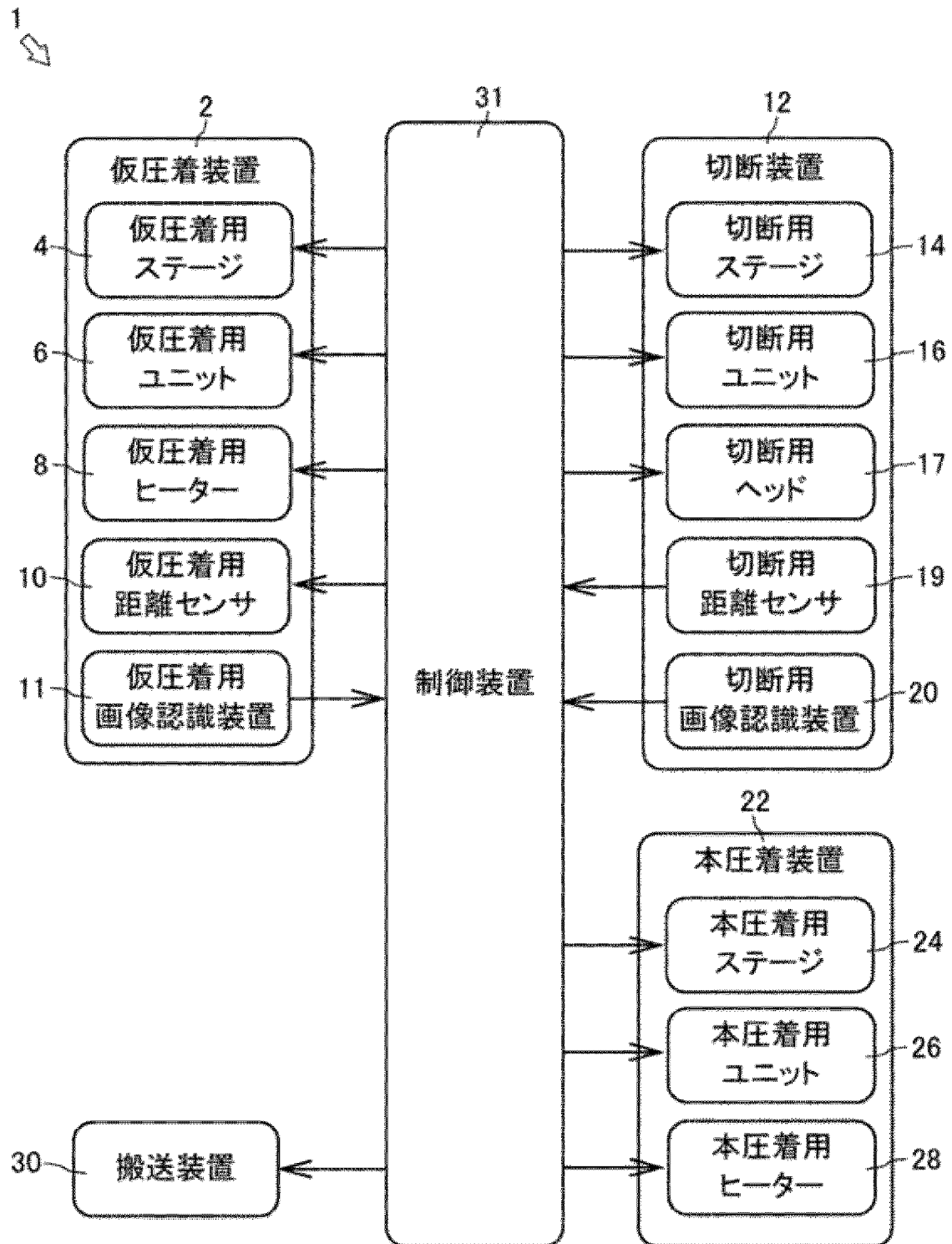


(b)

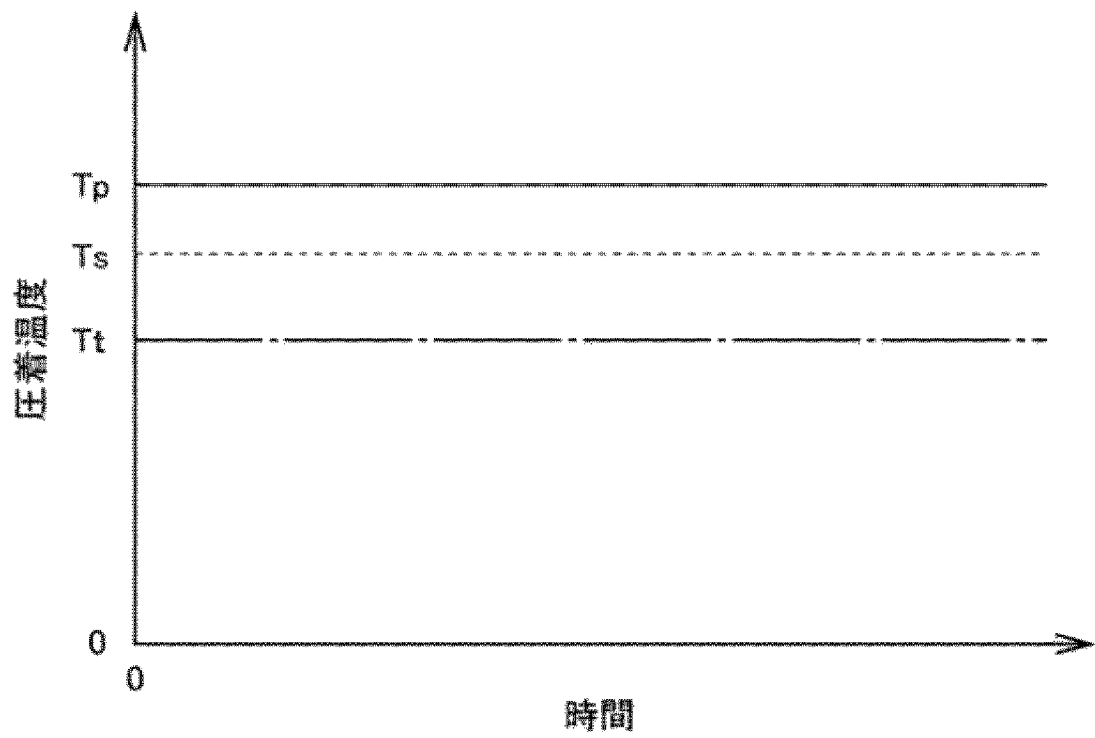


(c)

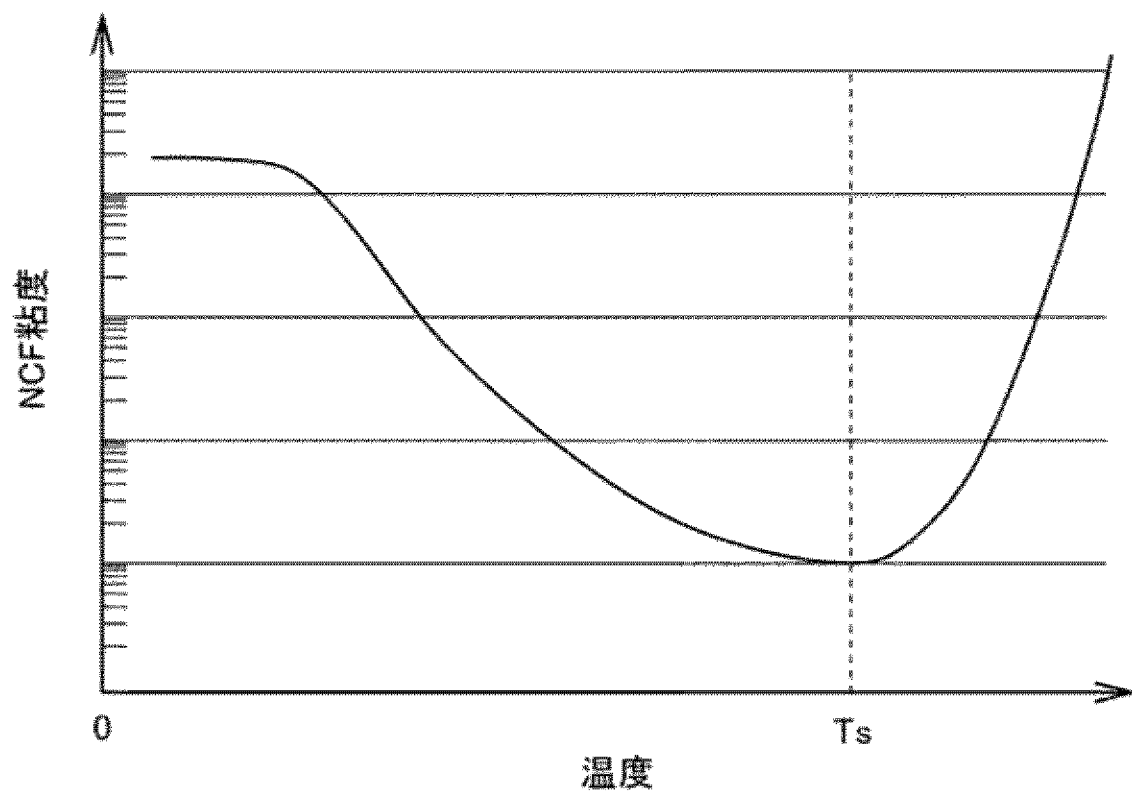
[図4]



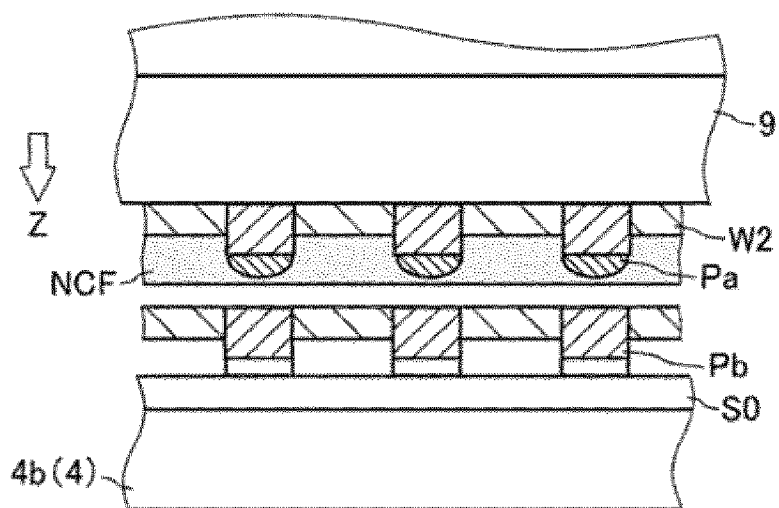
[図5]



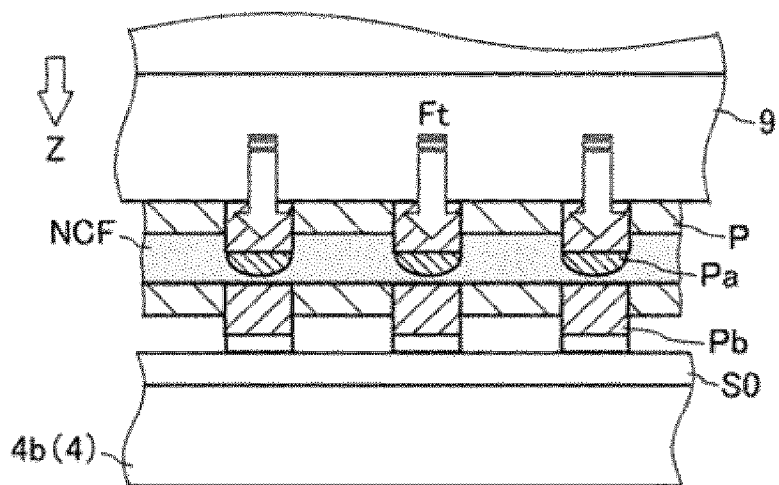
[図6]



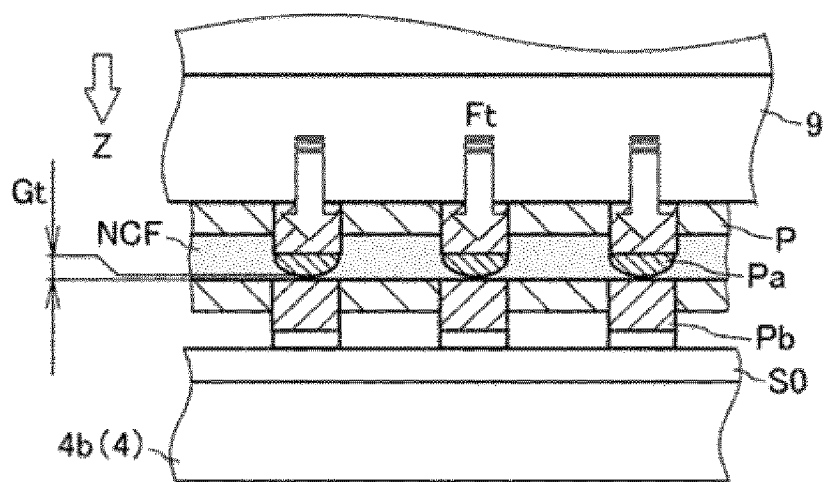
[図7]



(a)

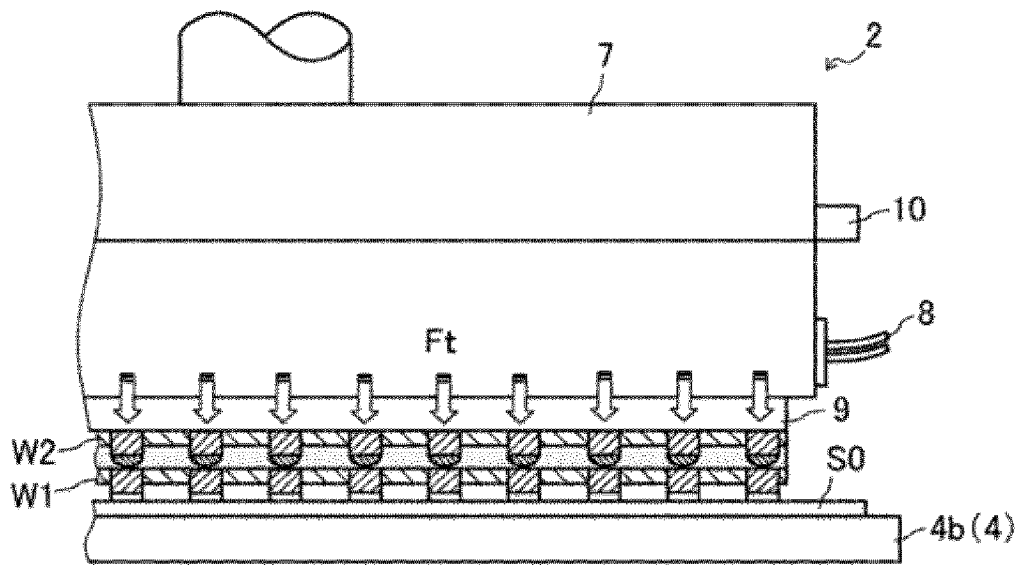


(b)

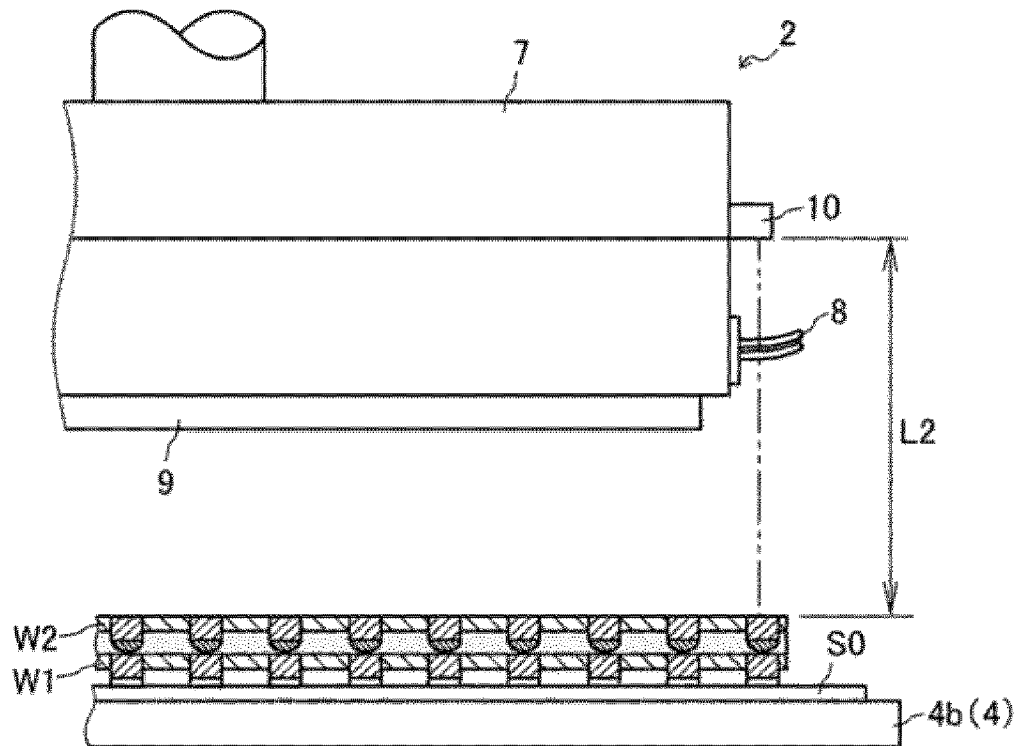


(c)

[図8]

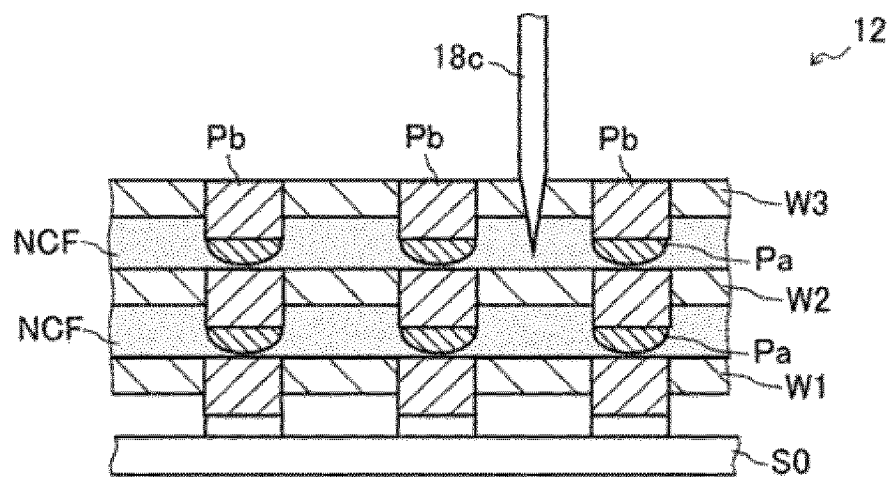


(a)

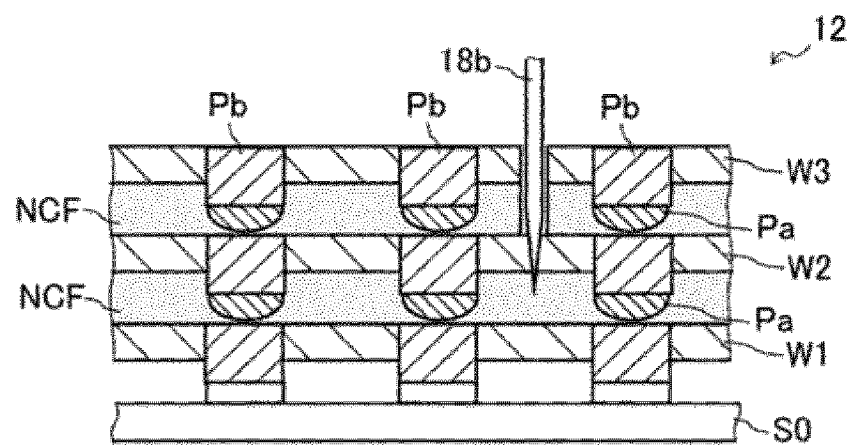


(b)

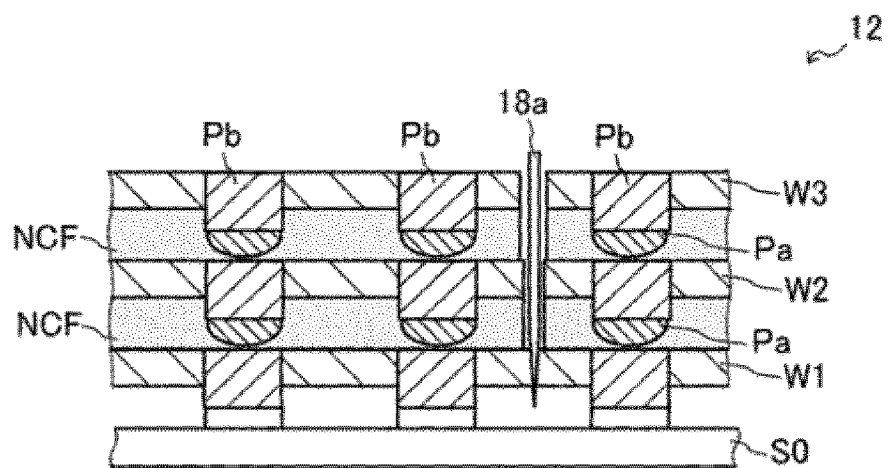
[図9]



(a)

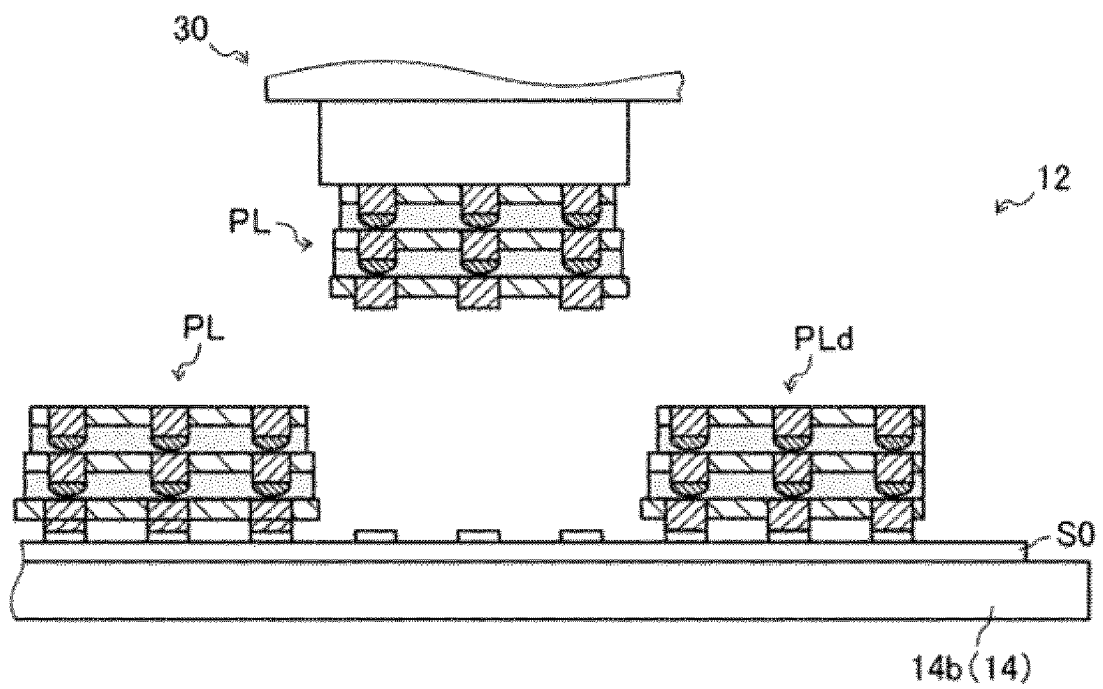


(b)

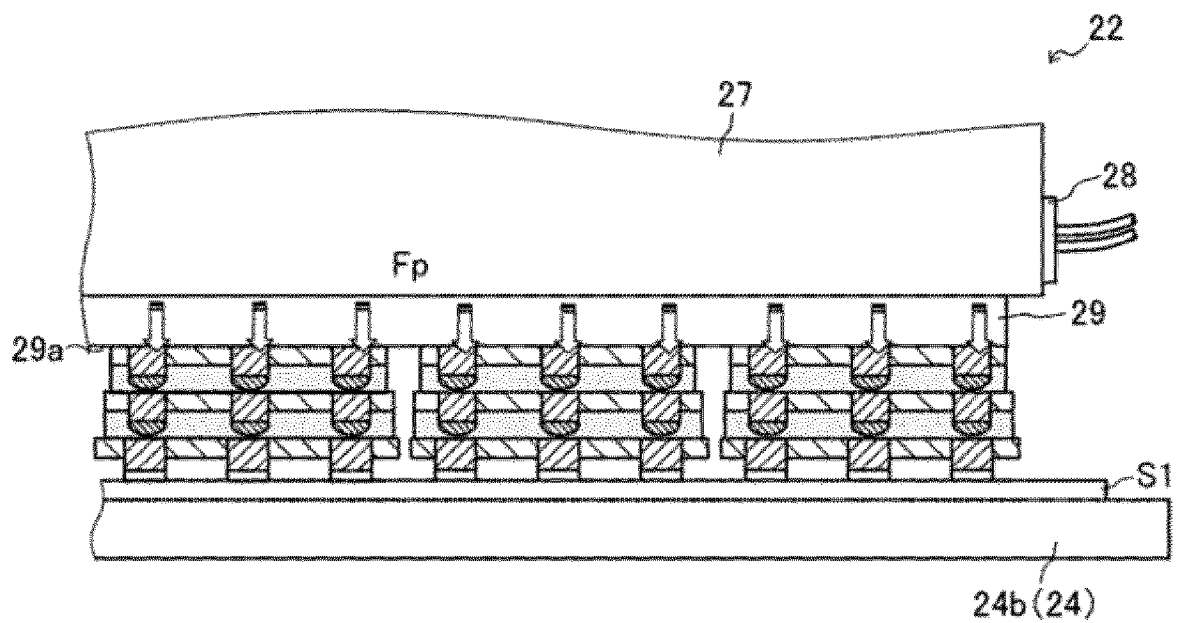


(c)

[図10]

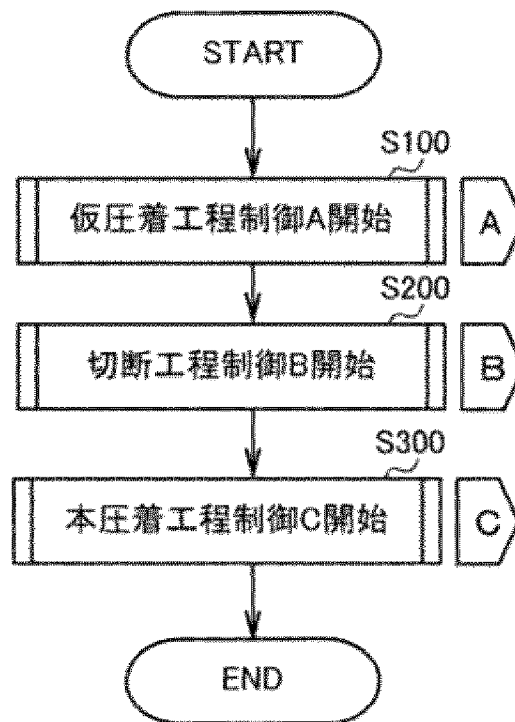


(a)

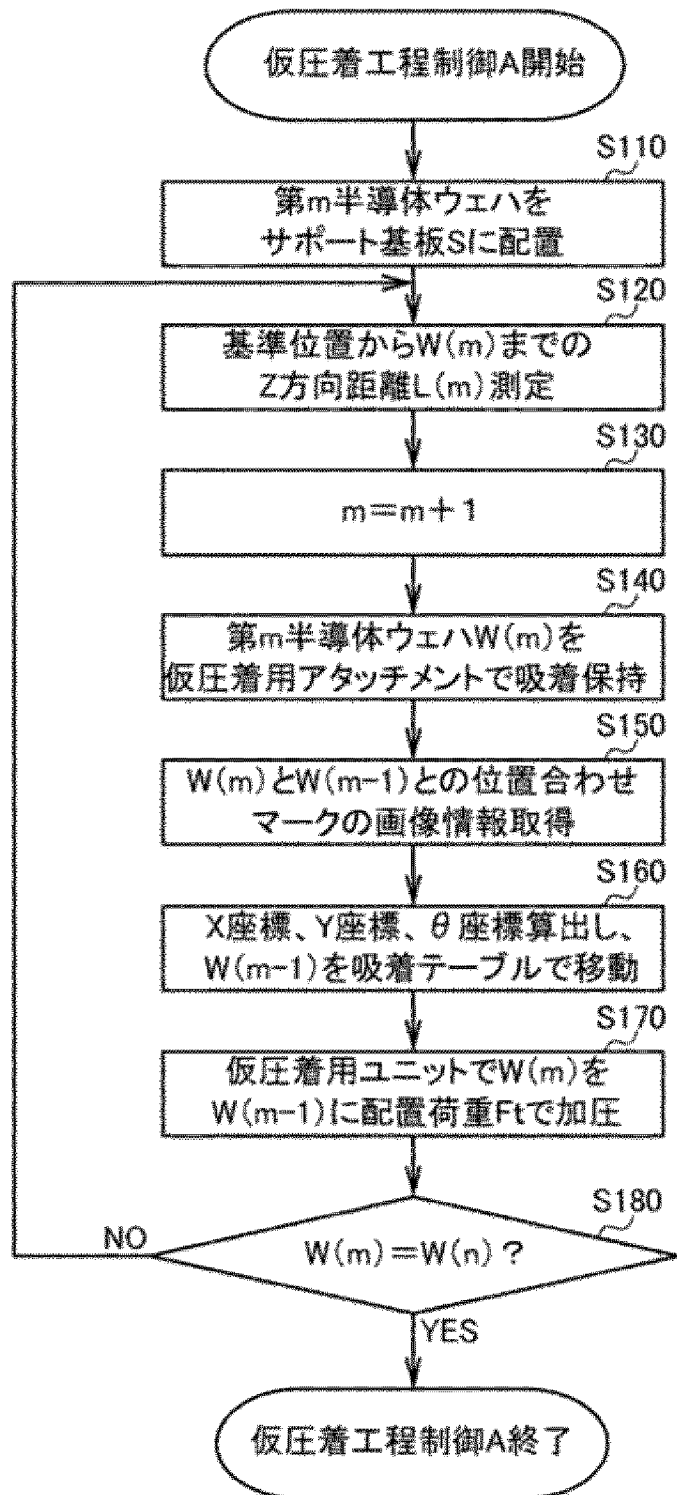


(b)

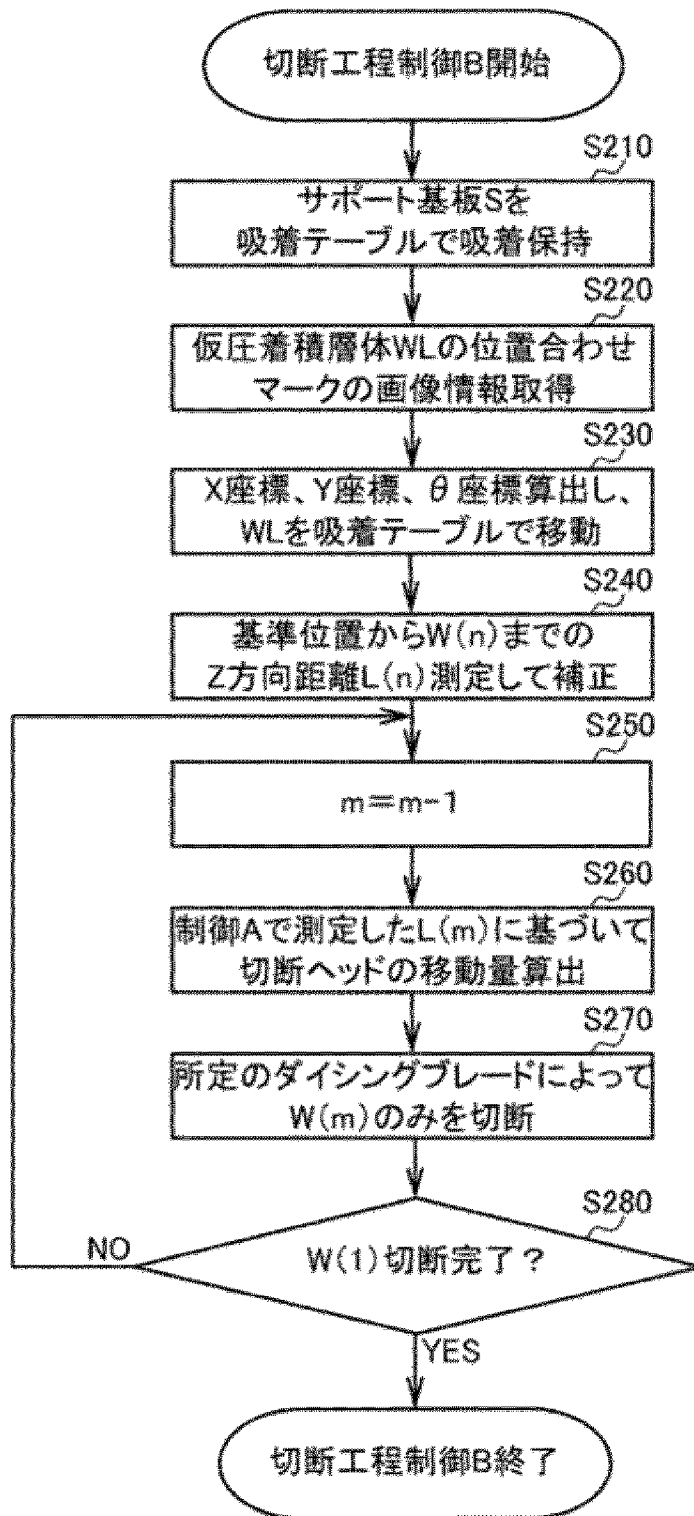
[図11]



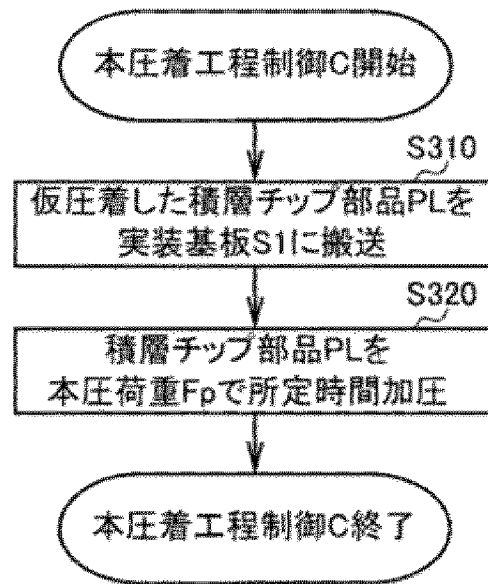
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060079

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-065835 A (Sumitomo Bakelite Co., Ltd.), 11 April 2013 (11.04.2013), paragraphs [0043] to [0073], [0093] to [0108], [0177]; fig. 1 to 4 & US 2014/0183758 A1 paragraphs [0059] to [0105], [0131] to [0149], [0257]; fig. 1 to 4 & WO 2013/027832 A1 & TW 201324724 A & CN 103748683 A	1, 4-7 2-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 May 2016 (27.05.16)

Date of mailing of the international search report
07 June 2016 (07.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/060079

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-294382 A (Sumitomo Bakelite Co., Ltd.), 04 December 2008 (04.12.2008), paragraphs [0042] to [0059], [0128] to [0135]; fig. 3 & US 2010/0129960 A1 paragraphs [0068] to [0086], [0158] to [0165]; fig. 3 & WO 2008/136352 A1 & EP 2144282 A1 & CN 101669197 A & KR 10-2010-0022960 A & TW 200905843 A	1, 4-7 2-3
Y	WO 2013/133015 A1 (Toray Industries, Inc.), 12 September 2013 (12.09.2013), paragraphs [0042] to [0045]; fig. 2 & US 2015/0050778 A1 paragraphs [0050] to [0053]; fig. 2 & CN 104145328 A & KR 10-2014-0140042 A & TW 201347054 A	1, 4-7
A	JP 2008-130706 A (Sony Corp.), 05 June 2008 (05.06.2008), paragraphs [0030] to [0032]; fig. 2 to 3 (Family: none)	2-3
A	JP 2007-250886 A (Toshiba Corp.), 27 September 2007 (27.09.2007), paragraphs [0045] to [0050]; fig. 5 & US 2007/0218586 A1 paragraphs [0053] to [0058]; fig. 5 & KR 10-2007-0094495 A & CN 101038891 A	2-3
A	JP 2012-160634 A (NEC Corp.), 23 August 2012 (23.08.2012), paragraphs [0023] to [0034]; fig. 2 to 3 (Family: none)	1-7
A	WO 2010/109985 A1 (Murata Mfg. Co., Ltd.), 30 September 2010 (30.09.2010), paragraphs [0025] to [0031], [0062] to [0069]; fig. 1, 7 (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-065835 A（住友ベークライト株式会社）2013.04.11, 段落 [0043]-[0073], [0093]-[0108], [0177], 図 1-4 & US 2014/0183758 A1([0059]-[0105], [0131]-[0149], [0257], Figs. 1-4) & WO 2013/027832 A1 & TW 201324724 A & CN 103748683 A	1, 4-7 2-3
Y A	JP 2008-294382 A（住友ベークライト株式会社）2008.12.04, 段落 [0042]-[0059], [0128]-[0135], 図 3 & US 2010/0129960 A1([0068]-[0086], [0158]-[0165], Fig. 3) & WO 2008/136352 A1 & EP 2144282 A1 & CN 101669197 A & KR 10-2010-0022960 A & TW 200905843	1, 4-7 2-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.05.2016

国際調査報告の発送日

07.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

多賀 和宏

5 D

4 4 5 1

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	A	
Y	WO 2013/133015 A1 (東レ株式会社) 2013. 09. 12, 段落 [0042]-[0045], 図 2 & US 2015/0050778 A1 ([0050]-[0053], Fig. 2) & CN 104145328 A & KR 10-2014-0140042 A & TW 201347054 A	1, 4-7
A	JP 2008-130706 A (ソニー株式会社) 2008. 06. 05, 段落 [0030]-[0032], 図 2-3 (ファミリーなし)	2-3
A	JP 2007-250886 A (株式会社東芝) 2007. 09. 27, 段落[0045]-[0050], 図 5 & US 2007/0218586 A1 ([0053]-[0058], Fig. 5) & KR 10-2007-0094495 A & CN 101038891 A	2-3
A	JP 2012-160634 A (日本電気株式会社) 2012. 08. 23, 段落 [0023]-[0034], 図 2-3 (ファミリーなし)	1-7
A	WO 2010/109985 A1 (株式会社村田製作所) 2010. 09. 30, 段落 [0025]-[0031], [0062]-[0069], 図 1, 7 (ファミリーなし)	1-7