



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년04월17일
 (11) 등록번호 10-1943595
 (24) 등록일자 2019년01월23일

- (51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) *H01L 29/786* (2006.01)
 (21) 출원번호 10-2013-7017559
 (22) 출원일자(국제) 2011년12월07일
 심사청구일자 2016년12월07일
 (85) 번역문제출일자 2013년07월04일
 (65) 공개번호 10-2013-0130011
 (43) 공개일자 2013년11월29일
 (86) 국제출원번호 PCT/US2011/063745
 (87) 국제공개번호 WO 2012/078759
 국제공개일자 2012년06월14일
 (30) 우선권주장
 61/420,512 2010년12월07일 미국(US)
 (56) 선행기술조사문헌
 JP2006301629 A*
 KR1020020017435 A*
 KR1020080093038 A*
 KR1020100086464 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 52 항

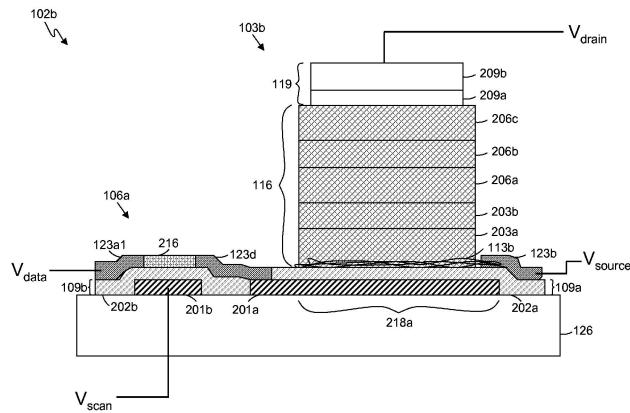
심사관 : 김효우

(54) 발명의 명칭 액티브 매트릭스 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터

(57) 요약

감쇄 소스 인에이블형 수직 유기 발광 트랜지스터에 대한 각종 실시형태가 제공된다. 각종 실시형태에 있어서, 디스플레이 패널은 픽셀들의 어레이를 포함한다. 일 실시형태에 있어서, 다른 무엇보다도, 적어도 하나의 픽셀은 스위칭 트랜지스터, 및 스위칭 트랜지스터에 결합된 구동 트랜지스터를 포함하고, 구동 트랜지스터는 스위칭 트랜지스터에 의한 활성화에 응답하여 광을 방출하도록 구성된다. 구동 트랜지스터는 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(DS-VOLET)일 수 있다. 스위칭 트랜지스터는 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함할 수 있다. 다른 실시형태에 있어서, 이중 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)는 제2 DS-VFET에 결합된 제1 DS-VFET를 포함한다.

대 표 도



명세서

청구범위

청구항 1

디스플레이 패널에 있어서,
픽셀들의 어레이를 포함하고,
복수의 상기 픽셀들 중 적어도 하나의 픽셀은,
스위칭 트랜지스터(106a);
드레인 층(209) 및 소스 층(113a)을 갖는 구동 트랜지스터(103d);
상기 소스 층에 결합된 적어도 하나의 소스 전도선(123b);
과도적 도전 층(transitional conducting layer, 220); 및
상기 과도적 도전 층 및 상기 적어도 하나의 소스 전도선 사이에 위치한 충간 유전체 층(223)
을 포함하고,

상기 구동 트랜지스터는 상기 스위칭 트랜지스터에 결합되고, 상기 스위칭 트랜지스터에 의한 활성화에 응답하여 광을 방출하도록 구성되며, 상기 구동 트랜지스터는 상기 스위칭 트랜지스터에 결합된 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(dilute source enabled vertical organic light emitting transistor; DS-VOLET)인 것인, 디스플레이 패널.

청구항 2

제1항에 있어서, 상기 DS-VOLET는 탄소 나노튜브 인에이블형 수직 유기 발광 트랜지스터(carbon nanotube enabled vertical organic light emitting transistor; CN-VOLET)인 것인, 디스플레이 패널.

청구항 3

제1항에 있어서, 상기 소스 층은 감쇄 소스 물질이고, 상기 드레인 층은 상기 소스 층에 의해 주입된 다른 전하에 상보적인 전하를 주입하기 위한 도전체를 포함하며, 상기 DS-VOLET는 또한,

기판 층;
게이트 필드를 제공하도록 상기 기판 위에 배치된 게이트 전극;
상기 게이트 전극과 상기 소스 층 사이에 개재되고 상기 게이트 전극 위에 배치된 유전체 층; 및
상기 소스 층과 상기 드레인 층 사이에 배치된 활성층
을 포함하고,

상기 전하들은 결합되어 광자를 생성하고, 상기 소스 층과 상기 활성층 간의 전하 주입은 게이트 필드에 의해 조절되는 것인, 디스플레이 패널.

청구항 4

제3항에 있어서, 상기 기판 층은 절연체이고, 유리 및 플라스틱 중 적어도 하나를 포함한 것인, 디스플레이 패널.

청구항 5

제3항에 있어서, 상기 기판 층은 금속이고 상기 기판 층과 상기 스위칭 트랜지스터 사이 및 상기 기판 층과 상기 DS-VOLET 사이에 배치된 절연 기저층을 포함한 것인, 디스플레이 패널.

청구항 6

제5항에 있어서, 상기 절연 기저층은 실리콘 산화물, 실리콘 질화물, 폴리이미드, 및 용액 처리가능 절연 폴리머 중 적어도 하나를 포함한 것인, 디스플레이 패널.

청구항 7

제3항에 있어서, 상기 기판 층은 유연성이 있는 것인, 디스플레이 패널.

청구항 8

제3항에 있어서, 상기 게이트 전극은 주석 도핑 인듐 산화물(tin-doped indium oxide; ITO), 알루미늄, 몰리브덴, 탄탈, 티탄 및 금 중 적어도 하나를 포함한 것인, 디스플레이 패널.

청구항 9

제3항에 있어서, 상기 유전체 층은, 무기 산화물 층 및 소수성 폴리머 층을 포함하는 이중 층(bi-layer)인 것인, 디스플레이 패널.

청구항 10

제9항에 있어서, 상기 무기 산화물 층은 산화 알루미늄을 포함하고, 상기 소수성 폴리머 층은 벤조사이클로부틴(BCB)을 포함한 것인, 디스플레이 패널.

청구항 11

제3항에 있어서, 상기 감쇄 소스 물질은 삼투성 감쇄 망상조직을 포함한 것인, 디스플레이 패널.

청구항 12

제3항에 있어서, 상기 감쇄 소스 물질은 그래핀을 포함하고, 개공들을 구비하도록 패터닝된 것인, 디스플레이 패널.

청구항 13

제3항에 있어서, 상기 감쇄 소스 물질은 탄소 나노튜브의 감쇄 망상조직(network)을 포함한 것인, 디스플레이 패널.

청구항 14

제3항에 있어서, 상기 활성층은 반도체 층 및 발광 층을 포함한 것인, 디스플레이 패널.

청구항 15

제14항에 있어서, 상기 활성층은, 다결정 반도체 층, 및 상기 다결정 반도체 층 위에 배치된 용액 처리가능 폴리머 층을 포함하는 복수의 반도체 층들을 포함하는 것인, 디스플레이 패널.

청구항 16

제15항에 있어서, 상기 용액 처리가능 폴리머 층은 교차 결합가능한 용액 처리가능 폴리머 층인 것인, 디스플레이 패널.

청구항 17

제14항에 있어서, 상기 활성층은 복수의 발광 층들을 포함한 것인, 디스플레이 패널.

청구항 18

제14항에 있어서, 상기 활성층은 상기 반도체 층과 상기 발광 층 사이에 과도적 도전 층(transitional conducting layer)을 더 포함한 것인, 디스플레이 패널.

청구항 19

제18항에 있어서, 상기 과도적 도전 층을 상기 적어도 하나의 소스 전도선으로부터 전기적으로 절연시키는 충간 유전체 층을 더 포함하는, 디스플레이 패널.

청구항 20

제18항에 있어서, 상기 과도적 도전 층의 일부는 기판 층에 직접 접촉하는 것인, 디스플레이 패널.

청구항 21

제4항에 있어서, 상기 드레인 층은 리튬 플루오르화물 층 및 알루미늄 층을 포함한 것인, 디스플레이 패널.

청구항 22

제4항에 있어서, 상기 드레인 층은 리튬 플루오르화물 층, 몰리브덴 산화물 층 및 주석 도핑 인듐 산화물(ITO) 층을 포함한 것인, 디스플레이 패널.

청구항 23

제1항에 있어서, 상기 스위칭 트랜지스터는, 상기 스위칭 트랜지스터의 드레인 전극을 형성하는 전도선에 의해 상기 DS-VOLET에 결합된 것인, 디스플레이 패널.

청구항 24

제1항에 있어서, 상기 스위칭 트랜지스터는 박막 트랜지스터(thin film transistor; TFT)를 포함한 것인, 디스플레이 패널.

청구항 25

제1항에 있어서, 상기 스위칭 트랜지스터는 데이터 전도선에 결합되고, 상기 데이터 전도선은 상기 스위칭 트랜지스터의 소스 전극을 형성하는 것인, 디스플레이 패널.

청구항 26

제1항에 있어서, 상기 스위칭 트랜지스터는 스캔 전도선에 결합된 게이트 전극을 포함한 것인, 디스플레이 패널.

청구항 27

제1항에 있어서, 상기 스위칭 트랜지스터는 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함한 것인, 디스플레이 패널.

청구항 28

제27항에 있어서, 상기 DS-VFET의 소스 층은 삼투성 감쇄 망상조직을 포함한 것인, 디스플레이 패널.

청구항 29

제27항에 있어서, 상기 DS-VFET의 소스 층은, 개공을 구비하도록 패터닝된 그래핀 층을 포함한 것인, 디스플레이 패널.

청구항 30

제27항에 있어서, 상기 DS-VFET는 탄소 나노튜브 인에이블형 수직 전계 효과 트랜지스터(CN-VFET)인 것인, 디스플레이 패널.

청구항 31

제30항에 있어서, 상기 CN-VFET의 소스 층은 탄소 나노튜브의 감쇄 망상조직을 포함한 것인, 디스플레이 패널.

청구항 32

제27항에 있어서, 상기 DS-VFET는 데이터 전도선에 결합된 소스 층 및 상기 구동 트랜지스터의 게이트 전극에 결합된 드레인 층 전도선을 포함한 것인, 디스플레이 패널.

청구항 33

제27항에 있어서, 상기 DS-VFET는 데이터 전도선에 결합된 드레인 층 및 상기 구동 트랜지스터의 게이트 전극에 결합된 드레인 층 전도선을 포함한 것인, 디스플레이 패널.

청구항 34

제27항에 있어서, 상기 DS-VFET는,

기판 상에 배치된 게이트 전극;

상기 게이트 전극 위에 배치된 게이트 유전체 층;

상기 게이트 유전체 층 위에 배치된 감쇄 소스 물질을 포함한 소스 층;

반도체 층; 및

드레인 층을

포함하고,

상기 반도체 층은 상기 소스 층과 상기 드레인 층 사이에 배치된 것인, 디스플레이 패널.

청구항 35

제34항에 있어서, 상기 게이트 유전체 층은, 무기 산화물 층 및 소수성 폴리머 층을 포함하는 이중 층인 것인, 디스플레이 패널.

청구항 36

제35항에 있어서, 상기 무기 산화물 층은 산화 알루미늄을 포함하고, 상기 소수성 폴리머 층은 벤조사이클로부틴(BCB)을 포함한 것인, 디스플레이 패널.

청구항 37

제1항에 있어서, 상기 스위칭 트랜지스터는, 병렬로 결합된 제1 DS-VFET 및 제2 DS-VFET를 포함하는 이중 측면 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함한 것인, 디스플레이 패널.

청구항 38

제37항에 있어서, 상기 제1 DS-VFET 및 상기 제2 DS-VFET는 게이트 전극을 공유하는 것인, 디스플레이 패널.

청구항 39

제37항에 있어서, 상기 제1 DS-VFET 및 상기 제2 DS-VFET는, 감쇄 탄소 나노튜브 망상조직을 포함한 소스 층을 각각 포함한 것인, 디스플레이 패널.

청구항 40

제37항에 있어서, 상기 제1 DS-VFET 및 상기 제2 DS-VFET는 그래핀 층을 포함한 소스 층을 각각 포함한 것인, 디스플레이 패널.

청구항 41

제37항에 있어서, 상기 스위칭 트랜지스터는 전도선에 의해 상기 구동 트랜지스터의 게이트 전극에 결합되고, 상기 전도선은 상기 제1 DS-VFET의 소스 층에 결합되고 상기 제2 DS-VFET의 드레인 전극을 형성하며, 데이터 전도선은 상기 제2 DS-VFET의 소스 층에 결합되고 상기 제1 DS-VFET의 드레인 전극을 형성하는 것인, 디스플레이 패널.

청구항 42

제1항에 있어서, 상기 스위칭 트랜지스터는 이중 반전 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함한 것인, 디스플레이 패널.

청구항 43

제42항에 있어서, 상기 스위칭 트랜지스터는 전도선에 의해 상기 구동 트랜지스터의 게이트 전극에 결합된 것이고, 상기 이중 반전 DS-VFET는,

스캔 전도선에 결합된 제1 게이트 전극;

상기 제1 게이트 전극 위에 배치된 제1 게이트 유전체 층;

상기 제1 게이트 유전체 층 위에 배치되고 감쇄 소스 물질을 포함하며 데이터 전도선에 결합된 제1 소스 층;

상기 제1 소스 층 위에 배치된 반도체 층;

상기 반도체 층 위에 배치되고 감쇄 소스 물질을 포함하며 상기 전도선에 결합된 제2 소스 층;

상기 제2 소스 층 위에 배치된 제2 게이트 유전체 층; 및

상기 제2 게이트 유전체 층 위에 배치되고 상기 스캔 전도선에 결합된 제2 게이트 전극

을 포함한 것인, 디스플레이 패널.

청구항 44

제43항에 있어서, 상기 제1 및 제2 소스 층은 삼투성 감쇄 망상조직을 포함한 것인, 디스플레이 패널.

청구항 45

제43항에 있어서, 상기 제1 및 제2 소스 층은 감쇄 탄소 나노튜브 망상조직을 포함한 것인, 디스플레이 패널.

청구항 46

제43항에 있어서, 상기 제1 및 제2 소스 층은 그래핀을 포함한 것인, 디스플레이 패널.

청구항 47

제1항에 있어서, 상기 스위칭 트랜지스터는, 직렬로 결합된 제1 DS-VFET 및 제2 DS-VFET를 포함하는 역 직렬형 이중 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함한 것인, 디스플레이 패널.

청구항 48

제47항에 있어서, 상기 제1 DS-VFET 및 상기 제2 DS-VFET는 게이트 전극을 공유하는 것인, 디스플레이 패널.

청구항 49

제47항에 있어서, 상기 제1 DS-VFET의 드레인 층은 상기 제2 DS-VFET의 드레인 층에 결합된 것인, 디스플레이 패널.

청구항 50

제47항에 있어서, 상기 스위칭 트랜지스터는 전도선에 의해 상기 구동 트랜지스터의 게이트 전극에 결합되고, 상기 전도선은 상기 제1 DS-VFET의 소스 층에 결합되며, 데이터 전도선은 상기 제2 DS-VFET의 소스 층에 결합된 것인, 디스플레이 패널.

청구항 51

제47항에 있어서, 상기 제1 DS-VFET의 소스 층은 상기 제2 DS-VFET의 소스 층에 결합된 것인, 디스플레이 패널.

청구항 52

제47항에 있어서, 상기 스위칭 트랜지스터는 전도선에 의해 상기 구동 트랜지스터의 게이트 전극에 결합되고, 상기 전도선은 상기 제1 DS-VFET의 드레인 층에 결합되며, 데이터 전도선은 상기 제2 DS-VFET의 드레인 층에 결합된 것인, 디스플레이 패널.

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

청구항 77

삭제

청구항 78

삭제

청구항 79

삭제

청구항 80

삭제

청구항 81

삭제

청구항 82

삭제

청구항 83

삭제

청구항 84

삭제

청구항 85

삭제

청구항 86

삭제

청구항 87

삭제

청구항 88

삭제

발명의 설명

기술 분야

[0001]

관련 출원에 대한 교차 참조

[0002]

이 출원은 "액티브 매트릭스 나노튜브 인에이블형 수직 유기 발광 트랜지스터 어레이"라는 명칭으로 2010년 12월 7일자 출원한 미국 가출원 제61/420,512호를 우선권 주장하며, 이 우선권 출원의 내용은 여기에서의 내용에 의해 그 전체가 본원에 통합된다.

[0003]

연방정부 후원 연구에 관한 성명서

[0004]

본 발명은 국립 과학 재단에서 수여한 협정 ECCS-0824157/00069937 하에서 정부 지원으로 만들어졌다. 정부는 본 발명에 대해 소정의 권리를 갖는다.

배경 기술

[0005]

디스플레이 기술은 상이한 시장 수요에 부응하여 진화를 계속하고 있다. 개선된 콘트라스트 비, 시야각에 대한 둔감성, 절전, 및 제조 비용의 감소는 많은 개발 노력을 요구하고 있다. 그러나, 전력 소모를 줄이는 기준 디스플레이 기술의 변환은 가끔 디스플레이 콘트라스트 및 강도 개선에 방해가 된다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0006]

감쇄 소스 인에이블형 수직 유기 발광 트랜지스터에 대한 각종 실시형태가 제공된다. 각종 실시형태에 있어서, 디스플레이 패널은 픽셀들의 어레이를 포함한다. 일 실시형태에 있어서, 다른 무엇보다도, 적어도 하나의 픽셀은 스위칭 트랜지스터, 및 스위칭 트랜지스터에 결합된 구동 트랜지스터를 포함하고, 구동 트랜지스터는 스위칭 트랜지스터에 의한 활성화에 응답하여 광을 방출하도록 구성된다. 구동 트랜지스터는 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(DS-VOLET)일 수 있다. 스위칭 트랜지스터는 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)를 포함할 수 있다. 다른 실시형태에 있어서, 이중 감쇄 소스 인에이블형 수직 전계 효과 트랜지스터(DS-VFET)는 제2 DS-VFET에 결합된 제1 DS-VFET를 포함한다.

도면의 간단한 설명

[0007]

본 발명의 많은 양태들은 이하의 도면들을 참조함으로써 더 잘 이해할 수 있다. 도면에 나타나는 구성요소들은 정확한 축척으로 도시된 것이 아니고, 그 대신 본 발명의 원리를 명확히 설명하는데 강조를 두고 있다. 더욱이

도면에 있어서 동일한 참조 번호는 몇 개의 도면에 걸쳐서 대응하는 부분을 나타낸다.

도 1a는 본 발명의 각종 실시형태에 따른 액티브 매트릭스 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(AMDS-VOLET) 픽셀의 일 예의 평면도이다.

도 1b 및 도 1c는 본 발명의 각종 실시형태에 따른, 도 1a의 AMDS-VOLET 픽셀의 활성 셀의 예의 횡단면도이다.

도 2a는 본 발명의 각종 실시형태에 따라서 AMDS-VOLET에 포함될 수 있는 감쇄 탄소 나노튜브(CNT) 망상조직의 예의 원자간력 현미경(AFM) 이미지를 보인 도이다.

도 2b는 본 발명의 각종 실시형태에 따라서 도 2a의 CNT 망상조직의 파장 대 투과율의 모습을 보인 도이다.

도 3은 본 발명의 각종 실시형태에 따라서 도 2a의 감쇄 CNT 망상조직에서 성장한 펜타센 다결정 입자의 재지향을 위한 X-선 회절(XRD)과 원자간력 현미경(AFM) 형적을 보인 도이다.

도 4는 본 발명의 각종 실시형태에 따라서 표면에서의 펜타센 평면 방위를 보인 도이다.

도 5는 본 발명의 각종 실시형태에 따라서 거친 다결정 표면의 폴리[9,9-디옥틸-플루오렌-코-N-(4-부틸페닐)-디페닐아민](TFB)에 의한 평탄화를 나타내는 이미지를 포함한 도이다.

도 6은 본 발명의 각종 실시형태에 따라서 도 5의 TFB 평탄화 층을 포함한 도 1a의 AMDS-VOLET의 활성 셀의 예의 횡단면도이다.

도 7은 본 발명의 각종 실시형태에 따라서 도 6의 활성 셀 내의 도 5의 TFB 평탄화 층에 의한 전류 효율의 개선을 보인 도면이다.

도 8은 본 발명의 각종 실시형태에 따라서 도 6의 활성 셀의 광다이오드 응답을 보인 도이다.

도 9a 및 도 9b는 본 발명의 각종 실시형태에 따라서 도 1a의 AMDS-VOLET 픽셀의 활성 셀의 예의 횡단면도이다.

도 10은 본 발명의 각종 실시형태에 따라서 도 1b, 1c, 9a 및 9b의 활성 셀을 보인 회로도이다.

도 11, 12, 15, 17, 19 및 22는 본 발명의 각종 실시형태에 따라서 도 1a의 스위칭 트랜지스터(Sw-T)의 레이아웃 예를 보인 평면도이다.

도 13, 18, 20 및 23은 본 발명의 각종 실시형태에 따라서 도 12, 17, 19 및 22의 Sw-T를 포함한 도 1a의 활성 셀의 예의 횡단면도이다.

도 14a, 14b, 16, 21 및 24는 본 발명의 각종 실시형태에 따라서 도 13, 15, 20 및 23의 활성 셀의 예를 나타내는 회로도이다.

도 25 및 도 26은 본 발명의 각종 실시형태에 따라서 도 1a의 AMDS-VOLET 픽셀의 어레이의 레이아웃 예를 보인 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 여기에서는 액티브 매트릭스 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(active matrix dilute source enabled vertical organic light emitting transistor; AMDS-VOLET)에 관한 각종 실시형태가 설명된다. 이제, 도면에 도시된 각종 실시형태의 설명을 구체적으로 참조할 것이며, 도면에서 동일한 참조 번호는 몇 개의 도면에 걸쳐서 동일한 부분을 표시한다.

[0009] 절전, 개선된 콘트라스트비 및 시야각에 대한 둔감성의 이유 때문에, 기존의 디스플레이 기술로부터 액티브 매트릭스 유기 발광 다이오드(AMOLED) 디스플레이로 기술적 변환이 이루어지고 있다. 이 변환에 대한 장애물(roadblock)은 백플레인의 박막 트랜지스터(TFT)로부터 유기 발광 다이오드(OLED)가 필요로 하는 높은 구동 전류를 공급하는 것이다. 채널 물질로서 다결정 실리콘(폴리-Si)을 사용하는 것은 높은 구동 전류를 달성하기 위한 한가지 옵션이다. 그러나 폴리-Si는 높은 제조 비용을 추가하고 불균일성 문제가 있다. TFT 채널 물질용의 유기 반도체 물질은 덜 비싸지만, 유기 반도체 물질은 폴리-Si의 출력 전류와 필적할 수 없다.

[0010] 유기 반도체 물질을 이용하여 높은 출력 전류를 달성하는 한가지 방법은 TFT의 채널 길이를 짧게 하는 것이다. 종래의 측면 채널 TFT 설계에 있어서, 채널 길이를 짧게 하기 위해서는 TFT의 소스 단자와 드레인 단자를 서로 매우 가깝게 두어야 한다. 그러나, 이것은 고해상도 패터닝을 필요로 하기 때문에 가격이 높아질 수 있다. 감쇄 소스 인에이블형(dilute source enabled) 수직 전계 효과 트랜지스터(DS-VFET)는 이러한 문제점을 회피한다.

DS-VFET의 채널 길이는 반도체 박막 채널층의 두께에 의해 규정되고, 이것은 고해상도 패터닝을 이용하지 않고 서브마이크론 채널 길이를 유도한다. 이것은 폴리-Si TFT에 필적하는 전력소비로 OLED를 동작시키는데 유용한 높은 구동 전류를 가능하게 한다. DS-VFET는 자체 발광 소자로 또한 변환될 수 있고, 이로써 픽셀 백플레인에서 필요로 하는 컴포넌트의 수를 감소시킨다. DS-VFET 발광 결합 소자는 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(DS-VOLET)라고 부른다.

[0011] 이 명세서에서는 DS-VOLET를 포함한 디스플레이 패널, 픽셀 및 활성 셀의 각종 실시형태를 설명한다. 종래의 AMOLED 픽셀에 있어서, 구동 트랜지스터와 전하 저장 커패시터는 픽셀 영역을 점유하는 OLED 소자 다음에 위치하여 개구율(총 픽셀 면적에 대한 OLED 발광 면적의 비율)을 감소시킨다. 여기에서 설명하는 각종 실시형태에 있어서, DS-VOLET은 구동 트랜지스터 및 전하 커패시터를 그 구조의 일부로서 포함하여 DS-VOLET가 더 커지게 하고, 그에 따라서 발광 면적을 증가시킨다. 이것은 별도의 회로 컴포넌트를 더 적게 필요하게 하여 제조 공정을 또한 단순화한다. 또한, 각 픽셀에서, DS-VOLET는 스위칭 트랜지스터(Sw-T)에 결합되고, Sw-T의 각종 실시형태는 뒤에서 자세히 설명된다.

[0012] 도 1a는 액티브 매트릭스 감쇄 소스 인에이블형 수직 유기 발광 트랜지스터(AMDS-VOLET) 픽셀(100)의 일 실시형태의 예시적인 레이아웃을 보인 평면도이다. AMDS-VOLET 픽셀(100)은 도 1a에 도시된 것처럼 전도선(conducting line)(123)에 의해 둘러싸인 영역 내에 있는 활성 셀(102)의 실시형태를 포함한다. 도 1b는 도 1a에 도시된 활성 셀(102)의 실시형태의 단면도이고, 도 1b에서는 102a로 표시하였다. 도 1a 및 도 1b에 도시된 활성 셀(102)은 DS-VOLET(103)의 일 실시형태의 예시적인 레이아웃을 포함한다. 스위칭 트랜지스터(Sw-T)(106)(트랜지스터 회로 요소로 표시됨)는 DS-VOLET(103), 및 여기에서 123a1, 123a2, 123b, 123c 및 123d로 표시된 전도선(123)에 결합된다. Sw-T(106)의 각종 실시형태의 레이아웃에 대해서는 뒤에서 자세히 설명된다.

[0013] 도 1a 및 도 1b에 도시된 AMDS-VOLET 픽셀(100)의 실시형태에 포함된 전도선(123)은 각각의 V_{data} 전압 신호를 각각 제공하는 2개의 데이터 전도선(123a)(도면에서는 123a1 및 123a2로 표시됨)을 포함한다. 전도선(123)은 또한 소스 전도선(123b)(즉, V_{source} 전압 신호를 제공함) 및 스캔 전도선(123c)(즉, V_{scan} 전압 신호를 제공함)을 포함한다. 추가로, 전도선(123d)은 Sw-T(106)를 DS-VOLET(103)에 결합한다.

[0014] DS-VOLET(103)는 AMDS-VOLET 픽셀(100)의 발광 컴포넌트이다. AMDS-VOLET 픽셀(100)에서 별도의 구동 트랜지스터 및 전하 저장 커패시터를 포함하는 대신에, DS-VOLET(103)는 구동 트랜지스터 및 저장 커패시터를 DS-VOLET(103)의 스택 내에 통합한다. 구동 트랜지스터 및 저장 커패시터를 DS-VOLET(103)의 스택 내에 포함시킴으로써, DS-VOLET(103)로부터 분리된 구동 트랜지스터 및 저장 커패시터는 불필요하다. 더욱이, 구동 트랜지스터 및 저장 커패시터는 DS-VOLET(103) 내에 포함되기 때문에, AMDS-VOLET 픽셀(100)의 발광부가 종래 픽셀의 발광부보다 더 크다. 발광부의 증가는 AMDS-VOLET 픽셀(100)의 개구율을 증가시킨다. 발광부의 이러한 증가는 AMDS-VOLET 픽셀(100)이 종래의 픽셀과 동일한 광도를 출력하지만, AMDS-VOLET 픽셀(100)이 더 낮은 전류 밀도를 사용하고, 이것은 AMDS-VOLET 픽셀(100)의 수명을 증가시킨다. 또한, 일부 실시형태에 있어서, Sw-T(106)는 작게 설계되어 Sw-T(106)에 의해 소비되는 픽셀 면적을 감소시키고 DS-VOLET(103)에 의해 사용되는 픽셀 면적을 증가시킨다.

[0015] 박막 트랜지스터(TFT) 구조의 구동 트랜지스터를 사용하는 액티브 매트릭스 어레이의 저장 커패시터는 구동 트랜지스터의 기존 게이트 커패시턴스에 추가의 전하 저장 능력을 제공한다. 총 커패시턴스, 즉 게이트 커패시턴스와 저장 커패시터 커패시턴스의 합은 어레이의 동작 주기에서 리프레시 이벤트 사이에 대부분의 데이터 전하를 유지하기 위해 충분히 커야 한다. DS-VOLET(103)의 구조는 DS-VOLET(103)이 큰 게이트 구조를 가져서 별도의 저장 커패시터 없이 리프레시 이벤트 사이에 대부분의 데이터 전하를 유지하는데 필요한 것보다 더 큰 게이트 커패시턴스를 갖는 구조이다. 이것은 게이트 면적이 AMDS-VOLET 픽셀(100) 면적의 대부분(즉, 50% 이상)일 수 있는 AMDS-VOLET 픽셀(100)의 발광 면적만큼 클 수 있기 때문이다. DS-VOLET(103)는 뒤에서 설명하는 것처럼 게이트 층과 기판이 투명할 수 있기 때문에 큰 게이트 면적과 개구율을 갖는다. 그러나, 만일 게이트 커패시턴스가 너무 커지면, DS-VOLET(103)의 스위칭 속도가 불충분해지는 단점이 있다. 게이트 커패시턴스가 크면 클수록, 스위칭 속도는 더 낮아진다. 스위칭 속도 측정은 뒤에서 제공되고, 전형적인 디스플레이 응용에서 AMDS-VOLET 픽셀(100)의 스위칭 속도를 제한하지 않도록 충분히 빠른 것으로 나타났다.

[0016] 도 1a에 도시된 것처럼, DS-VOLET(103)는 게이트 층(109)(도면에서는 109a로 표시됨), 소스 층(113)(도면에서는 113a로 표시됨), 활성 층(116) 및 드레인 층(119)을 포함한다. 이 층들은 도 1b의 설명과 함께 뒤에서 더 설명될 것이다. Sw-T(106)는 V_{data} 신호를 전송하는 데이터 전도선(123a1)에 결합되고, Sw-T(106)는 또한 전도선

(123d)에 의해 DS-VOLET(103)의 게이트 층(109a)에도 결합된다. Sw-T(106)는 Sw-T(106)의 게이트(109)에 결합되어 V_{scan} 전압 신호를 제공하는 스캔 전도선(123c)에 의해 규칙적인 간격으로 활성화된다. Sw-T(106)의 활성화에 의해 V_{data} 신호가 DS-VOLET(103)의 게이트 층(109a)에 전송된다. 이 방식으로, Sw-T(106)는 DS-VOLET(103)의 그레이스케일을 제어하기 위해 DS-VOLET(103)의 게이트 층(109a)에 전압(예를 들면, V_{data})을 선택적으로 제공한다. V_{source} 및 V_{drain} 신호는 DS-VOLET(103)의 소스 층(113a)과 드레인 층(119) 양단 간에 전압을 각각 제공한다.

[0017] 이제, 도 1b를 참조하면, 도 1a에 도시된 활성 셀(102)의 일 실시형태(도 1b에서는 102a로 표시됨)의 단면도가 도시되어 있다. 활성 셀(102a)은 Sw-T(106)의 실시형태(106a로 표시됨)를 포함한다. 활성 셀(102a)은 DS-VOLET(103)의 실시형태(103a로 표시됨)를 또한 포함한다. DS-VOLET(103a) 및 Sw-T(106a)는 각각 게이트 층(109)(각각 109a 및 109b로 표시됨)을 포함한다. 게이트 층(109a, 109b)은 동일한 공정에 따라서 형성되거나 또는 그 대신에 서로 독립적으로 형성될 수 있다. 게이트 층(109a, 109b)은 가시광에 투명한 물질일 수 있는 기판 층(126)과 직접 접촉한다. 예를 들면, 기판 층(126)은 유리, 석영, 플라스틱 기판, 및/또는 다른 투명 물질을 포함할 수 있다. 기판 층(126)은 사실상 견고한 것 또는 유연성이 있는 것일 수 있다. 기판 층(126)용의 잠재적인 플라스틱 물질은, 비제한적인 예를 들자면, 폴리이미드, 폴리에틸렌 테프로프탈레이트(PET), 및 폴리에틸렌 나프탈레이트(PEN)를 포함한다. 일부 실시형태에 있어서, 기판 층(126)은 불투명한 것일 수 있고, 기판 층(126)은 절연 물질의 광학 특성에 어떠한 제한도 없는 절연 물질을 포함할 수 있다. 예를 들면, 일부 실시형태에 있어서, AMDS-VOLET 꾹셀(100)은 상부 방출 디스플레이에서 사용될 수 있고, AMDS-VOLET 꾹셀(100)에 포함된 기판 층(126)은 불투명한 것일 수 있다. 기판 층(126)은 또한 스테인레스 강과 같은 금속을 포함할 수 있다. 금속은 기계적 유연성을 제공하도록 소정의 두께를 가질 수 있다. 기판 층(126)이 금속을 포함하는 실시형태에 있어서, 절연 기저층(base layer)은 AMDS-VOLET 꾹셀(100)과 금속 기판 층(126) 사이의 전기적 통신을 방지하기 위해 모든 다른 층에 앞서 증착된다. 이 절연 기저층은 실리콘 산화물, 실리콘 질화물, 또는 폴리이미드와 같은 용액 처리가능(solution processable) 절연 폴리머를 포함할 수 있다. 절연 기저층은 플라즈마 증대 화학 기상 증착(PECVD), 원자층 증착(ALD), 스판 코팅, 또는 뒤에서 언급하는 다른 증착법에 의해 증착될 수 있다.

[0018] 각각의 게이트 층(109a, 109b)은 게이트 전극(201)과 게이트 유전체 층(202)을 포함한다. 게이트 층(109a)은 간단히 하기 위해 도 1a에서 단일 층으로 도시하였다. 게이트 전극(201)은 DS-VOLET(103a) 및 Sw-T(106a)에 대응하도록 각각 패터닝되고, 도 1b에서는 DS-VOLET 게이트 전극(201a) 및 Sw-T 게이트 전극(201b)으로 표시되어 있다. 게이트 전극(201)의 적어도 일부는 게이트 유전체 층(202)에 의해 전기적으로 절연된다. 게이트 유전체 층(202)은 DS-VOLET(103a) 및 Sw-T(106a)에 대응하도록 각각 패터닝되고, 도 1b에서는 DS-VOLET 게이트 유전체(202a) 및 Sw-T 게이트 유전체(202b)로 표시되어 있다.

[0019] 일부 실시형태에 있어서, 게이트 전극(201)은 투명 도전층을 포함하고, 게이트 유전체 층(202)은 투명 유전체 코팅을 포함한다. 다른 실시형태에서는 게이트 전극(201)이 불투명체일 수 있다. 게이트 전극(201)은 예를 들면 유기 또는 무기 도전 물질, 투명 또는 불투명 금속, 반금속 및/또는 반도체(도핑된 것 또는 도핑되지 않은 것, 도핑된 것이 바람직함)와 같은 도전성 물질 층을 단일 층 또는 복수 층 포함할 수 있다. 용어 "도체"는 도체처럼 취급되도록 그 캐리어 밀도를 증가시키기 위해 도핑된 반도전성 물질 또는 반금속을 인용하기 위해 사용될 수 있다. 게이트 전극(201)에 포함되는 물질의 일부 예를 들자면, 단일 층 또는 다중 층 그래핀, 탄소 나노튜브(CNT)의 감쇄 망상조직(dilute network) 또는 비감쇄 층, 주석이 도핑된 인듐 산화물(ITO), 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌-술폰산염)(PEDOT:PSS), ZnO 및/또는 인듐 산화물 나노입자가 있다. 일부 실시형태에 있어서, 게이트 전극(201)은 몰리브덴, 탄탈, 티탄 및 금 중 적어도 하나를 포함할 수 있다. 일부 실시형태에 있어서, 게이트 유전체 층(202)은 알루미늄 산화물과 같은 무기 물질 및 벤조사이클로부틴(BCB)과 같은 폴리미로 된 이중층(bi-layer)을 또한 포함할 수 있다. 무기 물질은 큰 커페시턴스를 제공하고, 폴리미는 소수성 층(hydrophobizing layer)으로서 소용된다. 이 층들은 PECVD, ALD, 스판 코팅 또는 다른 공자의 방법에 의해 증착될 수 있다.

[0020] DS-VOLET(103a)에 있어서, 게이트 유전체(202a)는 게이트 전극(201a) 위에 배치되어 게이트 전극(201a)을 DS-VOLET(103a)에 포함된 다른 층들로부터 전기적으로 격리한다. DS-VOLET 게이트 전극(201a) 및 Sw-T 게이트 전극(201b)은 동시에 증착 및 패터닝될 수 있다. 유사하게, 게이트 유전체 층(202)은 DS-VOLET 게이트 유전체(202a) 및 Sw-T 게이트 유전체(202b)에 대하여 동시에 증착 및 패터닝될 수 있다. 이 층들은 또한 별도로 증착될 수 있다.

[0021] 일부 실시형태에 있어서, 소스 층(113a)은 삼투성 감쇄 망상조직을 포함하는 감쇄 소스 물질을 포함할 수 있다. 삼투성 감쇄 망상조직은 예를 들면 임의의 저밀도 상태 도체, 나노구조화 도체 또는 반도체, 나노패턴화 도체

또는 반도체, 저밀도 상태 반도체 무기물 또는 유기물; 또는 저밀도 상태 반금속 무기물 또는 유기물과 같은 임의의 감쇄 및 전기적으로 삼투성인 물질일 수 있다. 저밀도 상태 반금속의 일 예는 그래핀이다. 그래핀은 단일 층 또는 다중 층일 수 있고, 개공들을 내포하도록 패터닝될 수도 있고 패터닝되지 않을 수도 있다. 저밀도 상태 도체의 다른 예로는 금속성 단일 벽 및 다중 벽 탄소 나노튜브가 있고, 이것은 고유의 저밀도 상태를 가지며 감쇄 망상조직이라고 부르는 것에 저밀도로 증착될 수 있다. 저밀도 상태 반도체의 다른 예는 반도체 탄소 나노튜브 및 거의 모든 유기 반도체를 포함한다. 나노구조화 반도체의 예는 실리콘 나노와이어, 산화아연 나노와이어, 인화인듐 나노와이어, 질화갈륨 나노와이어를 포함한다. 나노구조화 도체의 예는 은 나노와이어, 금 나노와이어 및 니켈 나노와이어를 포함한다. 용어 유기 반도체는 반도체 특성을 갖는 것으로 알려진 임의의 유기 기반 소분자, 올리고머 또는 폴리머를 말한다.

[0022] 여기에서 사용되는 용어 "감쇄 망상조직"은 유전체 층(202a)의 실질적인 영역이 박막 또는 망상조직에 의해 덮이지 않은 개공들을 가진 소스 층(113a)에 포함된 박막 또는 망상조직을 말한다. 소스 층(113a)은 하부에 있는 표면을, 예를 들면, 약 0.1% 내지 약 99.9%, 약 30% 내지 약 90%, 및 약 50% 내지 약 80%의 범위로 노출시키기 위해 충분히 엷을(dilute) 수 있다. 또한, "삼투성"은 (i) 소스 층(113a)의 일단부로부터 타단부까지 전기적 연속성을 제공하기에 충분한 밀도의 나노튜브(즉, 단위 면적당 나노튜브의 수) 또는 나노와이어를 가진 나노튜브 또는 나노와이어 소스 층(113a), 또는 (ii) 빈번한 개공(예를 들면, 나노미터 범위, 피코미터 범위 및/또는 마이크로미터 범위로 발생하는 개공)을 포함하지만 소스 층(113a)의 일단부로부터 타단부까지 전기적 연속성을 유지하는 도체, 반도체 또는 반금속막을 말한다. 감쇄(dilute)는 또한 저밀도 상태를 갖고 따라서 개공과 함께 또는 개공 없이 사용될 수 있는 감쇄 소스 물질로 간주되는 그래핀을 또한 말할 수 있다.

[0023] 일부 실시형태에 있어서, 탄소 나노튜브의 감쇄 망상조직은 DS-VOLET(103a)의 소스 전극으로서 사용된다. 도 1c를 참조하면, 소스 층(113b)으로서 단일 벽 탄소 나노튜브의 감쇄 망상조직을 포함하는 활성 셀(102b)의 실시형태가 도시되어 있고, 이것은 탄소 나노튜브 인에이블형 수직 유기 발광 트랜지스터(CN-VOLET)(103b)라고 부를 수 있다. 감쇄 나노튜브 망상조직 소스 층(113b)은 CN-VOLET 게이트 전극(201a) 위의 CN-VOLET 게이트 유전체(202a) 상에 배치된다. CN-VOLET(103b)의 각종 실시형태, 및 DS-VFET 및 DS-VOLET(103)의 다른 실시형태에 대해서는 "나노튜브 인에이블형 게이트 전압 제어형 발광 다이오드"의 명칭으로 2008년 9월 10일자 출원한 미국 출원 일련번호 제12/677,457호(미국 특허 출원 공개 US 2010/0237336); "전기적으로 삼투성인 소스 층을 포함한 반도체 소자 및 그 제조 방법"의 명칭으로 2011년 3월 4일자 출원한 국제출원 제 PCT/US2011/027155호(국제 공개 번호 WO 2011/109693 A2); 및 "나노튜브 층 및 메모리 층을 포함한 반도체 소자 및 그 제조 방법"의 명칭으로 2010년 3월 4일자 출원한 미국 출원 제61/310,342호에 개시되어 있으며, 상기 문서들은 여기에서의 인용에 의해 그 전체 내용이 본원에 통합된 것으로 한다.

[0024] 다시 도 1b를 참조하면, 게이트 전극(201a) 및 소스 층(113a)은 기판(126)의 중첩 영역(218a)을 규정한다. 활성 층(116)은 소스 층(113a) 위에 배치되고, 활성 층(116)은 도핑될 수 있는 적어도 하나의 유기 반도체 층(203)을 포함한다. 도 1b에 도시된 실시형태에 있어서, 활성 층(116)은 도 1b에서 203a 및 203b로 표시된 2개의 유기 반도체 층(203)을 포함한다. 감쇄 나노튜브 망상조직은 [사이언스 (2004) 305, 1273-1276 페이지]에 설명된 진공 여과 이동법에 의해, 또는 스팍코팅, 딥코팅, 드롭 캐스팅, 스크린 프린팅, 스프레이 코팅, 증기 제트 프린팅, 닥터 블레이딩, 화학 기상 증착, 그라비어 프린팅, 플렉소그래피 및 잉크젯 프린팅 중의 적어도 하나의 병법에 의해 증착될 수 있다.

[0025] 활성 층(116)은 또한 적어도 하나의 발광 층(206)을 포함한다. 도 1b에 도시된 실시형태에 있어서, 활성 층(116)은 예컨대 3개의 발광 층(206)(도 1b에서 206a, 206b, 206c로 표시됨)을 포함한다. 발광 층(206)은 적어도 하나의 유기 반도체 층(203) 위에 배치된다. 도 1b에 도시된 실시형태에 있어서, 발광 층(206a)은 적어도 하나의 유기 반도체 층(203b) 위에 배치된다. 발광 층(206a)은 훌 운송 층(HTL)이고, 전계발광 층(EL)인 발광 층(206b)은 발광 층(206a) 위에 배치된다. 전자 운송 층(ETL)인 발광 층(206c)은 발광 층(206b) 위에 배치된다. 발광 층(206)은 도핑될 수도 있고 도핑되지 않을 수도 있다. 추가의 층(도 1b에는 도시되지 않음)이 추가될 수 있고, 적어도 하나의 유기 반도체 층(203) 위에, 하나 이상의 도핑되거나 도핑되지 않은 훌 주입 층과 같은 HTL(206a) 아래에 배치될 수 있다. 활성 층(116)은 임의의 유기(소분자 또는 폴리머) 또는 무기 반도체를 포함할 수 있다. 일부 실시형태에 있어서, 발광 층(206b)은 형광 또는 인광 발광 물질이 도핑되거나 도핑되지 않은 유기 또는 무기 반도체 물질이다. 발광 층(206b)에 포함되는 물질의 예는 4,4-N,N-디카르바졸-바이페닐(CBP)에 도핑된 팩-트리스(2-페닐페리디나토)아리듐(Ir(ppy)3)이다. 일부 실시형태에 있어서, 발광 층(206a)은 1,1-비스[(디-4-톨리아미노)페닐]시클로헥산(TAPC) 또는 N,N'-디(1-나프틸)-N,N'-디페닐-1,1'-디페닐-1,4'-디아민(NPD)를 포함한다. 일부 실시형태에 있어서, 발광 층(206c)은 트리스[3-(3-페리딜)-메시틸]보란(3TPYMB)을

포함한다.

[0026] 드레인 층(119)은 활성 층(116) 위에 배치된다. 구체적으로, 드레인 층(119)은 활성 층(116)에 포함된 적어도 하나의 발광 층(206) 위에 배치된다. 도 1b에 도시된 것과 같은 일부 실시형태에 있어서, 드레인 층(119)은 도 1b에서 209a 및 209b로 표시된 2개의 도전층(209)을 포함한다. 도전 층(209a)은 발광 층(206c)에 대한 전자 주입 층(EIL)으로서 소용된다. 도전 층(209b)은 알루미늄, 다른 금속, 및/또는 투명 도전성 물질을 포함할 수 있다. 일부 실시형태에 있어서, 드레인 층(119)은 유기 또는 무기 도전성 물질, 투명 또는 불투명 금속, 반금속 또는 반도체(도핑된 것 또는 도핑되지 않은 것, 바람직하게는 도핑된 것)와 같은 각종 도전성 물질로 된 단일 층, 이중 층 또는 다중 층이다. 드레인 층(119)에 포함되는 물질의 일부에는 단일 층 또는 다중 층 그래핀, 탄소 나노튜브의 감쇄 망상조직 또는 비감쇄 층, 알루미늄, 리튬 플루오르화물, 주석 도핑 인듐 산화물(ITO), 몰리브덴 산화물, 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌-술폰산염)(PEDOT:PSS), ZnO 또는 인듐 산화물 나노입자 또는 금속성 나노입자이다. 일부 실시형태에 있어서, DS-VOLET(103a)의 활성 층(116)은 또한 발광 층(206a)과 발광 층(206b) 사이에 배치되는 전자 차단 층을 포함한다.

[0027] DS-VOLET(103)가 상부 발광 DS-VOLET(103)라고 부르는 드레인 층(119)을 통하여 광을 방출하는 경우에, ITO는 투명 도체이기 때문에 사용될 수 있다. 그러나, ITO는 전형적으로 스퍼터링에 의해 증착되기 때문에, 이것은 전형적으로 아래의 유기 발광 층에 손상을 준다. 아래의 발광 층을 보호하기 위해, 몰리브덴 산화물 또는 다른 금속 산화물이 ITO의 증착 전에 열적으로 증발될 수 있고, 이러한 무기 금속 산화물은 금속 산화물 증착 후에 행하여질 수 있는 ITO 스퍼터 증착 중에 물질의 고에너지 충격에 대한 보호 장벽을 제공한다. 추가로, 다른 실시 형태는 전술한 층들의 조합 또는 변형예뿐만 아니라 추가의 층을 포함할 수 있고 또는 일부 층을 생략할 수도 있다.

[0028] 도 2a를 참조하면, CN-VOLET(103b)의 실시형태의 소스 층(113b)용으로 사용되는 것에 전형적인 CNT 표면 수 밀도를 가진 CNT 망상조직의 원자간력 현미경(AFM) 이미지가 도시되어 있다. 도 2b에 도시된 것처럼, 대략 이러한 표면 수 밀도를 가진 감쇄 CNT 망상조직은 매우 높은 투과율(230)을 가지며, 이것은 CN-VOLET(103b)의 에너지 효율이 CN 소스 층(113b)에 의해 발생되는 투과율 손실에 의해 최소로 영향을 받도록(약 1%) CN-VOLET(103b)의 일부 실시형태의 전계 발광 층(206b)에서 발생된 광이 빠져나가게 하는 데에 유리하다. 가시 및 근적외선 스펙트럼을 통한 도 2a에 도시된 감쇄 망상조직의 투과율은 도 2b에 도시되어 있고 가시 파장에서 98% 이상이다.

[0029] 도 1b 및 도 1c에 도시된 것처럼, 일부 실시형태에 있어서, 활성 층(116)은 2개의 유기 반도체 층(203)(203a 및 203b로 표시됨)을 포함한다. 유기 반도체 층(203a)은 다결정 유기 반도체 물질을 포함할 수 있고, 유기 반도체 층(203a)은 DS-VOLET(103)의 소스 층(113)의 적어도 일부를 코팅한다. 예를 들면, 도 1c의 소스 층(113b)의 코팅은, 적어도 부분적으로, 소스 층(113b)에 포함된 나노튜브 때문에 유기 반도체 층(203a)의 매우 거친 상부 표면 형태를 야기한다.

[0030] 예를 들면, 탄소 나노튜브 소스 층(113b)에 직접 성장된 펜타센은 소스 층(113b)의 나노튜브에 인접한 노출된 CN-VOLET 게이트 유전체(202a)에 대비하여 나노튜브에서의 방위가 다른 다결정 입자들을 응집시킨다. 나노튜브에서 응집된 입자들의 특정 방위는 유기 반도체 층(203a)의 고 이동도 평면을 전류가 CN-VOLET(103b)의 동작을 위해 흐르는 방향과 일치하도록 지향시킨다. 그러므로, 고 이동도 평면의 방향은 CN-VOLET(103b)의 성능에 대하여 고도로 유리하다. 나노튜브에서의 고 이동도 입자는 또한 가장 빠르게 성장하는 입자이고, 그러므로 고속 성장 입자들은 유기 반도체 층(203a)의 증착 후에 최종 표면 토탈로지에서 높은 점을 생성한다.

[0031] 감쇄 CNT 망상조직에서 성장한 펜타센 다결정 입자들의 재지향을 위한 X-선 회절(XRD) 및 원자간력 현미경(AFM) 형적(evidence)은 도 3에 도시되어 있다. 펜타센은 3가지 기판 유형, 즉 1) BCB 코팅 유리 위의 감쇄 CNT 망상조직, 2) 유리 위의 45nm 두께의 CNT 막, 및 3) CNT가 없는 BCB 코팅 유리 기판 위에 진공 열적 증발실에서 1 Å/s로 560 nm의 두께까지 성장하였다. BCB 영역이 없는 표면에서 펜타센 성장의 실험을 가능하게 하는 45nm 두께 막은 기판 표면 전체를 효과적으로 코팅하는 45nm 두께 CNT 막으로서 CN-VOLET에서 감쇄 CNT 망상조직이 사용되는 경우이다. 도 3(a)의 XRD 데이터(233, 236, 239)는 CNT를 가진 기판의 영역 위에서 거의 수직 방향으로 지향된 a-b 평면, 및 CNT 사이에서 드러난(bare) 유전체 영역 위의 영역에서 기판에 평행하게 지향된 a-b 평면을 가진 펜타센 입자와 양립한다. 도 3(b)는 BCB 코팅 유리 기판상에서 감쇄 CNT 망상조직의 AFM 이미지를 보인 것이다. 도 3(b)에서 CNT 표면 수 밀도는 CN-VOLET(103b)의 일부 실시형태에 대하여 소스 전극에서 사용되는 것과 유사하다. 45nm CNT 샘플에 대하여 도 3(a)의 XRD 데이터(233)의 저차 피크(lower order peak)의 결핍은 노출된 BCB 영역이 없을 때 표면에 평행한 a-b 평면에서 지향된 입자들이 없음을 표시한다. 도 3(a)에서, BCB 샘플의 감쇄 CNT에서 펜타센의 XRD 데이터(236)는 양쪽의 입자 방위, 즉 기판 표면에 평행한 a-b 평면에서의 입자

및 기판 표면에 거의 수직한 a-b 평면에서의 입자들로부터의 XRD 피크를 나타낸다. XRD 데이터(239)에서 드러난 BCB XRD 피크는 기판에 평행한 a-b 평면에서 펜타센 입자의 존재만을 표시한다. 이것은 거의 수직한 방향으로 펜타센 입자의 재지향을 응집시키는 CNT를 표시하고, 그 방향은 성능을 향상시키는 CN-VOLET(103b)에서 전하 운송을 위해 유리하다. BCB의 감쇄 CNT 망상조직 및 45nm CNT 막에서 성장된 펜타센의 펜타센 표면의 도 3(c) 및 도 3(d)의 AFM 이미지는 각각 41.1 nm 및 51.9 nm의 큰 실효치(root-mean-square; RMS) 표면 거칠기 값을 나타낸다. 이 RMS 거칠기 값은 도 3(e)의 드러난 BCB 샘플 AFM 이미지에서 펜타센에 대하여 측정된 20.8 nm RMS 거칠기보다 훨씬 더 크다. AFM 데이터(233, 236, 239)는 상부에서 후속적으로 성장된 펜타센을 가진 기판 표면에서 CNT의 존재가 펜타센의 표면 RMS 거칠기를 크게 증가시킨다는 것을 보여준다. 펜타센 a-b 평면이 거의 수직 방향으로 지향된 때, 펜타센 분자들은 도 4에 도시된 것처럼 그들의 장축이 CNT 장축에 평행하게 배열된다.

[0032] 도 1c에 도시된 실시형태를 참조하면, 30nm 이상의 RMS 표면 거칠기(예를 들면, 도 3(d)의 AFM 이미지에서 측정된 것)는 유기 반도체 층(203a)의 평균 두께보다 120nm 만큼 높은 이상치(outlier) 및 120nm 만큼 낮은 이상치(극히 높거나 극히 낮은 막의 영역)를 야기한다. 유기 반도체 층(203a)의 평균 두께로부터 돌출하거나 내려오는 이러한 표면 영역은 모든 발광 층(206)(즉, 206a, 206b, 206c)의 총 두께보다 더 큰 범위에 걸친다. 이러한 표면 거칠기는 발광 층(206)들을 통한 직접 단락을 야기하여 비동작성 또는 감소된 휘도 전류 효율의 AMDS-VOLET 픽셀(100)을 야기한다.

[0033] 이러한 직접 단락의 문제점을 극복하기 위해, 비정질의 용액 처리가능한 유기 반도체 층(203b)이 평탄화 층으로서 중착될 수 있다. 일부 실시형태에 있어서, 용액 처리가능한 비정질 유기 반도체 폴리[9,9-디옥틸-플루오렌-co-N-(4-부틸페닐)-디페닐아민](TFB)이 평탄화 층으로 사용될 수 있고 유기 반도체 층(203b)으로서 소용될 수 있다. TFB는 틀루엔 또는 다른 용매로부터 거친 다결정 소분자 유기 표면에 스핀 코팅될 수 있다. 거친 다결정 표면의 TFB에 의한 이러한 평탄화의 일 예는 도 5에 도시되어 있다. 도 5(a)는 RMS 표면 거칠기가 27 nm인, 평탄화 전의 거친 드러난 다결정 유기 표면을 보인 것이다. 도 5(a)의 표면은 성장 조건을 수정함으로써 도 3(d)의 51.9 nm RMS 표면 거칠기보다 더 매끄럽게 되었다. 도 5(b)는 TFB로 평탄화하여 10.5 nm의 감소된 RMS 거칠기를 가진, 도 5(a)의 것과 동일한 표면을 보인 것이다.

[0034] 이러한 평탄화의 유효성의 실험으로써, 도 6에 도시된 구조를 가진 CN-VOLET 소자(103c)를 TFB 평탄화 층과 함께 및 TFB 평탄화 층 없이 제조하였고, 소자 성능을 비교하였다. 도 6의 제조된 예에서, 기판(126)은 유리이고, 게이트 전극(201a)은 주석 도핑 인듐 산화물(ITO)이며, 유전체 층(109a)은 중착된 산화 알루미늄의 제1 원자 층(202a)과 BCB의 제2 층(202d)의 이중 층이고; 소스 층(113b)은 도 3B의 AFM 이미지에 도시된 것과 유사한 CNT 표면 수 밀도를 가진 감쇄 CNT 망상조직이고, 제1 유기 반도체 층(203a)은 소분자 다결정 유기물이고, 제2 유기 반도체 층(203b)은 TFB이고, 제3 유기 반도체 층(203c)(홀 주입 층)은 산화 몰리브덴이 함께 도핑된 NPD이고; 홀 운송 발광 층(206a)은 NPD이고; 전계 발광 층(206b)은 Ir(ppy)3가 함께 도핑된 CBP이고; 전자 운송 발광 층(206c)은 3TPYMB이고; 전자 주입 도전 층(209a)은 플루오르화 리튬이고; 금속 도전 층(209b)은 알루미늄이다. 도 6의 도시에서, 다결정 유기 반도체 층(203a)은 그 거친 표면을 나타내는 스파이크와 함께 도시되어 있다.

[0035] 도 7은 TFB 평탄화 층이 있는 경우에 전류 효율의 개선(칸델라/암페어(Cd/A) 단위로 측정한 것)을 보인 것이고, 테스트된 CN-VOLET(103c)(도 6)의 휘도의 함수로서 도시된 것이다. 여기에서 휘도는 Cd/m²의 단위이다. 드레인 전압(V_D)은 0 V로부터 -9 V로 스위프(sweep)되고, 게이트 전압(V_G)은 -3V로 일정하게 유지되었다. TFB 평탄화 층이 없으면, 전류 효율(243)은 2의 계수보다 더 많이 감소된다. 전류 효율의 이러한 감소는 거친 다결정 유기 반도체 층 표면으로부터 야기되는 TFB 없이 CN-VOLET 소자(103c)에서 제1 유기 반도체 층(203a)과 도전 층(209a, 209b) 간의 직접 단락에 기인한다. TFB를 가진 CN-VOLET 소자(103c)는 TFB가 없는 경우보다 전류 효율(246)이 2배 이상이다. 그 이유는 후속적으로 중착된 홀 주입 층(203c) 및 발광 층(206a, 206b, 206c)의 충분한 커버리지가 전류로 하여금 발광 층(206a, 206b, 206c)을 통하여 이동하게 하도록 유기 반도체 층(203a, 203b)이 모두 충분히 매끄럽고 그에 따라서 더 높은 전류 효율을 갖기 때문이다.

[0036] 그러나, 비정질의 용액 처리가능 유기 반도체 물질은 다결정 반도체 물질의 이동도와 정합될 수 없다는 점에 주목한다. 다결정 반도체 물질의 고 이동도 방위 입자가 유기 반도체 층(203a)의 토포그래피에서 최고 특징(feature)이라는 사실은 최고 특징을 약하게 코팅하는 동안 최고 특징 주위를 채우는 제한된 두께의 유기 반도체 층(203b)의 사용을 가능하게 하고, 이로써 그러한 층에 기인하는 임의의 성능 손실을 감소시킨다. 유기 반도체 층(203b)은 공동 용해성(co-soluble) 도편트에 의해 또한 도핑될 수 있고, 및/또는 계면 도편트가 이 평탄화 층의 중착 전에 및/또는 후에 중착될 수 있다. 잠재적 도편트는 SbCl₅, WO₃, 산화 몰리브덴, ReO₃, 염화철(III), 산화철, 2,3,5,6-테트라플루오로-7,7,8,8-테트라시아노퀴노디메탄(F4TCNQ), 1,3,4,5,7,8-헥사플루오로테트라시

아노나프토퀴노디메탄(F6-TNAP) 및 3,6-디플루오로-2,5,7,7,8,8-헥사시아노퀴노디메탄(F2-HCNQ)을 포함한다. 유기 반도체 층(203a)은 TFB 또는 폴리[N,N'-비스(4-부틸페닐)-N,N'-비스(페닐)-벤지딘](폴리-TPD)와 같은 도핑된 또는 도핑되지 않은 폴리머를 포함할 수 있다. 대안적인 구현예에 있어서, 유기 반도체 층(203a)은 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌-술폰산염)(PEDOT:PSS) 또는 용액 증착 나노입자 층과 같은 고전도성 폴리머를 포함할 수 있다.

[0037] 도 5(b)에 도시된 평탄화 표면의 거칠기는 10.5 nm이다. 일부 응용에 있어서, 이 거칠기는 너무 커서 발광층 및 드레인 층의 후속 증착시에 고성능 소자들이 유지되지 못하게 할 수 있다. 이 거칠기는 제1층의 상부에 제2 평탄화 층을 스펀 코팅함으로써 감소될 수 있다. 스펀 코팅 전에, 제1층은 제2층에 대하여 불용성으로 된다. 이것을 행하는 하나의 방법은 제1 평탄화 층을 교차결합하고 제1 평탄화 층을 그 최초 용매에 대해 불용성으로 만들어서 동일한 폴리머 및 용매 용액이 2회 사용되게 하는 것이다. TFB는 적당한 시구간 동안의 어닐링 공정 중에 소정의 온도 이상에서 교차결합되는 것으로 알려져 있다. 이것은 TFB가 제2 TFB 층의 증착 전에 적당한 처리에 의해 교차결합되는 한 교차결합가능한 제1 및 제2 평탄화 층으로서 사용될 수 있다는 것을 의미한다. 위에서 언급한 것처럼, TFB의 캐리어 이동도는 다결정 반도체 층보다 더 낮고, 이 때문에, 복수의 폴리머 평탄화 층을 사용하면 소자의 직렬 저항이 증가하여 그 전력 소비를 허용가능한 것보다 더 증가시킨다. 폴리머 평탄화 층을 도핑하는 것은 이것을 경감하는 한가지 방법이다. 그러나, 2개의 폴리머 평탄화 층에 의해, 제2층은 제1층보다 더 농후하게 도핑될 수 있다. 소정 지점을 지나서, DS-VOLET의 온/오프 비는 캐리어 밀도가 너무 높아지는 것에 기인하는 증가된 오프상태 전류 때문에 영향을 받기 시작하므로, 제1 평탄화 층이 얼마만큼 도핑될 수 있는지에 대한 상한이 있다. 제1 폴리머 평탄화 층의 교차 결합은 더 농후하게 도핑된 제2 폴리머 평탄화 층이 더 낮은 DS-VOLET 층을 오염시키는 것으로부터 보호할 것이다. 제2 폴리머 층을 더 농후하게 도핑하면 DS-VOLET의 전력 소비에 대한 그 역효과를 최소화할 수 있다.

[0038] 또한, 일부 실시형태에 있어서, 유기 반도체 층(203a) 및 발광 층(206a, 206b, 206c)은 열적 증발에 의해 증착될 수 있다. 또한, 유기 반도체 층(203b)은 스펀 코팅에 의해 증착될 수 있다. 다른 실시형태에 있어서, 용해성 고 이동도의 얇은 밴드캡 유기 소분자는 뒤에서 설명하는 임의의 방법에 의해 유기 반도체 층(203a)으로서 소용되도록 용액에 적용될 수 있다. 고 이동도는 약 $0.01 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 의 전계 효과 캐리어 이동도를 말한다. 얇은 밴드캡에 의해, 박막 고상(solid phase)의 유기 소분자는 가시광을 흡수하지 않는다. 유기 소분자는 용매의 건조 중에 또는 건조 후에 국소화 다결정 입자를 형성하여 고 이동도를 유지하게 한다. 그러나, 용해된 유기 소분자 물질을 포함한 그러한 용액의 점도는 낮을 수 있고; 그러한 낮은 점도 때문에 유기 소분자의 농도가 포화점까지 증가한 후에도 물질의 충분한 두께가 스펀 코팅 또는 뒤에서 언급하는 다른 기술로 달성될 수 없다. 점도를 증가시키기 위해, TFB 또는 폴리-TPD와 같은 용해성 비정질 폴리머가 제어된 양으로 추가되어서 용해성 유기 소분자 용매 용액의 점도를 증가시키고, 그래서 선택된 증착법에 의해 적당한 막 두께 및 형태를 달성할 수 있게 한다. 폴리머 시크너(thickener)와 함께 또는 폴리머 시크너 없이 용액 증착형 소분자 유기 반도체 층(203a)은 적어도 폴리머 평탄화 열적 증발형 소분자 유기 반도체 층(203a)의 표면만큼 매끄럽거나 그보다 더 매끄러울 수 있다. 다른 실시형태에 있어서, 유기 반도체 층(203a)은 뒤에서 언급하는 증착법 중 하나를 통하여 용매를 건조하는 동안에 및 건조 후에 국소화 다결정 입자를 형성하는 얇은 밴드캡, 고 이동도 올리고며 또는 폴리머 물질을 포함할 수 있다. 이러한 국소화 다결정 입자들은 증착된 박막이 고 이동도를 달성할 수 있게 한다. 용액 증착형 올리고며 또는 폴리머 유기 반도체 층(203a)은 적어도 폴리머 평탄화 열적 증발형 소분자 유기 반도체 층(203a)의 표면만큼 매끄럽거나 그보다 더 매끄러울 수 있다. 일부 실시형태에 있어서, 하기의 용액 처리가능한 및 비용액 처리가능한 방법들 중 임의의 것은 유기 반도체 층(203) 및 발광 층(206) 중의 적어도 하나를 증착하기 위해 사용될 수 있다: 스펀 코팅, 딥코팅, 드롭 캐스팅, 스크린 프린팅, 스프레이 코팅, 증기 제트 프린팅, 물리 기상 증착, 열적 경사도 승화, 닉터 블레이딩, 그라비어 프린팅, 플렉소그래피, 열적 증발 및 잉크젯 프린팅.

[0039] 데이터 전도선(123a)(즉, V_{data} 전압 신호를 제공함)(123a1 및 123a2로 표시됨), 소스 전도선(123b)(즉, V_{source} 전압 신호를 제공함) 및 스캔 전도선(123c)(즉, V_{scan} 전압 신호를 제공함)을 포함한 전도선(123)은 금속, 도전성 나노입자가 통합되거나 통합되지 않은 탄소 페이스트, 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌-술폰산염)(PEDOT:PSS)과 같은 용액 처리가능한 도전성 폴리머, 용액 증착형 도전성 나노입자, 및 도전성 나노입자를 통합한 페이스트 중 적어도 하나로 구성될 수 있다. 전도선(123)을 증착하는 방법은 스퍼터링, 열적 증발, e-빔 증발, 전기도금, 스펀 코팅, 딥코팅, 드롭 캐스팅, 닉터 블레이딩, 스크린 프린팅, 스프레이 코팅, 그라비어 프린팅, 플렉소그래피, 노즐을 통한 페이스트 증착 및 잉크젯 프린팅을 포함한다. 데이터 전도선(123a)은 중첩 영역에서 그 자체와 소스 전도선(123b) 및 스캔 전도선(123c) 사이에 충간 유전체(ILD)를 구비하여 상기 전도선들

간의 전기적 통신을 방지한다. 소스 전도선(123b)은 DS-VOLET(103)의 소스 층(113a)과 전기적으로 접촉한다. 데이터 전도선(123a)은 Sw-T(106)의 일측에 대한 접속을 제공한다. Sw-T(106)의 타측은 DS-VOLET 게이트 전극(201a)에 접속한다. 일부 실시형태에 있어서, 드레인 층(119)은 전체 열(column)에 있는 복수의 활성 셀(102)을 따르는 연속 층이다(뒤에서 자세히 설명함). ILD는 드레인 층(119)과 소스 전도선(123b) 및 스캔 전도선(123c)들 사이에서 중첩 영역에 중착된다. ILD 층은 하나 이상의 각종 유기 또는 무기 절연 물질을 포함할 수 있다. 예를 들면, ILD 층은 실리콘 산화물, 실리콘 질화물, 알루미늄 산화물, 하프늄 산화물, BCB 또는 폴리아미드를 포함할 수 있다. ILD 층은 PECVD, ALD, 스판 코팅 또는 위에서 언급한 다른 중착법에 의해 중착될 수 있다.

[0040]

CN-VOLET(103c)의 차단 주파수가 전형적인 디스플레이 응용을 위해 충분한지를 결정하기 위해 도 6의 CN-VOLET(103c)의 실시형태의 스위칭 속도를 측정하였다. 픽셀 크기는 1mm 폭 알루미늄 도전 층(209b)과 1mm 폭 CNT 소스(113b)의 중첩에 의해 규정된 것처럼 $1\text{mm} \times 1\text{mm}$ 이었다. 기생 중첩 커패시턴스는 ITO 게이트 전극(201a)이 있는 CNT 소스 층(113b)의 중첩 영역이 $1\text{mm}(\text{CNT 폭}) \times 3\text{mm}(\text{ITO 폭})$ 이었기 때문에 픽셀에서 게이트 커패시턴스의 크기의 2배로 추정되었다. 이 게이트 전극은 층 정렬에 대하여 많은 관심 없이 편리한 소자 제조를 조력하는데 필요한 것보다 3배 더 넓지만, 이 전극은 기생 커패시턴스를 감소시키기 위해 감소될 수 있다. 소자는 CNT 소스(113b)와 알루미늄 도전 층(209b) 사이에 일정한 전압이 제공되었다. ITO 게이트 전극(201a)은 CN-VOLET(103c)를 그 온 상태와 오프 상태 사이에서 발진시키는, 구형과 전압 신호를 공급하는 함수 발생기에 접속되었다. CN-VOLET(103c)로부터 방출되는 섬광(flapping light)은 신호가 오실로스코프에 의해 판독된 고속 증폭기에 접속된 Si 광다이오드로 측정하였다. 도 8은 3 kHz의 주파수에서 CN-VOLET의 입력 신호(256) 및 광다이오드 응답(253)을 보인 것이다. 차단 주파수는 광다이오드 응답의 3 db 감쇠로 취해졌고, 약 9.1 kHz로 측정되었다. 픽셀 게이트 커패시턴스의 크기의 2배인 기생 커패시턴스를 고려하면, 이 기생 커패시턴스가 없는 적절히 설계된 $1\text{mm} \times 1\text{mm}$ 픽셀의 스위칭 속도는 상기 측정치의 3배, 즉 약 27 kHz가 될 것이다. 핸드헬드 장치 및 텔레비전의 전형적인 디스플레이 픽셀의 전형적인 측면 치수는 약 $100 \mu\text{m}$ 내지 약 $400 \mu\text{m}$ 의 범위에 있다. $1\text{mm} \times 1\text{mm}$ 픽셀 크기가 감소함에 따라, 스위칭 속도는 역으로 증가된다. 전형적인 핸드헬드 디스플레이 및 텔레비전 디스플레이 픽셀 크기까지 내려가는 CN-VOLET(103c)(도 6)의 치수 감소를 위한 스위칭 속도의 대응하는 감소는 약 2.7 MHz 및 약 200 kHz의 값을 각각 야기한다. 후자의 경우를 생각하면, 그 낮은 스위칭 속도 때문에, 1920×1200 픽셀 WUXGA 대화면 고선명도 텔레비전 디스플레이에는 60 Hz 화면 재생률(refresh rate)에 대하여 약 72 kHz를 필요로 한다. 그러므로, CN-VOLET(103c)는 대형 크기 고선명도 텔레비전 디스플레이를 포함한 대부분의 디스플레이 응용을 위하여 충분한 스위칭 속도를 갖는다.

[0041]

DS-VOLET(103)의 구조는 그 스위칭 속도와 관련한 고유의 장점이 있다. DS-VOLET와 종래의 TFT 간의 구조에 있어서의 차 때문에, DS-VOLET는 종래의 TFT의 스위칭 속도를 제한하는 동일한 물리적 공정에 의해 통제되지 않는다. 전형적인 TFT의 구조는 게이트 전하의 충전 및 방전 속도가 그 채널의 저항에 의해 제한되는 구조이고, 상기 저항은 TFT가 오프 상태에 있을 때 매우 높다. 그러나, DS-VOLET는 그 채널의 저항에 의해 제한되지 않는다. DS-VOLET는 소스 층(113a)의 저항에 의해 주로 제한되며, 이 저항은 비교적 낮고 소자가 온 상태에 있든지 오프 상태에 있든지 거의 일정하다. 이 기술 분야에서 잘 알려져 있는 바와 같이, TFT에서 계산된 차단 주파수 $f_{Tc}=g_m/(2\pi C_g)$ 이고, 여기에서 g_m 은 상호컨덕턴스이고 C_g 는 게이트 커패시턴스이다. 공지의 f_{Tc} 로 DS-VOLET의 스위칭 속도를 계산하려고 할 때, 종래의 TFT에 대한 방정식은, 감쇄 CNT 망상조직이 CN-VOLET(103c)를 포함한 소스 전극(113b)으로서 사용될 때 DS-VOLET(103)의 예시적인 실시형태에 대하여 측정된 실제 차단 주파수를 크게 과소평가하는 것으로 밝혀졌다. $f_{Tc}=g_m/(2\pi C_g)$ 를 이용한 계산, 및 $g_m=32 \mu\text{A}/\text{V}$ 및 $C_g=3.7 \text{nF}$ 의 별도로 측정된 CN-VOLET(103c) 파라미터의 채우기(plugging)에서, 계산된 $f_T=1.3 \text{ kHz}$ 이고, 이것은 9.1 kHz인 측정된 차단 주파수 f_{Tm} 보다 거의 10배 더 낮다. 그러나, 측정된 차단 주파수에 가까워지는 모델은 저항 R 및 커패시턴스 C인 전형적인 병렬 RC 회로에 대하여 RC 차단 주파수 $f_{RC}=1/(2\pi RC)$ 인 것이고, $R=5 \text{k}\Omega$ 및 $C=3.7 \text{nF}$ 인 소자에 대하여 측정된 CNT 직렬 저항에 대하여 f_{RC} 는 8.6 kHz 인 것으로 측정되고, 이것은 9.1 kHz인 측정값에 훨씬 더 가깝다. RC 모델과의 더 나은 합치(agreement)는 CN-VOLET 게이트의 충전 및 방전이, 도식적으로 그 게이트 전극과 그 활성 영역(즉, 소스 층(113a)이 CNT를 포함하는 실시형태에서 유기 반도체 층(203a)이 유전체 층(202a)과 직접 접촉을 이루는 CNT들 사이의 개방 영역에서 소스 층(113b)과 유기 반도체 층(203a)으로 구성된 영역)의 중첩 영역(218a)에 의해 규정된 커패시터와 직렬로 접속되어 그 게이트 커패시턴스를 제공하는 소스 층의 직렬 저항에 의해 제한되기 때문에 나타나는 것으로 예상된다. CN-VOLET이 병렬 RC 회로 모델에 적합할 것이기 때문에, 그 속도는 유전체 층(202a)의 두께를 증가시키거나 유전 상수를 감소시킴으로써 단순히 그 게이트 커패시턴스를 낮추

는 것에 의해 증가될 수 있고, 이것은 더 큰 동작 게이트 전압의 대가를 가져온다. 그러나, 종래의 TFT의 차단 주파수를 증가시키기 위한 시도로 게이트 커패시턴스를 감소시키는 것은 이 기술 분야에서 잘 알려져 있는 TFT에 대한 통제 모델에 수반되는 물리적 현상 때문에 행하여지지 않는다.

[0042] 전술한 바와 같이, AMDS-VOLET 픽셀(100) 레이아웃은 적어도 구동 트랜지스터가 발광 층(206)과 동일한 스택에 포함되어 있다는 이유 때문에 AMDS-VOLET 픽셀(100)의 큰 개구율을 가능하게 하고, 이것은 AMDS-VOLET 픽셀(100)의 더 큰 면적이 발광에 소용되게 한다. 그러나, AMDS-VOLET 픽셀(100)의 DS-VOLET(103)에 의해 가능해지는 발광 층(206) 커버리지의 큰 면적과 함께, 여기에서 게이트 커패시턴스라고 부르는 소스 층(113a)과 게이트 전극(201a) 간의 커패시턴스는 일부 실시형태에서 필요 이상으로 더 크다. 필요 이상으로 더 큰 게이트 커패시턴스는 AMDS-VOLET 픽셀(100)의 스위칭 속도를 제한하고 잠재적으로 일부 응용에서 AMDS-VOLET 픽셀(100)의 유용성을 제한한다.

[0043] 스위칭 속도를 증가시키기 위해, DS-VOLET(103)의 게이트 커패시턴스는 낮은 유전 상수를 가진 유전체 층(202a)을 사용함으로써, 및/또는 유전체 층(202a)의 두께를 증가시킴으로써 감소될 수 있다. 그러나, 이러한 방법에 의한 스위칭 속도의 증가는 비례적인 게이트 전압의 증가를 가져온다. 비례적인 게이트 전압의 증가는 일부 응용에서 AMDS-VOLET 픽셀(100)의 유용성을 잠재적으로 제한할 수 있다. 대안적인 구현예에 있어서, DS-VOLET(103)의 게이트 커패시턴스는 게이트 전극(201a)과 소스 층(113a) 간의 중첩 영역(218a)의 기판(126)에서의 지역적 커버리지를 줄임으로써 감소될 수 있고, 이로써 게이트 전압의 비례적인 증가를 초래하지 않는 방식으로 DS-VOLET(103)의 게이트 커패시턴스를 감소시킨다. 이러한 방식으로 게이트 커패시턴스를 감소시키면 큰 게이트 전압을 제한하는 단점 없이 AMDS-VOLET 픽셀(100)의 스위칭 속도를 증가시킬 수 있다. 그러나, 중첩 영역(218a)을 감소시키면서 큰 개구율을 유지하기 위해, 과도적인 도전 층이 추가될 수 있다.

[0044] 도 9a를 참조하면, DS-VOLET(103)의 예(여기에서 103d로 표시됨)를 포함한 도 1a에 도시된 활성 셀(102)의 다른 실시형태(여기에서 102c로 표시됨)의 단면도가 도시되어 있다. 도 9a에 도시된 DS-VOLET(103d)는 도 1b에 도시된 DS-VOLET(103a)와 몇 가지 점에서 상이하다. 예를 들면, 게이트 전극(201a)과 소스 층(113a)은 도 1b에 도시된 중첩 영역(218a)보다 면적이 더 작은 중첩 영역(218b)을 규정한다. 추가로, DS-VOLET(103d)는 발광 층(206)과 유기 반도체 층(203) 사이에 배치된 과도적 도전 층(220)을 또한 포함한다. ILD 층(223)은 과도적 도전 층(220)과 소스 전도선(123b) 사이에 배치된다. 도 9b를 참조하면, CN-VOLET(103)의 일 예(여기에서 103e로 표시됨)를 포함한 활성 셀의 일 실시형태(여기에서 102d로 표시됨)가 도시되어 있다. CN-VOLET(103e)는 CN-VOLET 게이트 전극(201a) 위의 CN-VOLET 게이트 유전체(202a)에 배치된 소스 층(113b)으로서 단일 벽 탄소 나노튜브의 감쇄 망상조직을 포함한다. 도 9a의 DS-VOLET(103d)에서와 같이, CN-VOLET(103e)는 발광 층(206)과 유기 반도체 층(203) 사이에 배치된 과도적 도전 층(220)을 포함한다.

[0045] 과도적 도전 층(220)은 소스 층(113a), 게이트 유전체 층(202a) 및 게이트 전극(201a) 위에 배치된 유기 반도체 층(203)으로부터, 발광 영역이 AMDS-VOLET 픽셀(100)의 실질적으로 모든 이용가능한 면적을 점유하도록 대면적에 걸쳐서 증착된 발광 층(206)으로 전류를 전송한다. ILD 층(223)은 소스 전도선(123b)과 과도적 도전 층(220) 간의 전기적 단락을 방지한다. 과도적 도전 층(220)은 유기 또는 무기 물질, 투명 또는 불투명 물질, 반금속 또는 반도체(도핑된 것 또는 도핑되지 않은 것, 도핑된 것이 바람직함)와 같은 하나 이상의 임의의 도전성 물질 층을 포함할 수 있다. 과도적 도전 층(220)의 물질의 일부 예로는 단일 층 또는 다중 층의 그래핀, 감쇄 망상조직 또는 비감쇄 탄소 나노튜브 층, 주석 도핑 인듐 산화물, 폴리(3,4-에틸렌디옥시티오펜) 폴리(스티렌-술폰산 염)(PEDOT:PSS), ZnO 또는 인듐 산화물 나노입자가 있다.

[0046] 일부 실시형태에 있어서, 과도적 도전 층(220)은 발광 층(206)에 의해 방출된 광에 대하여 투명하다. 일부 실시 형태에 있어서, 과도적 도전 층(220)은 금속과 같은 불투명 도체이다. 불투명 실시형태에 있어서, 드레인 층(209)은 투명 물질을 포함하고, AMDS-VOLET 픽셀(100)은 상부 발광 디스플레이에 포함될 수 있으며, 이때 발광 층(206)에서 발생된 광은 투명 드레인 층(209)을 통하여 전도된다. 추가로, 금속성 과도적 도전 층(220)에서의 광의 반사는 AMDS-VOLET 픽셀(100)의 광 출력-결합 손실을 감소시킨다. 대안적인 실시형태에 있어서, 과도적 도전 층(220)의 상부 표면은 비반사성으로 될 수 있고, 주변 광이 AMDS-VOLET 픽셀(100)에 조사될 때 AMDS-VOLET의 콘트라스트비를 개선하도록 흑색일 수 있으며, 이것은 최초는 금속이고 그 다음에는 예컨대 비정질 탄소, 탄소 나노튜브, 그래핀, 흑연, PEDOT:PSS 또는 C₆₀과 같은 블랙 도전성 코팅인 이중 층에 의해 달성될 수 있다.

[0047] 또한, 과도적 도전 층(220)을 포함한 실시형태는 DS-VOLET(103)의 구동 트랜지스터 층(즉, 201a, 202a, 113a, 203a 및 203b)이 발광 층(206)으로부터 방출된 광, 또는 주변에서 사용되는 AMDS-VOLET 픽셀(100)과 조우되는 외부 광에 민감할 때 특히 유용할 수 있다. 이러한 실시형태에서, 과도적 도전 층(220)은 또한 광에 대한 장벽

을 제공하여 AMDS-VOLET 팩셀(100)의 안정성을 개선한다. 그러한 실시형태에 있어서, DS-VOLET(103)의 구동 트랜지스터 층(즉, 201a, 202a, 113a, 203a 및 203b)의 지역적 커버리지는 발광 층(206)의 지역적 커버리지보다 작거나 동일하거나 더 클 수 있다. 추가로, 광 흡수 또는 반사 층이 기판 층(126)의 하부에 또는 게이트 전극(201a)과 기판 층(126) 사이에 추가될 수 있고, 또는 기판 층 자체는 불투명성일 수 있으며, 또는 게이트 전극(201a)은 DS-VOLET(103)의 구동 트랜지스터 층(즉, 201a, 202a, 113a, 203a 및 203b)을 광으로부터 차폐하기 위해 금속과 같은 불투명성 및/또는 반사성 물질을 포함할 수 있다.

[0048] 양전하가 소스 층(113a)으로부터 주입되고 게이트 전극(201a)에 의해 제어되며 전자가 드레인 층(119)로부터 주입되고 전자 및 홀이 발광 층(206b)(예를 들면, EL 층)에서 재결합하여 광을 방출하는, 여기에서 설명한 DS-VOLET(103)의 묘사와 함께, 이 구성의 반전 형태가 본 발명의 정신으로부터 크게 벗어나지 않고 구현될 수 있다. 반전형(inverted) AMDS-VOLET 팩셀(100)의 경우에, 일 실시형태는 유기 반도체 층(203)에 전자를 주입하는 소스 층(113)을 포함할 수 있고, 이러한 전자의 주입은 게이트 전극(201a)에 인가된 전압에 의해 제어할 수 있다. 마찬가지로, 홀들이 드레인 층(119)에 의해 주입될 수 있다. 이 홀들은 그 다음에 주입 전자와 발광 층(206b)에서 재결합하여 광을 방출할 수 있다. 추가의 변형예로는 상부 방출 반전형 설계, 완전 투명 비반전형 및 완전 투명 반전형 설계가 있다.

[0049] 이제, 도 1b, 1c, 9a 및 9b에 도시된 활성 셀(102)의 실시형태에서 Sw-T(106a)의 설명으로 돌아가서, Sw-T(106a)는 박막 트랜지스터(TFT)이다. Sw-T(106a)에 포함된 게이트 층(109b)은 Sw-T 게이트 전극(201b) 및 Sw-T 게이트 유전체(202b)를 포함한다. Sw-T 게이트 전극(201b)은 기판(126)에 직접 접촉하고 Sw-T 게이트 유전체(202b)는 스캔 전도선(123c)과 전기적으로 접촉한다. Sw-T 게이트 유전체(202b)는 도 1b, 1c, 9a 및 9b에 도시된 단면도에 나타낸 것처럼 Sw-T 게이트 전극(201b)의 표면을 덮는다. Sw-T 게이트 유전체(202b)는 투명체 또는 불투명체일 수 있고, 산화 알루미늄과 같은 무기 물질, 및 옥타데실포스포닉산(ODPA)과 같은 자기 조립 단분자막(self assembled monolayer; SAM)의 이중 층을 포함할 수 있다. 무기 물질은 큰 커패시턴스를 제공하고, SAM은 소수성 층(hydrophobizing layer)으로서 소용된다. Sw-T(106a)는 Sw-T 게이트 유전체(202b) 위에 배치된 반도체 층(216)을 또한 포함한다. 반도체 층(216)은 투명성 또는 불투명성인 유기 또는 무기 반도체 물질(예를 들면, 각각 펜타센 또는 비정질 Si)을 포함할 수 있다.

[0050] 도 6, 13 및 18에 도시된 활성 셀(102)의 각종 실시형태의 단면도에서는 CN-VOLET(각각 103c, 103f 및 103g) 실시형태만이 도시되어 있다. 그러나, 이 기술에 숙련된 사람이라면 이해하고 있는 바와 같이, 도 6, 13 및 18에 도시된 활성 셀(102)의 각종 실시형태에서 CN-VOLET(103c, 103f 및 103g) 대신에 DS-VOLET(103)가 사용될 수 있다.

[0051] 도 10은 도 1b, 1c, 9a 및 9b에 단면도로 도시한 활성 셀(102a)을 나타내는 회로도이다. Sw-T(106a)는 트랜지스터 회로 요소(303)로 표시된 박막 트랜지스터를 포함하고, DS-VOLET(103)는 DS-VOLET 회로 요소(106)로 표시된다. 도면에 도시된 것처럼, V_{scan} 신호는 트랜지스터 회로 요소(303)의 게이트에 결합된다. 또한, V_{data} 신호는 트랜지스터 회로 요소(303)의 소스/드레인에 결합되고, 트랜지스터 회로 요소(303)의 드레인/소스는 DS-VOLET(103)의 게이트에 결합된다.

[0052] 도 11은 도 1b, 1c, 9a, 9b 및 도 3에 도시된 Sw-T(106a)의 예시적인 레이아웃을 보인 평면도이다. 도 11에 도시된 레이아웃은 도 1a에서 점선으로 표시된 Sw-T 영역(129)에 대응한다. 도 11에 도시된 Sw-T(106a)는 게이트 층(109b)(도 1b, 1c, 9a 및 9b에 도시된 Sw-T 게이트 전극(201b) 및 Sw-T 게이트 유전체(202b)를 포함함)을 포함하고, Sw-T(106a)는 게이트 층(109b)에 배치된 반도체 층(216)을 또한 포함한다. 전도선(123d)은 반도체 층(216)에 결합되고, 비록 도 11에 도시되어 있지는 않지만, 전도선(123d)은 DS-VOLET(103)의 DS-VOLET 게이트 전극(201b)에 결합된다. 스캔 전도선(123c)은 게이트 전극(109b)에 결합되고, 데이터 전도선(123a)은 전도선(123d)에 결합된 반도체 층(216)의 단부로부터 반도체 층(216)의 반대측 단부에 결합된다.

[0053] 다음에, Sw-T(106a)에서 설명한 실시형태의 TFT 대신에 각종 방법으로 접속된 단일 및 복수의 DS-VFET에 대하여 설명한다. DS-VFET를 포함한 이러한 버전은 종래의 TFT 설계에 비하여 DS-VFET 및 DS-VOLET 설계의 장점을 취한다. 요컨대, DS-VFET 구조의 짧은 채널 길이 및 큰 지역적 전류 용량은 Sw-T가 동일한 전류 출력 용량에 대하여 더 작게 될 수 있게 하고, 따라서 TFT를 포함한 Sw-T로 만들어진 것보다 더 작은 면적을 점유한다. 이것은 AMDS-VOLET 팩셀(100)의 개구율이 더욱 증가하게 한다.

[0054] 도 12는 Sw-T(106)의 실시형태(여기에서는 106b로 표시됨)의 예시적인 레이아웃을 보인 평면도이고, 도 13은 Sw-T(106b)를 포함한 활성 셀(102e)의 일 실시형태의 단면도이다. 도 12에 도시된 레이아웃은 도 1a에서 점선으로 표시한 Sw-T 영역(129)에 대응한다. Sw-T(106b)는 단일 탄소 나노튜브 인에이블형 수직 전계 효과 트랜지스

터(CN-VFET)를 포함하고, 이것은 DS-VFET로 또한 교체될 수 있다. CN-VOLET(103b)의 각종 실시형태 및 DS-VFET 및 DS-VOLET(103)의 다른 실시형태에 대해서는 "나노튜브 인에이블형 게이트 전압 제어형 발광 다이오드"의 명칭으로 2008년 9월 10일자 출원한 미국 출원 일련번호 제12/677,457호(미국 특허 출원 공개 US 2010/0237336); "전기적으로 삼투성인 소스 층을 포함한 반도체 소자 및 그 제조 방법"의 명칭으로 2011년 3월 4일자 출원한 국 제출원 제 PCT/US2011/027155호(국제 공개 번호 WO 2011/109693 A2); 및 "나노튜브 층 및 메모리 층을 포함한 반도체 소자 및 그 제조 방법"의 명칭으로 2010년 3월 4일자 출원한 미국 가출원 제61/310,342호에 개시되어 있으며, 상기 문서들은 인용에 의해 그 전체 내용이 본원에 통합된 것으로 한다. TFT를 포함한 도 11의 Sw-T(106a)와는 다르게, 도 12의 Sw-T(106b)는 감쇄 탄소 나노튜브 층을 가진 소스 층(113c)을 구비한 CN-VFET이다. 소스 층 113b와 113c(도 13)는 CN-VOLET(103f)를 포함하는 경우에 동시에 증착될 수 있다. 마찬가지로, 소스 층 113a(도 1b)와 113c는 DS-VOLET(103)를 포함하는 경우에 동시에 증착될 수 있다. 또한, 도 12 및 도 13의 Sw-T(106b)는 소스 층(113c)이 DS-VOLET(103)에 대하여 위에서 언급한 임의의 삼투성 감쇄 망상조직을 포함한 다른 소스 전극을 포함하는 DS-VFET로 구성될 수 있다. 소스 층(113c)은 임의의 저밀도 상태 금속 무기물 또는 유기물; 저밀도 상태 반도체 무기물 또는 유기물; 또는 저밀도 상태 반금속 무기물 또는 유기물을 포함할 수 있다. 저밀도 상태 유기 반금속의 일 예는 그래핀이다. 그래핀은 단일 층 또는 다중 층일 수 있고, 개공들을 내포하도록 패터닝될 수도 있고 패터닝되지 않을 수도 있다. 도 13을 참조하면, CN-VOLET(103f)의 구조는 도 1c에 도시된 실시형태의 구조와 동일하고 선택적으로 도 1b, 9a 또는 9b에 도시된 구조로 교체될 수 있다.

[0055]

도 1b, 1c, 9a 및 9b에 도시된 Sw-T(106a)와 유사하게, 도 13에 도시된 Sw-T(106b)는 Sw-T 게이트 전극(201b) 및 Sw-T 게이트 유전체(202b)를 포함한 게이트 층(109b)을 구비한다. Sw-T 게이트 전극(201b)은 스캔 전도선(123c)(도 12)에 결합된다. Sw-T 게이트 유전체(202b)는 Sw-T 게이트 전극(201b)의 표면을 덮는다. Sw-T 게이트 전극(201b)은 투명체 또는 불투명체일 수 있고, 산화 알루미늄(예를 들면, Al₂O₃)과 같은 무기 물질, 및 BCB와 같은 폴리머의 이중 층을 포함할 수 있다. 무기 물질은 큰 커패시턴스를 제공하고, 폴리머는 소수성 층으로서 소용된다.

[0056]

다음에, Sw-T(106b)는 데이터 전도선(123a)에 결합된 소스 층(113c)을 포함한다. 전술한 바와 같이, 소스 층(113c)은 감쇄 탄소 나노튜브 층을 포함한다. 소스 층(113c) 위에는 반도체 층(216)이 배치된다. 반도체 층(216)은 단일 층 또는 복수 층, 또는 도핑된 단일 층 또는 복수 층을 포함한다. 이 층들은 펜타센과 같은 유기 반도체 물질, 또는 실리콘(비정질, 나노결정/마이크로결정 또는 다결정)과 같은 무기 반도체 물질을 포함할 수 있다. 실리콘은 PECVD에 의해 증착될 수 있다. 일부 실시형태에 있어서, 유기물인 반도체 층(116)의 가능한 p형 도편트는 SbCl₅, WO₃, 몰리브덴 산화물, ReO₃, 염화철(III), 산화철, F4-TCNQ, F2-HCNQ 또는 F6-TNAP를 포함한다. 반도체 층(116)이 실리콘을 포함하는 다른 실시형태에 있어서, 가능한 도편트는 붕소(p형) 및 인 또는 비소(둘 다 n형)를 포함한다.

[0057]

도 14a는 도 13에 도시된 활성 셀(102e)의 일 예를 나타낸 회로도이다. 도 13에 도시된 것처럼, 전도선(123d)은 Sw-T(106b)의 반도체 층(216) 위에 배치되어 DS-VOLET(103) 또는 CN-VOLET(103f)에 결합된 드레인 전극을 형성한다. 전술한 바와 같이, Sw-T(106b)는 도 14a에 CN-VFET 또는 DS-VFET 회로 요소(309a)로 표시된 CN-VFET를 포함한다. 도 14b는 활성 셀(102)의 다른 예(여기에서는 102f로 표시됨)를 보인 회로도이다. 도 14a에 도시된 활성 셀(102e)과 유사하게, 활성 셀(102f)은 DS-VOLET(103)를 포함한다. 활성 셀(102f)은 Sw-T(106b)를 또한 포함한다. 또한, Sw-T(106b)는 도 14b에 CN-VFET 또는 DS-VFET 회로 요소(309b)로 표시된 CN-VFET를 포함한다. 그러나, CN-VFET 회로 요소(309b)에서는 Sw-T(106b)의 소스-드레인 접속이 반전된다. (Sw-T(106b)의 드레인 전극 대신에) Sw-T(106b)의 소스 전극(즉, 소스 층(113c))이 전도선(123d)에 결합되어 CN-VOLET(103)의 게이트 전극(201a)에 대한 전기 접속을 허용한다. 따라서, 활성 셀(102f)에 있어서, 드레인 전극은 데이터 전도선(123a1)에 의해 형성된다.

[0058]

도 15는 Sw-T(106)의 일 실시형태(여기에서는 106c로 표시됨)의 예시적인 레이아웃을 보인 평면도이고, 도 16은 도 15의 평면도에 도시된 Sw-T(106c)를 구비한 활성 셀(102g)의 실시형태를 포함한 회로도이다. 도 15에 도시된 레이아웃은 도 1a에 점선으로 표시된 Sw-T 영역(129)에 대응한다. 도 15 및 도 16을 참조하면, 도시된 Sw-T(106c)는 이중 측면 CN-VFET 또는 이중 측면 DS-VFET를 포함한다. 도 16에서, Sw-T(106c)에 포함된 이중 측면 CN-VFET 또는 이중 측면 DS-VFET는 이중 측면 CN-VFET 또는 이중 측면 DS-VFET 회로 요소(312)에 의해 표시되어 있다. 이중 측면 CN-VFET는 병렬로 결합되고 반전 소스 층(113c, 113d) 및 드레인 전극과 나란하게 배치된 2개의 CN-VFET를 포함하고, 2개의 CN-VFET는 공통 게이트 층(109b)을 공유한다. 마찬가지로, 이중 측면 DS-VFET는 병렬로 결합되고 반전 소스 층(113c, 113d) 및 드레인 전극과 나란하게 배치된 2개의 DS-VFET를 포함하

고, 2개의 DS-VFET는 공통 게이트 층(109b)을 공유한다.

[0059]

Sw-T(106c)(즉, 이중 측면 CN-VFET 또는 이중 측면 DS-VFET를 포함한 것)는 데이터 전도선(123a)으로부터 DS-VOLET 게이트 전극(201a)에 전하를 공급할 때 및 DS-VOLET 게이트 전극(201a)으로부터 전하를 제거할 때 Sw-T(106b)보다 더 나은 전류 제어를 가능하게 한다. 이와 대조적으로, 도 12, 13, 14a 및 14b의 Sw-T(106b)(즉, 단일 CN-VFET 또는 DS-VFET를 포함한 것)가 순방향 바이어스된 때, 전류는 소스 층(113c)으로부터 전도선(123d)으로(즉, 소스로부터 드레인으로) 흐르고, 전류는 DS-VOLET(103)를 특유의 그레이스케일로 동작시키도록 적당한 양의 전하를 추가하게끔 충분히 제어된다. 그러나, Sw-T(106b)가 역방향 바이어스된 때, 전도선(123d)으로부터 소스 층(113c)으로(즉, 드레인으로부터 소스로) 이동하는 전류는 충분하게 제어되지 못하여 활성 셀(102)의 리프레시 이벤트들 간의 시간에 DS-VOLET 게이트 전극(201d)에 저장된 전하의 손실을 야기한다. 리프레시 이벤트는 특유의 행의 스캔 전도선(123c)의 전압을 평상함으로써 활성 셀(102)을 다루는 것을 포함하고, 이것이 의해 DS-VOLET(103)의 DS-VOLET 게이트 전극(201a)을 특유의 열의 데이터 전도선(123a)으로부터의 전하로 충전한다. DS-VOLET(103)의 게이트로/로부터의 전하 이동을 동일하게 잘 제어하면 AMDS-VOLET 픽셀(100)의 성공적 동작을 제공한다.

[0060]

Sw-T(106c)에 포함된 이중 측면 CN-VFET 또는 이중 측면 DS-VFET의 게이트 층(109b), 소스 층(113c, 113d) 및 반도체 층(216b, 216c)은 Sw-T(106c)의 층들이 도 15에 도시된 예시적인 레이아웃으로 나타낸 것처럼 패턴화된 것을 제외하면 전술한 Sw-T(106b)와 동일한 제조 공정을 이용하여 제조될 수 있다. 추가로, 소스 층(113c, 113d)은 동일한 패턴화 층 부분으로서 동시에 증착될 수 있다. 마찬가지로, 반도체 층(216b, 216c)도 또한 동일한 패턴화 층 부분으로서 동시에 증착될 수 있다. 이들 층의 배열은 도 15에 도시된 예에 나타나 있다. Sw-T(106c)의 일부 실시형태에 있어서, 도 15의 하부 단일 CN-VFET 또는 DS-VFET의 드레인 전극을 형성하는 전도선(123d) 및 도 15의 상부 단일 CN-VFET 또는 DS-VFET의 드레인 전극을 형성하는 전도선(123a)은 이중 측면 CN-VFET 또는 이중 측면 DS-VFET의 반도체 층(216b, 216c)과 접촉할 때 전자 또는 홀에 대하여 0.1 eV 이상의 쇼트 키 장벽을 형성하는 물질을 포함할 수 있다.

[0061]

도 17은 Sw-T(106)의 다른 실시형태(여기에서는 106d로 표시됨)의 예시적인 레이아웃을 보인 평면도이고, 도 18은 Sw-T(106d)를 포함한 활성 셀(102h)의 일 실시형태의 단면도이다. 도 17에 도시된 레이아웃은 도 1a에서 점선으로 표시한 Sw-T 영역(129)에 대응한다. 이 실시형태에서 Sw-T(106d)는 이중 반전 CN-VFET 또는 이중 반전 DS-VFET를 포함한다. 도 18에 도시된 것은 이중 반전 CN-VFET를 포함한 Sw-T(106d)의 일 실시형태이다. 이중 반전 CN-VFET와 이중 반전 DS-VFET는 각각 단일 CN-VFET 및 단일 DS-VFET와 유사한 설계를 갖고, 적어도 하나의 차이점은 드레인 층으로서 기능하는 다른 소스 층(113e)의 추가에 있다. 소스 층(113e)은 Sw-T(106d)가 이중 반전 CN-VFET를 포함하는 경우에 감쇄 탄소 나노튜브 망상조직을 포함하고, 소스 층(113e)은 전도선(123d)에 결합된다. 게이트 층(109c)은 도 17 및 도 18에 도시된 것처럼 소스 층(113e) 위에 배치되고 Sw-T 게이트 유전체(202c) 및 Sw-T 게이트 전극(201c)을 포함한다.

[0062]

이중 반전 CN-VFET 또는 이중 반전 DS-VFET의 게이트 층(109b), 소스 층(113c) 및 반도체 층(216)은 Sw-T(106d)의 층들이 도 17에 도시된 예시적인 레이아웃으로 나타낸 것처럼 패턴화된 것을 제외하면 전술한 Sw-T(106b)와 동일한 방법 및 동일한 물질로 제조될 수 있다. 층들의 커버리지는 도 17 및 도 18에 도시된 예에 나타나 있다. 예를 들면, 소스 층(113e)은 반도체 층(216) 위에 증착되고, 제2 게이트 층(109c)은 소스 층(113e) 위에 증착된다. 도 18에 도시된 것처럼, 제2 게이트 층(109c)은 소스 층(113e) 위에 증착된 Sw-T 게이트 유전체(202c) 및 Sw-T 게이트 유전체(202c) 위에 증착된 Sw-T 게이트 전극(201c)을 포함한다. Sw-T 게이트 유전체(202c)는 단일 절연층 또는 복수의 절연층일 수 있다. Sw-T 게이트 전극(201c)은 금속(예를 들면, 알루미늄(A1)), TCO(예를 들면, ITO), 및/또는 탄소 나노튜브, 그래핀, PEDOT:PSS 및 도전성 나노입자를 포함한 2개 또는 다른 수의 도전성 물질의 혼합물일 수 있다. 도 17 및 도 18에 도시된 Sw-T(106d)의 실시형태는, 비록 Sw-T(106c)(즉, 이중 측면 CN-VFET 및 이중 측면 DS-VFET를 포함한 것)와는 다르지만, Sw-T(106b)(즉, 단일 CN-VFET 및 단일 DS-VFET를 포함한 것)와 유사한 전류 제어 장점을 제공한다.

[0063]

도 19는 Sw-T(106)의 다른 실시형태(여기에서는 106e로 표시됨)의 예시적인 레이아웃을 보인 평면도이고, 도 20은 Sw-T(106e)를 포함한 활성 셀(102j)의 일 실시형태의 단면도이다. 도 19에 도시된 레이아웃은 도 1a에서 점선으로 표시한 Sw-T 영역(129)에 대응한다. 이 실시형태에서 Sw-T(106e)는 역 직렬형(reversed series) 이중 CN-VFET 또는 역 직렬형 이중 DS-VFET를 포함한다. 도 19 및 도 20에 도시된 것은 역 직렬형 이중 DS-VFET를 포함한 Sw-T(106e)의 실시형태이다. 역 직렬형 이중 DS-VFET는 단일 DS-VFET와 유사한 설계를 갖고, 적어도 하나의 차이점은 제2의 직렬 접속되지만 극성이 반대인 DS-VFET의 소스 층으로서 기능하는 다른 하나의 소스 층(113f)의 추가에 있다. 소스 층(113f)은 감쇄 나노튜브 망상조직을 비롯해서 DS-VFET 또는 DS-VOLET에 대하여

위에서 언급한 물질들을 모두 포함한다. 소스 층(113f)은 전도선(123d)에 결합된다. Sw-T(106e)의 드레인 층(123e)은 도 19 및 도 20에 도시된 것처럼 양측 DS-VFET 사이에서 공유된다. 도 21은 회로 요소(313)로서 표시된 역 직렬형 이중 DS-VFET Sw-T(106e)를 포함한 활성 셀(102j)의 회로도이다.

[0064] 역 직렬형 이중 DS-VFET의 게이트 층(109b), 소스 층(113f, 113g) 및 반도체 층(216)은 Sw-T(106e)의 층들이 도 19 및 도 20에 도시된 예시적인 레이아웃으로 나타낸 것처럼 패턴화된 것을 제외하면 전술한 Sw-T(106b)와 동일한 방법 및 동일한 물질로 제조될 수 있다. Sw-T(106e)의 일부 실시형태에 있어서, 드레인 전극(123e)은 역 직렬형 이중 DS-VFET의 반도체 층(216b)과 접촉할 때 전자 또는 홀에 대하여 0.2 eV 이하인 오믹 접촉 장벽을 형성하는 물질을 포함할 수 있다. 도 19 및 도 20에 도시된 Sw-T(106e)의 실시형태는, 비록 Sw-T(106c)(즉, 이 중 측면 CN-VFET 및 이중 측면 DS-VFET를 포함한 것)와는 다르지만, Sw-T(106b)(즉, 단일 CN-VFET 및 단일 DS-VFET를 포함한 것)와 유사한 전류 제어 장점을 제공한다.

[0065] Sw-T(106)의 다른 실시형태는 역 직렬형 이중 DS-VFET 실시형태에서 각 DS-VFET의 극성을 역으로 하는 것을 포함하고, 이것은 도 22, 23 및 24에 도시되어 있으며 Sw-T(106f)로 표시되어 있다. 도 23은 Sw-T(106f)를 포함한 활성 셀(102k)의 일 실시형태의 단면도이다. Sw-T(106f)의 DS-VFET는 도 22 및 도 23에 도시된 것처럼 별도로 패터닝된 드레인 전극과 함께 공통 소스 전극(113h)을 공유한다. 도 24는 회로 요소를 314로 표시한 역 직렬형 이중 DS-VFET Sw-T(106f)의 회로도이다.

[0066] 도 25는 AMDS-VOLET 픽셀(100)의 어레이(1200)의 실시형태(여기에서는 1200a로 표시됨)의 예시적인 레이아웃을 보인 평면도이다. 각 AMDS-VOLET 픽셀(100)은 동일한 색의 광을 각각 방출하고, 각 AMDS-VOLET 픽셀(100)은 전술한 임의의 실시형태에 따른 활성 셀(102)을 포함한다. 활성 셀(102)은 n 열 $\times m$ 행의 어레이(1200a)에 배치되고, 각 활성 셀(102)의 위치는 좌표(n, m)에 의해 지정되며, 여기에서 n 은 열 번호이고 m 은 행 번호이다. 각 활성 셀(102)은 디스플레이 패널의 주변부에 장착될 수 있는 외부 제어 회로에 의해 제공되는 $V_{\text{scan}-n}$ 및 $V_{\text{data}-m}$ 신호에 의해 취급될 수 있다. $V_{\text{drain}-m}$ 전압 신호는 모두 특정 전압을 제공하는 단일 전압원에 접속될 수 있다. V_{source} 전압 신호는 모두 특정 전압을 제공하는 단일 전압원에 접속될 수 있다.

[0067] 도 26은 AMDS-VOLET 픽셀(100)의 어레이(1200)의 다른 실시형태(여기에서는 1200b로 표시됨)의 예시적인 레이아웃을 보인 평면도이다. 각 AMDS-VOLET 픽셀(100)은 전술한 임의의 실시형태에 따라서 각각 다른 색(예를 들면, 적, 청, 녹)을 방출하는 3개의 활성 셀(102)을 포함한다. 일 실시형태에 있어서, AMDS-VOLET 픽셀(100)은 3개의 활성 셀(102)을 나란하게 포함하고, 이때, 하나의 활성 셀(102)은 적색(R)이고, 다른 하나는 녹색(G)이며, 또 다른 하나는 청색(B)이다. 반복되는 활성 셀(102)이 n 열 $\times m$ 행의 매트릭스에 배치되고, 각 반복되는 셀의 위치는 좌표(n, m)에 의해 지정되며, 여기에서 n 은 열 번호이고 m 은 행 번호이다. 각 열(C_n)은 도 26에 도시된 것처럼 3개의 색으로 나누어진다. 열(C_n)은 열 색(예를 들면, Rn(적색), Gn(녹색), 및 Bn(청색))에 따른 개별 열로 나누어진다.

[0068] 활성 셀(102)의 각종 색은 각종 색 달성법에 의해 달성될 수 있다. 제1 색 달성법에 있어서, 색은 각 활성 셀(102)의 DS-VOLET(103)의 발광 층(206b)(즉, EL 층)에서 사용되는 물질의 선택에 의해 결정된다. 다시 말해서, 발광 층(206b)에 포함된 물질은 R, G 또는 B 중의 원하는 색을 방출한다. 제2 색 달성법에 있어서, 발광 층(206b)에 포함된 물질은 백색광을 방출하도록 선택되고, 특정의 R, G 또는 B 색이 색 필터 층을 통하여 투과하도록 적당한 색 필터가 사용된다. 색 필터 층은 기판 층(126)의 반대측에 또는 특정의 색을 원하는 영역의 기판 층(126)과 게이트 층(109a) 사이에(예를 들면, 발광 층(206b)으로부터의 광이 기판 층(126)을 통하여 방출되는 하부 방출 디스플레이에서) 배치될 수 있다. 상부 방출 디스플레이(발광 층(206b)으로부터의 광이 DS-VOLET(103)의 드레인 층(119)을 통하여 방출되는 것)의 경우에, 색 필터 층은 드레인 층(119)의 상부에 배치될 수 있다. 제3 색 달성법에 있어서, 발광 층(206b)은 청색광을 방출하고, R 및 G 활성 셀에서 R 및 G 광을 달성하기 위해 각각 적당한 색 변환 층이 사용된다. 색 변환 층의 위치는 제2 색 달성법에서 색 필터 층에 대하여 사용된 것과 유사할 수 있다.

[0069] 전술한 모든 실시형태는 이 기술 분야에서 잘 알려진 종래의 패터닝법을 사용하는 것으로 가정한다. 종래의 포토리소그래피는 포토레지스트의 증착 전에 전체 기판 위에 증착된 대상 물질의 차감蚀刻(subtractive etching)(습식 또는 건식)과 같은 후속 공정 단계를 위한 패턴들을 규정하기 위해 사용되는 널리 사용되는 방법이다. 포토레지스트는 원하는 영역을 전형적으로 자외선(UV) 광에 노출시킴으로써 패턴을 만들기 위해 사용되는 폴리머 물질이다. 포지티브/네가티브 포토레지스트의 노출/비노출 영역은 UV 광 노출 후에 현상액에서 용해될 수 있다. 포토레지스트는 또한 전체 기판을 덮고, 전형적으로 스피드코팅에 의해 증착된다. 차감蚀刻이 아닌 방법들이 또한 사용될 수 있다. 전형적으로 금속을 규정하기 위해 사용되는 리프트오프(lift-off) 공정과 같은 방

법은 다른 물질 유형에 대하여 또한 사용될 수 있다. 리프트오프 방법에서, 포토레지스트는 예를 들면 금속일 수 있는 대상 물질의 증착 전에 적용된다. 전형적으로 이 목적을 위해 특별히 설계된, 전형적으로 리프트오프 레지스트라고 부르는 포토레지스트는 UV 노광 및 현상액에서의 패턴 현상(development)의 종래의 포토리소그래피 공정 단계를 받는다. 패턴들이 리프트오프 레지스트로 이전된 후, 금속은 스퍼터링과 같은 종래의 방법에 의해 증착될 수 있다. 금속의 증착 후에, 리프트오프 레지스트가 아직 존재하는 영역은 용매에 용해될 수 있고, 금속이 그 영역에서 리프트오프되어 원하는 레이아웃을 가진 패턴화 금속 층을 뒤에 남긴다. 또한, 그래비어 프린팅, 플렉소그래피, 잉크젯 프린팅 및 증기 제트 프린팅과 같은 자기 패터닝 방법에서는 종래의 포토리소그래피가 필요하지 않을 수 있다.

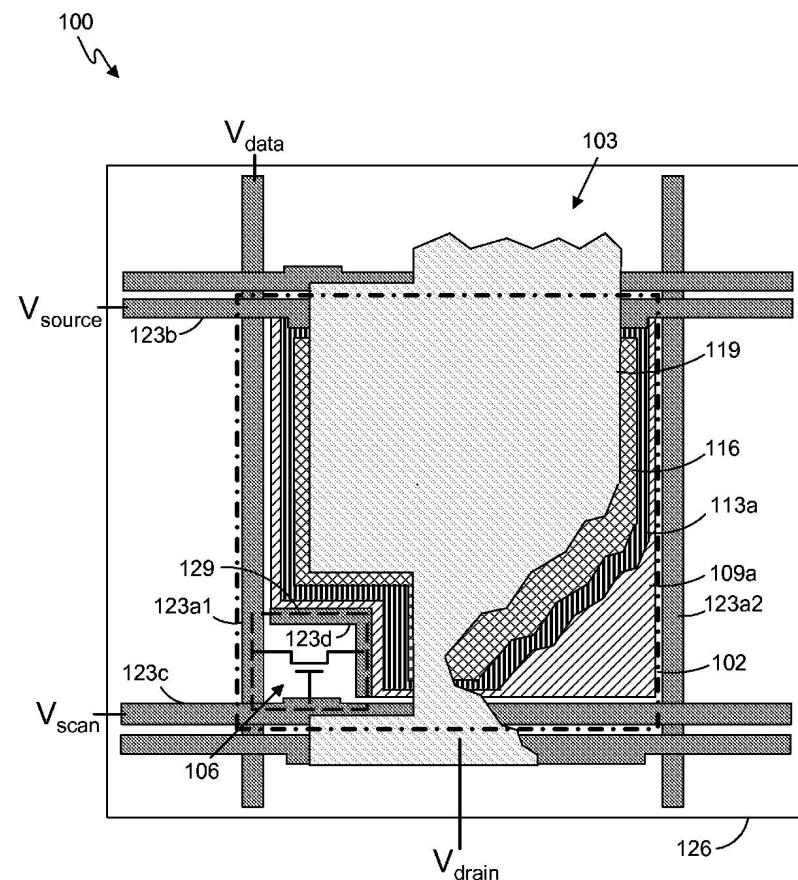
[0070] 본 명세서에 포함된 모든 도면들은 정확한 축척으로 된 것이 아니다. 유기 반도체 층은 반드시 유기물로 제한되지 않는다. 다른 실시형태에 있어서, 유기 반도체 층은 무기물일 수 있고, 그 경우에, 반도체 층은 단순히 반도체 층이다. 가능한 무기 반도체는 실리콘(비정질, 단결정, 마이크로/나노결정 및 다결정) 및 나노입자를 포함한다.

[0071] 전술한 실시형태는 본 발명의 원리를 명확히 이해하기 위해 설명하는 단지 가능한 구현예임을 이해하여야 한다. 본 발명의 정신 및 원리로부터 실질적으로 벗어나지 않고 전술한 실시형태에 대하여 많은 변형 및 수정이 이루어질 수 있다. 이러한 모든 수정예 및 변형예는 본 발명 및 본 명세서의 범위 내에 포함되는 것으로 의도된다.

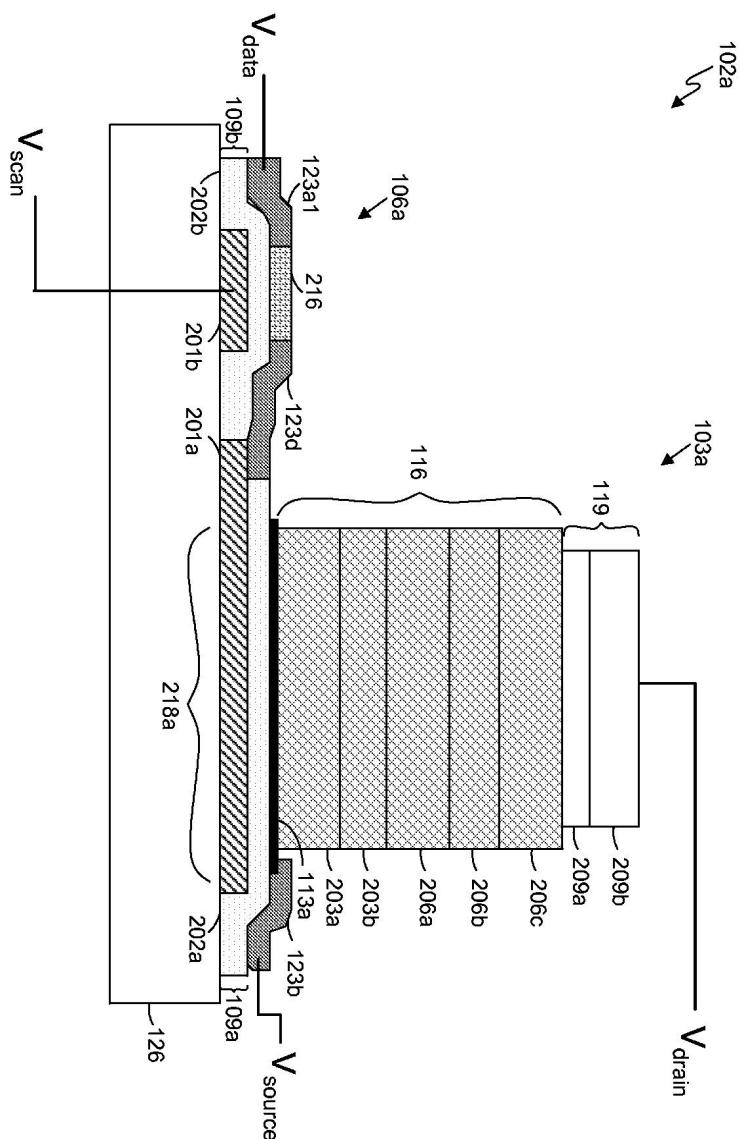
[0072] 비율, 농도, 양, 및 기타의 수치 데이터는 여기에서 범위 형태로 표현되어 있음에 주목하여야 한다. 그러한 범위 형태는 편리성 및 간결성을 위해 사용된 것이고, 따라서 범위의 한계로서 명시적으로 인용된 수치 값뿐만 아니라, 각각의 수치 값 및 부범위(sub-range)가 명시적으로 인용된 것처럼 그 범위 내에 포함된 개별적인 수치 값 또는 부범위를 모두 포함하는 것으로 유연성 있게 해석되어야 한다는 것을 이해하여야 한다. 설명을 위해, "약 0.1% 내지 약 5%"의 농도 범위는 약 0.1 중량비 내지 약 5 중량비의 명시적으로 인용된 농도뿐만 아니라, 표시된 범위 내의 개별적인 농도(예를 들면, 1%, 2%, 3% 및 4%) 및 부범위(예를 들면, 0.5%, 1.1%, 2.2%, 3.3% 및 4.4%)를 포함하는 것으로 해석되어야 한다. 용어 "약"은 수치 값의 유효 숫자에 따른 전통적인 반올림을 포함할 수 있다. 또한 구 "약 'x' 내지 'y'"는 "약 'x' 내지 약 'y'"를 포함한다.

도면

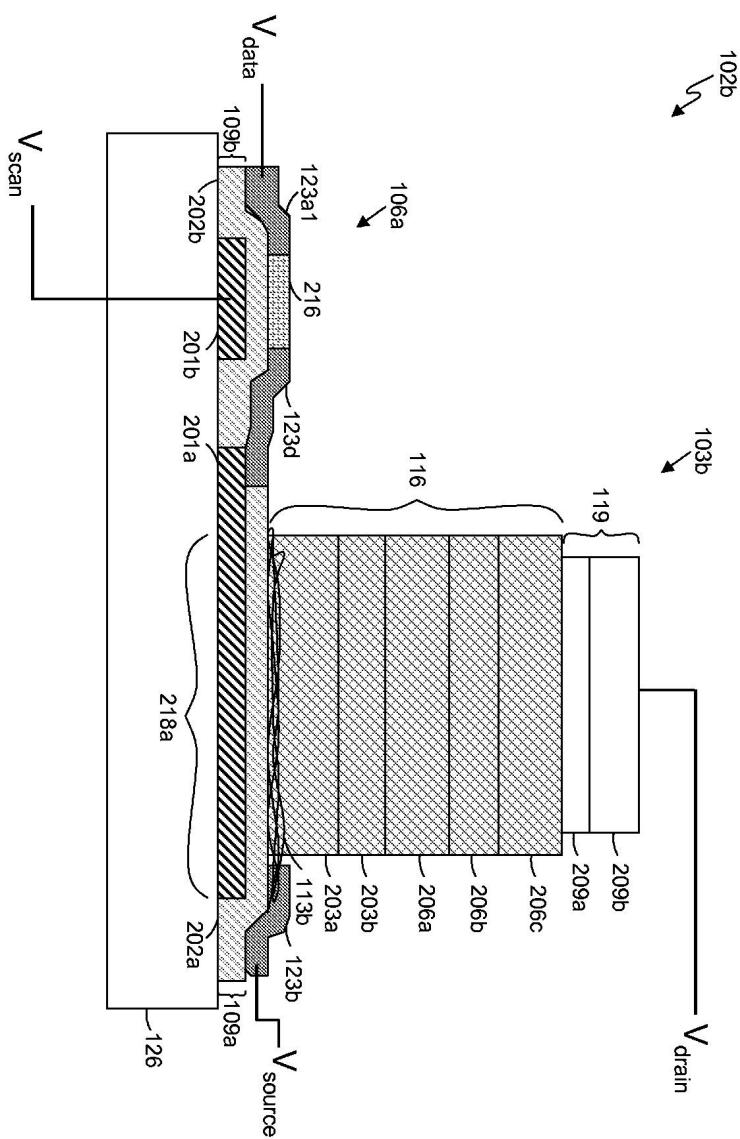
도면 1a



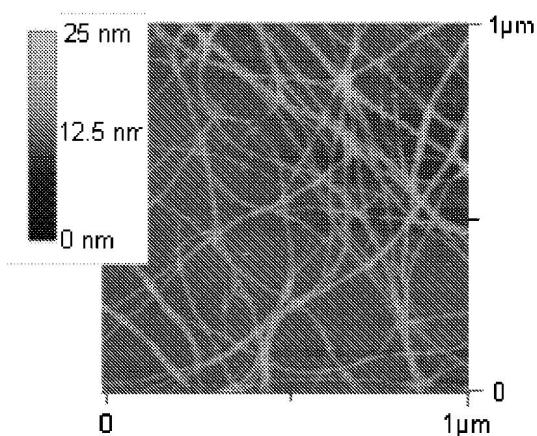
도면1b



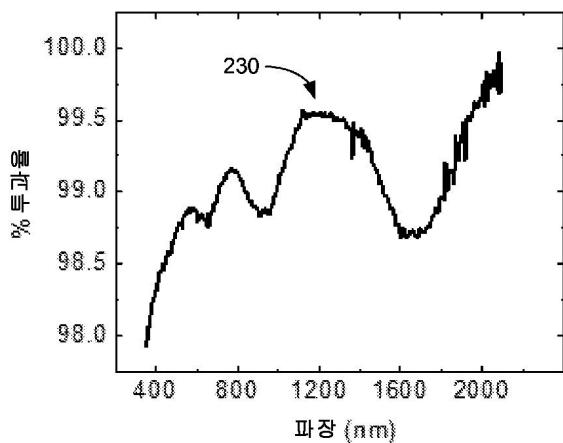
도면1c



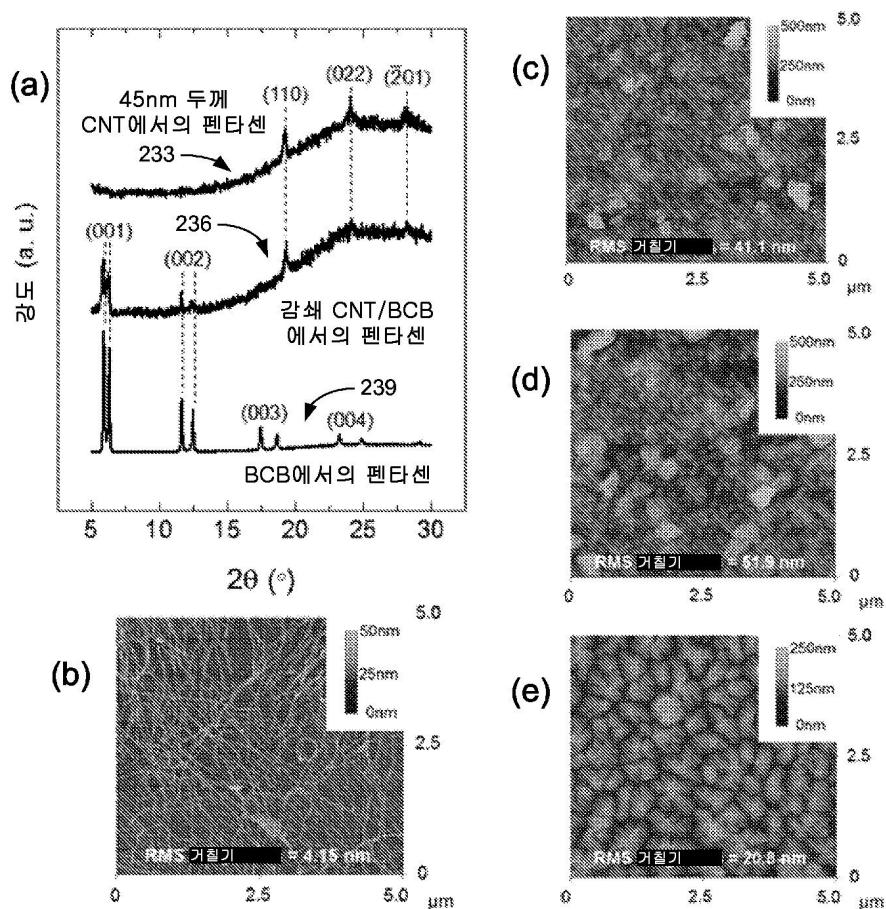
도면2a



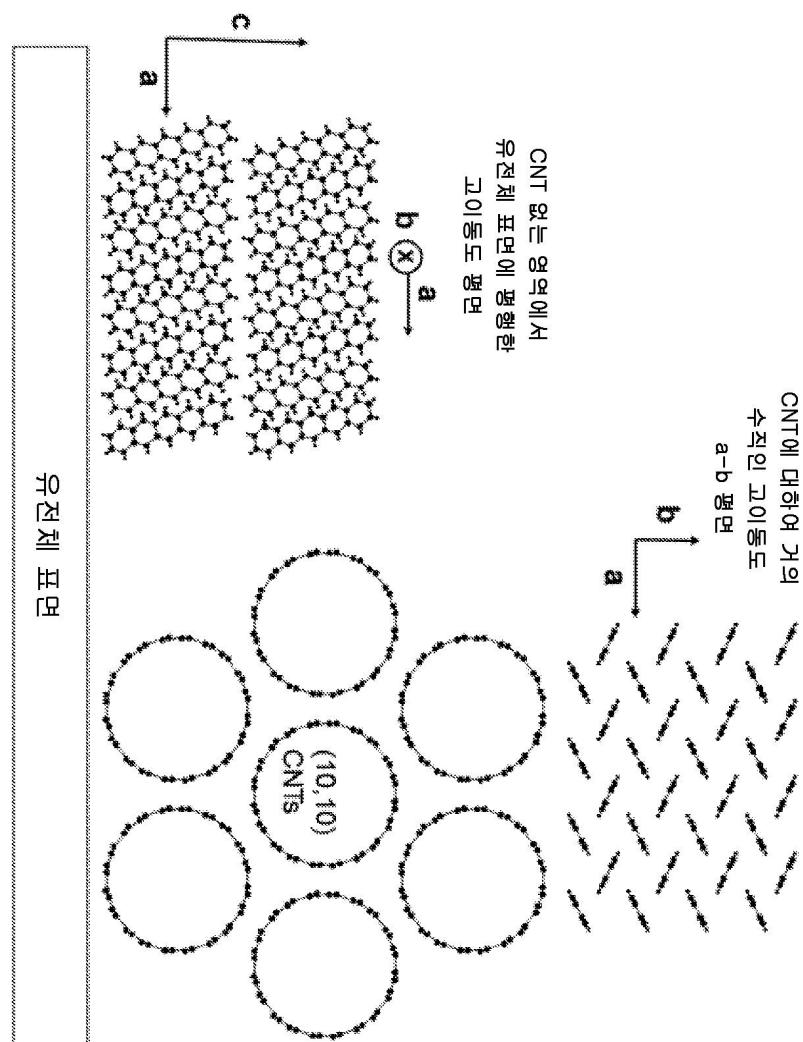
도면2b



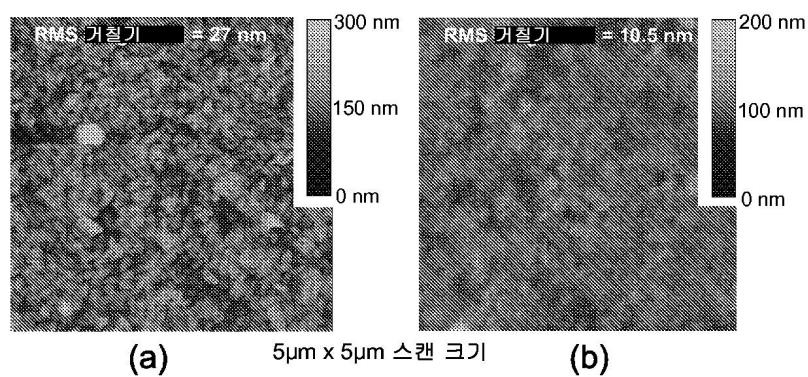
도면3



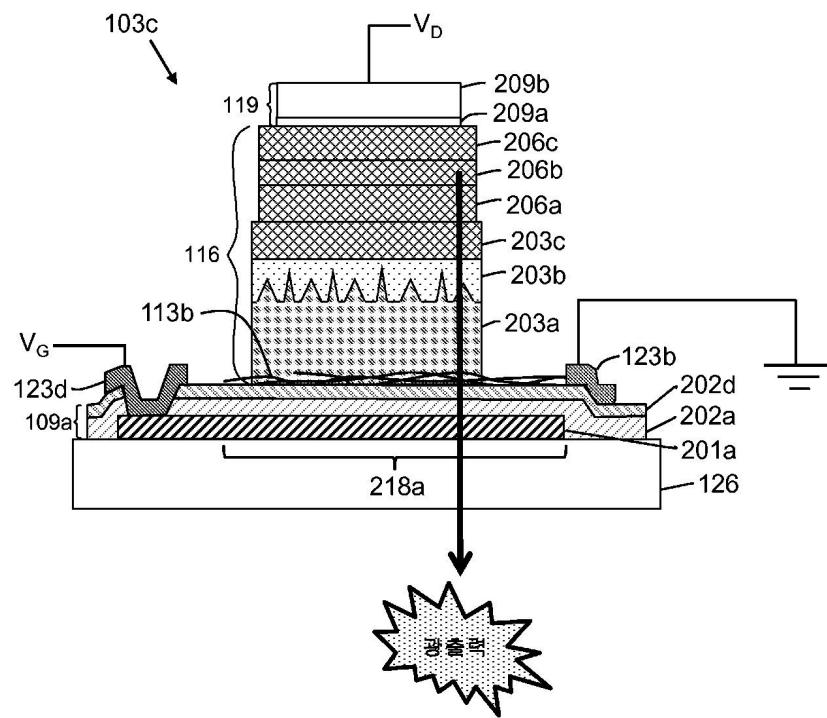
도면4



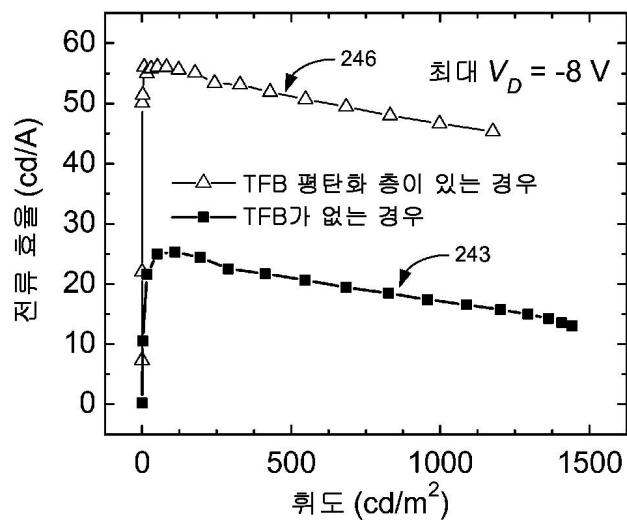
도면5



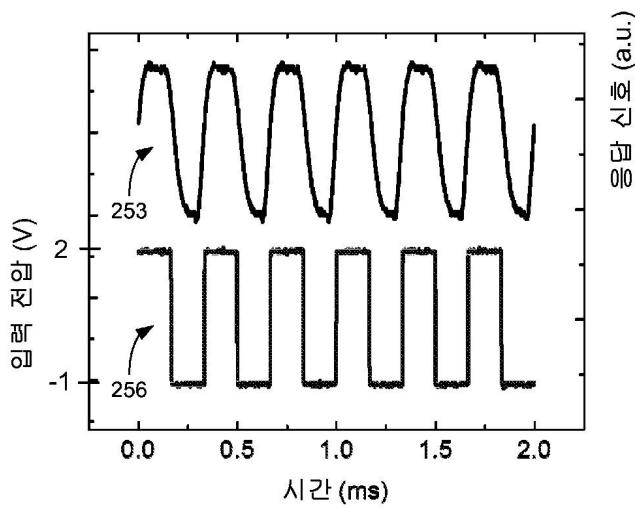
도면6



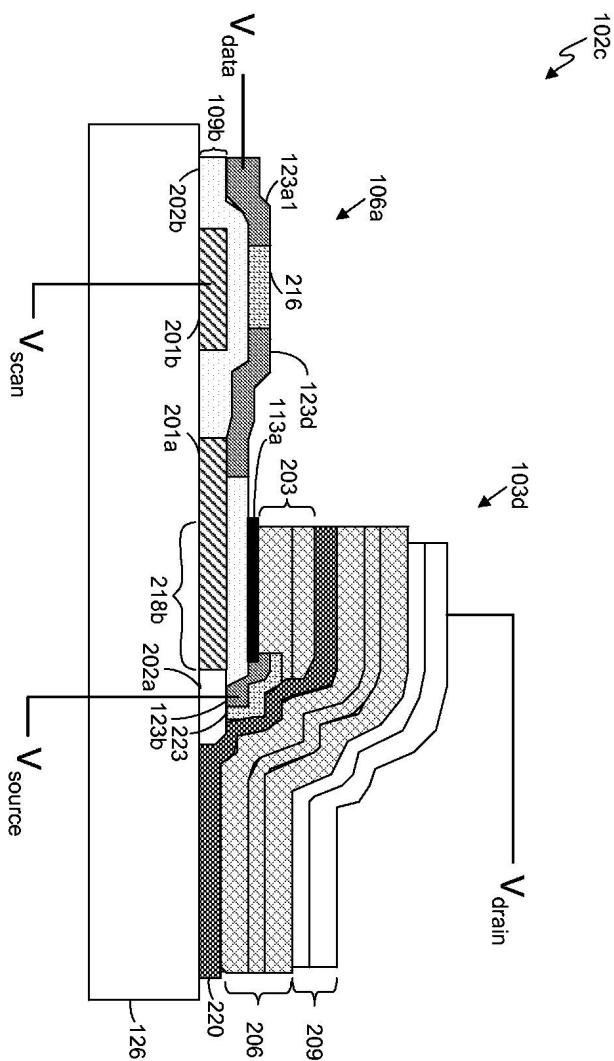
도면7



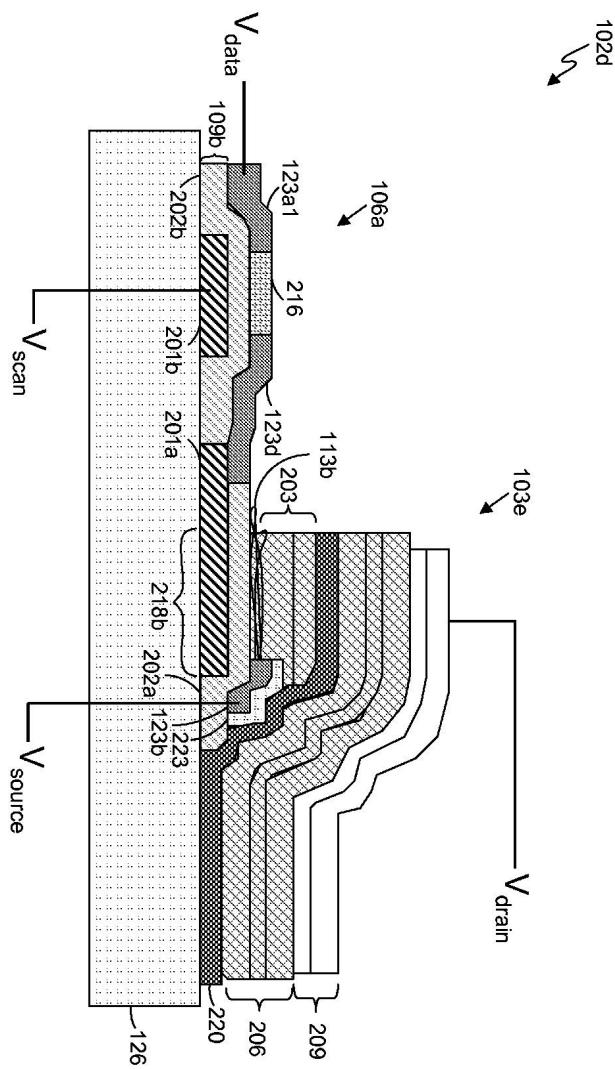
도면8



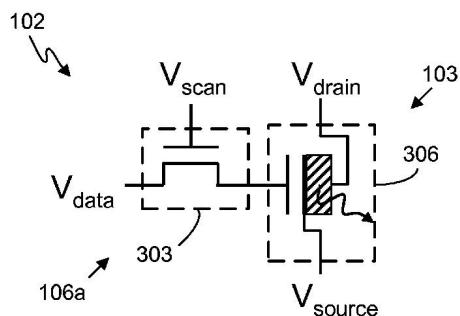
도면9a



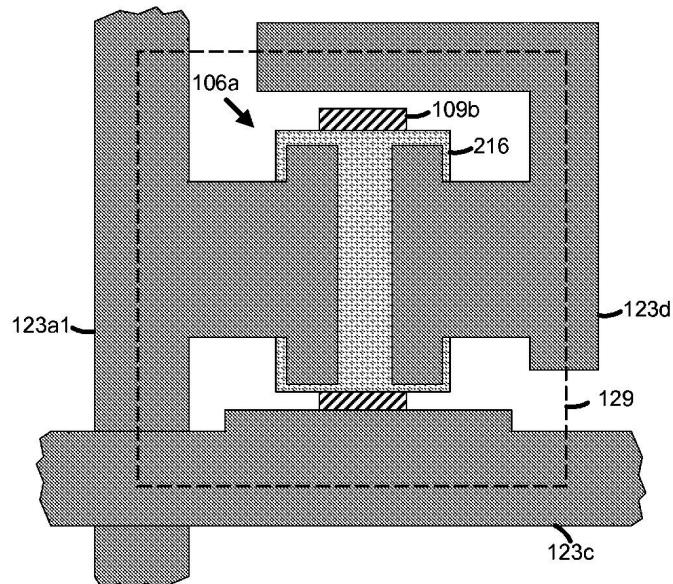
도면9b



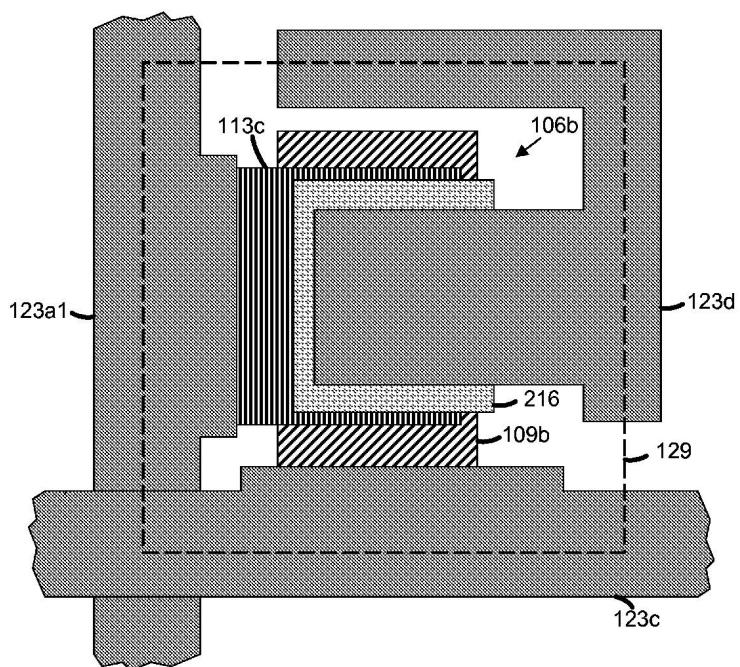
도면10



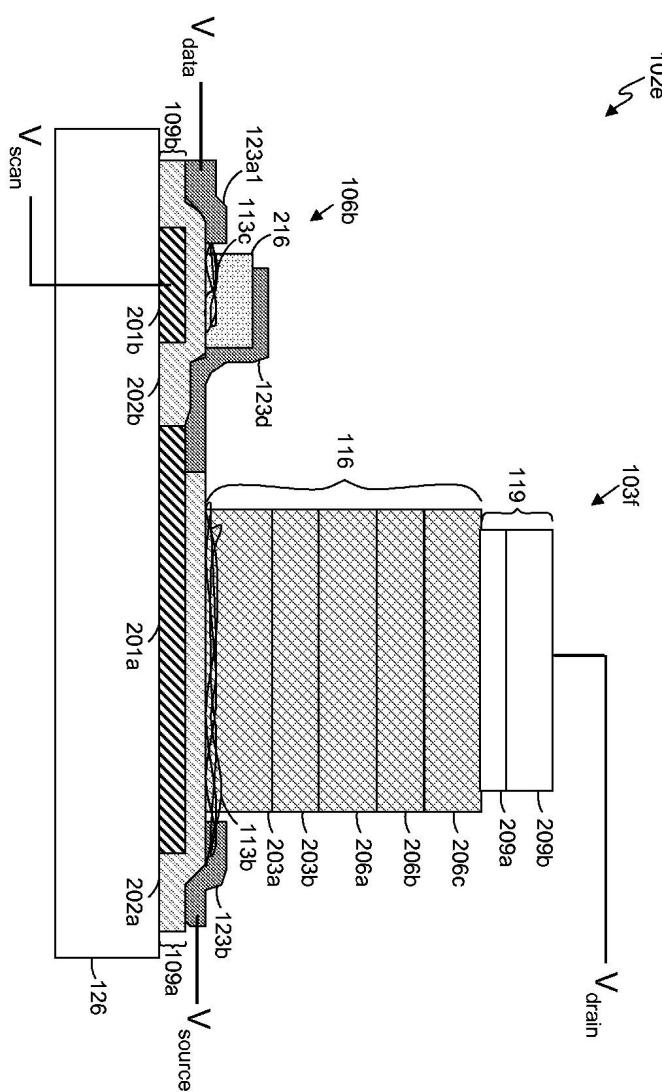
도면11



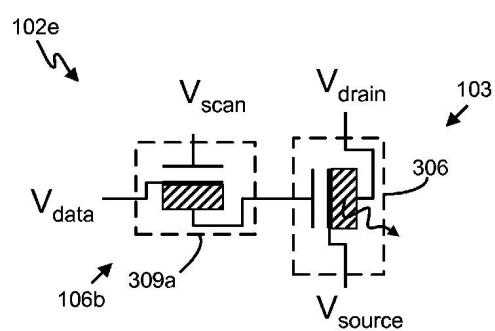
도면12



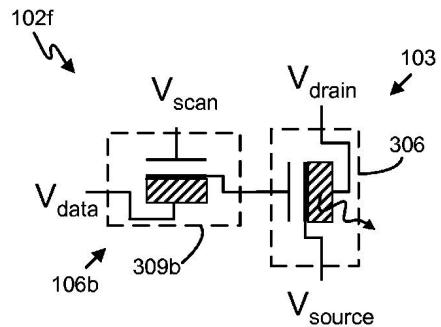
도면13



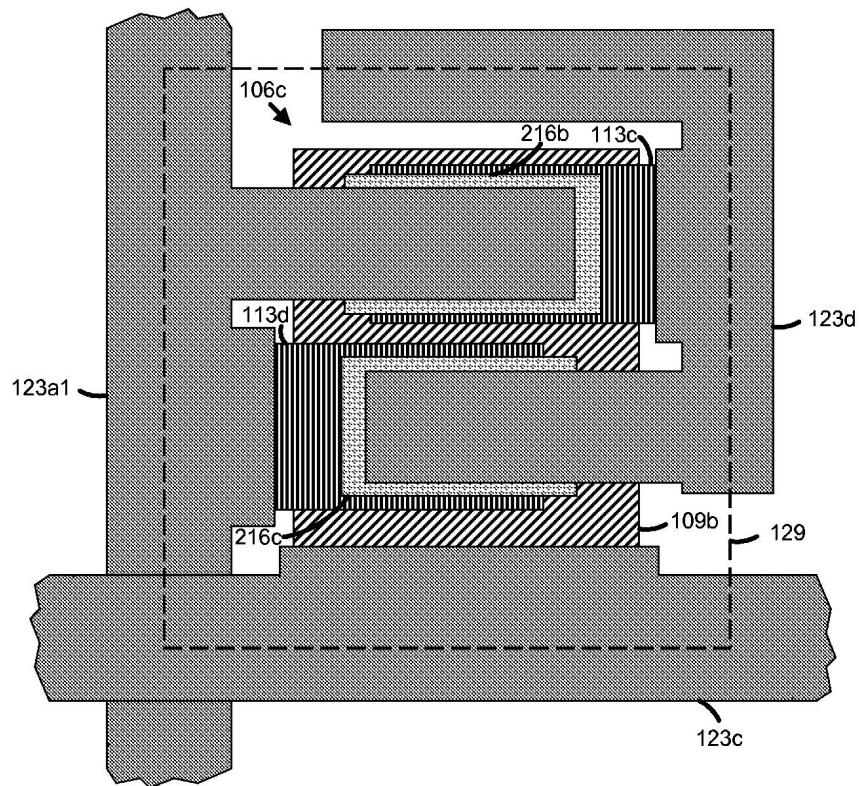
도면14a



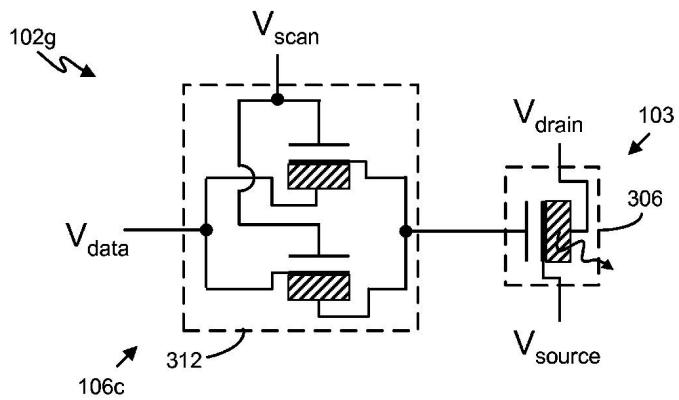
도면14b



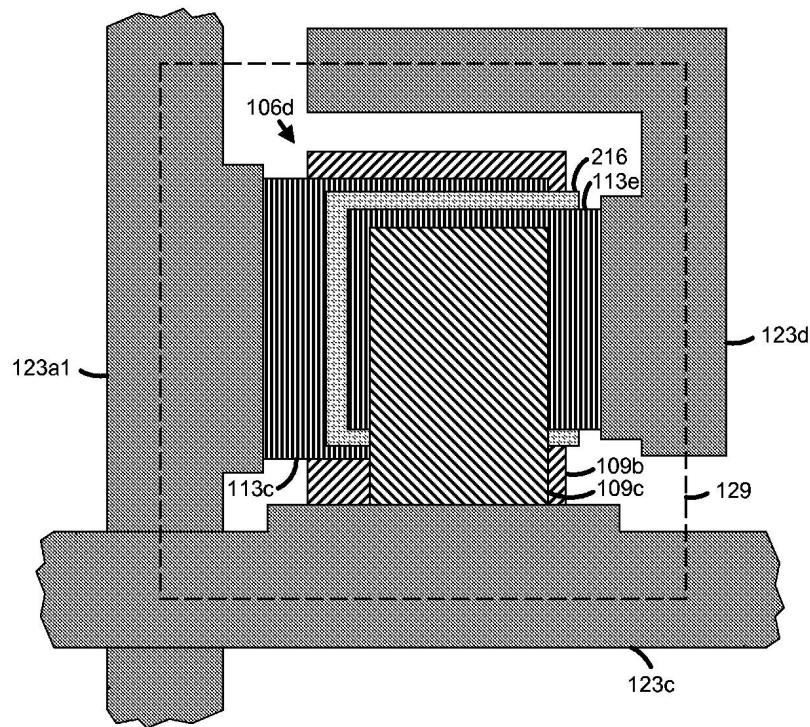
도면15



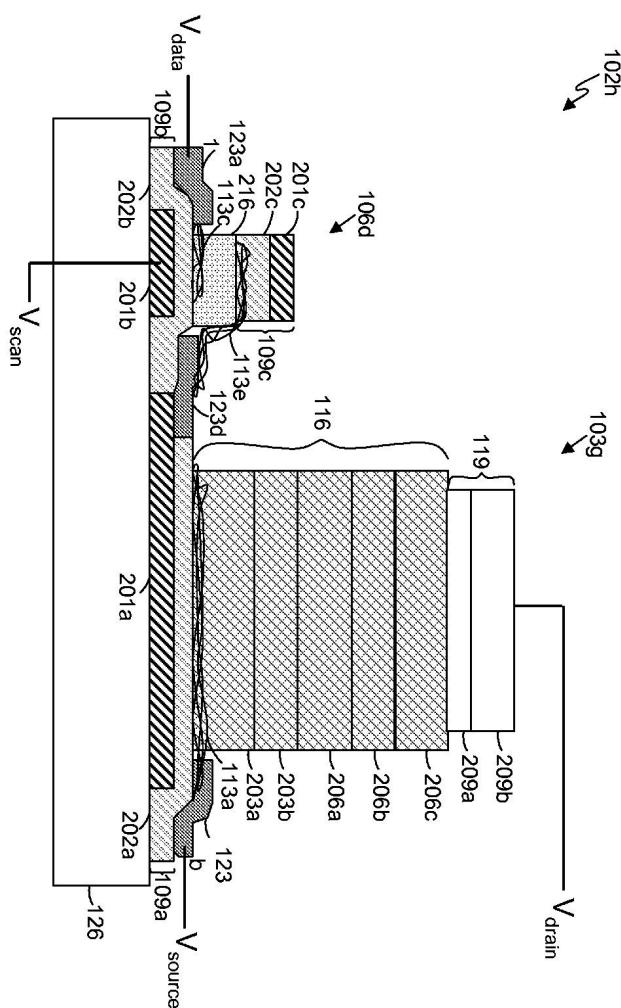
도면16



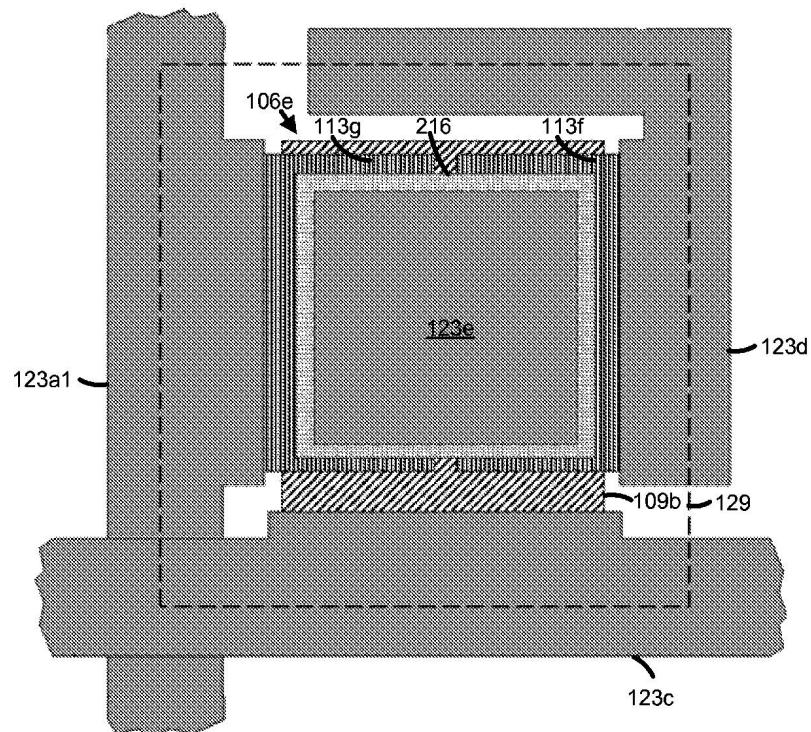
도면17



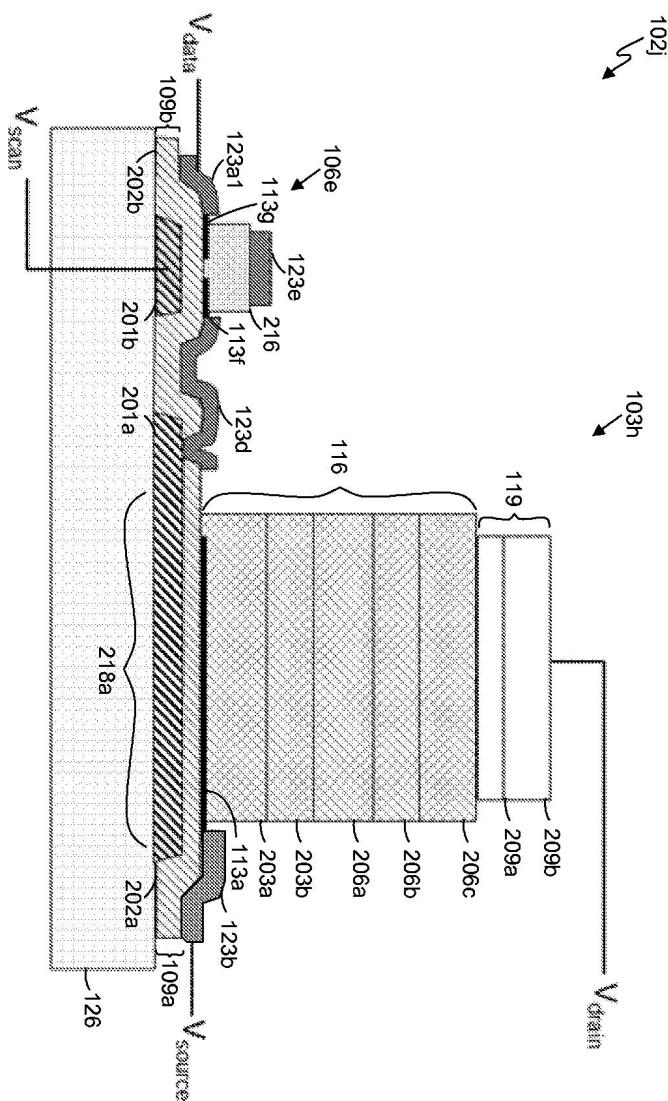
도면18



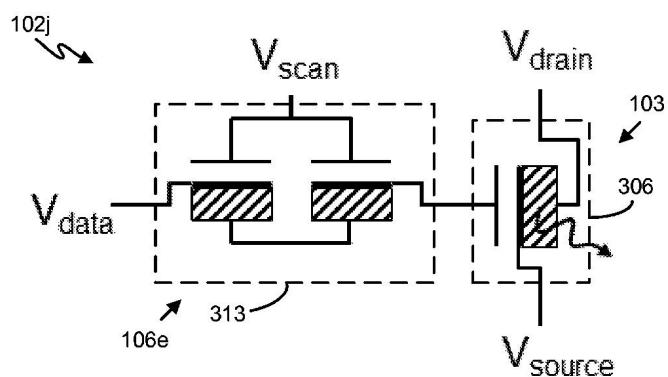
도면19



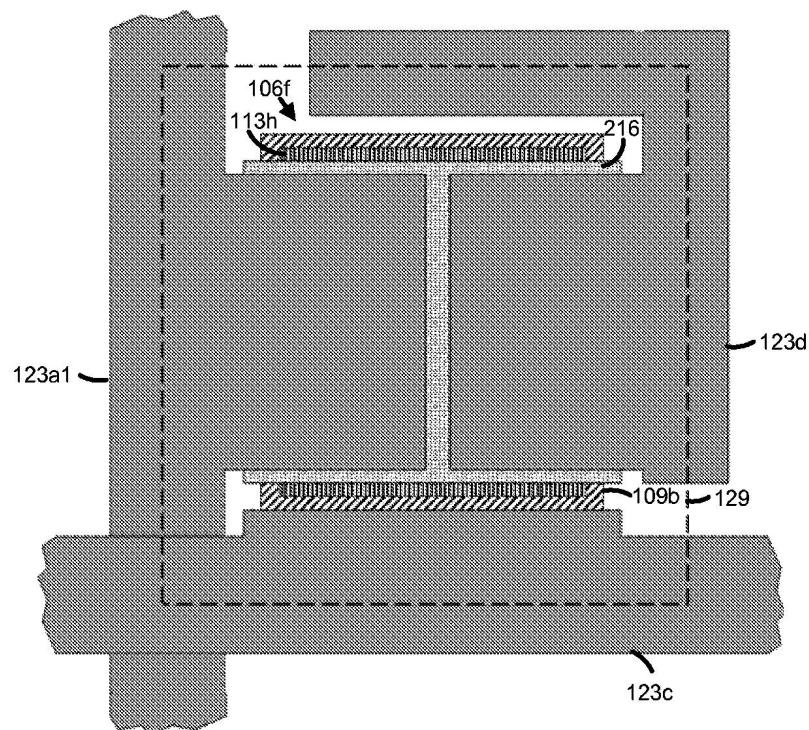
도면20



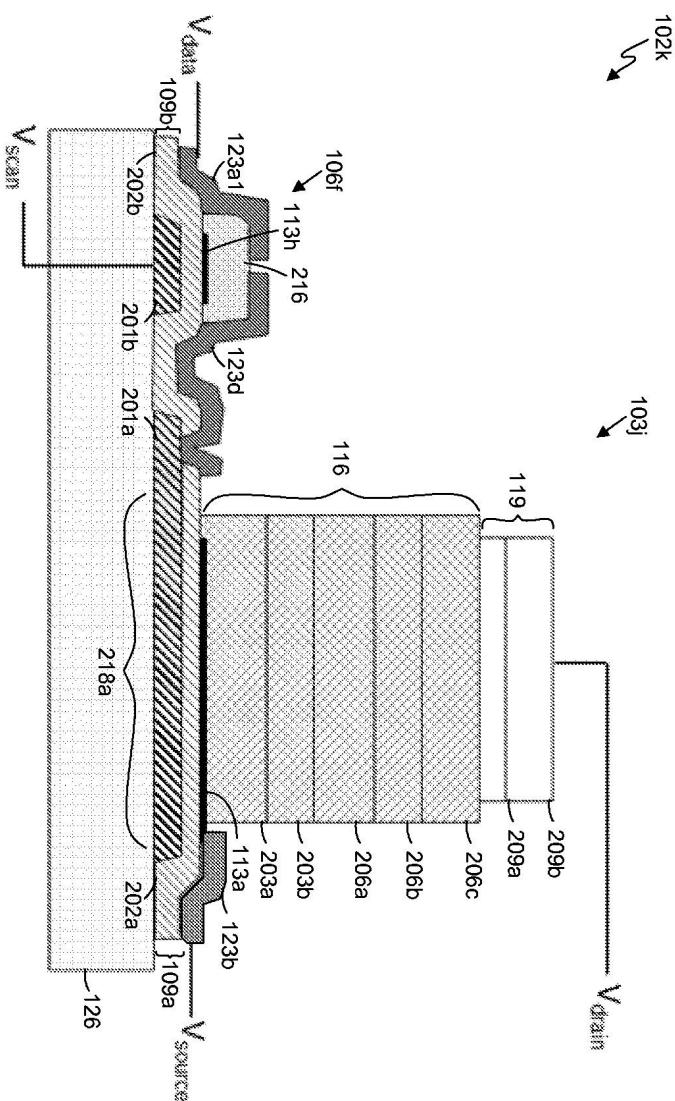
도면21



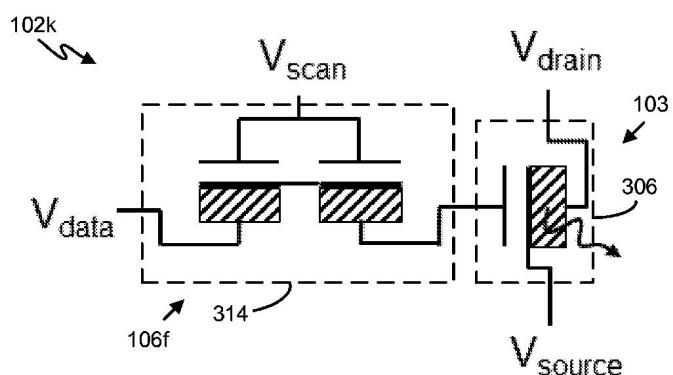
도면22



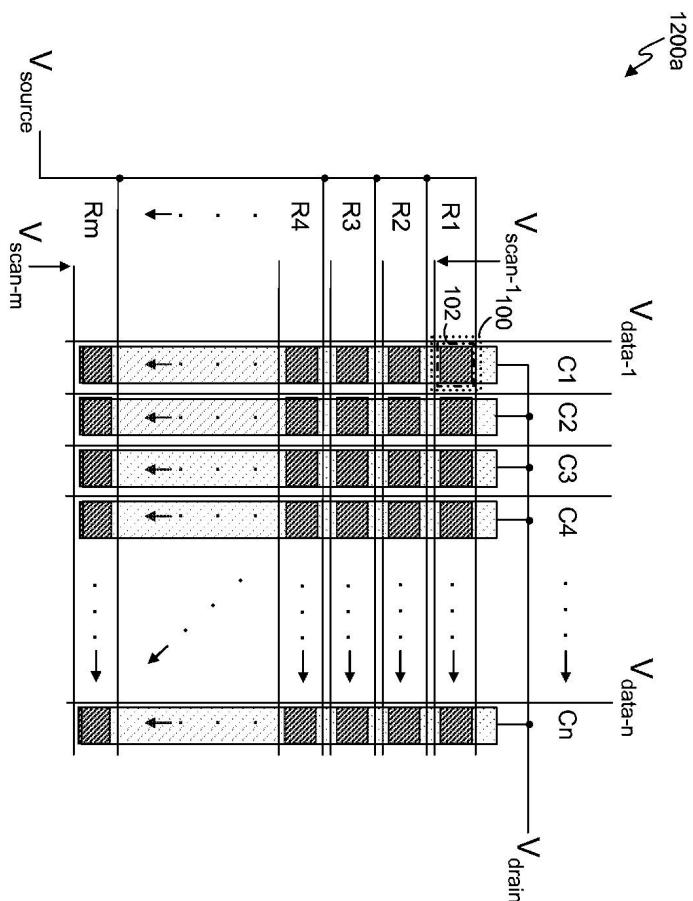
도면23



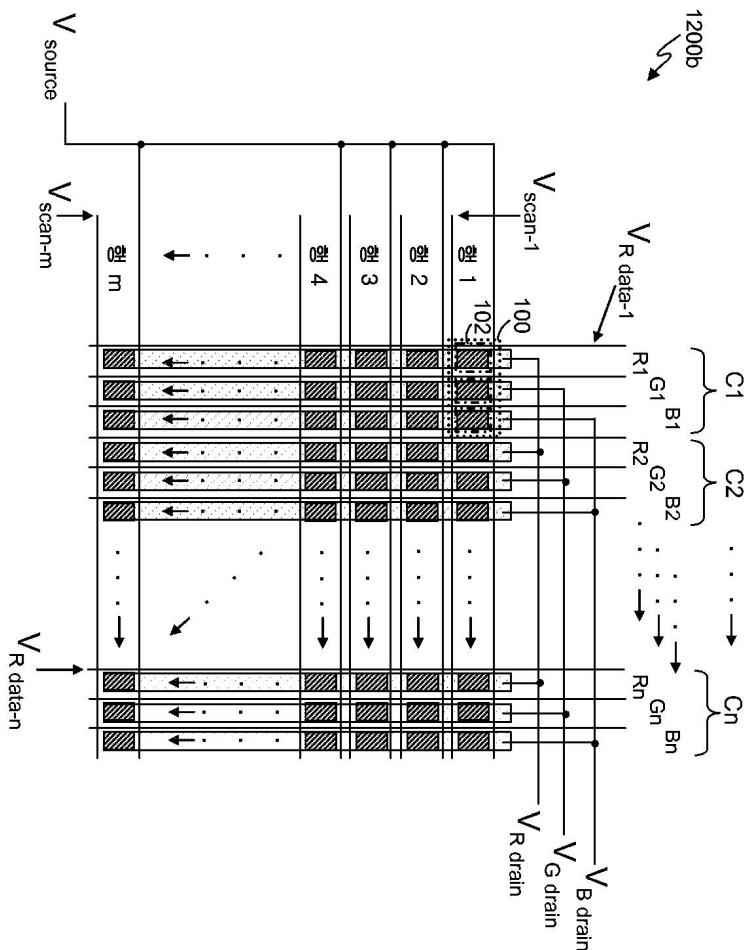
도면24



દોર્ની 25



도면26



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제34항

【변경전】

상기 기판

【변경후】

기판