

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5061688号
(P5061688)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.

F I

G 0 6 F 13/38 (2006.01)

G 0 6 F 13/38 3 1 0 D

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2007-88623 (P2007-88623)	(73) 特許権者	308014341
(22) 出願日	平成19年3月29日(2007.3.29)		富士通セミコンダクター株式会社
(65) 公開番号	特開2008-250470 (P2008-250470A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成20年10月16日(2008.10.16)		23
審査請求日	平成21年12月2日(2009.12.2)	(74) 代理人	100104190
			弁理士 酒井 昭徳
		(72) 発明者	宮本 哲生
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	横山 佳弘

最終頁に続く

(54) 【発明の名称】 データ転送制御装置およびデータ転送制御方法

(57) 【特許請求の範囲】

【請求項1】

メモリ側からデータをF I F Oメモリに書き込み、処理装置側が前記F I F Oメモリからデータを読み出すデータ転送制御装置において、

前記メモリ側に設けられ、前記F I F Oメモリへのデータの書き込みを制御する書き込み制御手段と、

前記処理装置側に設けられ、前記F I F Oメモリからのデータの読み出しを制御する読み出し制御手段と、

前記F I F Oメモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し制御手段に対する読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算手段と、

前記読み出し開始演算手段から出力された前記転送開始通知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え手段と、を備え、

前記読み出し開始演算手段は、

入力されるストロブ信号の長さに基づき、1回の転送サイクル数をカウントするカウンタと、

前記処理装置側および前記メモリ側の動作周波数および1サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換手段と、

前記カウンタの出力と、前記変換手段の出力とを比較し、一致した際のタイミングで前

10

20

記転送開始通知を出力する比較手段と、
を備えたことを特徴とするデータ転送制御装置。

【請求項 2】

前記係数として、前記メモリ側におけるデータ転送中断サイクルを含むことを特徴とする請求項 1 に記載のデータ転送制御装置。

【請求項 3】

前記係数は、予め処理装置側およびメモリ側の転送条件に基づき外部レジスタに設定され、当該設定された値を用いることを特徴とする請求項 1 または 2 に記載のデータ転送制御装置。

【請求項 4】

メモリ側の書き込み制御手段によりデータを F I F O メモリに書き込み、処理装置側の読み出し制御手段により前記 F I F O メモリからデータを読み出すデータ転送制御装置におけるデータ転送制御方法において、

前記 F I F O メモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算工程と、

前記読み出し開始演算工程により出力される前記転送開始通知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え工程と、を含み、

前記読み出し開始演算工程は、

入力されるストロブ信号の長さに基づき、1 回の転送サイクル数をカウントするカウント工程と、

前記処理装置側および前記メモリ側の動作周波数および 1 サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換工程と、

前記カウントされた出力と、前記変換工程の出力とを比較し、一致した際のタイミングで前記転送開始通知を出力する比較工程と、

を含むことを特徴とするデータ転送制御方法。

【請求項 5】

前記係数として、前記メモリ側におけるデータ転送中断サイクルを含むことを特徴とする請求項 4 に記載のデータ転送制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、データ転送制御装置およびデータ転送制御方法にかかり、特に、データ転送を先入れ先出しの F I F O メモリを用いて行うデータ転送制御装置およびデータ転送制御方法に関する。

【背景技術】

【0002】

従来、データ転送を行うデータ転送制御装置は、記憶装置と処理装置との間に設けられる。そして、先入れ先出し方式のメモリ（F I F O）をバッファとして用いて、記憶装置側での転送速度と、処理装置側での転送速度の違いに対応した構成となっている（例えば、下記特許文献 1 参照。）。

【0003】

図 5 は、従来のデータ転送制御装置の構成を示すブロック図である。S D R A M 等のメモリ側には書き込み制御部 101 が設けられ、F I F O メモリ 102 に対する書き込みデータの書き込みを制御している。一方、処理装置側（コア側）には読み出し制御部 103 が設けられ、F I F O メモリ 102 に書き込まれたデータ（読み出しデータ）の読み出しを制御している。F I F O メモリ 102 は、例えば、64 b i t × 256 w o r d の記憶容量を有する。

【0004】

書き込み制御部101と、読み出し制御部103との間には、非同期乗り換え部104が設けられ、書き込み制御部101からの転送開始通知および転送開始ポインタの入力を受けて、書き込み制御部101と、読み出し制御部103との間で異なるクロックを乗せ換える。

【0005】

図5において、コア側動作周波数が100MHz、1サイクルあたりのデータ読み出し量が64bitであり、メモリ側動作周波数が200MHz、1サイクルあたりのデータ書き込み量が64bitの構成であるとする。この場合、コア側の読み出しレートは、 $64\text{bit}/100\text{MHz}=800\text{Mbyte}/\text{sec}$ となり、メモリ側書き込みレートは、 $64\text{bit}/200\text{MHz}=1600\text{Mbyte}/\text{sec}$ となる。

10

【0006】

これにより、読み出しレート $800\text{Mbyte}/\text{sec}<$ 書き込みレート $1600\text{Mbyte}/\text{sec}$ となり、メモリ側での書き込み開始と同時にコア側に読み出し開始を通知しても、読み出しが書き込みを追い越すことはない。ただし、メモリ側からの書き込みが途切れなく行われることを前提としている。

【0007】

【特許文献1】特許第2568048号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

20

しかしながら、データ転送効率を上げるために、FIFOメモリ102への書き込み完了前に読み出しを開始する制御が行われている。このような転送制御を行うと、書き込みデータレートよりも読み出しデータレートの方が大きい場合、読み出し開始のタイミングによっては、読み出しが書き込みを追い越してしまうという問題が生じる。

【0009】

図5の例で具体的に説明すると、コア側動作周波数が100MHz、1サイクルあたりのデータ読み出し量が64bitのまま変わらないが、メモリ側動作周波数が200MHz、1サイクルあたりのデータ書き込み量が16bitに変更になった場合には、読み出しレート $800\text{Mbyte}/\text{sec}>$ 書き込みレート $400\text{Mbyte}/\text{sec}$ となる。このように、読み出しレートが書き込みレートより大きい場合、メモリ側での書き込みとコア側での読み出しを同時に行った場合、途中で読み出しが書き込みを追い越してしまい、有効データを破壊してしまう。逆に有効データの破壊を防ぐため、書き込みが全て完了した後に読み出しを開始すると、無駄な時間が生じてデータ転送効率が低下することになる。非同期乗り換え部104は、メモリ側での書き込みを開始してから適切なタイミングでコア側に読み出し開始を通知しなければならないが、これが行えなかった。

30

【0010】

この発明は、上述した従来技術による問題点を解消するため、FIFOメモリで構成されるバッファを用いる場合において、読み出しが書き込みを追い越すことを防止でき、データ転送を効率化できるデータ転送制御装置およびデータ転送制御方法を提供することを目的とする。

40

【課題を解決するための手段】

【0011】

上述した課題を解決し、目的を達成するため、この発明にかかるデータ転送制御装置は、メモリ側からデータをFIFOメモリに書き込み、処理装置側が前記FIFOメモリからデータを読み出すデータ転送制御装置において、前記メモリ側に設けられ、前記FIFOメモリへのデータの書き込みを制御する書き込み制御手段と、前記処理装置側に設けられ、前記FIFOメモリからのデータの読み出しを制御する読み出し制御手段と、前記FIFOメモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し制御手段に対する読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算手段と、前記読み出し開始演算手段から出力された前記転送開始通

50

知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え手段と、を備え、前記読み出し開始演算手段は、入力されるストロブ信号の長さに基づき、1回の転送サイクル数をカウントするカウンタと、前記処理装置側および前記メモリ側の動作周波数および1サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換手段と、前記カウンタの出力と、前記変換手段の出力とを比較し、一致した際のタイミングで前記転送開始通知を出力する比較手段と、を備えたことを特徴とする。

【0012】

また、この発明にかかるデータ転送制御方法は、メモリ側の書き込み制御手段によりデータをFIFOメモリに書き込み、処理装置側の読み出し制御手段により前記FIFOメモリからデータを読み出すデータ転送制御装置におけるデータ転送制御方法において、前記FIFOメモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算工程と、前記読み出し開始演算工程により出力される前記転送開始通知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え工程と、を含み、前記読み出し開始演算工程は、入力されるストロブ信号の長さに基づき、1回の転送サイクル数をカウントするカウント工程と、前記処理装置側および前記メモリ側の動作周波数および1サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換工程と、前記カウントされた出力と、前記変換工程の出力とを比較し、一致した際のタイミングで前記転送開始通知を出力する比較工程と、を含むことを特徴とする。

【0013】

上記構成によれば、メモリ側からFIFOメモリへのデータの書き込み、およびFIFOメモリから処理装置側へのデータの書き込みの転送条件、例えばデータ転送速度が異なっても、読み出し開始演算手段は、FIFOメモリから読み出し開始する転送開始通知を転送条件に基づき、最適なタイミングで出力する演算を行うため、読み出しが書き込みを追い越すことがなく、データ転送の効率化を図ることができる。

【発明の効果】

【0014】

本発明によれば、FIFOメモリに対してメモリ側と、処理装置側でのデータ転送速度の違い等の転送条件が異なってもFIFOメモリに対するデータの書き込みを安定して行え、かつ、FIFOメモリからのデータの読み出しを連続して効率的に行うことができ、データ転送効率を効率化できるという効果を奏する。

【発明を実施するための最良の形態】

【0015】

以下に添付図面を参照して、この発明にかかるデータ転送制御装置およびデータ転送制御方法の好適な実施の形態を詳細に説明する。

【0016】

(実施の形態)

図1は、本発明の実施の形態によるデータ転送制御装置の構成を示す図である。データ転送制御装置100は、図5に示した書き込み制御部101と、FIFOメモリ102と、読み出し制御部103とを備えるとともに、データ転送制御部110を備えて構成されている。データ転送制御部110は、非同期乗り換え部104と、読み出し開始演算部111により構成されている。

【0017】

データ転送制御装置100の外部には、SDRAM等のメモリ120と、メモリ制御部121と、CPU130と、レジスタ131が設けられている。CPU130は、レジスタ131に対し、読み出し開始演算部111において最適値計算のための設定パラメータを設定する。なお、メモリ120は、SDRAM等の記憶素子に限らず、ハードディスク等の磁気ディスク装置であってもよい。

【0018】

読み出し開始演算部111には、書き込み制御部101から転送開始通知と、1リクエストあたりの総転送サイズが入力されるとともに、レジスタ131から設定パラメータが入力される。読み出し開始演算部111は、これらの入力に基づいて、最適読み出し開始通知サイクル数を演算し、演算結果が示すタイミングで転送開始通知と、転送開始ポイントとを非同期乗り換え部104に出力する。非同期乗り換え部104は、入力された転送開始通知のタイミングで、転送開始ポイントを読み出し制御部103に出力する。これにより、読み出し制御部103は、読み出し開始演算部111により演算された読み出し開始のタイミングに基づいてFIFOメモリ102からの読み出しを開始する。

【0019】

10

以下、上記構成による読み出し開始のタイミングについて詳細に説明する。コア側動作周波数が100MHz、1サイクルあたりのデータ読み出し量が64bitであり、メモリ側動作周波数が200MHz、1サイクルあたりのデータ書き込み量が16bitであるとする。この場合、読み出しレート800Mbyte/sec>書き込みレート400Mbyte/secとなる。

【0020】

この場合、書き込み(Write)側総転送時間が読み出し(Read)側総転送時間より小さくなれば、読み出しが書き込みを追い越さないことを保障できる。

Write側総転送時間<Read側総転送時間

【0021】

20

具体的に上記数値を用いて説明すると、 $1/200\text{MHz} \times (64\text{bit}/16\text{bit}) \times (\text{総転送サイズ} - \text{St_cycle}) < 1/100\text{MHz} \times (64\text{bit}/64\text{bit}) \times \text{総転送サイズ}$

$\text{St_cycle} > 1/2 \times \text{総転送サイズ}$

【0022】

となる。St_cycleは、FIFOメモリ102へ書き込みを開始してから読み出し制御部103に読み出し開始通知を行うサイクル数である。上記例の場合、このサイクル数St_cycleが総転送サイズの半分以上であれば、読み出しが書き込みを追い越すことはない。したがって、 $\text{St_cycle} = 1/2 \times \text{総転送サイズ}$ となったところで、読み出し開始演算部111から読み出し制御部103に対し、読み出しのための転送開始通知を出力すれば、最も早く読み出しを完了させることができるようになる。

30

【0023】

上記式を一般化すると、

$1/a_2 \times 1/b_2 \times (\text{総転送サイズ} - \text{St_cycle}) < 1/a_1 \times 1/b_1 \times \text{総転送サイズ}$

$\text{St_cycle} > [1 - (a_1 \times b_1) / (a_2 \times b_2)] \times \text{総転送サイズ} \dots (1)$

(ただし、a1：コア側動作周波数、a2：メモリ側動作周波数、b1：1サイクルあたりのデータ書き込みbit数、b2：1サイクルあたりのデータ読み出しbit数)

【0024】

40

そして、読み出し開始演算部111は、上記(1)式の両辺が等しくなる最小のサイクル数St_cycleを演算する。演算結果に基づいたタイミングで転送開始通知と、転送開始ポイントを非同期乗り換え部104に出力する。

【0025】

上記の(1)式は、メモリ側からの書き込みが途切れなく行われることを前提にしているが、(1)式の右辺に適当なパラメータ(メモリのバンク跨ぎ発生回数×1回のバンク跨ぎに必要な処理サイクル数など)を追加すれば、メモリ側からの書き込みが途切れた場合でも対応することが可能である。

【0026】

図2は、読み出し開始演算部の内部構成を示す構成図である。図1に示した読み出し開始演算部111の具体的構成例を示す。メモリ制御部121から出力されるストローブ(

50

読み出しイネーブル) 信号 S T B は、カウンタ 2 0 1 を介して比較器 2 0 2 に出力される。カウンタ 2 0 1 は、ストロブ信号 S T B の長さをカウントする、例えば 8 ビットバイナリカウンタで構成される。これにより、カウンタ 2 0 1 から、1 回の転送サイクル数が出力される。

【0027】

また、書き込み制御部 1 0 1 から出力される総転送サイズ (S I Z E [7:0]) は、ビットシフタ 2 0 3 に入力される。このビットシフタ 2 0 3 は、シフトレジスタ等により、複数 (2 0 3 a ~ 2 0 3 c) 並列に設けられてなる。S I Z E [7:0] は、8 ビット入力を示している。ビットシフタ 1 (2 0 3 a) は、入力される総転送サイズのビットを 1 ビット右シフトすることにより、総転送サイズを半分 ($1/2$) にしたデータを出力する。ビットシフタ 2 (2 0 3 b) は、総転送サイズのビットを 2 ビット右シフトすることにより、総転送サイズを $1/4$ にしたデータを出力する。ビットシフタ 3 (2 0 3 c) は、総転送サイズのビットを 3 ビット右シフトすることにより、総転送サイズを $1/8$ にしたデータを出力する。

10

【0028】

これら各ビットシフタ 2 0 3 a ~ 2 0 3 c の出力は、セクタ 2 0 5 に出力される。またビットシフタ 1 (2 0 3 a) と、ビットシフタ 2 (2 0 3 b) の出力は、加算器 2 0 4 にて加算後にセクタ 2 0 5 に出力される。

【0029】

セクタ 2 0 5 は、レジスタ 1 3 1 から出力される選択信号 S T F [1:0] に基づき、4 つのデータ (総転送サイズ) のうち一つを選択出力する。選択信号 S T F [1:0] は、2 ビットの入力を示している。セクタ 2 0 5 の入力 (0 0) には、ビットシフタ 1 (2 0 3 a) と、ビットシフタ 2 (2 0 3 b) の加算により総転送サイズの値が $3/4$ ($(1/2) + (1/4)$) とされた値が入力される。セクタ 2 0 5 の入力 (0 1) には、ビットシフタ 1 (2 0 3 a) の出力により、総転送サイズ値が $1/2$ とされた値が入力される。セクタ 2 0 5 の入力 (1 0) には、ビットシフタ 2 (2 0 3 b) の出力により、総転送サイズの値が $1/4$ とされた値が入力される。セクタ 2 0 5 の入力 (1 1) には、ビットシフタ 3 (2 0 3 c) の出力により、総転送サイズの値が $1/8$ とされた値が入力される。

20

【0030】

レジスタ 1 3 1 には、最適値計算のための設定パラメータとして、上記の式 (1) における右辺の係数 $[1 - (a_1 \times b_1) / (a_2 \times b_2)]$ が設定されている。そして、C P U 1 3 0 は、予め、データ転送制御装置 1 0 0 における書き込みおよび読み出しのクロック設定に基づき、レジスタ 1 3 1 に対し、2 ビットの選択信号 S T F [1:0] のうち、(0 0)、(0 1)、(1 0)、(1 1) のうちいずれかを設定しておく。

30

【0031】

これにより、セクタ 2 0 5 は、選択信号 S T F [1:0] の設定に基づき、8 ビットの総転送サイズ S I Z E [7:0] をそれぞれ除算した 4 つの値 ($3/4$ 、 $1/2$ 、 $1/4$ 、 $1/8$) のうちいずれかを選択して比較器 2 0 2 に出力する。図 3 は、セクタにより選択される総転送サイズを示す図である。例えば、セクタ 2 0 5 は、選択信号 S T F [1:0] の設定が (0 0) であれば、総転送サイズの $3/4$ の値を選択出力し、選択信号 S T F [1:0] の設定が (0 1) であれば、総転送サイズの $1/2$ の値を選択出力し、選択信号 S T F [1:0] の設定が (1 0) であれば、総転送サイズの $1/4$ の値を選択出力し、選択信号 S T F [1:0] の設定が (1 1) であれば、総転送サイズの $1/8$ の値を選択出力する。

40

【0032】

比較器 2 0 2 は、ストロブ信号 S T B の長さに基づきカウンタ 2 0 1 によりカウントされた 1 回の転送サイクル数と、セクタ 2 0 5 により選択された演算後の総転送サイズとを比較する。そして、値が一致すると、転送開始通知 (R E A D__S T) のパルスを非同期乗換え部 1 0 4 に出力する。非同期乗換え部 1 0 4 は、この転送開始通知 (R E

50

A D _ S T) のパルスを非同期のクロックで乗せ換えて読み出し制御部 1 0 3 へ通知し、読み出し制御部 1 0 3 は、この乗せ換え後の読み出し通知の入力タイミングで F I F O メモリ 1 0 2 からの読み出しを開始する。

【0033】

また、図 2 に示す構成例では、データ転送中断を考慮した転送開始通知を行うことができる。C P U 1 3 0 は、予めレジスタ 1 3 1 に 4 ビットでデータ転送中断サイクル D I V _ S T B L [3 : 0] を設定しておく。そして、このデータ転送中断サイクル D I V _ S T B L [3 : 0] をセクタ 2 0 5 の出力に設けた加算器 2 0 7 により加算して比較器 2 0 2 に出力する。これにより、比較器 2 0 2 は、データ転送が中断するサイクルを考慮した状態の転送開始通知を出力する。

10

【0034】

ビットシフト 2 0 3、加算器 2 0 4、セクタ 2 0 5、加算器 2 0 7 は、入力される総転送サイズ S I Z E [7 : 0] を、選択信号 S T F [1 : 0]、およびデータ転送中断サイクル D I V _ S T B L [3 : 0] が示す係数により変換した転送サイズを出力する変換手段として機能する。

【0035】

図 4 は、本発明のデータ転送制御装置の動作を示すフローチャートである。はじめに、C P U 1 3 0 により、設定パラメータをレジスタ 1 3 1 に設定する（ステップ S 4 0 1）。この設定パラメータは、選択信号 S T F [1 : 0] と、データ転送中断サイクル D I V _ S T B L [3 : 0] であり、データ転送制御装置 1 0 0 において演算する最適な転送開始通知サイクル数の演算に用いる。

20

【0036】

次に、書き込み制御部 1 0 1 により、ステップ S 4 0 2 ~ ステップ S 4 0 5 を実行する。まず、書き込み制御部 1 0 1 は、処理装置側（コア側）からの読み出しリクエストを受けると、メモリ制御部 1 2 1 に対して書き込みのリクエスト信号およびデータ転送に必要なパラメータ（アドレス、総転送サイズ等）を送信する（ステップ S 4 0 2）。そして、書き込み制御部 1 0 1 は、メモリ制御部 1 2 1 から A C K 信号を受信した後（ステップ S 4 0 3）、メモリ制御部 1 2 1 から書き込みデータおよび書き込みデータイネーブル信号（S T B）を受信する（ステップ S 4 0 4）。これにより、書き込み制御部 1 0 1 は、F I F O メモリ 1 0 2 への書き込みデータの書き込みを開始する（ステップ S 4 0 5）。

30

【0037】

ステップ S 4 0 4 の実行後、読み出し開始演算部 1 1 1 は、書き込み制御部 1 0 1 からメモリ制御部 1 2 1 へ送信した総転送サイズと、選択信号 S T F [1 : 0] と、データ転送中断サイクル D I V _ S T B L [3 : 0] とに基づいて、最適な転送開始サイクル数を演算する（ステップ S 4 0 6）。この演算は、例えば上述した図 2 に示す構成により実行される。このように、本発明では、F I F O メモリ 1 0 2 への書き込み後、読み出し開始演算部 1 1 1 により演算された最適な転送開始サイクル数に基づき、F I F O メモリ 1 0 2 からの読み出しのタイミングが決定される。

【0038】

読み出し開始演算部 1 1 1 による演算結果は、転送開始通知として非同期乗り換え部 1 0 4 にパルス出力される。非同期乗り換え部 1 0 4 は、転送開始通知のパルスを非同期のクロックで乗せ換えた後、読み出し制御部 1 0 3 へ通知する（ステップ S 4 0 7）。そして、読み出し制御部 1 0 3 は、転送開始通知が通知されると、F I F O メモリ 1 0 2 からの読み出しを開始する（ステップ S 4 0 8）。

40

【0039】

読み出し制御部 1 0 3 により F I F O メモリ 1 0 2 からの読み出しが継続して行われている間、書き込み制御部 1 0 1 による継続的な書き込みが完了し（ステップ S 4 0 9）、この後、読み出し制御部 1 0 3 による F I F O メモリ 1 0 2 からの読み出しが完了する（ステップ S 4 1 0）。以上の動作により一連の動作が終了し、F I F O メモリ 1 0 2 からの読み出しが書き込みを追い越すことを防止できる。

50

【0040】

以上説明したように、この発明のデータ転送制御装置によれば、1度のリクエスト毎に書き込み、読み出し量に応じてFIFOメモリからの最適な読み出し開始のタイミングを演算し、読み出しが書き込みを追い越さないようデータ転送を制御できる。これにより、データ転送効率の中断がなくデータ転送効率の低下を防止できる。特に、FIFOメモリへの書き込み状態を考慮して、読み出しを開始でき、さらに、読み出しを開始した後においても読み出しを開始してから読み出し終了までの読み出し時間を早く完了させることができ、読み出しにかかるデータ転送効率を向上できるようになる。

【0041】

また、メモリ側がメモリ交換等により転送条件が変わった場合においても、この変更後の転送条件に基づき最適なFIFOメモリの読み出し開始のタイミングを得ることができ、データ転送制御装置を備えた装置、例えばデータ処理装置等のメモリ側の仕様変更等に柔軟に対応できるようになる。

10

【0042】

また、本発明によるデータ転送制御装置100のうち、図2に示した読み出し開始演算部111は、バイナリカウンタ、シフトレジスタ、加算器、比較器等のハードウェア構成としたが、これに限らず、読み出し開始演算部111は同じ機能を有するデータ転送制御プログラム（ソフトウェア）で構成し、CPUに実行させる構成とすることもできる。

【0043】

なお、上記のデータ転送方法は、予め用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータのCPUが実行することにより実現することができる。このプログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。またこのプログラムは、インターネット等のネットワークを介して配布することが可能な伝送媒体であってもよい。

20

【0044】

（付記1）メモリ側からデータをFIFOメモリに書き込み、処理装置側が前記FIFOメモリからデータを読み出すデータ転送制御装置において、

前記メモリ側に設けられ、前記FIFOメモリへのデータの書き込みを制御する書き込み制御手段と、

30

前記処理装置側に設けられ、前記FIFOメモリからのデータの読み出しを制御する読み出し制御手段と、

前記FIFOメモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し制御手段に対する読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算手段と、

前記読み出し開始演算手段から出力された前記転送開始通知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え手段と、

を備えたことを特徴とするデータ転送制御装置。

【0045】

（付記2）前記読み出し開始演算手段は、

40

入力されるストローブ信号の長さに基づき、1回の転送サイクル数をカウントするカウンタと、

前記処理装置側および前記メモリ側の動作周波数および1サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換手段と、

前記カウンタの出力と、前記変換手段の出力とを比較し、一致した際のタイミングで前記転送開始通知を出力する比較手段と、

を備えたことを特徴とする付記1に記載のデータ転送制御装置。

【0046】

（付記3）前記係数として、前記メモリ側におけるデータ転送中断サイクルを含むことを

50

特徴とする付記 2 に記載のデータ転送制御装置。

【0047】

(付記 4) 前記係数は、予め処理装置側およびメモリ側の転送条件に基づき外部レジスタに設定され、当該設定された値を用いることを特徴とする付記 2 または 3 に記載のデータ転送制御装置。

【0048】

(付記 5) メモリ側の書き込み制御手段によりデータを F I F O メモリに書き込み、処理装置側の読み出し制御手段により前記 F I F O メモリからデータを読み出すデータ転送制御装置におけるデータ転送制御方法において、

前記 F I F O メモリに対するデータの書き込みおよび読み出しそれぞれの転送条件に基づいて、前記読み出し開始を示す転送開始通知の出力タイミングを演算する読み出し開始演算工程と、

前記読み出し開始演算工程により出力される前記転送開始通知のクロックを非同期で乗せ換え、前記読み出し制御手段に通知する非同期乗り換え工程と、

を含むことを特徴とするデータ転送制御方法。

【0049】

(付記 6) 前記読み出し開始演算工程は、

入力されるストロブ信号の長さに基づき、1 回の転送サイクル数をカウントするカウント工程と、

前記処理装置側および前記メモリ側の動作周波数および 1 サイクルあたりのデータ転送ビット数を示す係数の入力に基づき、前記書き込み制御手段から通知される総転送サイズを変換した値を求める変換工程と、

前記カウントされた出力と、前記変換工程の出力とを比較し、一致した際のタイミングで前記転送開始通知を出力する比較工程と、

を含むことを特徴とする付記 5 に記載のデータ転送制御方法。

【0050】

(付記 7) 前記係数として、前記メモリ側におけるデータ転送中断サイクルを含むことを特徴とする付記 6 に記載のデータ転送制御方法。

【産業上の利用可能性】

【0051】

以上のように、本発明にかかるデータ転送制御装置およびデータ転送制御方法は、処理装置側とメモリ側の間に設けて両者間の異なるデータ転送速度を吸収してデータ転送することができるものであり、大量の画像データを転送する画像データ処理装置を含め、各種データを処理するデータ処理装置に適している。

【図面の簡単な説明】

【0052】

【図 1】本発明の実施の形態によるデータ転送制御装置の構成を示す図である。

【図 2】読み出し開始演算部の内部構成を示す構成図である。

【図 3】セレクタにより選択される総転送サイズを示す図である。

【図 4】本発明のデータ転送制御装置の動作を示すフローチャートである。

【図 5】従来のデータ転送制御装置の構成を示すブロック図である。

【符号の説明】

【0053】

- 100 データ転送制御装置
- 101 書き込み制御部
- 102 F I F O メモリ
- 103 読み出し制御部
- 104 非同期乗り換え部
- 110 データ転送制御部
- 111 読み出し開始演算部

10

20

30

40

50

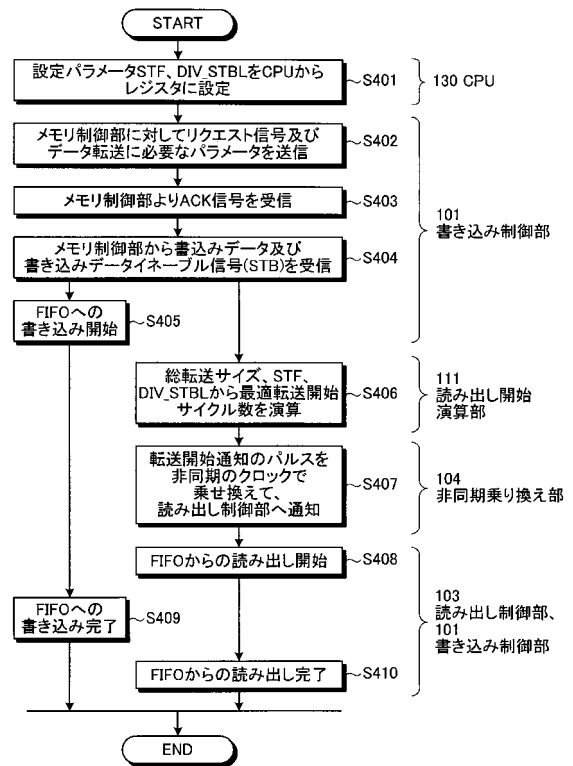
【図 3】

セレクトにより選択される総転送サイズを示す図

・ $(1-(a1 \times b1)/(a2 \times b2))$ を 2bitのレジスタSTFで設定	
STF[1:0]	実際の値
00	3/4
01	1/2
10	1/4
11	1/8

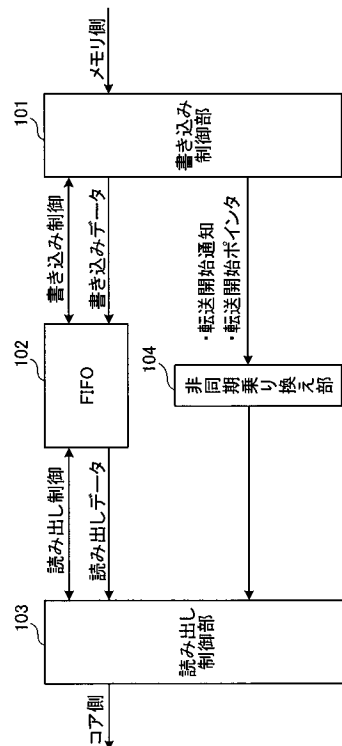
【図 4】

本発明のデータ転送制御装置の動作を示すフローチャート



【図 5】

従来のデータ転送制御装置の構成を示すブロック図



フロントページの続き

- (56)参考文献 特開平10-257297 (JP, A)
特開2001-155145 (JP, A)
特開平11-298704 (JP, A)
特開平04-264644 (JP, A)
特開平01-234928 (JP, A)
特開平01-290030 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 13/38
H04N 1/21
G06F 5/06