



(12)发明专利

(10)授权公告号 CN 103106870 B

(45)授权公告日 2017.03.01

(21)申请号 201210446966.9

(22)申请日 2012.11.05

(65)同一申请的已公布的文献号

申请公布号 CN 103106870 A

(43)申请公布日 2013.05.15

(30)优先权数据

2011-247140 2011.11.11 JP

(73)专利权人 株式会社日本有机雷特显示器

地址 日本东京

(72)发明人 山本哲郎 内野胜秀

(74)专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

代理人 陈桂香 褚海英

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3266(2016.01)

H03K 3/3565(2006.01)

H03K 19/0185(2006.01)

(56)对比文件

CN 101355353 A, 2009.01.28, 说明书第1页、第9页最后1段-第11页第2段, 附图2.

CN 1614674 A, 2005.05.11, 全文.

CN 101183504 A, 2008.05.21, 全文.

US 2008/0129660 A1, 2008.06.05, 全文.

CN 101494019 A, 2009.07.29, 全文.

审查员 顾健健

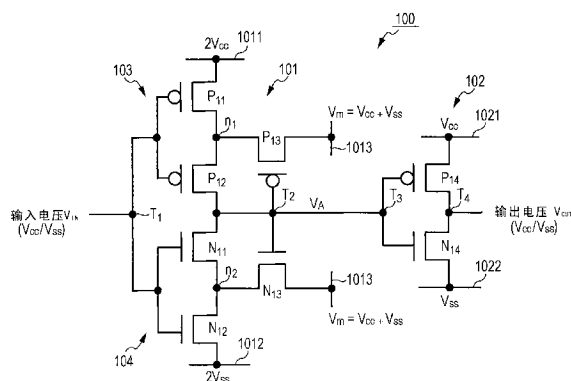
权利要求书3页 说明书14页 附图8页

(54)发明名称

缓冲电路、扫描电路、显示装置和电子设备

(57)摘要

公开了缓冲电路、扫描电路、显示装置和电子设备。一种缓冲电路,包括:第一晶体管电路,具有第一导电型晶体管;第二晶体管电路,具有第二导电型晶体管;其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,用于当所述第一晶体管电路和所述第二晶体管电路的任何一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。



1. 一种缓冲电路,包括:

第一晶体管电路,具有第一导电型晶体管;

第二晶体管电路,具有第二导电型晶体管,并与所述第一晶体管电路构成反相电路配置;

其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,

其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且

其中开关元件被包括,用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

2. 根据权利要求1所述的缓冲电路,其中所述第一固定电源与所述第三固定电源之间的电压以及所述第三固定电源与所述第二固定电源之间的电压是在所述第一晶体管电路和所述第二晶体管电路中所包括的每个晶体管的源极-漏极击穿电压的范围内的电压。

3. 根据权利要求1所述的缓冲电路,其中所述第三固定电源的电压是介于所述第一固定电源的电压与所述第二固定电源的电压之间的值。

4. 根据权利要求3所述的缓冲电路,其中所述第三固定电源的电压是所述第一固定电源的电压和所述第二固定电源的电压的平均值。

5. 如权利要求1所述的缓冲电路,其中所述第一固定电源的电压高于施加到所述输入端的输入电压的高电压侧的电压,并且所述第二固定电源的电压低于所述输入电压的低电压侧的电压。

6. 根据权利要求1所述的缓冲电路,其中所述开关元件是与形成反相电路的所述另一个晶体管电路具有相同导电型的晶体管。

7. 根据权利要求6所述的缓冲电路,其中所述相同导电型的晶体管具有连接到输出端的栅电极。

8. 根据权利要求1所述的缓冲电路,其中:

所述第一晶体管电路包括双栅极结构的第一P沟道晶体管和第一P沟道晶体管,所述第一P沟道晶体管和所述第一P沟道晶体管连接到所述输入端并且栅电极共同连接,

所述第一P沟道晶体管具有连接到所述第一固定电源的源电极,

所述第一P沟道晶体管具有连接到所述输出端的漏电极,并且

所述第一P沟道晶体管的漏电极和所述第一P沟道晶体管的源电极互相共同连接成所述共同连接节点,并且所述第三固定电源的电压通过所述开关元件供应到所述共同连接节点。

9. 根据权利要求1所述的缓冲电路,其中:

所述第二晶体管电路包括双栅极结构的第一N沟道晶体管和第一N沟道晶体管,所述第一N沟道晶体管和所述第一N沟道晶体管连接到所述输入端并且栅电极共同连接,

所述第一N沟道晶体管具有连接到所述输出端的漏电极,

所述第一N沟道晶体管具有连接到所述第二固定电源的源电极,

所述第一N沟道晶体管的源电极和所述第二N沟道晶体管的漏电极互相共同连接成所述共同连接节点,并且所述第三固定电源的电压通过所述开关元件供应到所述共同连接节点。

10.根据权利要求1所述的缓冲电路,其中所述输出端连接到末级的反相电路。

11.根据权利要求10所述的缓冲电路,其中所述第一固定电源的电压高于所述末级的反相电路的正极侧电源的电压,并且所述第二固定电源的电压低于所述末级的反相电路的负极侧电源的电压。

12.一种扫描电路,包括:

在输出级的缓冲电路,输出用于扫描以矩阵形式布置的像素的扫描信号,

其中所述缓冲电路,包括:

第一晶体管电路,具有第一导电型晶体管,

第二晶体管电路,具有第二导电型晶体管,并与所述第一晶体管电路构成反相电路配置,

其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,

其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且

其中开关元件被包括,所述开关元件用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

13.一种显示装置,包括:

像素阵列部分,其中各自包括光电元件的像素以矩阵形式布置,以及

扫描电路,扫描所述像素阵列部分的各像素并且在输出级具有缓冲电路,

其中所述缓冲电路包括:

第一晶体管电路,具有第一导电型晶体管,

第二晶体管电路,具有第二导电型晶体管,并与所述第一晶体管电路构成反相电路配置,

其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,

其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且

其中开关元件被包括,所述开关元件用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

14.一种具有显示装置的电子设备,包括:

像素阵列部分,其中各自包括光电元件的像素以矩阵形式布置,以及

扫描电路,扫描所述像素阵列部分的各像素并且在输出级具有缓冲电路,

其中所述缓冲电路包括：

第一晶体管电路，具有第一导电型晶体管，

第二晶体管电路，具有第二导电型晶体管，并与所述第一晶体管电路构成反相电路配置，

其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接，并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接，

其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管，并且

其中开关元件被包括，用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时，将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

缓冲电路、扫描电路、显示装置和电子设备

背景技术

[0001] 本发明涉及缓冲电路、扫描电路、显示装置和电子设备。

[0002] 作为平面型显示装置(平板型)之一,存在发光亮度取决于装置中流动的电流的值而变化并且使用所谓的电流驱动型光电元件作为像素的发光元件的装置。至于电流驱动型光电元件,例如,已知使用有机材料的电致发光(EL)并且利用当在有机薄膜上施加电场时发光的现象的有机电致发光元件。

[0003] 使用有机EL元件作为像素的发光部分的有机EL显示装置具有以下优选的特征。换句话说讲,有机EL元件具有低功耗,因为有机EL元件可以使用10V或更低的电压来驱动。由于有机EL元件是自发光元件,相比于液晶显示装置而言,图像的能见度很高,并且此外,由于没必要准备任何照明部件,诸如背光,所以容易实现减轻重量并且减薄厚度。此外,因为响应速度非常高,达到约几 μ 秒的等级,所以有机EL元件当显示移动图像时不会留下残留图像。

[0004] 平面型显示装置是有机EL显示装置的代表,具有如下配置:每个像素具有除光电元件之外的至少写入晶体管、存储电容器和驱动晶体管,这些像素布置成二维矩阵形式(例如,参见日本未经审查的专利申请公开No.2007-310311)。

[0005] 在这种显示装置中,写入晶体管是由控制脉冲(扫描脉冲)驱动的,控制脉冲是从扫描电路(扫描部分)通过连线到每个像素行的控制线(扫描线)提供的,从而通过信号线提供的视频信号的信号电压写入到像素中。存储电容器留存写入晶体管已写入的信号电压。驱动晶体管根据留存在存储电容器中的信号电压驱动光电元件。

发明内容

[0006] 顺便提及,一般来讲,当显示面板尺寸变大时,由于控制线的负载(即,当控制脉冲从扫描电路传输到写入晶体管时的负载)变得更大,脉冲的波形由于负载的影响而变得非常的钝。为了抑制负载的影响,已经考虑增大构成扫描电路的输出级的缓冲电路(输出缓冲电路)中末级的反相电路(inverter circuit)的晶体管的大小并且因此降低反相电路的电阻。然而,如果增加晶体管的大小,由于扫描电路和包括扫描电路的外围电路的电路规模也随之增大,所以就可能对窄化显示面板的框架产生干扰。

[0007] 因此,有必要将构成末级的反相电路的晶体管的大小保持为原样。换句话说,有必要在不增加晶体管的大小的情况下降低末级的反相电路的电阻(构成反相电路的晶体管的电阻)。一般来讲,晶体管的电阻值取决于晶体管的大小以及栅极与源极之间的电压。因此,为了不增加构成末级的反相电路的晶体管的大小,有必要升高晶体管的栅极与源极之间的电压,换句话说讲,增加末级的反相电路的输入电压的振幅。

[0008] 为了升高构成末级的反相电路的晶体管的栅极与源极之间的电压,有必要升高供应到末级的反相电路的前级的反相电路的电源电压到高于输入电压。然而,简单地说,当供应到末级的反相电路的前级的反相电路的电源电压被升高到高于输入电压时,构成前级的反相电路的晶体管的源极与漏极之间的电压升高并且超过预定的源极-漏极击穿电压。

[0009] 一般来讲,晶体管的源极-漏极击穿电压小于栅极-源极击穿电压(低)。因此,当构成前级的反相电路的晶体管的源极-漏极击穿电压超过预定的源极-漏极击穿电压时,晶体管的可靠度就会显著地下降。

[0010] 因此,期望在维持构成电路的晶体管的源极-漏极击穿电压的情况下,提供能增加末级的反相电路的输入电压的振幅的缓冲电路、在输出级使用该缓冲电路的扫描电路、配备有该扫描电路的显示装置以及具有该显示装置的电子设备。

[0011] 根据本发明的实施例,提供了本发明的缓冲电路,该缓冲电路包括:第一晶体管电路,所述第一晶体管电路具有第一导电型晶体管,第二晶体管电路,所述第二晶体管电路具有第二导电型晶体管,其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。本发明的缓冲电路可以用作扫描电路中输出级的缓冲电路,该扫描电路输出用于扫描以矩阵形式布置的像素的扫描信号。此外,在输出级具有本发明的缓冲电路的扫描电路可以用作显示装置,显示装置中的像素以矩阵形式布置,或用作固体成像装置中扫描各像素的扫描电路。此外,配备在输出级具有本发明的缓冲电路的扫描电路的显示装置可以用作具有显示部分的各种电子设备的显示部分。

[0012] 在以上提及的构造的缓冲电路中,第一晶体管电路和第二晶体管电路可以在第一固定电源与第二固定电源之间串联连接,从而,例如,当作为一个晶体管电路的第一晶体管电路处于工作状态时,输出级的电压可以成为第一固定电源的电压。以此方式,至于第二晶体管电路,第一固定电源的电压和第二固定电源的电压也供应到第二晶体管电路。

[0013] 此时,例如,对于作为另一个晶体管电路的第二晶体管电路的双栅极晶体管的共同连接节点,第三固定电源的电压可以通过开关元件被供应。以此方式,在构成双栅极结构的两个晶体管的每个源极与漏极之间,没有供应第一固定电源与第二固定电源之间的电压,而是供应了第一固定电源与第三固定电源之间的电压以及第三固定电源与第二固定电源之间的电压。

[0014] 这里,第一固定电源与第三固定电源之间的电压以及第三固定电源与第二固定电源之间的电压可以是构成第一晶体管电路和第二晶体管电路的每个晶体管的源极-漏极击穿电压的范围内的电压。以此方式,施加到晶体管的源极与漏极之间的电压变得比其击穿电压更低,并且因此可以得到具有比输入电压的振幅更大的振幅的输出电压。

[0015] 根据本发明,因为晶体管的源极与漏极之间的电压可以低于其击穿电压,所以能够在保持晶体管的源极-漏极击穿电压的情况下增加末级的反相电路的输入电压的振幅,并且能够得到具有比输入电压的振幅更大的振幅的输出电压。

附图说明

[0016] 图1为图示了根据本发明的实施例的缓冲电路的配置实例的电路图;

[0017] 图2为图示了输入电压 V_{IN} 是低电平 V_{ss} 的情况的电路操作的示图;

- [0018] 图3为提供用于解释输入电压 V_{IN} 是低电平 V_{CC} 的情况的电路操作的示图；
- [0019] 图4为图示了缓冲电路的输入电压 V_{IN} 、前级的反相电路的输出端 T_3 的电位 V_A 以及此缓冲电路的输出电压 V_{OUT} 的每个波形的波形图；
- [0020] 图5为图示了前级的反相电路包括与末级的反相电路相同的单栅极晶体管的情况的电路图；
- [0021] 图6为图示了本发明的有机EL显示装置的配置的概况的配置图；
- [0022] 图7为图示了像素(像素电路)的详细电路配置的实例的电路图；以及
- [0023] 图8为图示了写入扫描电路的配置的实例的方块图。

具体实施方式

[0024] 以下,将会使用附图详细地公开实施本发明的技术的形式(指的是“实施例”)。本发明并不局限于实施例。在以下公开中,相同的附图标记用于相同的元件或具有相同的功能的元件,并且将会省略其重复描述。此外,将会按照以下顺序进行描述。

[0025] 1.有关本发明的缓冲电路及其整体的说明

[0026] 2.根据一实施例的缓冲电路

[0027] 2-1.电路配置

[0028] 2-2.电路操作

[0029] 2-3.实施例的操作及效果

[0030] 3.显示装置(有机EL显示装置)

[0031] 3-1.系统配置

[0032] 3-2.像素电路

[0033] 3-3.扫描电路

[0034] 3-4.其他

[0035] 4.电子设备

[0036] 5.本发明的配置

[0037] <1.有关本发明的缓冲电路及其整体的说明>

[0038] 本发明的缓冲电路包括CMOS反相电路配置,使得包括第一导电型晶体管的第一晶体管电路与包括第二导电型晶体管的第二晶体管电路串联连接,并且各晶体管电路的输入端和输出端分别共同连接。

[0039] 在CMOS反相电路配置的缓冲电路中,第一晶体管电路与第二晶体管电路在第一固定电源与第二固定电源之间串联连接。然后,第一晶体管电路和第二晶体管电路中的至少一个晶体管电路包括具有双栅极结构的晶体管,即,双栅极晶体管。

[0040] 本发明的缓冲电路具有包括与末级的反相电路的组别的电路配置,换言之讲,可以是末级的反相电路的输入端连接到第一晶体管电路和第二晶体管电路的各自输出端的配置。此时,期望假定第一固定电源的电压是比末级的反相电路的正极侧电源的电压高的电压,并且第二固定电源的电压是比末级的反相电路的负极侧电源的电压低的电压。

[0041] 然后,当第一晶体管电路和第二晶体管电路中的任一个晶体管电路处于工作状态时,本发明的缓冲电路具有带开关元件的特征,该开关元件选择性地供给第三固定电源的电压到另一个晶体管电路的双栅极晶体管的共同连接节点。

[0042] 第三固定电源的电压是介于第一固定电源和第二固定电源的每个电压之间的值,并且期望假定供应第一固定电源和第二固定电源的每个电压的平均值。选择性地供给第三固定电源的电压的开关元件可以是与构成反相电路的所述另一个晶体管具有相同导电型的晶体管。相同导电型的晶体管被安装成使得栅电极连接到缓冲电路的输出端,并且分别地,一个源电极/漏电极连接到第三固定电源,并且另一个源电极/漏电极连接到双栅极晶体管共同连接节点。

[0043] 这里,优选的是,第一固定电源的电压是比施加到(输入到)第一晶体管电路和第二晶体管电路的各自输入端(也就是说,缓冲电路的输入端)的输入电压的高电压侧的电压高的电压,并且第二固定电源的电压将会低于所述输入电压的低电压侧的电压。以此方式,由于升高(供给作为末级的反相电路的前级的反相电路的本发明的缓冲电路的)电源电压到高于输入电压对应于降低末级的反相电路102的电阻,所以能够在不增加构成反相电路的晶体管的大小的情况下升高栅极与源极之间的电压。

[0044] 此外,期望第一固定电源与第三固定电源之间的电压以及第三固定电源与第二固定电源之间的电压是构成第一晶体管电路和第二晶体管电路的每个晶体管的源极-漏极击穿电压的范围内的电压。通过执行这种电压设置,供给到构成第一晶体管电路和第二晶体管电路的每个晶体管的源极与漏极之间的电压变成等于或低于其击穿电压,而且可以获得具有大于输入电压的振幅的缓冲电路的输出电压。

[0045] 本发明的缓冲电路可以作为通用的缓冲电路用于各种用途而不受任何限制。作为示例,本发明的缓冲电路可以,在输出对以矩阵形式布置的像素进行扫描的扫描信号的扫描电路中,用作输出级的缓冲电路。

[0046] 此外,在各自包括光电元件的像素以矩阵形式布置的显示装置中或在包括光电转换元件的像素以矩阵形式布置的固体成像装置中,在输出级具有本发明的缓冲电路的扫描电路可以用作扫描各像素的扫描电路。在这种情况下,扫描电路可以采取安装在显示面板上的形式或采取作为驱动器IC布置在显示面板之外的形式。此外,配备在输出级具有本发明的缓冲电路的扫描电路的显示装置可以用作具有显示部分的各种电子设备的显示部分。

[0047] <2. 根据实施例的缓冲电路>

[0048] 【2-1. 电路构造】

[0049] 图1为图示了根据本发明的实施例的缓冲电路的配置实例的电路图。根据本实施例的缓冲电路100包括两级使得前级的反相电路101和后级(末级)的反相电路102以级联方式连接。反相电路并不局限于了两级的构造,而可以是多于三级的构造,其中反相电路进一步以级联方式连接到前级的反相电路101的前级侧。

[0050] 高电压侧的电压(高电平)是 V_{cc} 并且低电压侧的电压(低电平)是 V_{ss} 的输入电压 V_{IN} 输入到根据本实施例的缓冲电路100。相对于输入电压 V_{IN} ,前级的反相电路101的第一固定电源1011,换言之,正极侧电源的电压采用高于输入电压 V_{IN} 的高电压侧的电压 V_{cc} 的电压,例如, $2V_{cc}$,并且第二固定电源1012,换言之,负极侧电源的电压采用等于或低于输入电压 V_{IN} 的低电压侧的电压 V_{ss} 的电压,例如, $2V_{ss}$ 。可以是 $2V_{ss} = V_{ss}$ 的情况。

[0051] 这里,增加将会供给到前级的反相电路101的电源电压($2V_{cc}$, $2V_{ss}$)到高于输入电压 V_{IN} 对应于降低末级的反相电路102的电阻。这是因为在构成反相电路102的晶体管的大小保持原样的情况下升高了栅极与源极之间的电压。此外,这里,构成前级的反相电路101的

每个晶体管的源极-漏极击穿电压可看作($V_{cc}-V_{ss}$)。

[0052] 在图1中,前级的反相电路101具有如下配置:第一晶体管电路和第二晶体管电路103、104在第一固定电源1011与第二固定电源1012之间串联连接。第一晶体管电路103包括第一导电型晶体管,并且第二晶体管电路104包括第二导电型晶体管。这里,P沟道型晶体管用作第一导电型晶体管,并且N沟道型晶体管作用第二导电型晶体管。

[0053] 第一晶体管电路103和第二晶体管电路104的至少一个晶体管电路包括双栅极结构晶体管,换句话说,双栅极晶体管。当任何一个晶体管电路是双栅极晶体管时,另一个晶体管电路具有单栅极晶体管。在此实施例中,作为示例,提出并且公开了第一晶体管电路103和第二晶体管电路104的两侧具有双栅极晶体管的构造的情况。

[0054] 第一晶体管电路103被构造成使得栅电极共同互相连接,并且由连接到输入端 T_1 的双栅极结构的第一P沟道晶体管 P_{11} 和第二P沟道晶体管 P_{12} 构成。这里,“输入端 T_1 ”指示输入电压 V_{IN} 所供给到的前级的反相电路101的输入端。第一p沟道晶体管 P_{11} 被构造成使得源电极连接到第一固定电源1011。

[0055] 第二P沟道晶体管 P_{12} 被构造成使得漏电极连接到输出端 T_2 。这里,“输出端 T_2 ”指示前级的反相电路101的输出端。然后,第一P沟道晶体管 P_{11} 的漏电极和第二P沟道晶体管 P_{12} 的源电极共同连接成双栅极晶体管的共同连接节点 n_1 。

[0056] 第二晶体管电路104被构造成使得栅电极共同互相连接,并且由连接到输入端 T_1 的双栅极结构的第一N沟道晶体管 N_{11} 和第二N沟道晶体管 N_{12} 构成。第一P沟道晶体管 N_{11} 被构造成使得漏电极连接到输出端 T_2 。第二P沟道晶体管 P_{12} 被构造成使得源电极连接到第二固定电源1012。然后,第一N沟道晶体管 N_{11} 的源电极和第二N沟道晶体管 N_{12} 的漏电极共同互相连接成双栅极晶体管的共同连接节点 n_2 。

[0057] 此外,前级的反相电路101的输入端 T_1 是第一晶体管电路103和第二晶体管电路104共有的输入端,并且成为缓冲电路100的输入端。前级的反相电路101的输出端 T_2 是第一晶体管电路103和第二晶体管电路104共有的输出端。换句话说, P沟道晶体管 P_{12} 的漏电极与N沟道晶体管 N_{11} 的漏电极之间的共同连接点(节点)成为第一晶体管电路103和第二晶体管电路104的输出端 T_2 。

[0058] 从以上可以清楚,前级的反相电路101具有CMOS反相配置使得第一晶体管电路103包括双栅极结构的P沟道晶体管(P_{11} 、 P_{12}),并且第二晶体管电路104包括双栅极结构的N沟道晶体管(N_{11} 、 N_{12})。

[0059] 在构成第一晶体管电路103的双栅极晶体管(P_{11} 、 P_{12})的共同连接节点 n_1 和第三固定电源1013之间,连接了开关元件,例如具有与构成第一晶体管电路103的晶体管相同的导电类型的P沟道晶体管 P_{13} 。P沟道晶体管 P_{13} 被构造成使得栅电极连接到前级的反相电路101的输出端 T_2 ,并且一个源电极/漏电极连接到双栅极晶体管(P_{11} 、 P_{12})的共同连接节点 n_1 ,并且另一个源电极/漏电极连接到第三固定电源1013。

[0060] 然后,当第二晶体管电路104成为工作状态时,P沟道晶体管 P_{13} 成为导通(接通)状态并且供给第三固定电源1013的电压 V_m 到构成第一晶体管电路103的双栅极晶体管(P_{11} 、 P_{12})的共同连接节点 n_1 。这里,“当第二晶体管电路104处于工作状态时”指示当N沟道晶体管(N_{11} 、 N_{12})处于导通状态时。

[0061] 在构成第二晶体管电路104的双栅极晶体管(N_{11} 、 N_{12})的共同连接节点 n_2 和第三固

定电源1013之间,连接了开关元件,例如具有与构成第二晶体管电路104的晶体管相同的导电类型的N沟道晶体管 N_{13} 。N沟道晶体管 N_{13} 被构造使得栅电极连接到前级的反相电路101的输出端 T_2 ,并且一个源电极/漏电极连接到双栅极晶体管(N_{11} 、 N_{12})的共同连接节点 n_2 ,并且另一个源电极/漏电极连接到第三固定电源1013。

[0062] 然后,当第一晶体管电路103成为工作状态时,N沟道晶体管 N_{13} 被构造使得第三固定电源1013的电压 V_m 被供给到构成第二晶体管电路104的双栅极晶体管(N_{11} 、 N_{12})的共同连接节点 n_2 。这里,“当第一晶体管电路103处于工作状态时”指示当P沟道晶体管(P_{11} 、 P_{12})处于导通状态时。

[0063] 作为第三固定电源1013的电压 V_m ,使用第一固定电源1011和第二固定电源1012的每个电压之间的值,优选地,使用第一固定电源1011和第二固定电源1012的每个电压 $2V_{cc}$ 和 $2V_{ss}$ 的平均值。此外,第一固定电源1011与第三固定电源1013之间的电压以及第三固定电源1013与第二固定电源1012之间的电压采用构成第一晶体管电路103和第二晶体管电路104的每个晶体管的源极-漏极击穿电压($V_{cc}-V_{ss}$)的范围内的电压。

[0064] 末级的反相电路102成为包括P沟道晶体管 P_{14} 和N沟道晶体管 N_{14} 的CMOS反相电路配置。换句话说讲,P沟道晶体管 P_{14} 和N沟道晶体管 N_{14} 在正极侧电源1021与负极侧电源1022之间串联连接。

[0065] 然后,在此示例的情况下,正极侧电源1021的电压被设置成与输入电压 V_{IN} 的高电压侧相同的电压 V_{cc} ,负极侧电源1022的电压被设置成与输入电压 V_{IN} 的低电压侧相同的电压 V_{ss} 。以此方式,前级的反相电路101的第一固定电源1011的电压 $2V_{cc}$ 变得高于末级的反相电路102的正极侧电源1021的电压 V_{cc} ,并且第二固定电源1012的电压 $2V_{ss}$ 变得等于或低于末级的反相电路102的负极侧电源1022的电压 V_{ss} 。

[0066] P沟道晶体管 P_{14} 和N沟道晶体管 N_{14} 的栅电极共同连接成为连接到前级的反相电路101的输出端 T_2 的反相电路102的输入端 T_3 。此外,P沟道晶体管 P_{14} 和N沟道晶体管 N_{14} 的漏电极共同连接成为此反相电路102的输出端 T_4 。末级的反相电路102的输出端 T_4 成为缓冲电路100的输出级。然后,从此输出端 T_4 ,获得了振幅是 $V_{cc}-V_{ss}$ 的输出电压 V_{OUT} ,换句话说讲,高电压侧是电压 V_{cc} ,并且低电压侧是电压 V_{ss} 。

[0067] 【2-2.电路操作】

[0068] 随后,将使用图2和图3公开根据以上提及的本实施例的构造的缓冲电路100的电路操作。此外,在图4中,图示了缓冲电路100的输入电压 V_{IN} 、前级的反相电路101的输出端 T_3 的电位(输出电位) V_A 、以及缓冲电路100的输出电压 V_{OUT} 的每个波形。

[0069] 首先,将会使用图2的操作图示描述输入电压 V_{IN} 是低电压(低电平) V_{ss} 的情况的电路操作。

[0070] 当输入电压 V_{IN} 是低电平 V_{ss} 时,第一晶体管电路103的P沟道双栅极晶体管 P_{11} 、 P_{12} 以及第二晶体管电路104的负极电源侧的N沟道晶体管 N_{12} 处于导通(接通)状态。随即,前级的反相电路101的输出端 T_2 的电位 V_A 上升。

[0071] 然后,当前级的反相电路101的输出端 T_2 的电位 V_A 变得等于或大于(第三固定电源1013的电压 V_m +N沟道晶体管 N_{13} 的阈值电压)时,N沟道晶体管 N_{13} 成为导通状态。以此方式,如图2中虚线箭头所示,穿透电流通过以下路径流动:第三固定电源1013→N沟道晶体管 N_{13} →N沟道晶体管 N_{12} →第二固定电源1012。

[0072] 这里,第二晶体管电路104的双栅极晶体管 N_{11} 和 N_{12} 的共同连接节点 n_2 的电位通过N沟道晶体管 N_{12} 、 N_{13} 的每个栅极与源极之间的电压和大小可以大致变为第三固定电源1013的电压 V_m 。此时,第二晶体管电路104侧的每个晶体管 N_{11} 、 N_{12} 和 N_{13} 的源极与漏极之间的电压最大处于 $(V_{cc}-V_{ss})$ 。因此,晶体管 N_{11} 、 N_{12} 和 N_{13} 的源极与漏极之间的电压不会超过晶体管 N_{11} 、 N_{12} 和 N_{13} 的源极-漏极击穿电压 $(V_{cc}-V_{ss})$ 。

[0073] 然后,将会使用图3的操作图示描述输入电压 V_{IN} 是高电压(高电平) V_{cc} 的情况的电路操作。

[0074] 当输入电压 V_{IN} 是高电平 V_{cc} 时,第二晶体管电路104的N沟道双栅极晶体管 N_{11} 和 N_{12} 以及第一晶体管电路103的极电源侧的P沟道晶体管 P_{11} 成为导通状态。随即,前级的反相电路101的输出端 T_2 的电位 V_A 下降。

[0075] 然后,当前级的反相电路101的输出端 T_2 的电位 V_A 等于或低于(第三固定电源1013的电压 V_m +P沟道晶体管 P_{11} 的阈值电压)时,P沟道晶体管 P_{11} 成为导通状态。以此方式,如图3中虚线箭头所示,穿透电流通过以下路径流动:第一固定电源1011→P沟道晶体管 P_{11} →P沟道晶体管 P_{13} →第三固定电源1013。

[0076] 这里,第一晶体管电路103的双栅极晶体管 P_{11} 和 P_{12} 的共同连接节点 n_1 的电位通过P沟道晶体管 P_{11} 和 P_{13} 的每个栅极与源极之间的电压和大小可以大致采用第三固定电源1013的电压 V_m 。此时,第一晶体管电路103侧的每个晶体管 P_{11} 、 P_{12} 和 P_{13} 的源极与漏极之间的电压最大处于 $(V_{cc}-V_{ss})$ 。因此,晶体管 P_{11} 、 P_{12} 和 P_{13} 的源极与漏极之间的电压不会超过这些晶体管 P_{11} 、 P_{12} 和 P_{13} 的源极-漏极击穿电压 $(V_{cc}-V_{ss})$ 。

[0077] 【2-3.实施例的操作及效果】

[0078] 在通过将至少一级反相电路置于末级的反相电路102之前而构造成的缓冲电路100中,首先,采用将前级的反相电路101中将会供给的电源电压 $(2V_{cc}-2V_{ss})$ 设置成比输入电压 V_{IN} 更大的配置。以此方式,可以在不升高构成反相电路102的晶体管 P_{14} 和 N_{14} 的大小的情况下,通过降低末级的反相电路102的电阻来升高这些晶体管 P_{14} 和 N_{14} 的栅极与源极之间的电压,换句话说讲,可以升高末级的反相电路102的输入电压的振幅。

[0079] 然后,采用以下配置:第一晶体管电路103和第二晶体管电路104由双栅极晶体管构成,并且当一个晶体管电路103/104操作时,将第三固定电源1013的电压 V_m 供给到另一个晶体管电路104/103的双栅极晶体管的共同连接节点 n_2/n_1 。以此方式,能够在保持构成第一晶体管电路103和第二晶体管电路104的每个晶体管的源极-漏极击穿电压的情况下,升高构成反相电路102的每个晶体管 P_{14} 和 N_{14} 的栅极与源极之间的电压,换句话说讲,可以增加末级的反相电路102的输入电压的振幅。

[0080] 在此情况下,输入末级的反相电路102的波形的振幅成为 $(2V_{cc}-2V_{ss})$,并且在构成末级的反相电路102的每个晶体管 P_{14} 和 N_{14} 的栅极与源极之间,将会采用超过源极-漏极击穿电压 $(V_{cc}-V_{ss})$ 的电压。然而,一般来讲,晶体管的栅极-源极击穿电压大于源极-漏极击穿电压(高)。因此,在每个晶体管 P_{14} 和 N_{14} 的栅极与源极之间,可以应用超过源极-漏极击穿电压的电压。然后,晶体管 P_{14} 和 N_{14} 的栅极与源极之间的电压升高,换句话说讲,通过增加末级的反相电路102的输入电压的振幅,可以降低反相电路102的电阻。

[0081] 如以上所讨论,在根据本实施例的缓冲电路100中,在保持构成缓冲电路100的每个晶体管的源极-漏极击穿电压的情况下,可以增大输入到末级的反相电路102的电压的振

幅。再者,通过增大末级的反相电路102的输入电压的振幅,能够减小包括在反相电路102中的每个晶体管P₁₄和N₁₄的大小。

[0082] 这里,如图5所示,缓冲电路被考虑为具有针对与末级的反相电路102相类似的前级的反相电路101使用单栅极的晶体管的构造。在此缓冲电路中,绝对地,当供给到前级的反相电路101的电源电压增加为高于输入电压 V_{IN} 时,构成前级的反相电路101的晶体管的源极与漏极之间的电压变大并且超过预定的源极-漏极击穿电压。在此示例的情况中,源极-漏极击穿电压也采用($V_{CC}-V_{SS}$)。

[0083] 以上,根据期望的实施例的缓冲电路100被公开为第一晶体管电路103和第二晶体管电路104均包括双栅极晶体管,但是本发明的技术并不局限于根据期望的实施例的缓冲电路100。换句话讲,第一晶体管电路103和第二晶体管电路104的至少一个晶体管电路可以被构造包括双栅极晶体管。

[0084] 根据本实施例的缓冲电路100可以作为通用的缓冲电路用于各种用途,并且例如,在输出以对以矩阵形式布置的像素进行扫描的扫描信号的扫描电路中,能够用作输出端的缓冲电路。此外,在布置为矩阵形式并且包括光电元件的显示装置中,或在包括光电转换元件的每个像素布置为矩阵形式的固体成像装置中,使用根据本实施例的缓冲电路100作为输出级的扫描电路(本发明的扫描电路)可以用作扫描每个像素的扫描电路。

[0085] 以下,配备了使用根据本实施例的缓冲电路100作为输出级的扫描电路的显示装置将会作为本发明的显示装置进行描述。

[0086] <3.显示装置>

[0087] 【3-1.系统配置】

[0088] 图6为本发明的显示装置,例如,图示了有源矩阵型显示装置的构造的概况的系统配置图。

[0089] 有源矩阵型显示装置是通过安装在与光电元件相同的像素中的有源元件,例如,通过绝缘栅极场效应晶体管来控制光电元件中流动的电流的显示装置。至于绝缘栅极场效应晶体管,通常使用TFT(薄膜晶体管)。

[0090] 这里,作为示例,描述发光亮度取决于装置中流动的电流值而改变的电流驱动型光电元件的有源矩阵型有机EL显示装置(例如,有机EL元件被用作像素(像素电路)的发光元件)的情况。

[0091] 如图6所示,根据示例的有机EL显示装置10具有以下配置,包括:像素阵列部分30,其中多个像素20布置成二维矩阵形式,每个像素包括有机EL元件;以及驱动电路部分,布置在像素阵列部分30周围。驱动电路部分包括写入扫描电路40、供电扫描电路50、信号输出电路60等,并且驱动像素阵列部分30的每个像素20。

[0092] 这里,当有机EL显示装置10的作为形成彩色图像的单元的一个像素(单位像素)包括多个子像素时,每个子像素等同于图6的像素20。更具体地讲,在显示装置对应于彩色显示器的情况下,一个像素包括三个子像素,例如,用于发出红光(R)的子像素、用于发出绿光(G)的子像素和用于发出蓝光(B)的子像素。

[0093] 然而,一个像素并不局限于RGB的3个基本颜色的子像素的组合,而是一个颜色或多个颜色的子像素可以进一步增加到3个基本颜色的子像素以构成一个像素。更具体地讲,例如,为了提高亮度,增加发出白色(W)光的子像素以构成一个像素,并且为了扩大色彩再

现范围,增加发出互补色光的至少一个子像素,从而可以构成一个像素。

[0094] 至于像素阵列部分30,为了布置 m 行 n 列的像素20,扫描线 31_1 至 31_m 以及供电线 32_1 至 32_m 沿着行方向(沿着像素行的方向/像素行的像素的布置方向)连线到每个像素行。此外,为了布置 m 行 n 列的像素20,信号线 33_1 至 33_n 沿着列方向(沿着像素列的方向/像素列的像素的布置方向)连线到每个像素列。

[0095] 扫描线 31_1 至 31_m 分别连接到写入扫描电路40的对应行的输出端。供电线 32_1 至 32_m 分别连接到供电扫描电路50的对应行的输出端。信号线 33_1 至 33_m 分别连接到信号输出电路60的对应列的输出端。

[0096] 像素阵列部分30通常形成在诸如玻璃基板的透明绝缘板上。以此方式,有机EL显示装置10具有平面型(平板型)的平板结构。像素阵列部分30的每个像素20的驱动电路可以通过使用非晶硅TFT或低温多晶硅TFT来形成。

[0097] 写入扫描电路40是由移位寄存器电路构成的,这些移位寄存器电路顺序地与时钟脉冲 ck 同步地执行开始脉冲 sp 的移位(传送)。在将视频信号的信号电压写入像素阵列部分30的每个像素20的情况下,通过提供写入扫描信号 $WS(WS_1$ 至 $WS_m)$ 用于扫描线 $31(31_1$ 至 $31_m)$,写入扫描电路40以行为单元依次执行像素阵列部分30的每个像素20的扫描(行顺序扫描)。

[0098] 供电扫描电路50是由移位寄存器电路构成的,这些移位寄存器电路顺序地与时钟脉冲 ck 等同步地移位开始脉冲 sp 。此供电扫描电路50与写入扫描电路40执行的行顺序扫描同步地供应电源电位 $DS(DS_1$ 至 $DS_m)$ 到供电线 $32(32_1$ 至 $32_m)$,电源电位 DS 可以切换为比第一电源电位 V_{ccp} 低的第二电源电位 V_{ini} 和第一电源电位 V_{ccp} 。通过切换电源电位 DS 为 V_{ccp}/V_{ini} ,执行了对像素20的发光/不发光的控制。

[0099] 信号输出电路60选择性地输出取决于从信号供应源(未示出)供应的亮度信息的视频信号的信号电压(以下,存在简单地称为“信号电压”的情况) V_{sig} 和参考电压 V_{ofs} 。这里,参考电压 V_{ofs} 是成为视频信号的信号电压 V_{sig} 的参考的电位(例如,对应于视频信号的黑色电平的电位)。

[0100] 从信号输出电路60输出的信号电压 V_{sig} /参考电压 V_{ofs} 经由信号线 $33(33_1$ 至 $33_n)$ 写入通过写入扫描电路40对像素阵列部分30的每个像素20执行扫描而选择的像素行的单元中。换句话讲,信号输出电路60采用行顺序写入的驱动形式,行顺序写入将信号电压 V_{sig} 写入到行单元中。

[0101] 【3-2. 像素电路】

[0102] 图7为图示了像素(像素电路)20的详细电路配置的示例的电路图。像素20的发光部分是由有机EL元件21形成的,有机EL元件21是发光亮度取决于装置中流动的电流值而发生变化的电流驱动型光电元件。

[0103] 如图7所示,像素20是由有机EL元件21和驱动电路构成的,驱动电路通过使电流流到有机EL元件21而驱动有机EL元件。有机EL元件21被构造成使得阴极电极连接到共同的供电线34,其中接线(所谓的实心线)是相对于所有的像素20共同执行的。

[0104] 驱动有机EL元件21的驱动电路被构造成具有驱动晶体管22、写入晶体管23和存储电容器24。N沟道型TFT可以用作驱动晶体管22和写入晶体管23。图中示出的导电型的驱动晶体管22和写入晶体管23的组合仅仅是示例,并且并不局限于这种组合。

[0105] 至于驱动晶体管22,一个电极(源电极/漏电极)连接到有机EL元件21的阳极电极,

并且另一个电极(源电极/漏电极)连接到供电线32(32_i至32_m)。

[0106] 至于写入晶体管23,一个电极(源电极/漏电极)连接到信号线33(33_i至33_n),并且另一个电极(源电极/漏电极)连接到驱动晶体管22的栅电极。此外,写入晶体管23的栅电极连接到扫描线31(31_i至31_m)。

[0107] 在驱动晶体管22和写入晶体管23中,所谓的一个电极指电连接到源极区/漏极区的金属连线,并且另一个电极指电连接到漏极区/源极区的金属连线。此外,如果一个电极通过一个电极与另一个电极之间的电位关系成为源电极,则另一个电极也成为漏电极,并且如果另一个电极成为漏电极,则一个电极也成为源电极。

[0108] 存储电容器24被构造使得一个电极连接到驱动晶体管22的栅电极,并且另一个电极连接到驱动晶体管22的另一个电极和有机EL元件21的阳极电极。

[0109] 在以上提及的构造的像素20中,写入晶体管23响应于从写入扫描电路40通过扫描线31施加到栅电极的写入扫描信号WS的高有效而成为导通状态。以此方式,写入晶体管23对从信号输出电路60通过信号线33供应的取决于亮度信息的视频信号的信号电压V_{sig}或参考电压V_{ofs}进行采样,并且写入像素20中。写入晶体管23写入的信号电压V_{sig}或参考电压V_{ofs}施加到驱动晶体管22的栅电极并且保存到存储电容器24。

[0110] 在驱动晶体管22中,当供电线32(32_i至32_m)的电源电位DS处于第一电源电位V_{ccp}时,一个电极成为漏电极而另一个电极成为源电极,并且工作在饱和区。以此方式,驱动晶体管22接收来自供电线32提供的电流并且通过电流驱动的方式驱动有机EL元件21。更具体地说,驱动晶体管22通过工作在饱和区将取决于保存到存储电容器24的信号电压V_{sig}的电压值的电流值的驱动电流供应到有机EL元件21并且有机EL元件21受到电流的驱动而发光。

[0111] 此外,驱动晶体管22被构造使得当电源电位DS从第一电源电位V_{ccp}变化到第二电源电位V_{ini}时,一个电极成为源电极,另一个电极成为漏电极,并且其作为开关晶体管操作。以此方式,驱动晶体管22停止供应驱动电流到有机EL元件21并且使有机EL元件21为不发光状态。换言之,驱动晶体管22具有充当控制有机EL元件21的发光/不发光的晶体管的作用。

[0112] 通过开关驱动晶体管22的操作,有机EL元件21建立有机电致发光元件21处于不发光状态的时段(不发光时段)并且可以控制有机EL元件21的发光时段和不发光时段的比例(占空比)。通过占空比控制,对于每一个显示帧周期,由于像素在发光状态下可以减少残留图像模糊,所以特别地,可以提高视频图像的质量。

[0113] 在从供电扫描电路50经由供电线32选择性地提供的第一电源电位V_{ccp}和第二电源电位V_{ini}中,第一电源电位V_{ccp}是用于将驱动有机EL元件21的驱动电流供应到驱动晶体管22的电源电位。此外,第二电源电位V_{ini}是用于对有机EL元件21采取反向偏压的电源电位。第二电源电位V_{ini}被设置成低于参考电压V_{ofs}的电位,例如,当采用驱动晶体管22的阈值电压V_{th}时低于V_{ofs}-V_{th}的电位,优选地,足够低于V_{ofs}-V_{th}的电位。

[0114] 【3-3. 扫描电路】

[0115] 在如以上提及所公开的有机EL显示装置10中,可以使用根据以上提及的实施例的缓冲电路100作为构成写入扫描电路40或供电扫描电路50的输出级的缓冲电路(写入扫描电路40或供电扫描电路50是像素阵列部分30的外围电路)。

[0116] 这里,将会公开使用根据以上提及的实施例的缓冲电路100作为构成写入扫描电

路40的输出级的缓冲电路的情况作为示例。

[0117] 图8为图示了写入扫描电路40的配置的示例的方块图。

[0118] 如图8所示,例如,写入扫描电路40是由移位寄存器电路41、逻辑电路组42、电平移位电路组43和输出级的缓冲电路组44构成的。移位寄存器电路41被构造成使得对应于像素阵列部分30的m行的级数的移位级(传送级/单位电路)以级联方式连接,开始脉冲sp顺序地与时钟脉冲ck同步移位,并且移位脉冲从每个移位级顺序地输出。

[0119] 逻辑电路组42、电平移位电路组43和缓冲电路组44各自包括对应于像素阵列部分30的m行的数目的逻辑电路42₁至42_m、电平移位电路43₁至43_m以及缓冲电路44₁至44_m。

[0120] 逻辑电路组42的每个逻辑电路42₁至42_m对在预定时序的扫描脉冲中从移位寄存器电路41的对应移位级输出的移位脉冲进行时序调节。在高于逻辑电平的扫描脉冲的电平的扫描脉冲中,电平移位器电路组43的每个电平移位电路43₁至43_m将逻辑电平的扫描脉冲进行电平移位(电平转换)。缓冲电路组44的每个缓冲电路44₁至44_m在电平移位之后将扫描脉冲供应到像素阵列部分30的扫描线31₁至31_m作为写入扫描信号(脉冲)WS₁至WS_m。

[0121] 在以上提及的构造的写入扫描电路40中,根据以上提及的实施例的缓冲电路100可以用作构成输出级的缓冲电路组44的每个缓冲电路44₁至44_m。如以上所提及,在此缓冲电路100保持构成缓冲电路100的每个晶体管的源极-漏极击穿电压的状态下,能够增大输入到末级的反相电路102的电压的振幅。

[0122] 然后,通过升高构成末级的反相电路102的晶体管P₁₄和N₁₄的栅极与源极之间的电压并且降低末级的反相电路102的电阻(即,晶体管P₁₄和N₁₄的电阻),能够使显示面板70扩大尺寸。更具体地说,扫描线31₁至31_m的负载因使显示面板70扩大尺寸而变大,并且尽管在写入扫描脉冲WS₁至WS_m的波形由于负载的影响而变钝的情况下,由于末级的反相电路102的电阻减小,从而能够最小化负载的影响。因此,能够使显示面板70扩大尺寸。

[0123] 此外,通过增加末级的反相电路102的输入电压的振幅,能够使构成反相器102的晶体管P₁₄、N₁₄减小尺寸。以此方式,使缓冲电路100的电路规模减小尺寸能够实现使写入扫描电路40和供电扫描电路50的电路规模减小尺寸,写入扫描电路40和供电扫描电路50在扫描电路100中的具有像素阵列部分30的像素行的行数。

[0124] 结果,在如下的有机EL显示装置中,其中写入扫描电路40和供电扫描电路50(例如)如图6所示与像素阵列部分30一样地安装在显示面板70上,从而能够执行显示面板70的框架的窄化。此外,当有机EL显示装置被构造成采用写入扫描电路40和供电扫描电路50置于显示面板70的外部作为驱动器IC的这种配置时,从而能够实现驱动器IC的减小尺寸。

[0125] 【3-4. 其他】

[0126] 在使用以上提及的有机EL显示装置的情况下,例如,提出并且描述了像素20包括两个N沟道晶体管22和23以及一个存储电容器24的构造的情况。然而,像素20并不局限于此电路配置。换言之,例如,可以是使用P沟道型TFT作为驱动晶体管22的电路配置或具有补充有机EL元件21的容量不足并且升高用于存储电容器24的视频信号的写入增益的辅助能力的电路配置的像素20。此外,可以是单独地具有开关晶体管以分别写入参考电压V_{ofs}和第二电源电位V_{ini}的电路配置的像素20。

[0127] 此外,在以上提及的应用示例的情况下,作为像素20的光电元件,例如,提出并且描述了适于使用有机EL元件的有机EL显示装置的情况作为示例。然而,本发明的技术并不

局限于此应用示例。具体地讲,本发明的技术适用于显示装置,显示装置总的来说具有扫描电路,除了使用其中发光亮度取决于流到装置(诸如,无机EL元件、LED元件和半导体激光元件)的电流值而发生改变的电流驱动型光电元件(发光元件)的显示装置之外,显示装置例如是液晶显示装置和等离子显示装置。此外,不仅仅局限于显示装置,而且适用于总的来说具有扫描电路的装置,诸如固体成像装置。

[0128] <4. 电子设备>

[0129] 配备有使用如以上所述的本发明的缓冲电路的扫描电路的显示装置(对于输出级)可以使用输入到电子设备中的视频信号或电子设备中产生的视频信号,作为各领域的电子设备的显示部分(显示装置)将其显示为图像或视频。

[0130] 从以上提及的实施例的公开内容可以明显看出,使用本发明的缓冲电路作为输出级的扫描电路,并且例如,与和像素阵列部分一样安装在显示面板上的显示装置相一致,可以实现窄化显示面板的框架。因此,在具有显示部分的各领域的电子设备中,可以通过使用配备有使用本发明的缓冲电路作为输出级的扫描电路的显示装置而实现使作为显示部分的电子设备主体减小尺寸。

[0131] 至于此电子设备,除了电视机、数码相机、摄像机等之外,可以例举的是,例如,PDA(个人数字助理)、游戏机、笔记本式个人电脑、诸如电子书的移动信息用具以及诸如移动电话等的移动通信设备。

[0132] <5. 本发明的构造>

[0133] 此外,本发明可以采用以下构造:

[0134] (1)一种缓冲电路,包括:第一晶体管电路,具有第一导电型晶体管;第二晶体管电路,具有第二导电型晶体管;其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

[0135] (2)以上公开的缓冲电路,其中所述第一固定电源与所述第三固定电源之间的电压以及所述第三固定电源与所述第二固定电源之间的电压是在所述第一晶体管电路和所述第二晶体管电路中所包括的每个晶体管的源极-漏极击穿电压的范围内的电压。

[0136] (3)以上公开的缓冲电路,其中所述第三固定电源的电压是介于所述第一固定电源的电压与所述第二固定电源的电压之间的值。

[0137] (4)以上公开的缓冲电路,其中所述第三固定电源的电压是所述第一固定电源的电压和所述第二固定电源的电压的平均值。

[0138] (5)以上公开的缓冲电路,其中所述第一固定电源的电压高于施加到所述输入端的输入电压的高电压侧的电压,并且所述第二固定电源的电压低于所述输入电压的低电压侧的电压。

[0139] (6)以上公开的缓冲电路,其中所述开关元件是与形成反相电路的所述另一个晶体管电路具有相同导电型的晶体管。

[0140] (7)以上公开的缓冲电路,其中所述相同导电型的晶体管具有连接到输出端的栅

电极。

[0141] (8)以上公开的缓冲电路,其中所述第一晶体管电路包括双栅极结构的第一P沟道晶体管和第二P沟道晶体管,所述第一P沟道晶体管和所述第二P沟道晶体管连接到所述输入端并且栅电极共同连接,所述第一P沟道晶体管具有连接到所述第一固定电源的源电极,所述第二P沟道晶体管具有连接到所述输出端的漏电极,并且所述第一P沟道晶体管的漏电极和所述第二P沟道晶体管的源电极互相共同连接成所述共同连接节点,并且所述第三固定电源的电压通过所述开关元件供应到所述共同连接节点。

[0142] (9)以上公开的缓冲电路,其中所述第二晶体管电路包括双栅极结构的第一N沟道晶体管和第二N沟道晶体管,所述第一N沟道晶体管和所述第二N沟道晶体管连接到所述输入端并且栅电极共同连接,所述第一N沟道晶体管具有连接到所述输出端的漏电极,所述第二N沟道晶体管具有连接到所述第二固定电源的源电极,所述第一N沟道晶体管的源电极和所述第二N沟道晶体管的漏电极互相共同连接成所述共同连接节点,并且所述第三固定电源的电压通过所述开关元件供应到所述共同连接节点。

[0143] (10)以上公开的缓冲电路,其中所述输出端连接到末级的反相电路。

[0144] (11)以上公开的缓冲电路,其中所述第一固定电源的电压高于所述末级的反相电路的正极侧电源的电压,并且所述第二固定电源的电压低于所述末级的反相电路的负极侧电源的电压。

[0145] (12)一种扫描电路,包括:在输出级的缓冲电路,输出用于扫描以矩阵形式布置的像素的扫描信号,其中所述缓冲电路包括:第一晶体管电路,所述第一晶体管电路具有第一导电型晶体管,第二晶体管电路,所述第二晶体管电路具有第二导电型晶体管,其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,所述开关元件用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

[0146] (13)一种显示装置,包括:像素阵列部分,其中各自包括光电元件的像素以矩阵形式布置,以及扫描电路,扫描所述像素阵列部分的各像素并且在输出级具有缓冲电路,其中所述缓冲电路包括:第一晶体管电路,具有第一导电型晶体管,第二晶体管电路,具有第二导电型晶体管,其中所述第一晶体管电路和所述第二晶体管电路在第一固定电源与第二固定电源之间串联连接,并且每个所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,所述开关元件用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

[0147] (14)一种具有显示装置的电子设备,包括:像素阵列部分,其中各自包括光电元件的像素以矩阵形式布置,以及扫描电路,扫描所述像素阵列部分的各像素并且在输出级具有缓冲电路,其中所述缓冲电路包括:第一晶体管电路,具有第一导电型晶体管,第二晶体管电路,具有第二导电型晶体管,其中所述第一晶体管电路和所述第二晶体管电路在第一

固定电源与第二固定电源之间串联连接,并且所述第一晶体管电路和所述第二晶体管电路的每个的输入端和输出端分别共同连接,其中所述第一晶体管电路和所述第二晶体管电路中的至少一个晶体管电路是双栅极晶体管,并且其中开关元件被包括,用于当所述第一晶体管电路和所述第二晶体管电路中的任一个晶体管电路处于工作状态时,将第三固定电源的电压提供到另一个晶体管电路的双栅极晶体管的共同连接节点。

[0148] 本发明包含涉及2011年11月11日提交到日本专利局的日本优先专利申请JP 2011-247140中公开内容的主题,其全部内容通过引用并入于此。

[0149] 本领域的技术人员应当理解的是,取决于设计要求或其他因素,可以进行各种修改、组合、子组合和更改,只要它们在所附权利要求书或其等效内容的范围内。

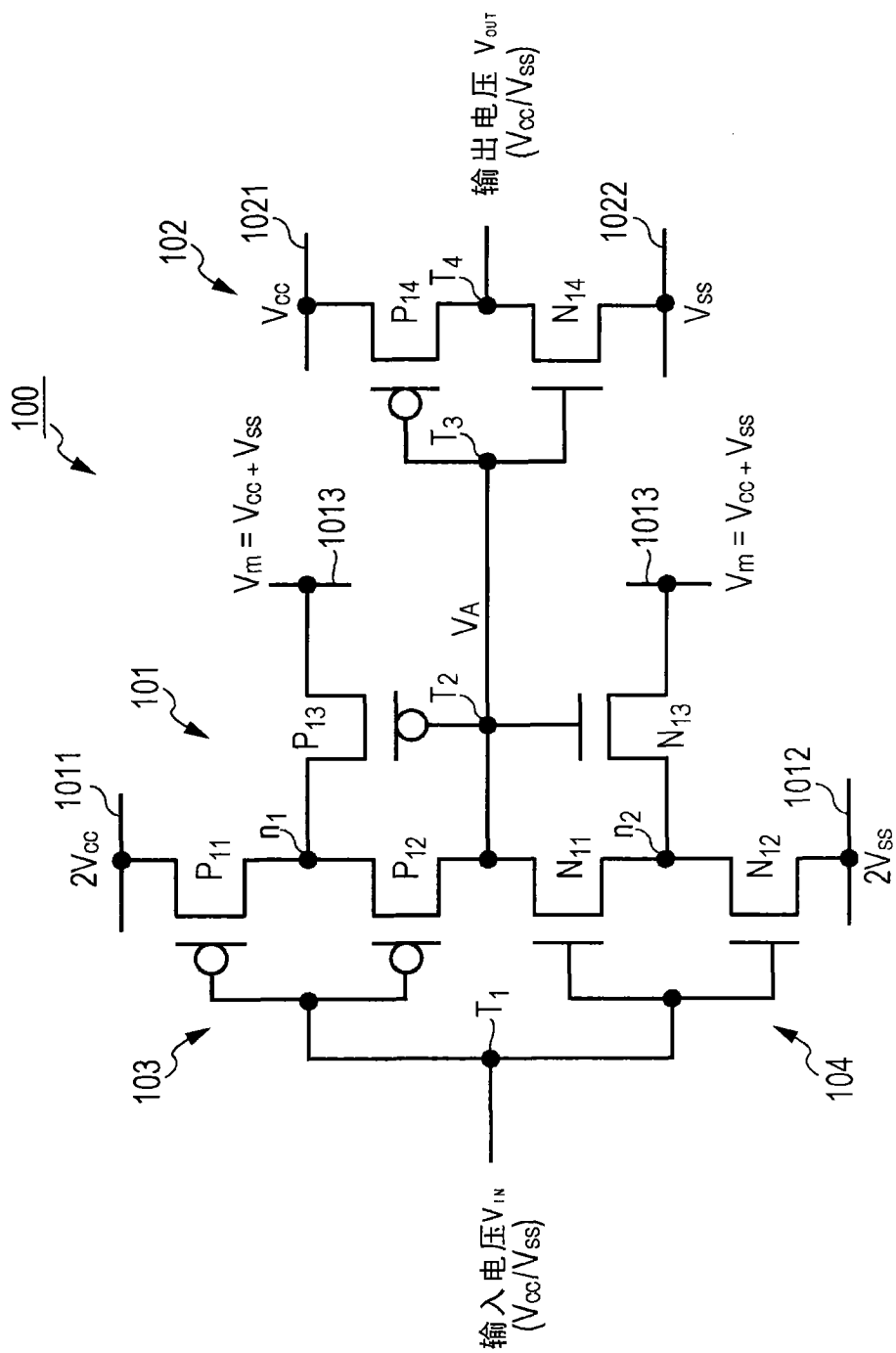


图1

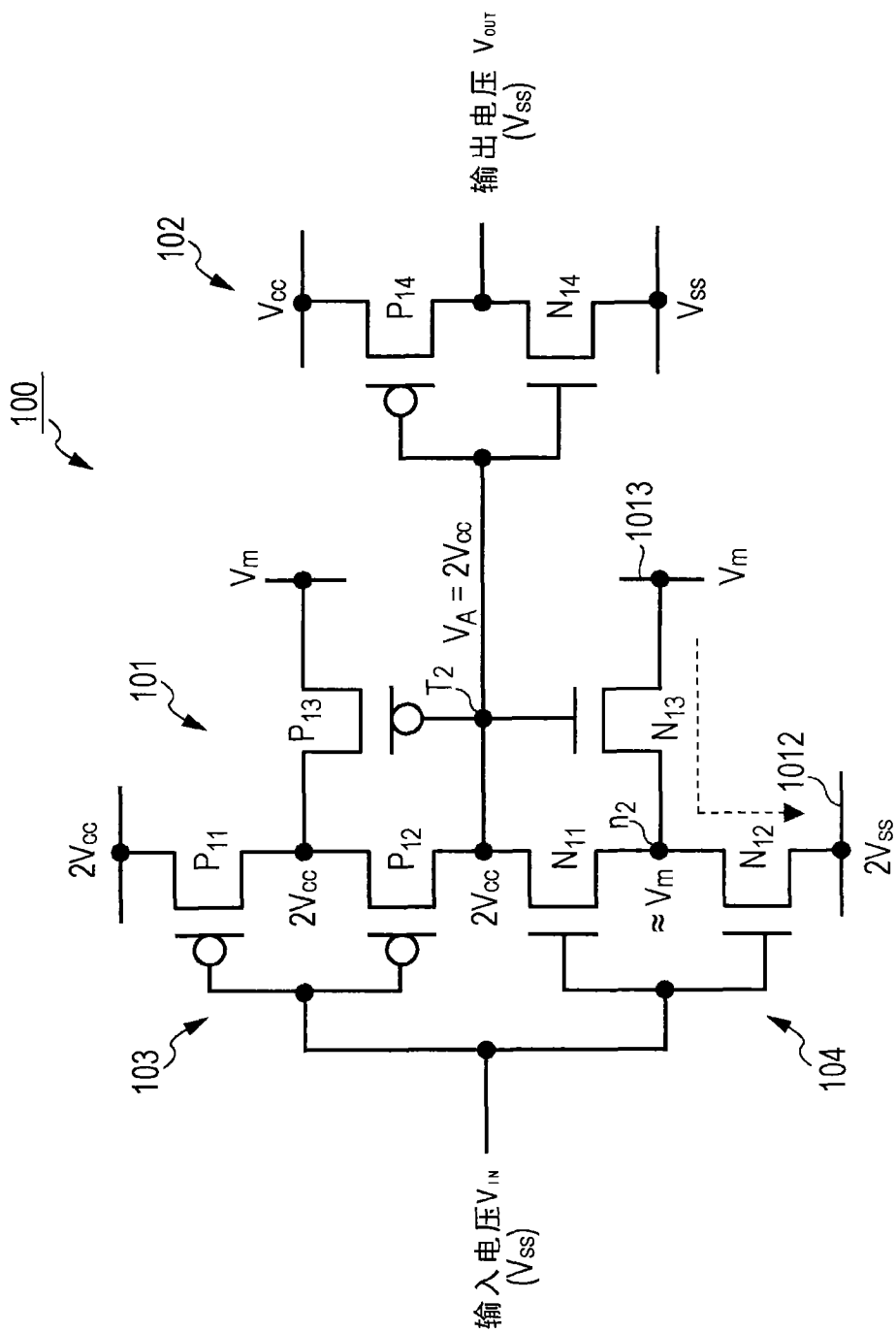


图2

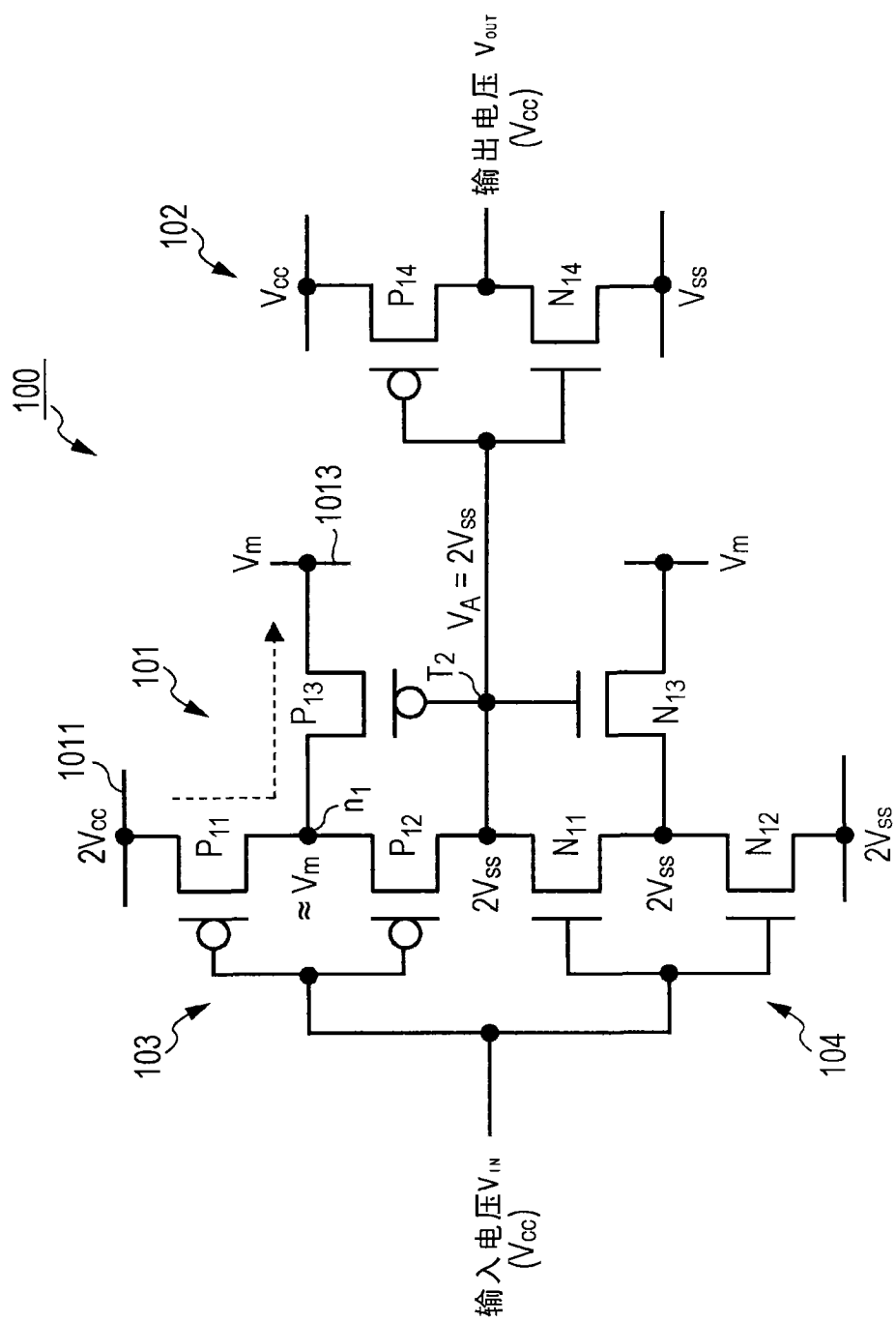


图3

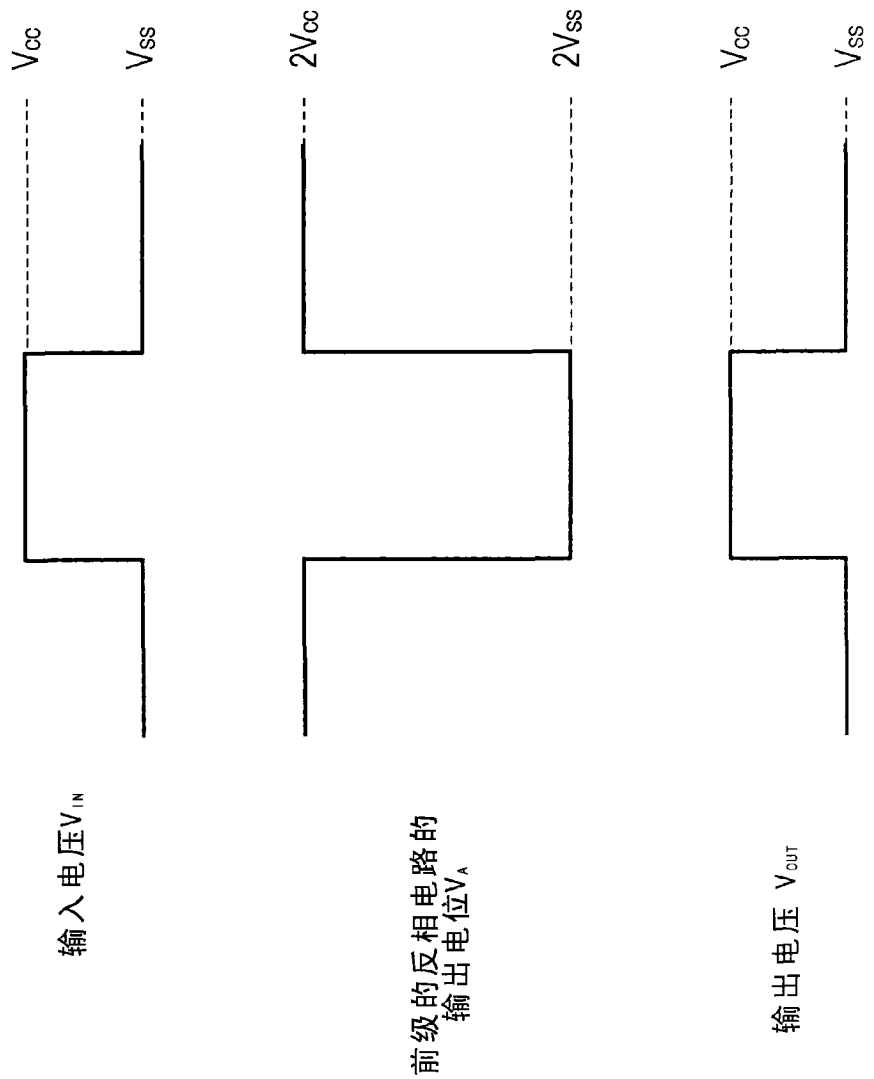


图4

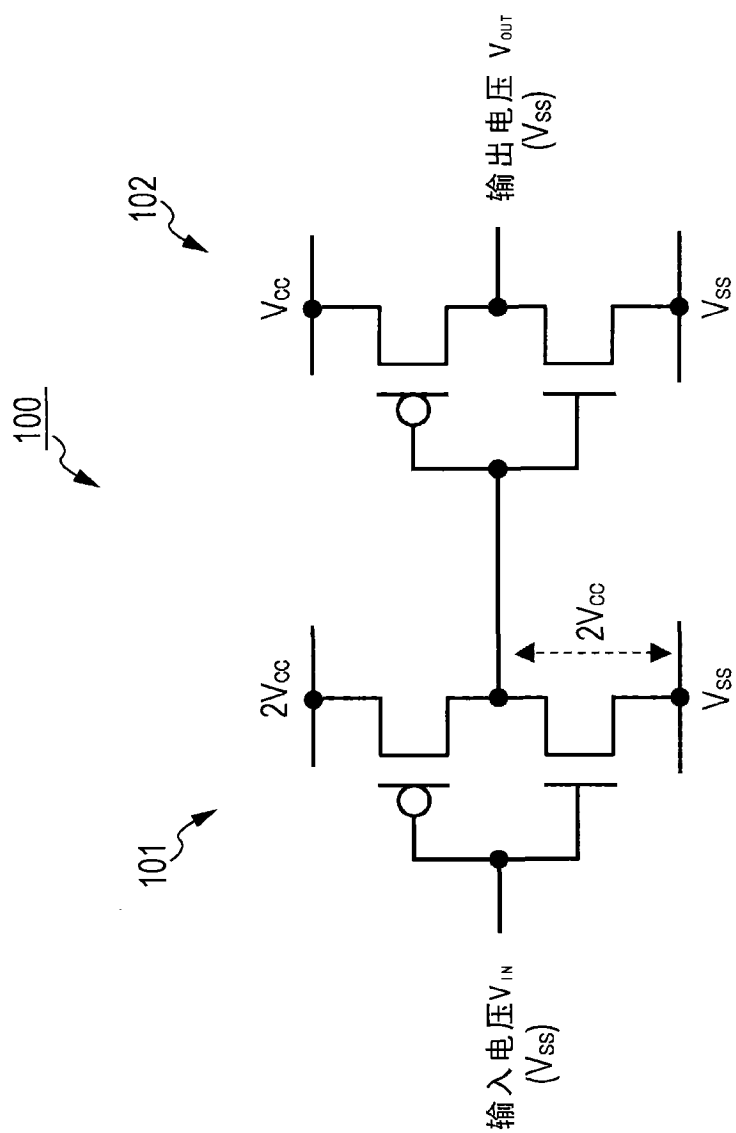


图5

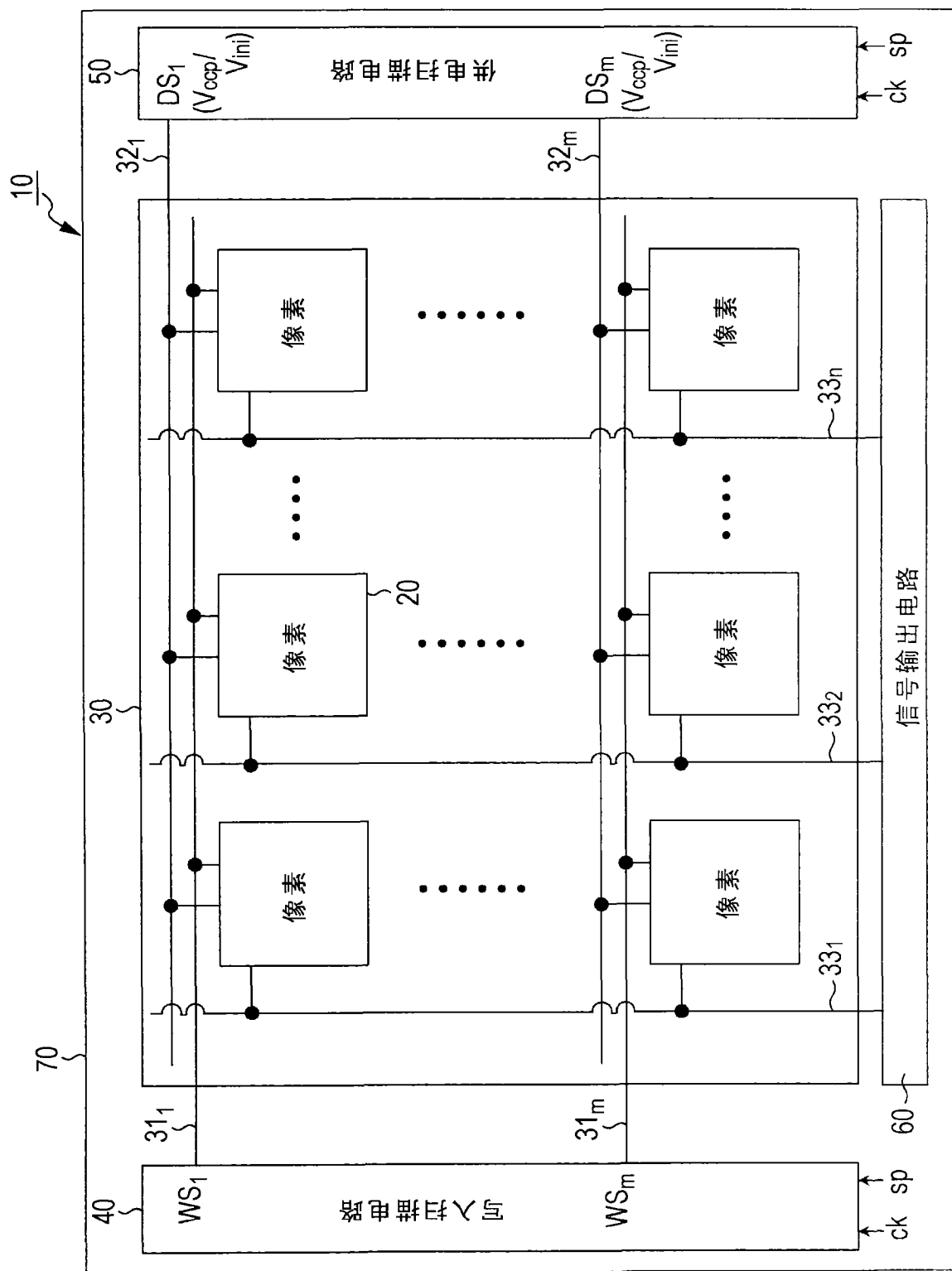


图6

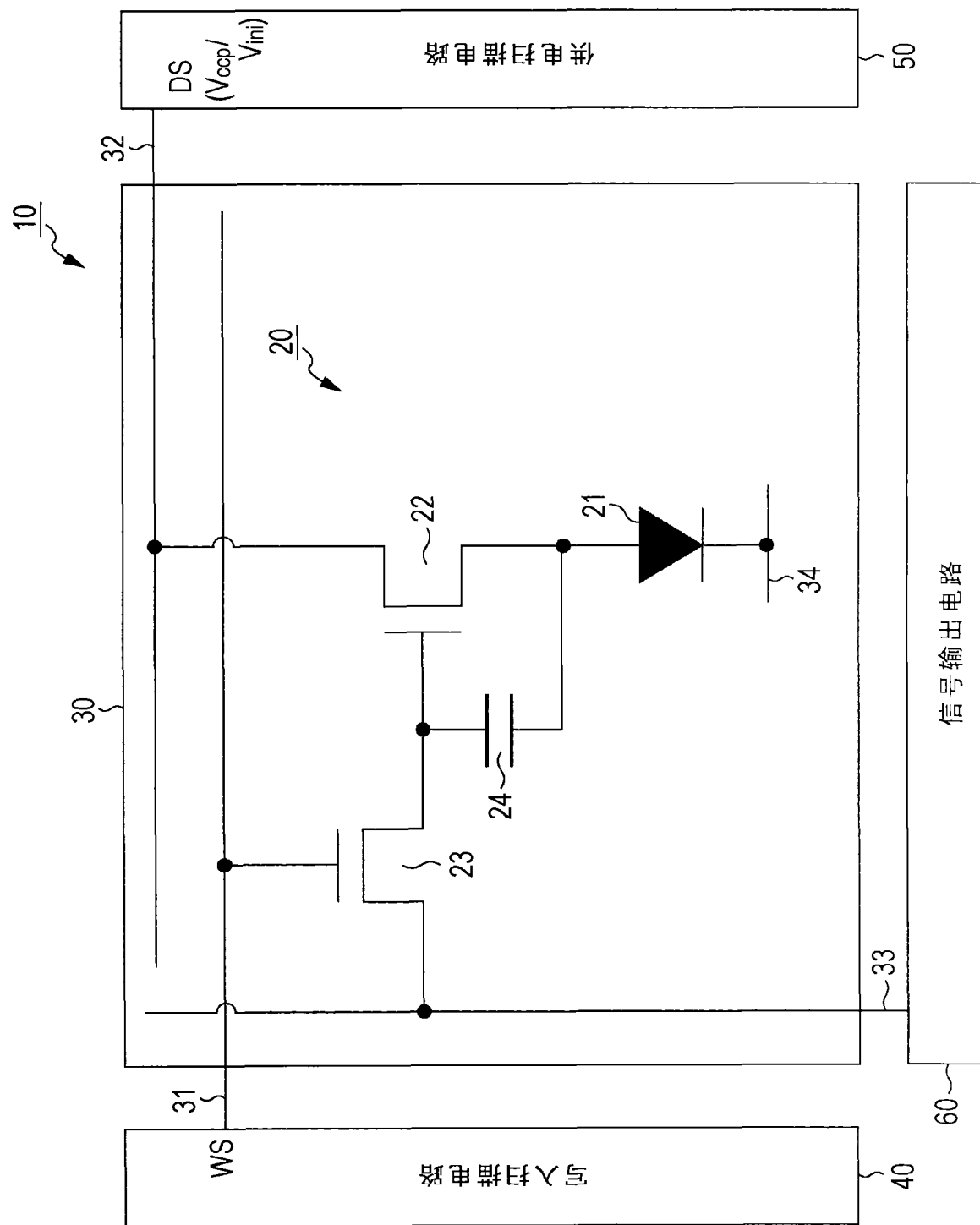


图7

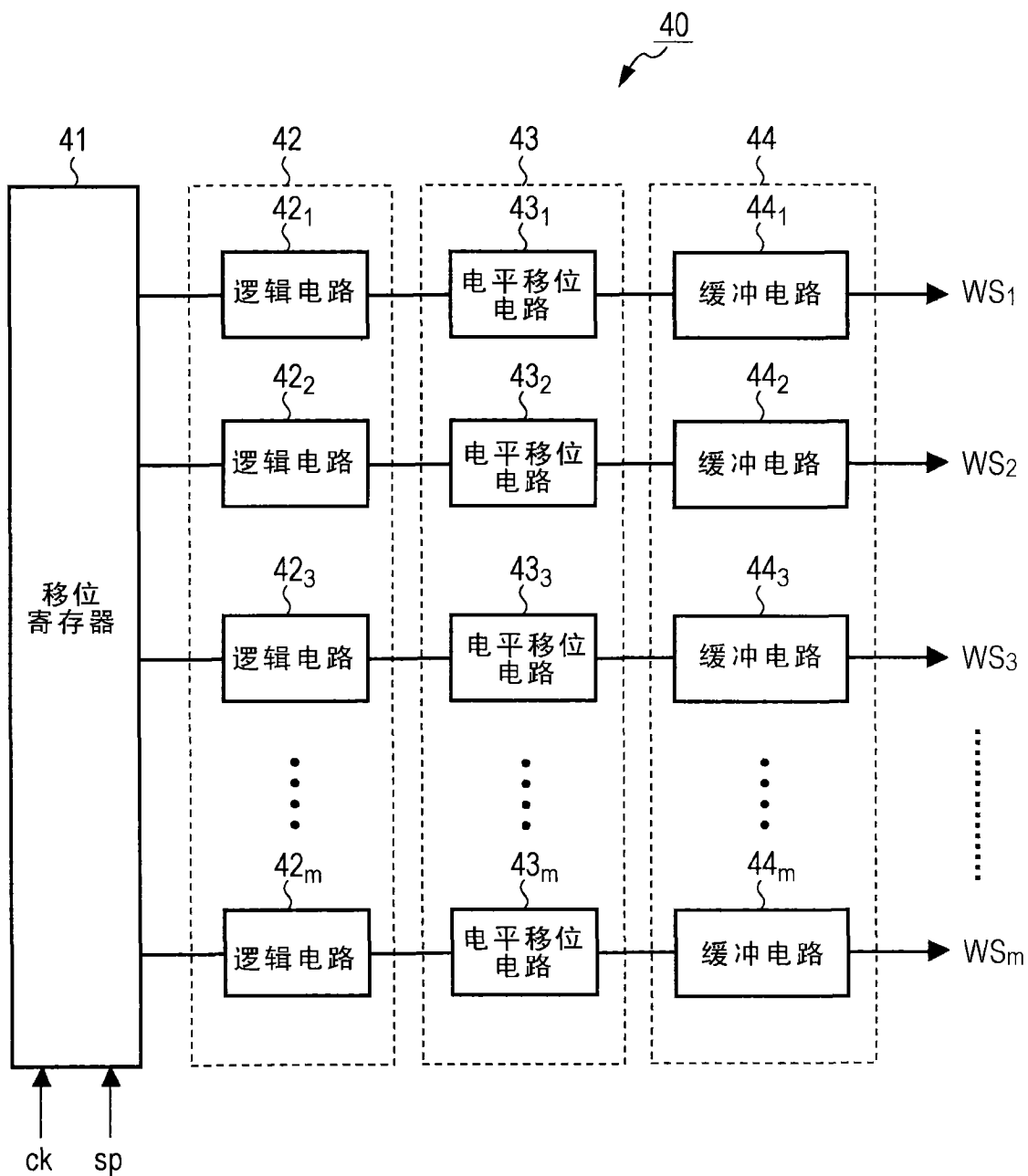


图8