

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成28年1月28日(2016.1.28)

【公開番号】特開2014-192452(P2014-192452A)
 【公開日】平成26年10月6日(2014.10.6)
 【年通号数】公開・登録公報2014-055
 【出願番号】特願2013-68549(P2013-68549)
 【国際特許分類】

H 0 5 K 3/46 (2006.01)

【F I】

H 0 5 K 3/46 Q

H 0 5 K 3/46 N

H 0 5 K 3/46 G

【手続補正書】

【提出日】平成27年12月7日(2015.12.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

開口部を備えた基板と、
 前記基板に形成された第1配線層と、
 前記開口部内に配置された電子部品と、
 前記基板の一方の面に形成され、前記電子部品を封止する第1絶縁層と、
 前記基板の他方の面に形成された第2絶縁層と、
 前記第1絶縁層上に形成された第2配線層と、
 前記第2絶縁層上に形成された第3配線層と
 を有し、
 前記第1絶縁層は、前記基板の一方の面を被覆して前記開口部内を充填する内側絶縁層と、前記内側絶縁層上に形成された外側絶縁層とから形成され、
 前記基板の前記第2絶縁層側の最外面が半導体チップを搭載する部品搭載面として形成されることを特徴とする電子部品内蔵基板。

【請求項2】

前記第1配線層は、前記基板の両面にそれぞれ形成されており、
 前記第2配線層が、前記内側絶縁層及び外側絶縁層内に形成されたビア導体を介して前記第1配線層に接続されており、
 前記第3配線層が、前記第2絶縁層内に形成されたビア導体を介して前記電子部品の接続端子及び前記第1配線層に接続されていることを特徴とする請求項1に記載の電子部品内蔵基板。

【請求項3】

前記第1絶縁層の厚みは、前記第2絶縁層の厚みと略同一であることを特徴とする請求項1又は2に記載の電子部品内蔵基板。

【請求項4】

前記開口部の外側周囲領域の前記基板の表面は、前記第1配線層が後退した露出面となっており、前記露出面と前記第2絶縁層との間に、前記内側絶縁層の補強絶縁部が形成されていることを特徴とする請求項1乃至3のいずれか一項に記載の電子部品内蔵基板。

【請求項 5】

前記開口部に充填された部分の前記内側絶縁層に窪み部が形成されており、前記窪み部を充填して前記内側絶縁層の上に前記外側絶縁層が形成されて、前記第 1 絶縁層の表面が平坦化されていることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電子部品内蔵基板。

【請求項 6】

第 1 配線層を備えた基板を用意し、前記基板に開口部を形成する工程と、
前記開口部内に電子部品を配置する工程と、
前記基板の一方の面に前記電子部品を封止する内側絶縁層を形成する工程と、
前記内側絶縁層の上に外側絶縁層を形成して前記基板の一方の面に前記内側絶縁層及び外側絶縁層から形成される第 1 絶縁層を得ると共に、前記基板の他方の面に第 2 絶縁層を形成する工程と、
前記第 1 絶縁層の上に第 2 配線層を形成すると共に、前記第 2 絶縁層の上に第 3 配線層を形成する工程とを有し、
前記基板の前記第 2 絶縁層側の最外面が半導体チップを搭載する部品搭載面として形成されることを電子部品内蔵基板の製造方法。

【請求項 7】

前記基板を用意し、開口部を形成する工程において、前記第 1 配線層は前記基板の両面にそれぞれ形成されており、
前記第 2 配線層及び第 3 配線層を形成する工程において
前記第 2 配線層は、前記第 1 絶縁層内に形成されたビア導体を介して前記第 1 配線層に接続され、
前記第 3 配線層は、前記第 2 絶縁層内に形成されたビア導体を介して前記電子部品の接続端子及び前記第 1 配線層に接続されることを特徴とする請求項 6 に記載の電子部品内蔵基板の製造方法。

【請求項 8】

前記第 1 絶縁層の厚みと前記第 2 絶縁層の厚みとが略同一に設定されることを特徴とする請求項 6 又は 7 に記載の電子部品内蔵基板の製造方法。

【請求項 9】

前記基板に開口部を形成する工程において、前記開口部の外側周囲領域の前記基板の表面が、前記第 1 配線層が外側に後退した露出面となるようにし、
前記内側絶縁層を形成する工程において、前記露出面の上に前記内側絶縁層の補強絶縁部が形成されることを特徴とする請求項 6 乃至 8 のいずれか一項に記載の電子部品内蔵基板の製造方法。

【請求項 10】

前記内側絶縁層を形成する工程において、前記開口部に充填された部分の前記内側絶縁層に窪み部が形成され、
前記外側絶縁層を形成する工程において、前記窪み部を充填して前記内側絶縁層の上に前記外側絶縁層が形成されて、前記第 1 絶縁層の表面が平坦化されることを特徴とする請求項 6 乃至 9 のいずれか一項に記載の電子部品内蔵基板の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

以下の開示の一観点によれば、開口部を備えた基板と、前記基板に形成された第 1 配線層と、前記開口部内に配置された電子部品と、前記基板の一方の面に形成され、前記電子部品を封止する第 1 絶縁層と、前記基板の他方の面に形成された第 2 絶縁層と、前記第 1 絶縁層上に形成された第 2 配線層と、前記第 2 絶縁層上に形成された第 3 配線層とを有し

、前記第1絶縁層は、前記基板の一方の面を被覆して前記開口部内を充填する内側絶縁層と、前記内側絶縁層上に形成された外側絶縁層とから形成され、前記基板の前記第2絶縁層側の最外面が半導体チップを搭載する部品搭載面として形成されることを特徴とする電子部品内蔵基板が提供される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

また、その開示のその他の観点によれば、第1配線層を備えた基板を用意し、前記基板に開口部を形成する工程と、前記開口部内に電子部品を配置する工程と、前記基板の一方の面に前記電子部品を封止する内側絶縁層を形成する工程と、前記内側絶縁層の上に外側絶縁層を形成して前記基板の一方の面に前記内側絶縁層及び外側絶縁層から形成される第1絶縁層を得ると共に、前記基板の他方の面に第2絶縁層を形成する工程と、前記第1絶縁層の上に第2配線層を形成すると共に、前記第2絶縁層の上に第3配線層を形成する工程とを有し、前記基板の前記第2絶縁層側の最外面が半導体チップを搭載する部品搭載面として形成される電子部品内蔵基板の製造方法が提供される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

続いて、図1(c)に示すように、第1コア材11の下面に第2コア材12と銅箔22aとを積層する。また同時に、第1コア材11の上面に第3コア材13と銅箔22aとを積層する。第2コア材12及び第3コア材13の各厚みは、100 μ m程度である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

【補正の内容】

【0046】

その後、図5(a)に示すように、仮止めテープ30をコア配線基板2及びチップキャパシタ40から剥離する。このとき、チップキャパシタ40は、その上及び外側周囲領域の補強絶縁部52y, 52zによってコア配線基板2に強く固定されている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正の内容】

【0067】

前述した図6(b)において、第1絶縁層50の厚みとして、第1内側絶縁層52の厚みを10 μ mとし、第1外側絶縁層54の厚みを20 μ mとする場合は、図6(b)の第2絶縁層60の厚みは30 μ mに設定される。第1絶縁層50の厚みは、第2配線層22上から第1絶縁層50の表面までの厚みである。また、第2絶縁層60の厚みは、第2配線層22上から第2絶縁層60の表面までの厚みである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0087

【補正方法】変更

【補正の内容】

【0087】

なお、図7(b)及び(c)において、コア基板3の下面側の第1絶縁層50に第1ビアホールVH1を形成する際に、チップキャパシタ40の下側の接続端子42に到達する第1ビアホールを同時に形成してもよい。そして、第1絶縁層50上に形成された第3配線層23が第1ビアホール内のビア導体を介してチップキャパシタ40の接続端子42に接続された形態としてもよい。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0115

【補正方法】変更

【補正の内容】

【0115】

その後、半導体チップ90と電子部品内蔵基板1との隙間にアンダーフィル樹脂94が充填される。このように、図10の電子部品内蔵基板1の第2絶縁層60側の最外面が半導体チップ90を搭載するための部品搭載面として形成される。