

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年2月12日(2009.2.12)

【公表番号】特表2008-537335(P2008-537335A)

【公表日】平成20年9月11日(2008.9.11)

【年通号数】公開・登録公報2008-036

【出願番号】特願2008-506531(P2008-506531)

【国際特許分類】

H 01 L 21/822 (2006.01)

H 01 L 27/04 (2006.01)

【F I】

H 01 L 27/04 C

【手続補正書】

【提出日】平成20年12月16日(2008.12.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の上面上の誘電体層であって、上面および底面を有する誘電体層と、該誘電体層のトレンチであって、前記誘電体層の前記上面から前記底面に延在するトレンチと、

前記トレンチの全側壁に形成され、前記トレンチの底に沿って延在する共形導電ライナーを有するMIMキャパシタの第1の電極であって、前記トレンチの前記底は前記誘電体層の前記底面と同一平面にある、MIMキャパシタの第1の電極と、

前記共形導電ライナーの上面を覆って形成される絶縁体層と、

該絶縁体層に物理的に直接接触したコア導電体を有する前記MIMキャパシタの第2の電極であって、前記コア導電体は、前記共形導電ライナーおよび前記絶縁体層で充填されない前記トレンチ内のスペースを充填する、前記MIMキャパシタの第2の電極と、を含む構造体。

【請求項2】

前記誘電体層の下に、前記共形導電ライナーと物理的に直接接触するとともに電気的に接触した導電電極をさらに有し、該導電電極の上面の全部に満たない部分が、前記導電ライナーの底面の全部または全部に満たない部分と同一の広がりを含む、請求項1に記載の構造体。

【請求項3】

前記誘電体層は、上部誘電体層および下部誘電体層を有し、前記上部誘電体層の底面は、前記下部誘電体層の上面と物理的に直接接触し、前記下部誘電体層の底面は前記誘電体層の前記底面であり、前記上部誘電体層の上面は前記誘電体層の前記上面である、請求項1に記載の構造体。

【請求項4】

前記誘電体層に形成される追加のトレンチと、

該追加のトレンチの全側壁および底に形成される追加の共形導電ライナーであって、前記追加のトレンチの前記底は、前記誘電体層の前記底面と同一平面である、追加の共形導電ライナーと、

前記追加の共形導電ライナーで充填されない前記追加のトレンチのスペースを充填する

追加の導電充填物と、
をさらに含む、請求項 1 に記載の構造体。

【請求項 5】

前記共形導電ライナーの部分と前記絶縁体層との間に配置される追加のコア導電体をさ
らに含む、請求項 1 に記載の構造体。

【請求項 6】

前記誘電体層を有する 1 つまたは複数の誘電性アイランドをさらに含み、該 1 つまたは
複数の誘電性アイランドは、前記誘電体層の前記底面から前記誘電体層の前記上面に向か
って第 1 の距離分伸び、前記第 1 の距離は、前記誘電体層の前記上面と前記底面との間の
第 2 の距離よりも短い、請求項 1 に記載の構造体。

【請求項 7】

前記誘電体層は、二酸化ケイ素、窒化ケイ素、炭化ケイ素、酸窒化ケイ素、酸炭化ケイ
素、水素ドープシリカガラス、プラズマエンハンスト窒化ケイ素、NBLOK、低 K 誘電
体、水素シルセスキオキサンポリマ、メチルシルセスキオキサンポリマ、ポリフィニレン
オリゴマ、およびこれらの組み合わせからなる群から選択される材料を含み、

前記共形導電ライナーは、Ta、TaN、Ti、TiN、TiSiN、W、およびこれら
の組み合わせからなる群から選択される材料を含み、

前記コア導電体は、Cu、Al、AlCu、またはWからなる群から選択される、請求
項 1 に記載の構造体。

【請求項 8】

前記絶縁体層は、二酸化ケイ素、窒化ケイ素、炭化ケイ素、酸窒化ケイ素、酸炭化ケイ
素、水素ドープシリカガラス、プラズマエンハンスト窒化ケイ素、NBLOK、高 K 誘電
体材料、酸化金属、 Ta_2O_5 、 $BaTiO_3$ 、 HfO_2 、 ZrO_2 、 Al_2O_3 、金属
ケイ酸塩、 $HfSi_xO_y$ 、 $HfSi_xO_yN_z$ 、およびこれらの組み合わせからなる群
から選択される材料を含む、請求項 1 に記載の構造体。

【請求項 9】

前記コア導電体は、前記誘電体層の前記上面よりも下に窪む、請求項 1 に記載の構造体
。

【請求項 10】

半導体基板を提供することと、

前記半導体基板の上面に誘電体層を形成することであって、前記誘電体層は上面およ
び底面を有する、前記誘電体層を形成することと、

前記誘電体層にトレンチを形成することと、

前記トレンチの全側壁および前記トレンチの底に沿って延在する共形導電ライナーを形
成することと、

前記トレンチに第 1 のコア導電体を充填することと、

前記第 1 のコア導電体のすべてまたは一部を前記トレンチから除去することと、

該除去することにより前記トレンチから除去されないいずれの第 1 のコア導電体によっ
ても覆われていない前記共形導電ライナーの領域で、前記共形導電ライナーの上面に絶
縁体層を形成することと、

前記共形導電ライナー、前記あらゆる残りの第 1 のコア導電体、および前記絶縁体層で
充填されていない前記トレンチのスペースを第 2 のコア導電体で充填することと、

を含む、構造体を形成する方法。

【請求項 11】

前記絶縁体層は、前記除去することにより前記トレンチから除去されない第 1 のコア導
電体のいずれの露出表面もすべて覆う、請求項 10 に記載の方法。

【請求項 12】

前記第 1 のコア導電体のすべてまたは前記部分を除去することは前記第 1 のコア導電体
をウェットエッティングすることを含む、請求項 10 に記載の方法。

【請求項 13】

化学機械研磨を実行することであって、それにより、前記第2のコア導電体の上面を前記誘電体層の上面と同一平面にする、前記化学機械研磨を実行することをさらに含む、請求項10に記載の方法。

【請求項14】

前記トレンチ内の前記誘電体層から1つまたは複数の誘電性アイランドを形成することをさらに含み、前記1つまたは複数の誘電性アイランドは、前記トレンチの前記底から前記誘電体層の前記上面に向かって、前記トレンチの前記底と前記誘電体層の前記上面との間の全距離に満たない距離分延びる、請求項10に記載の方法。

【請求項15】

前記誘電体層は、二酸化ケイ素、窒化ケイ素、炭化ケイ素、酸窒化ケイ素、酸炭化ケイ素、水素ドープシリカガラス、プラズマエンハンスト窒化ケイ素、NBLOK、低K誘電体、水素シルセスキオキサンポリマ、メチルシルセスキオキサンポリマ、ポリフィニレンオリゴマ、およびこれらの組み合わせからなる群から選択される材料を含み、

前記共形導電ライナーは、Ta、TaN、Ti、TiN、TiSiN、W、およびこれらの組み合わせからなる群から選択される材料を含み、

前記コア導電体は、Cu、Al、AlCu、またはWからなる群から選択される、請求項10に記載の方法。

【請求項16】

前記絶縁体層は、二酸化ケイ素、窒化ケイ素、炭化ケイ素、酸窒化ケイ素、酸炭化ケイ素、水素ドープシリカガラス、プラズマエンハンスト窒化ケイ素、NBLOK、高K誘電体材料、酸化金属、 Ta_2O_5 、 $BaTiO_3$ 、 HfO_2 、 ZrO_2 、 Al_2O_3 、金属ケイ酸塩、 $HfSi_xO_y$ 、 $HfSi_xO_yN_z$ 、およびこれらの組み合わせからなる群から選択される材料を含む、請求項10に記載の方法。

【請求項17】

前記コア導電体を前記誘電体層の前記上面よりも下に窪ませることをさらに含む、請求項10に記載の方法。

【請求項18】

前記第1のコア導電体および前記第2のコア導電体は同じ材料である、請求項10に記載の方法。

【請求項19】

半導体基板を提供することと、

前記半導体基板の上面上に誘電体層を形成することであって、前記誘電体層は上面および底面を有する、前記誘電体層を形成することと、

前記誘電体層に第1のトレンチおよび第2のトレンチを形成することと、

前記第1のトレンチおよび前記第2のトレンチの全側壁および前記第1のトレンチおよび前記第2のトレンチの底に沿って延在する共形導電ライナーを形成することと、

前記第1および第2のトレンチに第1のコア導電体を充填することと、

前記第1のコア導電体のすべてまたは一部を前記第2のトレンチから除去し、前記第1のトレンチからは除去しないことと、

該除去することにより前記第2のトレンチから除去されないいずれの第1のコア導電体によっても覆われていない前記共形導電ライナーの領域で、前記共形導電ライナーの上面に絶縁体層を形成することと、

前記共形導電ライナー、前記あらゆる残りの第1のコア導電体、および前記絶縁体層で充填されていない前記第2のトレンチのスペースを第2のコア導電体で充填することと、

を含む、構造体を形成する方法。

【請求項20】

前記絶縁体層は、前記除去することにより前記第2のトレンチから除去されない第1のコア導電体のいずれの露出表面もすべて覆う、請求項19に記載の方法。

【請求項21】

前記共形導電ライナーを形成することの前に、1つまたは複数の誘電アイランドを前記

第2のトレンチ内で前記誘電体層から形成することをさらに含み、前記1つまたは複数の誘電性アイランドは、前記第2のトレンチの前記底から前記誘電体層の前記上面に向かって、前記第2のトレンチの前記底と前記誘電体層の前記上面との間の全距離に満たない距離分延びる、請求項19に記載の方法。

【請求項22】

半導体基板を提供することと、

前記半導体基板の上面上に誘電体層を形成することであって、前記誘電体層は上面および底面を有する、前記誘電体層を形成することと、

前記誘電体層に第1のトレンチを形成することであって、前記第1のトレンチは、前記誘電体層の上面から底面に延在する、前記第1のトレンチを形成することと、

前記誘電体層に第2のトレンチを形成することであって、前記第2のトレンチは前記第1のトレンチに重なり、前記誘電体層の上面から、前記誘電体層の前記上面と前記底面との距離に満たない距離分延びる、前記第2のトレンチを形成することと、

前記第1のトレンチおよび前記第2のトレンチの全側壁および前記第1のトレンチおよび前記第2のトレンチの底に沿って延在する共形導電ライナーを形成することと、

前記第1および第2のトレンチに第1のコア導電体を充填することと、

前記第1のコア導電体のすべてまたは一部を前記第1および第2のトレンチから除去することと、

該除去することにより前記第1および第2のトレンチから除去されないいずれの第1のコア導電体によっても覆われていない前記共形導電ライナーの領域で、前記共形導電ライナーの上面上に絶縁体層を形成することと、

前記共形導電ライナー、前記あらゆる残りの第1のコア導電体、および前記絶縁体層で充填されていない前記第1および第2のトレンチのスペースを第2のコア導電体で充填することと、

を含む、構造体を形成する方法。

【請求項23】

前記絶縁体層は、前記除去することにより前記第1および第2のトレンチから除去されない第1のコア導電体のいずれの露出表面もすべて覆う、請求項22に記載の方法。

【請求項24】

前記第1のトレンチを形成することと同時に、前記誘電体層に1つまたは複数の追加のトレンチを形成することであって、前記追加のトレンチは、前記誘電体層の前記上面から前記誘電体層の前記底面に延在する、前記追加のトレンチを形成することと、

前記除去することと同時に、前記1つまたは複数の追加のトレンチから前記第1のコア導電体のすべてまたは一部を除去することと、

をさらに含み、

前記第2のトレンチは、前記1つまたは複数の追加のトレンチのそれぞれにさらに重なる、請求項22に記載の方法。