

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月16日(16.12.2010)

PCT

(10) 国際公開番号
WO 2010/143613 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号: PCT/JP2010/059636
- (22) 国際出願日: 2010年6月7日(07.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-140833 2009年6月12日(12.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山内 祥光
(YAMAUCHI, Yoshimitsu).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PIXEL CIRCUIT AND DISPLAY DEVICE

(54) 発明の名称: 画素回路および表示装置

[図2]

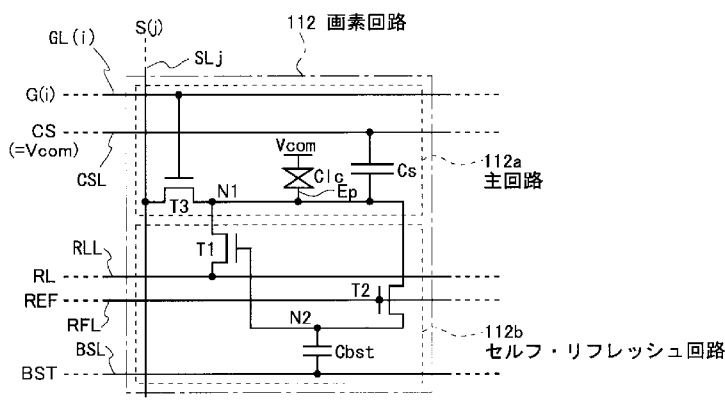


FIG. 2:
112 PIXEL CIRCUIT
112a MAIN CIRCUIT
112b SELF-REFRESH CIRCUIT

(57) Abstract: Provided is a liquid crystal display device capable of sufficiently reducing power consumption required to constantly display a static image while maintaining high-quality display in a transmission mode on a high-definition panel. In each pixel circuit (112), a pixel electrode (Ep) is connected to a source line (SLj) via a third transistor (T3), and a voltage pulse is applied to a boost signal line (BSL) during a refresh operation performed by a refresh circuit (112b). When the pixel electrode (Ep) is at high voltage at this time, the voltage of a node (N2) is boosted, a first transistor (T1) is brought into an on-state, and refresh voltage (RL) is applied to the pixel electrode (Ep). When the pixel electrode (Ep) is at low voltage, the voltage is not boosted, therefore the first transistor (T1) is brought into an off-state, and the voltage of a node (N1) becomes a voltage value determined by the off resistance ratio between the first and third transistors (T1, T3) and is applied to the pixel electrode (Ep).

(57) 要約:

[続葉有]



本発明は、高精細パネルにおいて、透過モードでの高品位表示を保ちつつ、静止画の常時表示に必要な消費電力を十分に低減できる液晶表示装置を提供することを目的とする。各画素回路(112)では、画素電極(E_p)が第3トランジスタ(T₃)を介してソースライン(SL_j)に接続されており、リフレッシュ回路(112b)によるリフレッシュ動作時には、ブースト信号線(BSL)に電圧パルスが印加される。このとき画素電極(E_p)が高電圧であれば、節点(N₂)の電圧がブーストされ第1トランジスタ(T₁)がオン状態となってリフレッシュ電圧(RL)が画素電極(E_p)に与えられ、画素電極(E_p)が低電圧であれば、ブーストされないため第1トランジスタ(T₁)がオフ状態となり、節点(N₁)の電圧は、第1および第3トランジスタ(T₁, T₃)のオフ抵抗比で決まる電圧値となり画素電極(E_p)に与えられる。

明 細 書

発明の名称：画素回路および表示装置

技術分野

[0001] 本発明は、携帯電話等の携帯用情報端末に適した液晶表示装置等の表示装置に関し、更に詳しくは、そのような表示装置で静止画を表示する場合における消費電力の低減に関する。

背景技術

[0002] 携帯電話等の携帯用情報端末では、表示手段として液晶表示装置が使用されるのが一般的である。また、携帯電話等は、バッテリーで駆動されることから、消費電力の低減を強く要請される。このため、常時表示を必要とする内容（時間や電池切れ等）は反射型サブパネルに表示している。また、最近、同一メインパネルにて、通常表示と反射型での常時表示との両立が要求されるようになってきている。

[0003] 液晶パネルを駆動するための消費電力は、データ信号線駆動回路としてのソースドライバによるソースライン（データ信号線）の駆動のための消費電力に支配され、概ね、次式で表現される。

$$P \propto f \cdot C \cdot V \cdot V \cdot n \cdot m \quad \cdots (1)$$

ここで、 P は液晶パネルの駆動のための消費電力を示し、 f はリフレッシュ周波数を示し、 1 フレーム分の画素データの単位時間当たりのリフレッシュ（書き換え）回数である。 C はソースドライバによって駆動される負荷容量を示し、 V はソースドライバによる駆動電圧を示し、 n は走査線数を示し、 m はソースライン数を示している。

[0004] ところで、常時表示内容は、静止画であり、表示内容を更新する必要はない。このため、液晶表示装置の消費電力を更に低減するために、この常時表示時のリフレッシュ周波数を下げることも行われている。しかし、リフレッシュ周波数を下げると、液晶表示装置における薄膜トランジスタ等のスイッチング素子を介したリーク電流等により画素電極の電位が変動する。このた

め、リフレッシュ周波数を下げていくと、各画素の表示輝度変動し、この変動がフリッカとして観測されるようになる。また、リフレッシュ周波数を下げると、各フレーム期間における平均電位も低下するので、十分なコントラストを得られない等の表示品位の低下を招くおそれもある。

[0005] このような問題を回避しつつ消費電力を低減化するために、表示すべき画像を表すデータをデジタル情報として記憶するためのメモリ部が表示部に設けられた液晶表示装置も提案されている。例えば特許文献1には、マトリクス状に設けられた複数の画素群を有するアレイ基板において各画素群にスタティックメモリを備えた液晶表示装置が開示されている。このような液晶表示装置によれば、リフレッシュなしで画素電極の電位を一定に保つことができるため、低消費電力にて常時表示が可能となる。

先行技術文献

特許文献

[0006] 特許文献1：日本の特開2007-334224号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、携帯電話等で使用される液晶表示装置において上記のような構成を採用した場合には、通常動作時にアナログ情報としての各画素データを保持するための電圧保持容量（画素容量）に加えて、画素データを記憶するためのメモリが画素群毎または画素毎に必要となる。これにより、液晶表示装置における表示部を構成するアレイ基板（アクティブマトリクス基板）に形成すべき素子数や信号線数が増えるので、透過モードでの開口率が低下する。また、液晶を交流駆動するための極性反転駆動回路をも上記メモリと共に設ける場合には、更に開口率の低下を招く。このように素子数や信号線数の増加によって開口率が低下すると通常モードでの表示画像の輝度が低下する。

[0008] そこで本発明は、フリッカやコントラスト低下による表示品位の低下を回

避けかつ開口率の低下を抑えつつ静止画の常時表示に必要な消費電力を十分に低減できる表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第 1 の局面は、表示装置において表示すべき画像の画素を形成するための画素回路であって、

第 1 および第 2 のアクティブ素子と、

画素データを保持するための容量を形成する所定電極とを備え、

前記所定電極は、前記第 1 のアクティブ素子を介して所定の第 1 配線に接続されると共に前記第 2 のアクティブ素子を介して前記第 1 のアクティブ素子の制御端子に接続され、

前記第 1 のアクティブ素子の制御端子は所定の第 2 配線に容量結合し、

前記第 2 のアクティブ素子の制御端子は所定の第 3 配線に接続されていることを特徴とする。

[0010] 本発明の第 2 の局面は、本発明の第 1 の局面において、

第 3 のアクティブ素子を更に備え、

前記表示装置は、複数のデータ信号線と当該複数のデータ信号線に交差する複数の走査信号線とを有し、

前記所定電極は、前記第 3 のアクティブ素子を介して前記複数のデータ信号線のいずれかに接続され、

前記第 3 のアクティブ素子の制御端子は、前記複数の走査信号線のいずれかに接続されていることを特徴とする。

[0011] 本発明の第 3 の局面は、本発明の第 1 の局面において、

前記所定電極は所定の第 4 配線に容量結合していることを特徴とする。

[0012] 本発明の第 4 の局面は、表示装置であって、

表示すべき画像の画素毎に設けられた、本発明の第 1 の局面に係る画素回路と、

複数のデータ信号線とを備え、

前記画素回路は、前記複数のデータ信号線のいずれかに接続されており、

前記画素回路における前記所定電極は、マトリクス状に配置されていることを特徴とする。

- [0013] 本発明の第5の局面は、表示装置であって、
表示すべき画像の画素毎に設けられた、本発明の第1の局面に係る画素回路と、
複数のデータ信号線とを備え、
前記画素回路は、前記複数のデータ信号線のいずれかに接続されており、
前記第1、第2および第3配線のうち少なくとも1つの配線は、複数の前記画素回路によって共有されていることを特徴とする。

- [0014] 本発明の第6の局面は、アクティブマトリクス型の表示装置であって、
表示すべき画像の画素毎に設けられた、本発明の第1の局面に係る画素回路と、
複数のデータ信号線と、
前記複数のデータ信号線に交差する複数の走査信号線とを備え、
前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、
前記画素回路は、前記走査信号線に制御端子が接続された第3のアクティブ素子を更に備え、
前記画素回路における前記所定電極は、前記第3のアクティブ素子を介して前記データ信号線に接続されていることを特徴とする。

- [0015] 本発明の第7の局面は、アクティブマトリクス型の本発明の第4または第5の局面に係る表示装置であって、
前記複数のデータ信号線に交差する複数の走査信号線を更に備え、
前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、
前記画素回路は、前記走査信号線に制御端子が接続された第3のアクティブ素子を更に備え、
前記画素回路における前記所定電極は、前記第3のアクティブ素子を介し

て前記データ信号線に接続されていることを特徴とする。

[0016] 本発明の第 8 の局面は、本発明の第 6 または第 7 の局面において、
前記第 1、第 2 および第 3 配線のうち少なくとも 1 つの配線は、同一の走査信号線に接続された複数の画素回路によって共有されていることを特徴とする。

[0017] 本発明の第 9 の局面は、本発明の第 4 または第 5 の局面において、
前記第 1、第 2 および第 3 配線のうち少なくとも 1 つの配線は、全ての画素回路によって共有されていることを特徴とする。

[0018] 本発明の第 10 の局面は、本発明の第 6 または第 7 の局面において、
前記第 1、第 2 および第 3 配線のうち少なくとも 1 つの配線は、全ての画素回路によって共有されていることを特徴とする。

[0019] 本発明の第 11 の局面は、表示装置であって、
表示すべき画像の画素毎に設けられた、本発明の第 1 の局面に係る画素回路と、
複数のデータ信号線とを備え、
前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、
前記画素回路は、前記複数のデータ信号線のいずれかに接続され、
前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする。

[0020] 本発明の第 12 の局面は、本発明の第 4、第 5 または第 9 の局面において、
前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、
前記画素回路は、前記複数のデータ信号線のいずれかに接続され、
前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加するこ

とにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする。

[0021] 本発明の第 13 の局面は、本発明の第 6 から第 8 の局面および第 10 の局面のいずれかにおいて、

前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする。

[0022] 本発明の第 14 の局面は、本発明の第 11 から第 13 の局面のいずれかにおいて、

前記第 1 動作モードでは、

前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に応じて前記第 1 のアクティブ素子がオンまたはオフされ、

前記第 1 のアクティブ素子がオンされた場合に前記第 1 配線の電圧が前記第 1 のアクティブ素子を介して前記所定電極に与えられることを特徴とする。

[0023] 本発明の第 15 の局面は、本発明の第 11 から第 13 の局面のいずれかにおいて、

前記第 1 動作モードでは、前記第 2 配線の全てに前記電圧パルスを同時に印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする。

[0024] 本発明の第 16 の局面は、本発明の第 13 の局面において、

前記第 2 配線は前記走査信号線毎に設けられており、

前記第 1 動作モードでは、前記第 2 配線に前記走査信号線単位で選択的に前記電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする。

[0025] 本発明の第 17 の局面は、本発明の第 11 から第 14 の局面のいずれかにおいて、

前記第 1 のアクティブ素子が N チャネル形トランジスタである場合には、前記電圧パルスが印加されていないときの前記第 2 配線の電圧は、前記電圧パルスが印加されているときの前記第 2 配線の電圧よりも低く、

前記第 1 のアクティブ素子が P チャネル形トランジスタである場合には、前記電圧パルスが印加されていないときの前記第 2 配線の電圧は、前記電圧パルスが印加されているときの前記第 2 配線の電圧よりも高いことを特徴とする。

[0026] 本発明の第 18 の局面は、本発明の第 17 の局面において、

前記第 3 配線の電圧を基準とする所定範囲内の電圧が前記所定電極に与えられている場合には、前記第 2 配線に前記電圧パルスが印加されたときに前記第 1 のアクティブ素子がオン状態となって、前記第 2 配線に前記電圧パルスが印加されていないときに前記第 1 のアクティブ素子がオフ状態となり、かつ、前記所定範囲外の他の所定範囲内の電圧が前記所定電極に与えられている場合には、前記第 2 配線に前記電圧パルスが印加されているか否かに拘わらず前記第 1 のアクティブ素子がオフ状態となるように、前記第 1 配線の電圧、前記電圧パルスを含む前記第 2 配線の電圧、および前記第 3 配線の電圧が設定されていることを特徴とする。

[0027] 本発明の第 19 の局面は、本発明の第 11 から第 18 の局面のいずれかにおいて、

前記第 1 動作モードでは、前記容量に画素データを保持させるために前記所定電極に与えるべき電圧の上限値以下かつ下限値以上の所定電圧が前記第 3 配線に与えられていることを特徴とする。

[0028] 本発明の第 20 の局面は、本発明の第 6 から第 8 の局面および第 10 の局面のいずれかにおいて、

前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、

前記第 1 動作モードでは、

前記第 3 のアクティブ素子の制御端子に接続された走査信号線に非アクティブな信号を与えることにより前記第 3 のアクティブ素子がオフ状態とされ、

前記複数のデータ信号線の電圧は所定電圧に固定されることを特徴とする。

[0029] 本発明の第 21 の局面は、本発明の第 20 の局面において、

前記第 1 動作モードにおいて、前記第 1 のアクティブ素子がオフ状態であるときには、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧が前記所定電極に供給されることを特徴とする。

[0030] 本発明の第 22 の局面は、本発明の第 21 の局面において、

前記所定電圧は、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧が、前記容量に画素データを保持させるために前記所定電極に与えるべき電圧のうち最も低い電圧に略等しくなるように設定されていることを特徴とする。

[0031] 本発明の第 23 の局面は、本発明の第 22 の局面において、

前記所定電圧は、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによっ

て分圧することにより得られる電圧が略0に等しくなるように設定されていることを特徴とする。

[0032] 本発明の第24の局面は、本発明の第6から第8の局面、第10の局面、第13の局面、および第20から第23の局面のいずれかにおいて、

前記画素回路によって形成すべき画素を示すデータ信号を前記所定電極に与えるための第2動作モードを有し、

前記第2動作モードでは、

前記第3のアクティブ素子の制御端子に接続された走査信号線にアクティブな信号を与えることにより前記第3のアクティブ素子がオンされ、

前記第3のアクティブ素子がオン状態であるときに前記データ信号が前記データ信号線および前記第3のアクティブ素子を介して前記所定電極に与えられることを特徴とする。

[0033] 本発明の第25の局面は、本発明の第24の局面において、

前記第2動作モードでは、前記所定電極に与えられる電圧に拘わらず前記第2のアクティブ素子をオン状態とする電圧が前記第3配線に与えられていることを特徴とする。

[0034] 本発明の第26の局面は、本発明の第24の局面において、

前記第2動作モードでは、前記所定電極に与えられる電圧に拘わらず前記第2のアクティブ素子をオフ状態とする電圧が前記第3配線に与えられていることを特徴とする。

[0035] 本発明の第27の局面は、本発明の第6から第8の局面、第10の局面、第13の局面、および第20から第26の局面のいずれかにおいて、

前記画素データを保持するための前記容量に印加される電圧の極性が反転するように前記所定電極の電圧を更新するための第3動作モードを有し、

前記第3動作モードでは、前記極性が反転するように、前記複数の走査信号線が駆動されて、前記極性の反転された電圧が前記データ信号線を介して前記所定電極に与えられることを特徴とする。

[0036] 本発明の第28の局面は、本発明の第27の局面において、

前記第 3 動作モードでは、前記極性が同一フレーム内で同一となるように前記極性の反転された電圧が前記データ信号線を介して前記所定電極に与えられることを特徴とする。

[0037] 本発明の第 29 の局面は、本発明の第 27 または第 28 の局面において、前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われ、

前記第 3 動作モードにおいて前記極性が反転される周期は、前記第 1 動作モードにおいて前記電圧パルスが印加される周期の 10 倍よりも長いことを特徴とする。

[0038] 本発明の第 30 の局面は、本発明の第 27 または第 28 の局面において、前記第 3 動作モードでは、所定のメモリに格納された少なくとも 1 フレーム分の画像データを構成する画素データが、前記極性の反転された電圧として前記データ信号線および前記第 3 のアクティブ素子を介して前記所定電極に与えられることを特徴とする。

[0039] 本発明の第 31 の局面は、表示装置であって、表示すべき画像の画素毎に設けられた、本発明の第 1 の局面に係る画素回路と、

複数の走査信号線と、

前記複数の走査信号線に交差する複数のデータ信号線と、

第 4 配線とを備え、

前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、

前記第 4 配線は、全ての前記画素回路の前記所定電極に容量結合している

ことを特徴とする。

[0040] 本発明の第 3 2 の局面は、本発明の第 6 から第 3 0 の局面のいずれかにおいて、

第 4 配線を更に備え、

前記第 4 配線は、全ての前記画素回路の前記所定電極に容量結合していることを特徴とする。

[0041] 本発明の第 3 3 の局面は、表示装置であって、

表示すべき画像の画素毎に設けられた、本発明の第 1 の局面に係る画素回路と、

複数の走査信号線と、

前記複数の走査信号線に交差する複数のデータ信号線と、

前記走査信号線毎に設けられた第 4 配線とを備え、

前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、

前記第 4 配線のそれぞれは、対応する走査信号線に接続された複数の画素回路の前記所定電極に容量結合していることを特徴とする。

[0042] 本発明の第 3 4 の局面は、本発明の第 6 から第 8 の局面、第 1 0 の局面、第 1 3 の局面、および第 2 0 から第 3 0 の局面のいずれかにおいて、

前記走査信号線毎に設けられた第 4 配線を更に備え、

前記第 4 配線のそれぞれは、対応する走査信号線に接続された複数の画素回路の前記所定電極に容量結合していることを特徴とする。

発明の効果

[0043] 本発明の第 1 の局面によれば、画素データを保持するための容量を形成する所定電極の電圧に応じた電圧が第 2 のアクティブ素子を介して第 1 のアクティブ素子の制御端子に与えられ、上記所定電極の電圧が第 3 配線の電圧に基づく所定範囲にある場合には第 2 のアクティブ素子がオフ状態となって、第 2 配線に所定の電圧パルスが印加されると、第 1 のアクティブ素子をオンさせる方向にその制御端子の電圧が変化する（典型的には電圧が上昇する）

。これにより、第1のアクティブ素子がオン状態になると、第1配線の電圧が第1のアクティブ素子を介して上記所定電極に与えられる。このような動作に基づき上記所定電極の電圧をリフレッシュすることができる。従来の液晶表示装置におけるリフレッシュでは、画素容量に画素データとして保持されている電圧とは極性の異なる電圧が画素データとして書き込まれるが、本発明におけるリフレッシュは、上記所定電極によって形成される容量に同じ極性の電圧が画素データとして再度書き込まれることを意味する。このようなリフレッシュにより、上記所定電極に例えば所望の電圧が与えられた後にリーク電流によって上記所定電極の電圧が変動しても、当該電圧が上記所定範囲にあれば、第2配線に電圧パルスを与えることで、第1配線から当該所望電圧を第1のアクティブ素子を介して与えることができる。このようなリフレッシュ動作により、本発明に係る画素回路を使用した表示装置において、表示品質の低下を抑えつつ液晶表示の場合に極性反転駆動の周期を長くし、静止画の表示に必要な消費電力を低減することができる。また、上記リフレッシュ動作のために必要な構成は簡単なものであるので、携帯電話等の常時表示モードにおいて表示部に設けられたメモリを用いることにより消費電力を抑えつつ静止画を表示する従来の構成に比べ、開口率の低下を抑えることができる。

[0044] 本発明の第2の局面によれば、第3のアクティブ素子を、その制御端子に接続された走査信号線にアクティブな信号を与えてオンさせることにより、その第3のアクティブ素子に接続されたデータ信号線から上記所定電極に電圧を与えることができる。すなわち、データ信号線および第3のアクティブ素子を介して画素データを画素回路に書き込むことができる。

[0045] 本発明の第3の局面によれば、画素データを保持するための容量を形成する所定電極は第4配線に容量結合しているので、当該第4配線に所定の電圧を与えておくことで、データ信号線から画素データとして上記所定電極に与えられた電圧を安定に保持することができる。

[0046] 本発明の第4の局面によれば、マトリクス状に配置された上記所定電極を

それぞれ含む画素回路にデータ信号線を介して画素データとしての電圧が与えられ、各画素回路においてその電圧に応じた画素が形成されることで画像が表示される。

[0047] 本発明の第5の局面によれば、第1、第2および第3配線のうち少なくとも1つの配線は、複数の画素回路によって共有されているので、当該複数の画素回路には、当該少なくとも1つの配線を介して所定の電圧または電圧パルスを共通かつ同時に与えることができる。

[0048] 本発明の第6および第7の局面のいずれにおいても、本発明の第2の局面に係る画素回路と同じ構成の画素回路を用いてアクティブマトリクス型の表示装置が構成されるので、本発明の第2の局面と同様の効果を奏する。

[0049] 本発明の第8の局面によれば、第1、第2および第3配線のうち少なくとも1つの配線は、同一の走査信号線に接続された複数の画素回路によって共有されているので、走査信号線毎に当該複数の画素回路に、当該少なくとも1つの配線を介して所定の電圧または電圧パルスを共通かつ同時に与えることができる。

[0050] 本発明の第9および第10の局面のいずれにおいても、第1、第2および第3配線のうち少なくとも1つの配線は、全ての画素回路によって共有されているので、全ての画素回路に、当該少なくとも1つの配線を介して所定の電圧または電圧パルスを共通かつ同時に与えることができる。

[0051] 本発明の第11から第13の局面のいずれにおいても、第1動作モードでは、第2配線に所定の電圧パルスを印加することにより、第3配線の電圧を基準とする上記所定電極の電圧の相対的な値に基づき第2のアクティブ素子がオフ状態となる場合に第1のアクティブ素子によって第1配線から画素電極への電圧供給が行われるので、リーク電流による上記所定電極の電圧変動を抑制することができる。その結果、表示品質の低下を抑えつつ液晶表示の場合に極性反転駆動の周期を長くし、静止画の表示に必要な消費電力を低減することができる。

[0052] 本発明の第14の局面によれば、第1動作モードでは、第2配線に所定の

電圧パルスを印加することにより、第3配線の電圧を基準とする上記所定電極の電圧の相対的な値に応じて第1のアクティブ素子がオンまたはオフされ、第1のアクティブ素子がオンされると第1配線の電圧が上記所定電極に与えられるので、リーク電流による上記所定電極の電圧変動を抑制することができる。その結果、表示品質の低下を抑えつつ液晶表示の場合に極性反転駆動の周期を長くし、静止画の表示に必要な消費電力を低減することができる。

[0053] 本発明の第15の局面によれば、第1動作モードでは第2配線の全てに電圧パルスが同時に印加されるので、第3配線の電圧を基準とする上記所定電極の電圧の相対的な値に応じて第1のアクティブ素子によって第1配線から上記所定電極に電圧供給が行われるというリフレッシュ動作が、全ての画素回路につき一括的に行われる。したがって、簡単な構成でリフレッシュ動作のための上記電圧パルスを発生させることができる。

[0054] 本発明の第16の局面によれば、第1動作モードでは第2配線に走査信号線単位で選択的に電圧パルスが印加されるので、第3配線の電圧を基準とする上記所定電極の電圧の相対的な値に応じて第1のアクティブ素子によって第1配線から上記所定電極に電圧供給が行われるというリフレッシュ動作が、1つの走査信号線に対応する画素回路群ずつ行われる。このため、リフレッシュ動作によるピーク電流が、上記一括的なリフレッシュ動作の場合に比べて低減される。

[0055] 本発明の第17の局面によれば、第1のアクティブ素子がNチャネル形トランジスタである場合には、電圧パルスが印加されていないときの第2配線の電圧は、電圧パルスが印加されているときの第2配線の電圧よりも低くなり、当該電圧パルスの第2配線への印加により上記のようなリフレッシュが行われる。また、第1のアクティブ素子がPチャネル形トランジスタである場合には、電圧パルスが印加されていないときの第2配線の電圧は、電圧パルスが印加されているときの第2線の電圧よりも高くなり、当該電圧パルスの第2配線への印加により上記のようなリフレッシュが行われる。

[0056] 本発明の第 18 の局面によれば、第 3 配線の電圧を基準とする所定範囲内の電圧が上記所定電極に与えられている場合には、第 2 配線に電圧パルスが印加されたときに第 2 のアクティブ素子がオフ状態となって第 1 のアクティブ素子がオン状態となり、第 1 配線の電圧が上記所定電極に与えられる。一方、第 2 配線に電圧パルスが印加されていないときや、上記所定範囲外の他の所定範囲内の電圧が上記所定電極に与えられているときには、第 1 のアクティブ素子がオフ状態となるので、第 1 配線の電圧は上記所定電極に与えられず、上記所定電極の電圧は変化しない。

[0057] 本発明の第 19 の局面によれば、第 1 動作モードでは、第 3 配線の電圧は、画素回路の容量に画素データを保持させるために上記所定電極に与えられるべき電圧の上限値以下かつ下限値以上の所定電圧となっている。第 3 配線の電圧がこのように設定されることにより、画素データを示す電圧がデータ信号線を介して上記所定電極に与えられた後にリーク電流によって上記所定電極の電圧が変動しても、当該電圧が第 3 配線の電圧に基づく所定範囲にあれば、第 2 配線への電圧パルスの印加によって第 1 のアクティブ素子の制御端子の電位がブーストされる。これにより、第 1 配線の電圧を上記所定電極に与えて上記所定電極の電圧をリフレッシュすることができる。

[0058] 本発明の第 20 の局面によれば、第 1 動作モードにおいて各データ信号線の電圧が所定電圧に固定されることで、データ信号線駆動回路による駆動が抑制され、また、データ信号線駆動回路における出力バッファ等を停止状態とすることができるので、表示装置の消費電力を大幅に低減することができる。

[0059] 本発明の第 21 の局面によれば、第 1 動作モードにおいて第 1 のアクティブ素子がオフ状態であるときには、第 1 配線の電圧とデータ信号線の電圧である上記所定電圧との間を第 1 のアクティブ素子のオフ抵抗と第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧すなわちオフ抵抗分割による電圧が上記所定電極に供給されるので、上記所定電極の電圧を当該オフ抵抗分割による電圧に維持することが可能となり、上記所定電

極に与えるべき電圧のうちオフ抵抗分割による電圧に略等しい電圧が上記所定電極に与えられた場合には、上記所定電極の電圧はほとんど変動しない。

[0060] 本発明の第22の局面によれば、画素回路の容量に画素データを保持させるためにデータ信号線から上記所定電極に与えられる電圧は0から所定の正電圧までの範囲にあり、第1動作モードでは、上記オフ抵抗分割による電圧が、上記所定電極に与えるべき上記電圧のうち最も低い電圧に略等しくなるように、各データ信号線の電圧（所定電圧）が設定されている。したがって、第1動作モードにおいて、上記所定電極に与えるべき上記電圧のうち最も低い電圧以外の電圧を第1配線から与え、当該最も低い電圧（に略等しい電圧）を第1のアクティブ素子と第3のアクティブ素子との接続点から与えることで、上記所定電極の電圧をデータ信号線から上記所定電極に与えられた電圧の近傍に維持することが可能となる。

[0061] 本発明の第23の局面によれば、第1動作モードでは、上記オフ抵抗分割による電圧が略0に等しい。このため、第1動作モードにおいて、上記所定電極に与えるべき上記電圧のうち0近傍以外の電圧を第1配線から与え、略0の電圧を第1のアクティブ素子と第3のアクティブ素子との接続点から与えることで、上記所定電極の電圧をデータ信号線から上記所定電極に与えられた電圧の近傍に維持することが可能となる。

[0062] 本発明の第24の局面によれば、第2動作モードでは、第3のアクティブ素子がオン状態であるときにデータ信号がデータ信号線および第3のアクティブ素子を介して上記所定電極に与えられることで、データ信号線から画素回路にデータが書き込まれる。

[0063] 本発明の第25の局面によれば、第2動作モードでは、第2のアクティブ素子がオン状態とされているので、第1のアクティブ素子の制御端子に上記所定電極の電圧が与えられ、第1のアクティブ素子がオン状態となるのが抑制される。これにより、通常の画素回路と同様にデータ信号線から上記所定電極にデータ信号を与えることができる。

[0064] 本発明の第26の局面によれば、第2動作モードでは、第2のアクティブ

素子がオフ状態とされているので、上記所定電極の電圧に拘わらず第1のアクティブ素子のオンが抑制されるようにその制御端子の電圧を設定し、通常の画素回路と同様にデータ信号線から上記所定電極にデータ信号を与えることができる。

[0065] 本発明の第27の局面によれば、第3動作モードでは、画素データを保持するための容量への印加電圧の極性が反転するように、当該極性の反転された電圧がデータ信号線を介して上記所定電極に与えられるので、例えば液晶表示装置において、液晶への直流電圧の印加による電極側へのイオン蓄積や液晶材料の変質等に起因する表示劣化を防止すべく、交流駆動による画像表示を行うことができる。

[0066] 本発明の第28の局面によれば、第3動作モードでは、画素データを保持するための容量に印加される電圧の極性が同一フレーム内で同一であり、データ信号の極性反転の周期が長いので、低消費電力化を図ることができる。

[0067] 本発明の第29の局面によれば、第3動作モードにおいて上記極性が反転される周期は、第1動作モードにおいて第2配線に電圧パルスが印加される周期の10倍よりも長いので、リーク電流による上記所定電極の電圧変動を抑えつつ、液晶表示の場合の極性反転のためにデータ信号線等を駆動する頻度を大幅に低減することができる。その結果、フリッカやコントラスト低下による表示品位の低下を回避しつつ静止画の表示（常時表示）に必要な消費電力を十分に低減することができる。

[0068] 本発明の第30の局面によれば、第3動作モードでは、所定のメモリに格納された画素データが上記極性の反転された電圧としてデータ信号線等を介して上記所定電極に与えられるので、極性反転のための回路を別途設けることなく、上記極性を反転させることができる。

[0069] 本発明の第31および第32の局面のいずれにおいても、画素データを保持するための容量を形成する所定電極は第4配線に容量結合しているので、当該第4配線に所定の電圧を与えておくことで、データ信号線から画素データとして画素回路に取り込まれた電圧を安定に保持することができる。また

、液晶表示装置の場合には、液晶を挟んで上記所定電極と対向する対向電極の電圧を固定して第4配線の電圧を変化させることにより、表示品位の向上および低消費電力化が可能となる。

[0070] 本発明の第33および第34の局面のいずれにおいても、画素データを保持するための容量を形成する所定電極は第4配線に容量結合しているため、当該第4配線に所定の電圧を与えておくことで、データ信号線から画素データとして画素回路に取り込まれた電圧を安定に保持することができる。

図面の簡単な説明

[0071] [図1]本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

[図2]上記第1の実施形態における画素回路の構成を示す回路図である。

[図3]上記第1の実施形態の常時表示モードにおける書込期間およびセルフ・リフレッシュ期間の動作条件を示す図である。

[図4]上記第1の実施形態の常時表示モードにおける各動作期間を説明するためのタイミングブロック図である。

[図5]上記第1の実施形態の常時表示モードにおける書込期間の動作を説明するための信号波形図（A～I）である。

[図6]上記第1の実施形態の常時表示モードにおけるセルフ・リフレッシュ期間の動作を説明するための信号波形図（A～H）である。

[図7]上記第1の実施形態の常時表示モードにおいて画素液晶に正極性の高電圧を印加する場合の各動作を説明するための回路図（A～D）である。

[図8]上記第1の実施形態の常時表示モードにおいて画素液晶に正極性の低電圧を印加する場合の各動作を説明するための回路図（A～D）である。

[図9]上記第1の実施形態の常時表示モードにおいて画素液晶に負極性の低電圧を印加する場合の各動作を説明するための回路図（A～D）である。

[図10]上記第1の実施形態の常時表示モードにおいて画素液晶に負極性の高電圧を印加する場合の各動作を説明するための回路図（A～D）である。

[図11]上記第1の実施形態の変形例を説明するためのブロック図である。

[図12] 上記第1の実施形態の更に他の変形例を説明するための回路図である。

[図13] 本発明を他の液晶表示装置に適用した場合の画素回路の構成を示す回路図である。

[図14] 本発明を更に他の液晶表示装置に適用した場合の画素回路の構成を示す回路図である。

[図15] 本発明を有機EL表示装置に適用した場合の画素回路の構成を示す回路図である。

発明を実施するための形態

[0072] 以下、添付図面を参照して本発明の実施形態について説明する。

< 1. 第1の実施形態 >

< 1. 1 液晶表示装置の構成 >

図1は、本発明の第1の実施形態に係る液晶表示装置の構成を示すブロック図であり、図2は、本実施形態における画素回路112の構成を示す回路図である。本実施形態に係る液晶表示装置は、透過型での通常表示モードと、反射型での常時表示モードとを有しており、常時表示モードには、書込モード、リフレッシュモード、および極性反転モードを有する。例えば、この液晶表示装置が携帯電話等で使用される場合、動画表示を必要とする通常時に透過型モードで表示を行うという動作モードが通常表示モードに相当し、反射型モードにおいて静止画を低消費電力で表示するという動作モードが常時表示モードに相当する。ただし、本発明は、このような用途や構成に限定されるものではない。

[0073] 図1に示すように、本実施形態に係る液晶表示装置は、アクティブマトリクス基板101を用いたアクティブマトリクス型の表示部100と、データ信号線駆動回路としてのソースドライバ300と、走査信号線駆動回路としてのゲートドライバ410と、共通電極駆動回路600とを備えると共に、ソースドライバ300、ゲートドライバ410、および共通電極駆動回路600を制御するための表示制御回路200を備えている。なお、図1では、

ソースドライバ300、ゲートドライバ410、共通電極駆動回路600は、表示部100におけるアクティブマトリクス基板101とは別個の構成要素として示されているが、これらの一部または全部をアクティブマトリクス基板101上に画素回路112と一体的に形成されていてもよい。この点は、他の実施形態においても同様である。

[0074] 上記液晶表示装置における表示部100は、液晶層を挟持する1対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記1対の電極基板の一方はアクティブマトリクス基板101である。図1および図2に示すように、このアクティブマトリクス基板101では、ガラス等の絶縁性基板上に、複数本(N本)の走査信号線としてのゲートラインGL(1)~GL(N)と、それらのゲートラインGL(1)~GL(N)にそれぞれ対応する複数本(N本)の補助容量線としてのCSラインと、それらゲートラインGL(1)~GL(N)のそれぞれと交差する複数本(M本)のデータ信号線としてのソースラインSL1~SLMと、それらのゲートラインGL(1)~GL(N)とソースラインSL1~SLMとの交差点にそれぞれ対応してマトリクス状に配置された複数個(N×M個)の画素回路112とが形成されている。本実施形態では、上記複数本のCSラインは互いに接続されている。このため、これを一つの参照符号“CSL”で示し、CSラインCSLに与えられる電圧を参照符号“CS”で示すものとする。なお本実施形態では、CSラインCSLには後述の共通電圧Vcomが与えられる(CS=Vcom)。

[0075] 上記のような構成から、各画素回路112には、ゲートラインGL(1)~GL(N)のいずれか1つ、ソースラインSL1~SLMのいずれか1つがそれぞれ対応し、各画素回路112は、それに対応するゲートラインGL(i)、およびソースラインSLjと接続されており、当該ゲートラインGL(i)に対応するCSラインCSLにも接続されている。図2に示すように、各画素回路112は、従来の液晶表示装置における画素回路と同様の構成を有する主回路112aと、セルフ・リフレッシュ回路112bとから構

成されている。

[0076] 画素回路 112 の主回路 112a は、画素電極 E_p を備えると共に、対応するゲートライン $GL(i)$ にゲート端子が接続されたアクティブ素子としての薄膜トランジスタ T_3 を備えている。この薄膜トランジスタ T_3 はスイッチング素子として動作し、画素電極 E_p は、この薄膜トランジスタ T_3 を介して、対応するソースライン SL_j に接続されている。

[0077] また、アクティブマトリクス基板 101 では、図 1 および図 2 に示すように、ゲートライン $GL(1) \sim GL(N)$ のそれぞれに沿ってリフレッシュデータ線 RLL 、リファレンス線 RFL 、およびブースト信号線 BSL が更に形成されている。図 1 に示すように、各ゲートライン $GL(i)$ に沿って形成されたリフレッシュデータ線 RLL は互いに接続されて表示制御回路 200 に接続されており、各ゲートライン $GL(i)$ に沿って形成されたブースト信号線 BSL も互いに接続されて表示制御回路 200 に接続されており、さらに、各ゲートライン $GL(i)$ に沿って形成されたリファレンス線 RFL も互いに接続されて表示制御回路 200 に接続されている。

[0078] 表示部 100 における上記 1 対の電極基板の他方は対向基板 102 と呼ばれ、この対向基板 102 では、ガラス等の透明な絶縁性基板上に全面にわたって共通電極（「対向電極」とも呼ばれる） E_c が形成されている。この共通電極 E_c は、上記複数個（ $N \times M$ 個）の画素回路 112 に共通的に設けられ、液晶層を介して上記複数個の画素回路 112 における画素電極 E_p と対向するように配置されている。そして、アクティブマトリクス基板 101 における各画素回路 112 は、共通的に設けられた共通電極 E_c および液晶層と共に画素形成部を構成し、この画素形成部では、画素電極 E_p と共通電極 E_c とにより液晶容量 C_{lc} が形成されている。また、この液晶容量 C_{lc} に確実に電圧を保持すべく、液晶容量 C_{lc} に並列に補助容量素子 C_s が形成されている。すなわち、アクティブマトリクス基板 101 において、 CS ライン CSL と絶縁膜等を挟んで対向する画素電極 E_p とによって上記補助容量素子 C_s が形成されている。したがって、画素データとしてのデータ信

号 $S(j)$ を書き込んで保持すべき容量（以下ではこの容量を「画素容量」と呼び、記号 “ C_p ” で示すものとする）は、液晶容量 C_{lc} と補助容量素子（以下「補助容量」ともいう） C_s とからなる。すなわち、これらの記号 “ C_p ”、“ C_{lc} ”、“ C_s ” が容量値をも示すものとする、 $C_p = C_{lc} + C_s$ となる。なお以下では、画素回路 112 の動作等を説明する場合には、液晶容量 C_{lc} も画素回路 112 に含まれるものとする。

[0079] アクティブマトリクス基板 101 における各画素回路 112 において、既述の主回路 112a は、データ信号 $S(j)$ を画素データとして取り込んで保持する機能を有している。一方、セルフ・リフレッシュ回路 112b は、後述のリフレッシュ動作を行うためのアクティブプルアップ回路として機能する。このセルフ・リフレッシュ回路は、第 1 のアクティブ素子としての薄膜トランジスタ（以下「第 1 トランジスタ」という） T_1 と、第 2 のアクティブ素子としての薄膜トランジスタ（以下「第 2 トランジスタ」という） T_2 と、ブースト容量素子 C_{bst} とを含んでいる。ここで、ブースト容量素子 C_{bst} の容量値は、補助容量素子 C_s および液晶容量 C_{lc} からなる画素容量 C_p の容量値よりも十分に小さいものとする（ $C_{bst} \ll C_p$ ）。

[0080] 主回路 112a のアクティブ素子としての薄膜トランジスタ（以下「第 3 トランジスタ」という） T_3 と画素電極 E_p との接続点（以下「節点 N_1 」という）は、セルフ・リフレッシュ回路 112b の第 1 トランジスタ T_1 を介してリフレッシュデータ線 RL_L に接続されており、第 1 トランジスタ T_1 のゲート端子はブースト容量素子 C_{bst} の一端（以下これを含む節点を「節点 N_2 」という）に接続されている。ブースト容量素子 C_{bst} の当該一端（節点 N_1 ）は、第 2 トランジスタ T_2 を介して画素電極 E_p に接続されており、ブースト容量素子 C_{bst} の他端はブースト信号線 BS_L に接続されている。第 2 トランジスタ T_2 のゲート端子は上記リファレンス線 RF_L に接続されている。

[0081] 図 1 および図 2 に示すように、各画素回路 112 における画素電極 E_p には、後述のように動作するソースドライバ 300 およびゲートドライバ 41

0により、表示すべき画像に応じた電位が与えられ、共通電極 E_c には、共通電極駆動回路600によって生成される共通電位 V_{com} が与えられる（この共通電位 V_{com} は「対向電圧」または「共通電圧」とも呼ばれる）。これにより、画素電極 E_p と共通電極 E_c との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層における光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するために偏光板が使用されており、本実施形態に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置される。

[0082] 本実施形態では、上記共通電圧 V_{com} は、固定値ではなく、所定のHレベル（5V）と所定のLレベル（0V）の間で交互に切り替わるように共通電極駆動回路600により生成される（このような共通電圧 V_{com} による共通電極（対向電極） E_c の駆動は「対向AC駆動」と呼ばれる）。より詳しくは、上記共通電圧 V_{com} は、通常表示モードでは、1水平期間毎に上記所定のHレベルと上記所定のLレベルの間で交互に切り替わるように生成され、常時表示モードでは、フレーム期間の整数倍の期間毎に上記所定のHレベルと上記所定のLレベルの間で交互に切り替わるように生成される。以下では、常時表示モードにおいて上記共通電圧 V_{com} は、 p フレーム期間毎に上記所定のHレベルと上記所定のLレベルの間で交互に切り替わるものとする（ p は2以上の整数であり、典型的には数十～数百程度）。

[0083] また、本実施形態における通常表示モードでは、液晶への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内において表示ライン毎（走査線毎）にも反転するように、ソースライン $SL_1 \sim SL_M$ 、ゲートライン $GL(1) \sim GL(N)$ 、および共通電極 E_c が駆動される。すなわち、これらの駆動により、共通電圧 V_{com} が上記所定のLレベルにある水平期間では、各画素回路112の画素液晶（画素容量 C_{lc} ）に正極性の電圧が印加されるように、画素データを示す電圧がソースライン SL_j を介して各画素電極 E_p に与えられる。また、共通電圧 V_{com} が上記所定のHレベルにある水平期間では、各画素回路112の画素液晶に負極性の電圧が印加

されるように、画素データを示す電圧が各ソースライン $S L_j$ を介して各画素電極 E_p に与えられる。そして、各画素回路112の画素液晶への印加電圧の極性は1フレーム期間毎に反転する。一方、本実施形態の常時表示モードにおける後述の書込期間では、液晶への印加電圧の極性が p フレーム期間毎（ p は2以上の整数）に反転するように、ソースライン $S L_1 \sim S L_M$ 、ゲートライン $G L(1) \sim G L(N)$ 、および共通電極 E_c が駆動される。すなわち、これらの駆動により、共通電圧 V_{com} が上記所定の L レベルにあるフレーム期間では、各画素回路112の画素液晶（画素容量 C_{lc} ）に正極性の電圧が印加されるように、画素データを示す電圧がソースライン $S L_j$ を介して各画素電極 E_p に与えられる。また、共通電圧 V_{com} が上記所定の H レベルにあるフレーム期間では、各画素回路112の画素液晶に負極性の電圧が印加されるように、画素データを示す電圧が各ソースライン $S L_j$ を介して各画素電極 E_p に与えられる。

[0084] 表示制御回路200は、表示すべき画像を表すデータ信号 D_v とタイミング信号 C_t とを外部の信号源から受け取り、それらの信号 D_v 、 C_t に基づき、画像を表示部100に表示させるための信号として、ソースドライバ300に与えるべきデジタル画像信号 D_A およびデータ側タイミング制御信号 S_{tc} と、ゲートドライバ410に与えるべき走査側タイミング制御信号 G_{tc} と、共通電極駆動回路600に与えるべき共通電圧制御信号と、アクティブマトリクス基板101におけるブースト信号線 $B S L$ 、リファレンス線 $R F L$ 、およびリフレッシュデータ線 $R L L$ にそれぞれに与えるべきブースト信号 $B S T$ 、リファレンス電圧 $R E F$ 、およびリフレッシュ電圧 $R L$ とを生成する。なお、本実施形態におけるリフレッシュ電圧 $R L$ は、2階調で画像を表示する場合に画素電極 E_p に与えるべき電圧（5Vと0V）のうち相対的に高い電圧（5V）に等しい。

[0085] ソースドライバ300は、通常表示モードでは、デジタル画像信号 D_A およびデータ側タイミング制御信号 S_{tc} に基づき、デジタル画像信号 D_A の表す画像の1表示ライン分の画素値に相当するアナログ電圧をデータ信号 S

(1) ~ S (M) として1水平期間毎 (1 H 毎) に生成し、これらのデータ信号 S (1) ~ S (M) をソースライン S L 1 ~ S L M にそれぞれ印加する。一方、常時表示モードでは、ソースドライバ 300 は、上記アナログ電圧に代えて2値の電圧をデータ信号 S (1) ~ S (M) として1水平期間毎に生成し、これらのデータ信号 S (1) ~ S (M) をソースライン S L 1 ~ S L M にそれぞれ印加する (詳細は後述する)。

[0086] 本実施形態における通常表示モードでは、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内において表示ライン毎にも反転するように、データ信号 S (1) ~ S (M) が出力される駆動方式 (以下「ライン反転駆動方式」という) が採用されている。したがって、通常表示モードにおいてソースドライバ 300 は、各ソースライン S L j に印加されるデータ信号 S (j) の (共通電圧 V c o m を基準とする) 極性を1水平期間毎に反転させる。一方、本実施形態の常時表示モードにおける後述の書込期間では、液晶層への印加電圧の極性が p フレーム期間毎 (p は2以上の整数) に反転されると共に、各フレーム期間において各画素回路 112 に書き込まれる画素データに基づく画素液晶への印加電圧の極性が同一フレーム内で同一となるように、データ信号 S (1) ~ S (M) が出力される駆動方式 (以下「フレーム反転駆動方式」という) が採用されている。したがって、常時表示モードの書込期間においてソースドライバ 300 は、各ソースライン S L j に印加されるデータ信号 S (j) の (共通電圧 V c o m を基準とする) 極性を p フレーム期間毎に反転させる。

[0087] ゲートドライバ 410 は、走査側タイミング制御信号 G t c に基づき、各データ信号 S (1) ~ S (M) を各画素回路 112 に書き込むために、デジタル画像信号 D A の各フレーム期間 (各垂直走査期間) において、ゲートライン G L (1) ~ G L (N) をほぼ1水平期間ずつ順次選択する。

[0088] 上記のようにして、ソースライン S L 1 ~ S L M、ゲートライン G L (1) ~ G L (N)、および共通電極 E c (C S ライン C S L) が駆動されることにより、表示すべき画像を表す画像データを構成する各画素データがそれ

に対応する画素回路 1 1 2 にデータ信号 $S(j)$ として与えられ、これにより、液晶における光の透過率が制御されることで当該画像が表示される。より具体的には、本実施形態では、通常表示モードにおいて、フルカラーの動画や静止画が表示され、常時表示モードにおいて、限定的な複数色の静止画すなわちマルチカラーの静止画が表示される。

[0089] < 1. 2 常時表示モードの動作 >

図 3 は、本実施形態の常時表示モードにおける動作条件を示す図であり、図 4 は、本実施形態に係る液晶表示装置の常時表示モードにおける各動作期間を説明するためのタイミングブロック図である。本実施形態では、通常表示モードから常時表示モードに入ると、まず、表示すべき静止画を表す各画素データがそれに対応する画素回路 1 1 2 (の画素容量 C_p) に 2 値データとして書き込まれる (変形例においても同様)。以下において、この書き込み動作を「常時表示モード書込動作」という。一方、通常表示モードにおいて表示すべき画像を表す各画素データをそれに対応する画素回路 1 1 2 (の画素容量 C_p) にデータ信号 $S(j)$ として与えることによる書き込み動作を「通常表示モード書込動作」という。ただし、両表示モードの書き込み動作の区別が文脈等から明らかな場合や両表示モードの書き込み動作を区別する必要のない場合には、単に「書込動作」という。また、常時表示モード書込動作が行われる期間を「常時表示モード書込期間」または単に「書込期間」といい、常時表示モード書込期間に対応する動作モードを「書込モード」という。常時表示モード書込期間では、1 水平期間 (「1 H 期間」ともいう) に 1 表示ラインずつ画素データが画素回路 1 1 2 に書き込まれ、1 垂直期間 (「1 V 期間」または「1 フレーム期間」ともいう) で 1 画面分の画素データが書き込まれる。

[0090] 図 5 は、常時表示モード書込期間における本実施形態の動作を説明するための信号波形図である。常時表示モードでは、各画素が取り得る表示は黒表示と白表示の 2 種類である。ここで、「黒表示」とは、光を遮断する状態すなわち非点灯状態をいい、「白表示」とは、光を透過する状態すなわち点灯

状態をいう。したがって、例えば赤、緑または青の光を透過する状態も「白表示」に含まれる。本実施形態の常時表示モードでは、黒表示の画素に対応する画素液晶には低電圧 V_1 または $-V_1$ が印加され、白表示の画素に対応する画素液晶には高電圧 V_2 または $-V_2$ が印加されるように動作条件が設定されるものとする、本実施形態では、 $V_1 = 0\text{ V}$ 、 $V_2 = 5\text{ V}$ として、図3に示すように動作条件が設定されている。ただし、本発明はこの動作条件に限定されるものではなく、本発明を実施する液晶表示装置における、液晶印加電圧と輝度との関係を示す特性等に応じた適切な動作条件が設定されていればよい。

[0091] 本実施形態の常時表示モード書込期間では、図5（A）に示すような走査信号 $G(i)$ が各ゲートライン $GL(i)$ に印加されることにより（ $i = 1 \sim N$ ）、ゲートライン $GL(1) \sim GL(N)$ が順次選択される。一方、ソースライン $SL_1 \sim SL_M$ には、図5（B）（C）に示すような、表示すべき画像を表すデータ信号 $S(1) \sim S(M)$ が印加される。各画素回路112では、それに対応するゲートライン $GL(i)$ が選択されているとき（走査信号 $G(i)$ がアクティブ状態すなわちHレベルの間）、第3トランジスタ T_3 がオン状態となり、対応するソースライン SL_j の電圧が当該第3トランジスタ T_3 を介して画素電極 E_p に与えられる。その結果、ソースライン SL_j の電圧としてのデータ信号 $S(j)$ が当該画素電極 E_p に対応する画素容量 C_p に画素データとして書き込まれる。

[0092] このデータ信号 $S(j)$ の電圧は、次のフレーム期間で新たなデータ信号 $S(j)$ がその画素容量 C_p に書き込まれるまで保持される。これにより、このデータ信号 $S(j)$ の電圧に相当する画素電極 E_p の電位と共通電位 V_{com} との差に相当する電圧が液晶に印加され、液晶における光の透過率が制御される。なお、常時表示モードにおいて各画素回路112に書き込まれる画素データ（データ信号 $S(j)$ ）は、2値データである。

[0093] 通常表示モードおよび常時表示モードでの画素データの書込動作では、画素電極 E_p に与えられる電圧に拘わらず第2トランジスタ T_2 が常にオン状

態となるような電圧をリファレンス線RFLに与えることにより、ブースト信号BSTがアクティブか非アクティブかに拘わらず（ブースト信号線BSLへの電圧パルスの印加の有無に拘わらず）、第1トランジスタT1がオン状態となるのが抑制される。これにより、セルフ・リフレッシュ回路112bは動作しない。しかし、画素データの書込動作時においてセルフ・リフレッシュ回路112bが動作しないようにする手法はこれに限定されない。例えば、これに代えて、画素データの書込動作時において、画素電極Epに与えられる電圧に拘わらず第2トランジスタT2が常にオフ状態となるようなリファレンス電圧REFをリファレンス線RFLに与え、ブースト信号線BSLに低い電圧を印加することで、第1トランジスタT1が常にオフ状態となるようにしてもよい。このようにすれば、セルフ・リフレッシュ回路112bは動作しない。また、これに代えて、画素データの書込動作時において、画素電極Epに与えられる電圧に拘わらず第2トランジスタT2が常にオフ状態となるような電圧をリファレンス線RFLに与え、第2トランジスタT2がオフされる直前に節点N2（第1トランジスタT1のゲート端子）の電圧を第1トランジスタT1のオンが抑制されるような電圧とし、ブースト信号BSTを非アクティブに維持するようにしてもよい。このようにした場合も、セルフ・リフレッシュ回路112bは動作しない。

[0094] 図4に示すように、常時表示モードでは、1フレーム分の上記書込動作が終了すると、書込期間を終了し、セルフ・リフレッシュ期間に入り、各画素回路112における画素電極Epの（リーク電流による）電圧変動を抑制するためのリフレッシュ動作が行われる。セルフ・リフレッシュ期間に対応する動作モードを「リフレッシュモード」という。図6は、リフレッシュ動作を説明するための信号波形図である。図3は、このリフレッシュ動作が行われるセルフ・リフレッシュ期間の動作条件としての各信号の電圧値を、上記書込期間の動作条件と共に示している。なお以下では、画素回路112につきその配置も含めて示す場合には、参照符号“P(i, j)”を使用し、「画素回路P(i, j)」は、i番目のゲートラインGL(i)およびj番目

のソースライン $S L_j$ に接続された画素回路 112 を示すものとする（図1参照）。また、画素回路 $P(i, j)$ における画素電極 E_p の電圧（以下「画素電圧」ともいう）を符号“ $V_{pix}(i, j)$ ”または“ V_{pix} ”で示すものとする（図5（H）（I）、図6（G）（H）参照）。

[0095] セルフ・リフレッシュ期間では、図6（E）に示すようにリファレンス線 RFL にリファレンス電圧 REF として $3V$ の電圧が与えられ（電圧設定の詳細は後述）、図6（F）に示すように1フレーム期間毎に電圧パルスがブースト信号 BST としてブースト信号線 BSL に印加されることにより、1画面分の全ての画素回路 $P(i, j)$ につき一括的にリフレッシュが行われる。本実施形態では、図4に示すように、常時表示モード書込期間後に、1画面分のリフレッシュ（フレームリフレッシュ）を1サイクルとして n サイクルのリフレッシュが行われる（本実施形態では $n=59$ ）。この n サイクルのリフレッシュが終了すると、表示部 100 における各画素液晶への印加電圧すなわち各画素回路 $P(i, j)$ の液晶容量 C_{lc} への印加電圧の極性を反転させるための極性反転駆動が行われる（極性反転駆動の詳細については後述する）。以後、1画面分のリフレッシュが n サイクル実行される毎に極性反転駆動が行われる。ここで、 n の具体値は、液晶への同一極性電圧の印加による当該液晶の劣化の程度と許容される消費電力の程度等を考慮して決定され、本実施形態では $n=59$ としている。

[0096] 図7～図10は、本実施形態の常時表示モード書込期間およびセルフ・リフレッシュ期間における画素回路 112 の動作を説明するための回路図である。これらの図において、信号ラインや電圧ライン等に付された数値は図3の動作条件に対応する電圧値を示しており、点線の円は、それが付されたトランジスタがオン状態であることを示し、点線の×印は、それが付されたトランジスタがオフ状態であることを示している。

[0097] 図7は、画素液晶への印加電圧（液晶容量 C_{lc} への印加電圧）が正極性の高電圧（ $5V$ ）である場合を、図8は画素液晶への印加電圧が正極性の低電圧（ $0V$ ）の場合を、図9は画素液晶への印加電圧が負極性の低電圧（ 0

V) の場合を、図 10 は画素液晶への印加電圧が負極性の高電圧 (-5 V) の場合をそれぞれ示している。また、図 7 (A)、図 8 (A)、図 9 (A) および図 10 (A) は常時表示モード書込期間 (書込モード) における書込動作を、図 7 (B)、図 8 (B)、図 9 (B) および図 10 (B) は常時表示モード書込期間における保持動作を、図 7 (C)、図 8 (C)、図 9 (C) および図 10 (C) はセルフ・リフレッシュ期間 (セルフ・リフレッシュモード) におけるリフレッシュ動作を、図 7 (D)、図 8 (D)、図 9 (D) および図 10 (D) はセルフ・リフレッシュ期間における保持動作をそれぞれ示している。なお本実施形態に係る液晶表示装置はノーマリブラック型であり、黒表示に対応する液晶印加電圧である低電圧 (0 V) を「L レベル液晶印加電圧」といい、白表示に対応する液晶印加電圧である高電圧 (5 V 、 -5 V) を「H レベル液晶印加電圧」というものとするが、発明はこのようなノーマリブラック型に限定されるものではない。

[0098] 以下、図 7～図 10 を参照して本実施形態の常時表示モードにおける動作について説明する。なお、常時表示モードにおける各期間のうちセルフ・リフレッシュ期間中は、ソースドライバ 300 における回路のうち、少なくとも、データ信号 $S(1) \sim S(M)$ を出力するための出力バッファは動作を停止しており、図 3 および図 6 に示すように、ソースライン $SL1 \sim SLM$ には固定電圧として -5 V が与えられる。このための回路は、ソースドライバ 300 とは別個の構成要素として実現すればよく、例えばアクティブマトリクス基板 101 上に薄膜トランジスタを用いて画素回路 112 と一体的に形成することができる。

[0099] < 1. 2. 1 画素液晶に正極性の高電圧を印加する場合の動作 >

画素液晶に正極性の高電圧を印加する画素回路 $P(i, j)$ では、図 7 (A) に示すように、共通電圧 $V_{com}(=CS)$ は 0 V であり、走査信号 $G(i)$ が H レベル (8 V : アクティブ) であってゲートライン $GL(i)$ が選択されているときに、第 3 トランジスタ $T3$ がオン状態となり、正極性の H レベル液晶印加電圧に対応する 5 V のデータ信号 $S(j)$ がソースライン

S L_j から第3トランジスタ T₃ を介して画素電極 E_p に与えられる。その後、走査信号 G (i) が L レベル (- 5 V : 非アクティブ) になると、図 7 (B) に示すように、画素電圧 V_{p i x} = 5 V が画素データとして画素容量 C_p に保持される。

[0100] 常時表示モード書込期間では、上記のようにして 1 走査線単位で画素データが画素回路 P (i , j) (j = 1 ~ M) に順次書き込まれて保持され、N 番目の走査線の画素回路 P (N , j) (j = 1 ~ M) に画素データが書き込まれて保持されると、常時表示モード書込期間が終了する。

[0101] 常時表示モード書込期間が終了すると、セルフ・リフレッシュ期間が始まり、まず、リフレッシュ動作が行われる。このリフレッシュ動作では、走査信号 G (1) ~ G (N) は全て L レベル (- 5 V) で、セルフ・リフレッシュ期間中、第3トランジスタ T₃ がオフ状態となる (図 7 (C) (D)) 。また、リファレンス線 R F L には、セルフ・リフレッシュ期間中、リファレンス電圧 R E F として 3 V が与えられる。本実施形態では、各ゲートライン G L (i) に沿って形成されたブースト信号線 B S L は互いに接続されて同一のブースト信号 B S T が与えられる (図 1) 。すなわち、一括リフレッシュが採用されている。このため、セルフ・リフレッシュ期間において、図 6 (F) に示すように、ブースト信号 B S T として電圧パルスが 1 フレーム期間 (1 垂直期間 : 1 V 期間) 毎にブースト信号線 B S L に印加され、ブースト信号 B S T は 1 フレーム期間毎に H レベル (5 V) となる。

[0102] ここで、第2トランジスタ T₂ の閾値電圧を V_{t h} (> 0) とすると、リファレンス電圧 R E F を基準とする画素電圧 V_{p i x} の相対値 V_{p i x} - R E F が - V_{t h} よりも大きければ第2トランジスタ T₂ はオフ状態となり、当該相対値 V_{p i x} - R E F が - V_{t h} よりも小さければ第2トランジスタ T₂ はオン状態となる。正極性の H レベル液晶印加電圧に対応する 5 V のデータ信号 S (j) が画素データとして書き込まれている画素回路 P (i , j) では、セルフ・リフレッシュ期間において、当該相対値 V_{p i x} - R E F は 5 - 3 = 2 V であり - V_{t h} よりも大きいので、図 7 (C) に示すように

、第2トランジスタT2がオフ状態となっている。したがって、ブースト信号線BSLへの上記電圧パルスの印加により、節点N2の電圧が上昇し、第1トランジスタT1がオン状態となる。その結果、リフレッシュデータ線RLからリフレッシュ電圧RL (= 5 V) が第1トランジスタT1を介して画素電極Epに与えられる。このため、ブースト信号BSTがLレベルである間に、リーク電流によって画素電圧 $V_{pix}(i, j)$ がHレベルの規準電圧(5 V)から低下していたとしても(図7(D))、ブースト信号BSTがHレベルとされることにより、図7(C)に示す電流Irefが流れ、画素電圧 $V_{pix}(i, j)$ がHレベルの規準電圧(5 V)に回復する(図6(G))。

[0103] このようにして、図7に示すように、画素液晶に正極性の高電圧を印加する画素回路P(i, j)すなわち5 Vのデータ信号が画素データとして書き込まれている画素回路P(i, j)では、図6(F)に示すように、所定期間毎(本実施形態では1フレーム期間である16.7 ms毎)にブースト信号BSTとしての電圧パルスがブースト信号線BSLに印加されることにより、当該画素データがリフレッシュされる。このため、上記のようなリーク電流があっても画素電圧 V_{pix} はHレベルの規準電圧(5 V)から大きくは低下せず(図6(G))、画素液晶への印加電圧はほぼ正極性のHレベル液晶印加電圧(5 V)に維持される。

[0104] < 1. 2. 2 画素液晶に正極性の低電圧を印加する場合の動作 >

画素液晶に正極性の低電圧を印加する画素回路P(i, j)では、図8(A)に示すように、共通電圧Vcom (= CS) は0 Vであり、常時表示モード書込期間において走査信号G(i)がHレベルであるときに、正極性のLレベル液晶印加電圧(0 V)に対応する0 Vのデータ信号S(j)が画素電極Epに与えられる。その後、走査信号G(i)がLレベル(-5 V)になると、図8(B)に示すように、第3トランジスタT3がオフ状態となり、画素電極Epの電圧すなわち画素電圧 $V_{pix} = 0$ Vが画素データとして画素容量Cpに保持される。これにより、当該画素回路P(i, j)の画素

液晶には正極性の低電圧（0 V）が印加される。

[0105] このようにして正極性のLレベル液晶印加電圧に対応する0 Vのデータ信号 $S(i)$ が画素データとして書き込まれた画素回路 $P(i, j)$ では、セルフ・リフレッシュ期間において、リファレンス電圧 REF を基準とする画素電圧 V_{pix} の相対値 $V_{pix} - REF$ は $0 - 3 = -3$ Vであり、 $-V_{th}$ よりも小さい（ここで、 V_{th} は第2トランジスタの閾値電圧であって3 Vよりも小さいものとする）。したがって、ブースト信号 BST として電圧パルスがブースト信号線 BSL に印加されても、図8（C）に示すように、第2トランジスタ $T2$ はオン状態である。このため、セルフ・リフレッシュ期間において第1トランジスタ $T1$ はオフ状態に維持され、図7（C）に示したようなリフレッシュ動作は行われない。

[0106] しかし、セルフ・リフレッシュ期間ではソースライン SL_j の電圧（ $S(j)$ ）が -5 Vに維持されている（図6（B））。このため、リフレッシュデータ線 RLL の電圧すなわちリフレッシュ電圧 RL （5 V）とソースライン SL_j の電圧すなわちデータ信号 $S(j)$ の電圧（ -5 V）との間を第1トランジスタ $T1$ のオフ抵抗と第3トランジスタ $T3$ のオフ抵抗との抵抗比で分割して得られる電圧（以下「オフ抵抗分割による電圧」という）は、第1および第3トランジスタ $T1$ 、 $T3$ のオフ抵抗が互いに略等しいものとする、と、略0 Vである。すなわち、このオフ抵抗分割による電圧は、第1トランジスタ $T1$ と第3トランジスタ $T3$ との接続点（節点 $N1$ ）に接続されている画素電極 E_p の正極性Lレベルの規準電圧（0 V）に略等しい。このため、画素電極 E_p の電圧すなわち画素電圧 V_{pix} が書込期間の保持動作時等に正極性Lレベルの規準電圧（0 V）から多少変動しても（図8（B））、セルフ・リフレッシュ期間においてその変動が解消される（図8（C）（D））。また、画素液晶の等価的な抵抗は、第1および第3トランジスタ $T1$ 、 $T3$ のオフ抵抗に比べて十分に小さい（例えば2桁程度小さい）ので、本実施形態では画素液晶におけるリーク電流は問題とはならない。したがって、リフレッシュ期間において、画素電極 E_p の電圧 V_{pix} はほとんど変

動せず（図 6（H））、画素液晶への印加電圧は略 0 V（正極性の L レベル液晶印加電圧）に維持される。

[0107] 上記のように、セルフ・リフレッシュ期間における各ソースライン S_{Lj} の電圧を -5 V に設定することによっても、リーク電流による画素電圧の変動を抑制することができる。この各ソースライン S_{Lj} の電圧設定については、より一般的には、常時表示モード書込期間に表示すべき静止画に応じて各ソースライン S_{Lj} にデータ信号 S（j）として印加される 2 種類の電圧（ここでは 0 V と 5 V）のうちリフレッシュ電圧 R_L（5 V）とは異なる他の電圧（0 V）に着目する。すなわち、データ信号 S（j）として画素電極 E_p に与えるべき電圧のうち高い方の電圧を第 1 電圧（5 V）とし、低い方を電圧を第 2 電圧（0 V）としたとき、第 2 電圧に着目する。そして、セルフ・リフレッシュ期間における保持動作状態において、リフレッシュデータ線 R_{LL} の電圧 R_L とソースライン S_{Lj} の電圧との間を第 1 トランジスタ T₁ のオフ抵抗と第 3 トランジスタ T₃ のオフ抵抗とで分圧して得られる電圧（オフ抵抗分割による電圧）が当該第 2 電圧（0 V）近傍の電圧となるように、各ソースライン S_{Lj} に与えるべき電圧を決定すればよい。なお、更に一般化すると、画素電極 E_p に与えるべき電圧が複数種類ある場合、それら複数種類の電圧のうち最も低い電圧に上記オフ抵抗分割による電圧が略等しくなるようにすればよい。そのようにすれば、画素電極 E_p に与えるべき電圧のうち上記オフ抵抗分割による電圧に略等しい電圧が画素電極に E_p に与えられた場合に、セルフリフレッシュ期間においてその画素電極 E_p の電圧がほとんど変動しなくなる。

[0108] このような各ソースライン S_{Lj} の電圧設定と図 7（C）に示すようなリフレッシュ動作とが相俟って、セルフ・リフレッシュ期間において、リーク電流による画素電圧の変動が抑制されるので、画素電圧 V_{pix} を規準電圧（0 V または 5 V）近傍の所定範囲内に維持することができる（図 6（G）（H））。

[0109] < 1. 2. 3 画素液晶に負極性の低電圧を印加する場合の動作 >

画素液晶に負極性の低電圧を印加する画素回路 $P(i, j)$ では、図9(A)に示すように、共通電圧 $V_{com}(=CS)$ は5Vであり、常時表示モード書込期間に、負極性のLレベル液晶印加電圧(0V)に対応する5Vのデータ信号 $S(j)$ が画素電極 E_p に与えられる。このため、常時表示モード書込期間およびセルフ・リフレッシュ期間における当該画素回路 $P(i, j)$ の動作は、図9に示す通りであり、共通電圧 V_{com} が5Vであることを除き、画素液晶に正極性の高電圧を印加する画素回路 $P(i, j)$ の動作すなわち図7に示す動作と実質的に同じである。

[0110] <1. 2. 4 画素液晶に負極性の高電圧を印加する場合の動作>

画素液晶に負極性の高電圧を印加する画素回路 $P(i, j)$ では、図10(A)に示すように、共通電圧 $V_{com}(=CS)$ は5Vであり、常時表示モード書込期間に、負極性のHレベル液晶印加電圧(-5V)に対応する0Vのデータ信号 $S(j)$ が画素電極 E_p に与えられる。このため、常時表示モード書込期間およびセルフ・リフレッシュ期間における当該画素回路 $P(i, j)$ の動作は、図10に示す通りであり、共通電圧 V_{com} が5Vであることを除き、画素液晶に正極性の低電圧を印加する画素回路 $P(i, j)$ の動作すなわち図8に示す動作と実質的に同じである。

[0111] <1. 2. 5 極性反転期間の動作>

本実施形態の極性反転期間では、常時表示モード書込期間の動作と同様の動作(図5等参照)により、各画素液晶に印加されていた電圧の極性が反転するように各画素電極の電圧が更新される。この極性反転期間に対応する動作モードは「極性反転モード」と呼ばれる。ここで、各画素液晶への印加電圧の絶対値を極性反転期間の前後で変えずに極性が反転される。また、本実施形態に係る液晶表示装置を使用する電子機器等に設けられたメモリ(以下「外部メモリ」という)には、常時表示モードにおいて表示すべき静止画の画像データ(少なくとも1フレーム分のデータ)が格納されている。本実施形態に係る液晶表示装置は、極性反転期間において、その外部メモリから画像データを受け取り、その画像データを構成する画素データに基づき、ソー

スドライバ300を使用して、上記極性反転に考慮しつつ常時表示モード書込動作と同様の動作を行う。なお、少なくとも1フレーム分の画像データを格納可能なメモリがソースドライバ300に含まれている場合には、上記外部メモリに代えて、このメモリを当該静止画の画像データの格納用のメモリとして使用してもよい。

[0112] また、本実施形態では、常時表示モードにおいては、画素液晶への印加電圧の極性が同一フレーム内で同一となるように反転される対向AC駆動方式が採用されていることから、共通電圧 V_{com} およびCSラインCSLの電圧CSが極性反転期間の開始時に変更される。すなわち、常時表示モード書込期間において例えば図5(D)に示すように共通電圧 V_{com} (=CS)が0Vである場合には、この常時表示モード書込期間の直後に開始されるセルフ・リフレッシュ期間においても共通電圧 V_{com} (=CS)は0Vのままであり、そのセルフ・リフレッシュ期間が終了して極性反転期間が開始されるときに共通電圧 V_{com} (=CS)が0Vから5Vに変更される。以後、次のセルフ・リフレッシュ期間を経て次に極性反転期間が開始されるときに共通電圧 V_{com} (=CS)が5Vから0Vに変更される。このようにして、常時表示モード中は、極性反転期間が開始される毎に共通電圧 V_{com} (=CS)が0Vと5Vとの間で交互に変更される。

[0113] <1. 3 効果>

上記のように本実施形態によれば、セルフ・リフレッシュ期間において、図6(G)(H)に示すように、画素回路112におけるリーク電流による画素電圧 V_{pix} の変動がリフレッシュ動作によって抑えられ、または、ソースラインSLjの電圧設定に基づく上記オフ抵抗分割による電圧の画素電極Epへの供給によって当該変動が解消される。これにより、画素電圧 V_{pix} が書込時点の規準電圧(本実施形態では0Vまたは5V)の近傍の範囲内に維持され、各画素液晶への印加電圧もその規準電圧に対応した電圧に維持される。このため、常時表示モードにおいて極性反転期間の間隔を液晶劣化の観点から問題を生じない範囲で拡大することができ、フリッカやコント

ラスト低下による表示品位の低下を回避しつつ、本実施形態のように $16.7\text{ms} \times (59 + 1) = 1000\text{ms}$ (1秒) の間隔でソースドライバ300による極性反転駆動を行うことができる。これにより、表示品位の低下を回避しつつ常時表示モードでの静止画の表示 (常時表示) に必要な消費電力を十分に低減することができる。なお本実施形態では、極性反転駆動が行われる周期は上記のように 1000ms (1秒) であってリフレッシュ動作の周期 (ブースト信号線BSTに電圧パルスが印加される周期 = 16.7ms) の60倍であるが、10倍程度以上であれば常時表示モードでの静止画の表示における消費電力の低減に十分に有効である。

[0114] また、本実施形態によれば、従来の画素回路に対し簡単な構成のセルフ・リフレッシュ回路が追加されるだけであるので (図2参照)、常時表示モードにおいて表示部に設けられたメモリを用いることにより消費電力を抑えつつ静止画を表示する従来の構成に比べ、画素回路の構成が簡素化される。その結果、開口率の低下が抑えられるので、表示画像の輝度低下を防止し、通常表示モードでの良好な表示 (動画表示等) を維持することができる。

[0115] < 1. 4 第1の実施形態の変形例 >

上記実施形態では、アクティブマトリクス基板101においてゲートラインGL(1) ~ GL(N) のそれぞれに沿って形成されたブースト信号線BSLは、互いに接続されて表示制御回路200に接続されている。しかし、これに代えて、図11に示すように、ゲートラインGL(1) ~ GL(N) にそれぞれに沿って配置されたN本の制御信号線としてブースト信号線BSL(1) ~ BSL(N) を設け、これらのブースト信号線BSL(1) ~ BSL(N) を互いに接続せずにゲートドライバ412によって独立に駆動するようにしてもよい。この場合、ゲートドライバ412は、走査信号線駆動回路として機能すると共にブースト駆動回路としても機能し、ブースト信号線BSL(1) ~ BSL(N) にそれぞれ印加すべきブースト信号BS(1) ~ BS(N) を順次的にアクティブとなる信号として生成する。この場合、ブースト信号線BSL(1) ~ BSL(N) へのアクティブなブースト信

号BS(1)～BS(N)の順次的な印加が1通り終了すると、1画面分のリフレッシュ(フレームリフレッシュ)が実行されたことになる。このようにブースト信号線BSL(1)～BSL(N)を独立に駆動して順次的なりフレッシュを行えば、1つに結合されたブースト信号線BSLを駆動して一括的なリフレッシュを行う場合に比べ、ピーク電流が低減される。

[0116] また、上記実施形態では、アクティブマトリクス基板101においてゲートラインGL(1)～GL(N)のそれぞれに沿って形成されたCSラインCSLは互いに接続され、共通電極Ecにも接続されており、CSラインCSLおよび共通電極Ecは共に共通電圧Vcomが与えられる(図1)。しかし、これに代えて、ゲートラインGL(1)～GL(N)にそれぞれに沿って配置されたN本のCSラインCS(1)～CS(N)を設け、これらのCSラインCS(1)～CS(N)を独立にかつ共通電極Ecとは別に駆動可能となるように構成されていてもよい。このような構成によれば、例えば、上記実施形態における通常表示モードでの動画の表示をパネルの一部の領域で行うこと、すなわち動画の部分駆動表示が可能となる。

[0117] また、上記実施形態では、図1および図11に示すように、各ゲートラインGL(i)に沿ってブースト信号線BSLまたはBSL(i)が形成されており、1つのゲートラインGL(i)に対応するブースト信号線BSLまたはBSL(i)は、連続した配線として形成されていて、当該ゲートラインGL(i)に接続された1表示ライン分の画素回路P(i, j)(j=1～M)によって共有されていると言える。また、図1の例では、ゲートラインGL(1)～GL(N)のそれぞれに沿って形成されたブースト信号線BSLは、互いに接続されているので、全ての画素回路P(i, j)(i=1～N, j=1～M)によって共有されているとも言える。しかし、ブースト信号線BSLまたはBSL(i)の構成は、このような構成に限定されるものではなく、例えば、各ゲートラインGL(i)に対応するブースト信号線BSLが2つに分離(左右に分離)されていてもよい。また、例えば、奇数番目のゲートラインGL(1), GL(3), …に沿って形成されたブースト

信号線BSLがアクティブマトリクス基板101の一侧（例えば左側）で互いに接続され、かつ、偶数番目のゲートライGL（2）、GL（4）、…に沿って形成されたブースト信号線BSLがアクティブマトリクス基板101の他側（例えば右側）で互いに接続されていてもよい。このようなブースト信号線BSLまたはBSL（i）の構成についての変形と同様の変形は、リフレッシュデータ線RL Lやリファレンス線RFLについても可能である。

[0118] ブースト信号線BSLまたはBSL（i）の構成、リフレッシュデータ線RL Lの構成、およびリファレンス線RFLの構成についての上記のような変形例（左右に分離する構成）によれば、上記実施形態における通常表示モードでの動画の表示と常時表示モードでの静止画の表示とを同一パネルで同時に行うこと（動画表示のための部分駆動）が容易となり、動画を含む表示における低消費電力化が可能となる。

[0119] また、上記実施形態では、セルフ・リフレッシュ期間においてリフレッシュデータ線RL Lから第1トランジスタT1を介して画素電極E_pに与えられるリフレッシュ電圧RLは、その前の常時表示モード書込期間または極性反転期間においてソースラインSL_jを介して当該画素電極E_pに与えられたデータ信号S（j）の電圧（Hレベルの規準電圧5V）に等しいが、これに代えて、当該データ信号S（j）の電圧よりも低い電圧をリフレッシュ電圧RLとして設定することが好ましい。共通電圧V_{com}に対し、いわゆる引き込み電圧に基づく補正を行われており、ビデオ電圧供給線としてのリフレッシュデータ線RL Lの電圧RLについても同様の補正をすべきだからである。具体的には、第3トランジスタT3におけるゲートとドレイン間の寄生容量に起因する引き込み電圧を考慮して、上記データ信号S（j）の電圧よりも当該引き込み電圧だけ低い電圧をリフレッシュ電圧RLとして設定するのが好ましい。また、ノーマリブラック型の液晶表示装置における液晶印加電圧と輝度との関係を示す特性から白表示に必要とされる電圧よりも高い電圧を画素電極E_pに与えるべきデータ信号S（j）の電圧としている場合（いわゆるオーバドライブの場合）には、当該白表示が可能なより低い電圧

をリフレッシュ電圧 R_L として設定してもよい。

[0120] < 2. 他の実施形態 >

上記第 1 の実施形態では、既述のように対向 AC 駆動方式が採用されているが、本発明はこれに限定されるものではない。例えば、共通電極 E_c の電位を固定し、データ信号 $S(j)$ の電圧を画素電極に与えた後に画素電極 E_p と共通電極 E_c との間の電位差が拡大するように CS ライン CSL の電位を変化させる駆動方式が採用されてもよい。

[0121] 上記第 1 の実施形態では、液晶への印加電圧の極性反転については、既述のように、通常表示モードではライン反転駆動方式が、常時表示モードではフレーム反転駆動方式がそれぞれ採用されているが、本発明はこのような構成に限定されるものではない。例えば、通常表示モードおよび常時表示モードの双方においてライン反転駆動方式が採用されていてもよいし、通常表示モードおよび常時表示モードの双方においてフレーム反転駆動方式が採用されていてもよい。

[0122] 上記第 1 の実施形態では、各画素回路 112 は、黒表示（非点灯状態）と白表示（点灯状態）の 2 種類の表示のみが可能であるが、隣接する 2 以上の所定数の画素回路 $P(i, j)$ を表示単位として扱うことにより、面積階調に基づく階調表示を行うことも可能である。

[0123] 上記第 1 の実施形態では、各画素回路 112 においてリフレッシュを行うために使用されるブースト容量素子 C_{bst} は、画素回路 112 毎に設けられているが、これに代えて、2 以上の所定数の画素回路 112 毎に 1 つのブースト容量素子 C_{bst} を設けるようにしてもよい。例えば、R（赤）、G（緑）、B（青）の画素をそれぞれ形成するための 3 つの画素回路 $P(i, j)$ 、 $P(i, j+1)$ 、 $P(i, j+2)$ を表示単位としてカラー表示が可能のように構成されている場合において、常時表示モードにおいて白と黒の 2 値画像を表示すればよいときには、図 12 に示すように、当該 3 つの画素回路 $P(i, j)$ 、 $P(i, j+1)$ 、 $P(i, j+2)$ で 1 個のブースト容量素子 C_{bst} を共有する構成とすることができる。このような構成に

よれば、上記第 1 の実施形態に比べ開口率が向上するので、自己リフレッシュ機能の導入による表示画像の輝度低下を抑制することができる。

[0124] 上記第 1 の実施形態では、アクティブマトリクス基板 101 に形成された全ての画素回路 112 が自己リフレッシュ機能のための構成（セルフ・リフレッシュ回路 112b）を有しているが、特許文献 1（日本の特開 2007-334224 号公報）に記載された液晶表示装置のように透過画素部と反射画素部という 2 種類の画素部を備え、常時表示モードにおいて反射画素部を用いて表示が行われる場合には、反射画素部にのみ上記自己リフレッシュ機能のための構成を設けるようにしてもよい。

[0125] 上記第 1 の実施形態では、画素回路 112 は、図 2 に示すように、N チャネル形の薄膜トランジスタを使用して構成されているが、N チャネル形の薄膜トランジスタに代えて P チャネル形の薄膜トランジスタを使用した構成とすることも可能である。このような構成の液晶表示装置においても、電源電圧および既述の動作条件として示された電圧値の正負を反転させる等により、上記第 1 の実施形態と同様に画素回路を動作させることが可能であり、同様の効果が得られる。さらに本発明は、画素回路 112 におけるトランジスタ $T_1 \sim T_3$ を上記のような薄膜トランジスタに限定するものではなく、画素回路 112 の構成要素として他のアクティブ素子を薄膜トランジスタの代わりに使用してもよい。

[0126] 上記第 1 の実施形態に係る液晶表示装置では、画素回路 112 において画素データを保持するための画素容量 C_p は液晶容量 C_{lc} と補助容量 C_s からなるが、図 13 に示すように、画素容量 C_p が液晶容量 C_{lc} のみからなる構成（補助容量 C_s を含まない構成）、すなわち、画素データを保持するための容量が、画素電極 E_p とそれに液晶層を介して対向する共通電極（対向電極） E_c とにより形成される構成であってもよい。また、図 14 に示すように、アナログアンプ A_{mp} が画素回路に内蔵され、画素データとして補助容量（保持容量） C_s に保持された電圧がアナログアンプ A_{mp} を介して液晶容量 C_{lc} を形成する画素電極 E_p に与えられる構成であってもよい。

この場合、画素データを保持するための画素容量 C_p が補助容量（保持容量） C_s のみからなる。

[0127] また、上記第1の実施形態については、液晶表示装置を例に挙げて説明したが、本発明はこれに限定されるものではなく、画素データを保持するための画素容量 C_p に対応する容量を有し、当該容量に保持される電圧に基づき画像を表示する表示装置であれば、本発明を適用することができる。例えば、画素容量に相当する容量に画素データに相当する電圧を保持させて画像表示する有機EL（Electroluminescence）表示装置においても、本発明を適用することができる。図15は、このような有機EL表示装置の画素回路の一例を示す回路図である。この画素回路では、画素データとして保持容量 C_s に保持された電圧が駆動用薄膜トランジスタ T_{dv} のゲート端子に与えられ、その電圧に応じた電流が、電源ライン V_L から駆動用薄膜トランジスタ T_{dv} を介して発光素子OLEDに流れる。したがって、この保持容量 C_s が第1の実施形態における画素容量 C_p に相当する。なお、図13、図14、図15に示す画素回路の構成のうち上記第1の実施形態における画素回路112（図2）の構成と同一または対応する部分には同一の参照符号を付しており、いずれの画素回路も、第1および第2トランジスタ T_1 、 T_2 とブースト容量素子 C_{bst} とを含むセルフ・リフレッシュ回路を備えている。

産業上の利用可能性

[0128] 本発明は、表示装置およびその画素回路に適用されるものであり、特に、携帯電話等の携帯用情報端末に適した液晶表示装置およびその画素回路に効果的に適用することができる。

符号の説明

[0129] 100 …表示部
101 …アクティブマトリクス基板
102 …対向基板
112 …画素回路
112a …主回路

1 1 2 b	…セルフ・リフレッシュ回路
2 0 0	…表示制御回路
3 0 0	…ソースドライバ（データ信号線駆動回路）
4 1 0	…ゲートドライバ（走査信号線駆動回路）
4 1 2	…ゲートドライバ（走査信号線駆動回路、ブースト駆動回路）
6 0 0	…共通電極駆動回路
G L (i)	…ゲートライン（ $i = 1 \sim N$ ）（走査信号線）
C S L	…C Sライン（第 4 配線）
V L	…電源ライン（第 4 配線）
B S L	…ブースト信号線（第 2 配線）
B S L (i)	…ブースト信号線（ $i = 1 \sim N$ ）（第 2 配線）
R L L	…リフレッシュデータ線（第 1 配線）
R F L	…リファレンス線（第 3 配線）
S L j	…ソースライン（ $j = 1 \sim M$ ）（データ信号線）
P (i , j)	…画素回路（ $i = 1 \sim N$, $j = 1 \sim M$ ）
E p	…画素電極
E c	…共通電極（対向電極）
C l c	…液晶容量
C s	…補助容量（補助容量素子）
C b s t	…ブースト容量素子
T 1	…第 1 トランジスタ（第 1 のアクティブ素子）
T 2	…第 2 トランジスタ（第 2 のアクティブ素子）
T 3	…第 3 トランジスタ（第 3 のアクティブ素子）
V c o m	…共通電圧
V p i x	…画素電圧
G (i)	…走査信号（ $i = 1 \sim N$ ）
C S	…C Sラインの電圧（C S信号）

B S T	…ブースト信号
B S (i)	…ブースト信号 (i = 1 ~ N)
S (j)	…データ信号 (j = 1 ~ M)
R L	…リフレッシュ電圧
R E F	…リファレンス電圧

請求の範囲

- [請求項1] 表示装置において表示すべき画像の画素を形成するための画素回路であって、
- 第1および第2のアクティブ素子と、
- 画素データを保持するための容量を形成する所定電極とを備え、
- 前記所定電極は、前記第1のアクティブ素子を介して所定の第1配線に接続されると共に前記第2のアクティブ素子を介して前記第1のアクティブ素子の制御端子に接続され、
- 前記第1のアクティブ素子の制御端子は所定の第2配線に容量結合し、
- 前記第2のアクティブ素子の制御端子は所定の第3配線に接続されていることを特徴とする、画素回路。
- [請求項2] 第3のアクティブ素子を更に備え、
- 前記表示装置は、複数のデータ信号線と当該複数のデータ信号線に交差する複数の走査信号線とを有し、
- 前記所定電極は、前記第3のアクティブ素子を介して前記複数のデータ信号線のいずれかに接続され、
- 前記第3のアクティブ素子の制御端子は、前記複数の走査信号線のいずれかに接続されていることを特徴とする、請求項1に記載の画素回路。
- [請求項3] 前記所定電極は所定の第4配線に容量結合していることを特徴とする、請求項1に記載の画素回路。
- [請求項4] 表示すべき画像の画素毎に設けられた、請求項1に記載の画素回路と、
- 複数のデータ信号線とを備え、
- 前記画素回路は、前記複数のデータ信号線のいずれかに接続されており、
- 前記画素回路における前記所定電極は、マトリクス状に配置されて

いることを特徴とする、表示装置。

[請求項5] 表示すべき画像の画素毎に設けられた、請求項 1 に記載の画素回路と、

 複数のデータ信号線とを備え、

 前記画素回路は、前記複数のデータ信号線のいずれかに接続されており、

 前記第 1、第 2 および第 3 配線のうち少なくとも 1 つの配線は、複数の前記画素回路によって共有されていることを特徴とする、表示装置。

[請求項6] アクティブマトリクス型の表示装置であって、

 表示すべき画像の画素毎に設けられた、請求項 1 に記載の画素回路と、

 複数のデータ信号線と、

 前記複数のデータ信号線に交差する複数の走査信号線とを備え、

 前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、

 前記画素回路は、前記走査信号線に制御端子が接続された第 3 のアクティブ素子を更に備え、

 前記画素回路における前記所定電極は、前記第 3 のアクティブ素子を介して前記データ信号線に接続されていることを特徴とする、表示装置。

[請求項7] アクティブマトリクス型の表示装置であって、

 前記複数のデータ信号線に交差する複数の走査信号線を更に備え、

 前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、

 前記画素回路は、前記走査信号線に制御端子が接続された第 3 のアクティブ素子を更に備え、

 前記画素回路における前記所定電極は、前記第 3 のアクティブ素子

を介して前記データ信号線に接続されていることを特徴とする、請求項4または5に記載の表示装置。

[請求項8] 前記第1、第2および第3配線のうち少なくとも1つの配線は、同一の走査信号線に接続された複数の画素回路によって共有されていることを特徴とする、請求項6または7に記載の表示装置。

[請求項9] 前記第1、第2および第3配線のうち少なくとも1つの配線は、全ての画素回路によって共有されていることを特徴とする、請求項4または5に記載の表示装置。

[請求項10] 前記第1、第2および第3配線のうち少なくとも1つの配線は、全ての画素回路によって共有されていることを特徴とする、請求項6または7に記載の表示装置。

[請求項11] 表示すべき画像の画素毎に設けられた、請求項1に記載の画素回路と、

複数のデータ信号線とを備え、

前記第1配線から前記所定電極への電圧供給のための第1動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第1動作モードでは、前記第2配線に所定の電圧パルスを印加することにより、前記第3配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第2のアクティブ素子がオフ状態となる場合に前記第1のアクティブ素子によって前記電圧供給が行われることを特徴とする、表示装置。

[請求項12] 前記第1配線から前記所定電極への電圧供給のための第1動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第1動作モードでは、前記第2配線に所定の電圧パルスを印加することにより、前記第3配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第2のアクティブ素子がオフ状態となる

場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする、請求項 4、5 または 9 に記載の表示装置。

[請求項13] 前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする、請求項 6 から 8、および請求項 10 のいずれか 1 項に記載の表示装置。

[請求項14] 前記第 1 動作モードでは、

前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に応じて前記第 1 のアクティブ素子がオンまたはオフされ、

前記第 1 のアクティブ素子がオンされた場合に前記第 1 配線の電圧が前記第 1 のアクティブ素子を介して前記所定電極に与えられることを特徴とする、請求項 11 から 13 のいずれか 1 項に記載の表示装置。

[請求項15] 前記第 1 動作モードでは、前記第 2 配線の全てに前記電圧パルスを同時に印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする、請求項 11 から 13 のいずれか 1 項に記載の表示装置。

[請求項16] 前記第 2 配線は前記走査信号線毎に設けられており、

前記第 1 動作モードでは、前記第 2 配線に前記走査信号線単位で選択的に前記電圧パルスを印加することにより、前記第 3 配線の電圧を

基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われることを特徴とする、請求項 13 に記載の表示装置。

[請求項17] 前記第 1 のアクティブ素子が N チャネル形トランジスタである場合には、前記電圧パルスが印加されていないときの前記第 2 配線の電圧は、前記電圧パルスが印加されているときの前記第 2 配線の電圧よりも低く、

前記第 1 のアクティブ素子が P チャネル形トランジスタである場合には、前記電圧パルスが印加されていないときの前記第 2 配線の電圧は、前記電圧パルスが印加されているときの前記第 2 配線の電圧よりも高いことを特徴とする、請求項 11 から 14 のいずれか 1 項に記載の表示装置。

[請求項18] 前記第 3 配線の電圧を基準とする所定範囲内の電圧が前記所定電極に与えられている場合には、前記第 2 配線に前記電圧パルスが印加されたときに前記第 1 のアクティブ素子がオン状態となって、前記第 2 配線に前記電圧パルスが印加されていないときに前記第 1 のアクティブ素子がオフ状態となり、かつ、前記所定範囲外の他の所定範囲内の電圧が前記所定電極に与えられている場合には、前記第 2 配線に前記電圧パルスが印加されているか否かに拘わらず前記第 1 のアクティブ素子がオフ状態となるように、前記第 1 配線の電圧、前記電圧パルスを含む前記第 2 配線の電圧、および前記第 3 配線の電圧が設定されていることを特徴とする、請求項 17 に記載の表示装置。

[請求項19] 前記第 1 動作モードでは、前記容量に画素データを保持させるために前記所定電極に与えるべき電圧の上限値以下かつ下限値以上の所定電圧が前記第 3 配線に与えられていることを特徴とする、請求項 11 から 18 のいずれか 1 項に記載の表示装置。

[請求項20] 前記第 1 配線から前記所定電極への電圧供給のための第 1 動作モー

ドを有し、

前記第 1 動作モードでは、

前記第 3 のアクティブ素子の制御端子に接続された走査信号線に非アクティブな信号を与えることにより前記第 3 のアクティブ素子がオフ状態とされ、

前記複数のデータ信号線の電圧は所定電圧に固定されることを特徴とする、請求項 6 から 8、および請求項 10 のいずれか 1 項に記載の表示装置。

[請求項 21] 前記第 1 動作モードにおいて、前記第 1 のアクティブ素子がオフ状態であるときには、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧が前記所定電極に供給されることを特徴とする、請求項 20 に記載の表示装置。

[請求項 22] 前記所定電圧は、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧が、前記容量に画素データを保持させるために前記所定電極に与えるべき電圧のうち最も低い電圧に略等しくなるように設定されていることを特徴とする、請求項 21 に記載の表示装置。

[請求項 23] 前記所定電圧は、前記第 1 配線の電圧と前記所定電圧との間を前記第 1 のアクティブ素子のオフ抵抗と前記第 3 のアクティブ素子のオフ抵抗とによって分圧することにより得られる電圧が略 0 に等しくなるように設定されていることを特徴とする、請求項 22 に記載の表示装置。

[請求項 24] 前記画素回路によって形成すべき画素を示すデータ信号を前記所定電極に与えるための第 2 動作モードを有し、

前記第 2 動作モードでは、

前記第 3 のアクティブ素子の制御端子に接続された走査信号線に

アクティブな信号を与えることにより前記第3のアクティブ素子がオンされ、

前記第3のアクティブ素子がオン状態であるときに前記データ信号が前記データ信号線および前記第3のアクティブ素子を介して前記所定電極に与えられることを特徴とする、請求項6から8、請求項10、請求項13、および請求項20から23のいずれか1項に記載の表示装置。

[請求項25] 前記第2動作モードでは、前記所定電極に与えられる電圧に拘わらず前記第2のアクティブ素子をオン状態とする電圧が前記第3配線に与えられていることを特徴とする、請求項24に記載の表示装置。

[請求項26] 前記第2動作モードでは、前記所定電極に与えられる電圧に拘わらず前記第2のアクティブ素子をオフ状態とする電圧が前記第3配線に与えられていることを特徴とする、請求項24に記載の表示装置。

[請求項27] 前記画素データを保持するための前記容量に印加される電圧の極性が反転するように前記所定電極の電圧を更新するための第3動作モードを有し、

前記第3動作モードでは、前記極性が反転するように、前記複数の走査信号線が駆動されて、前記極性の反転された電圧が前記データ信号線を介して前記所定電極に与えられることを特徴とする、請求項6から8、請求項10、請求項13、および請求項20から26のいずれか1項に記載の表示装置。

[請求項28] 前記第3動作モードでは、前記極性が同一フレーム内で同一となるように前記極性の反転された電圧が前記データ信号線を介して前記所定電極に与えられることを特徴とする、請求項27に記載の表示装置。

[請求項29] 前記第1配線から前記所定電極への電圧供給のための第1動作モードを有し、

前記画素回路は、前記複数のデータ信号線のいずれかに接続され、

前記第 1 動作モードでは、前記第 2 配線に所定の電圧パルスを印加することにより、前記第 3 配線の電圧を基準とする前記所定電極の電圧の相対的な値に基づき前記第 2 のアクティブ素子がオフ状態となる場合に前記第 1 のアクティブ素子によって前記電圧供給が行われ、

前記第 3 動作モードにおいて前記極性が反転される周期は、前記第 1 動作モードにおいて前記電圧パルスが印加される周期の 10 倍よりも長いことを特徴とする、請求項 27 または 28 に記載の表示装置。

[請求項30]

前記第 3 動作モードでは、所定のメモリに格納された少なくとも 1 フレーム分の画像データを構成する画素データが、前記極性の反転された電圧として前記データ信号線および前記第 3 のアクティブ素子を介して前記所定電極に与えられることを特徴とする、請求項 27 または 28 に記載の表示装置。

[請求項31]

表示すべき画像の画素毎に設けられた、請求項 1 に記載の画素回路と、

複数の走査信号線と、

前記複数の走査信号線に交差する複数のデータ信号線と、

第 4 配線とを備え、

前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、

前記第 4 配線は、全ての前記画素回路の前記所定電極に容量結合していることを特徴とする、表示装置。

[請求項32]

第 4 配線を更に備え、

前記第 4 配線は、全ての前記画素回路の前記所定電極に容量結合していることを特徴とする、請求項 6 から 30 のいずれか 1 項に記載の表示装置。

[請求項33]

表示すべき画像の画素毎に設けられた、請求項 1 に記載の画素回路と、

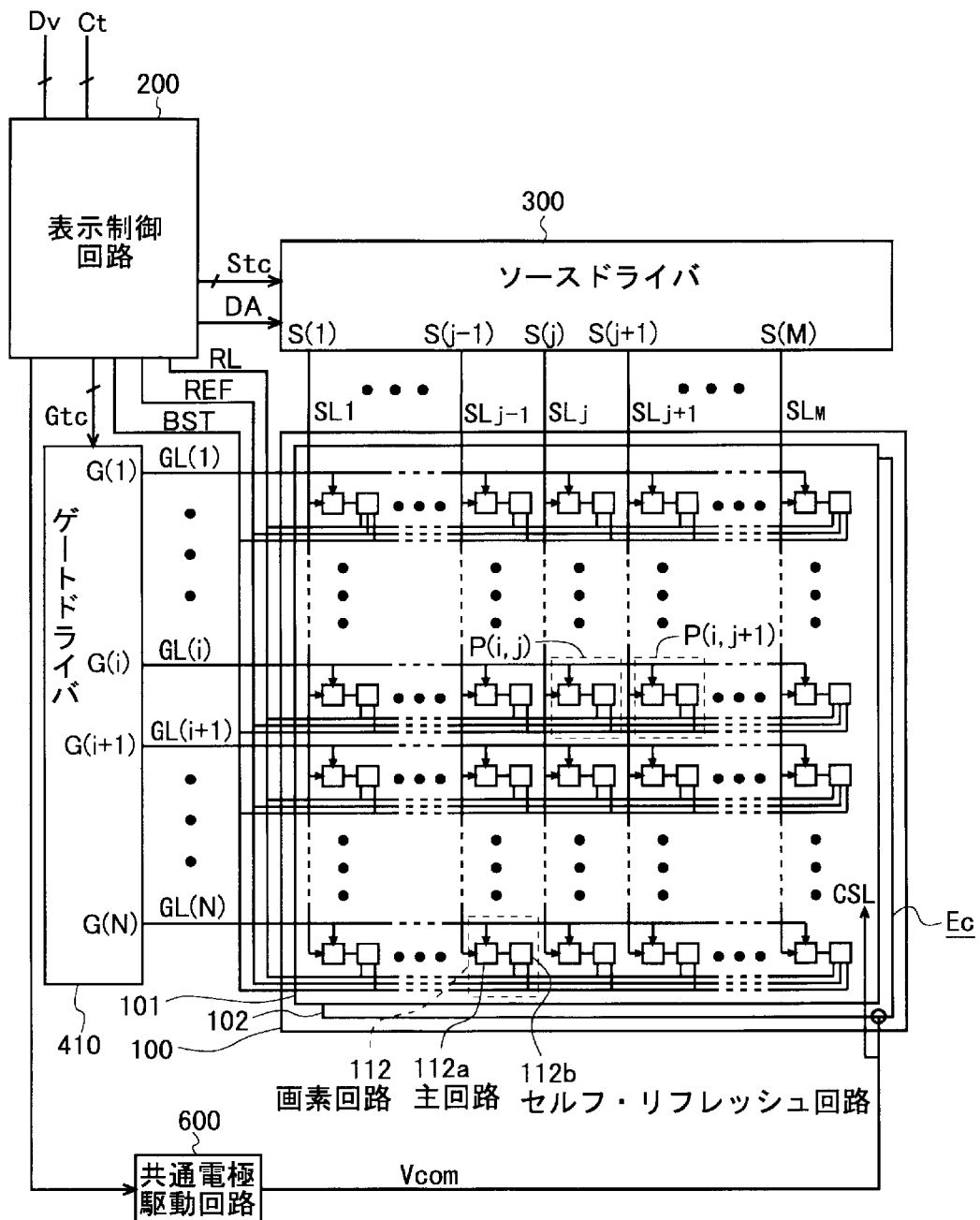
複数の走査信号線と、

前記複数の走査信号線に交差する複数のデータ信号線と、
前記走査信号線毎に設けられた第4配線とを備え、
前記画素回路は、前記複数の走査信号線のいずれかに接続されると共に前記複数のデータ信号線のいずれかに接続され、
前記第4配線のそれぞれは、対応する走査信号線に接続された複数の画素回路の前記所定電極に容量結合していることを特徴とする、表示装置。

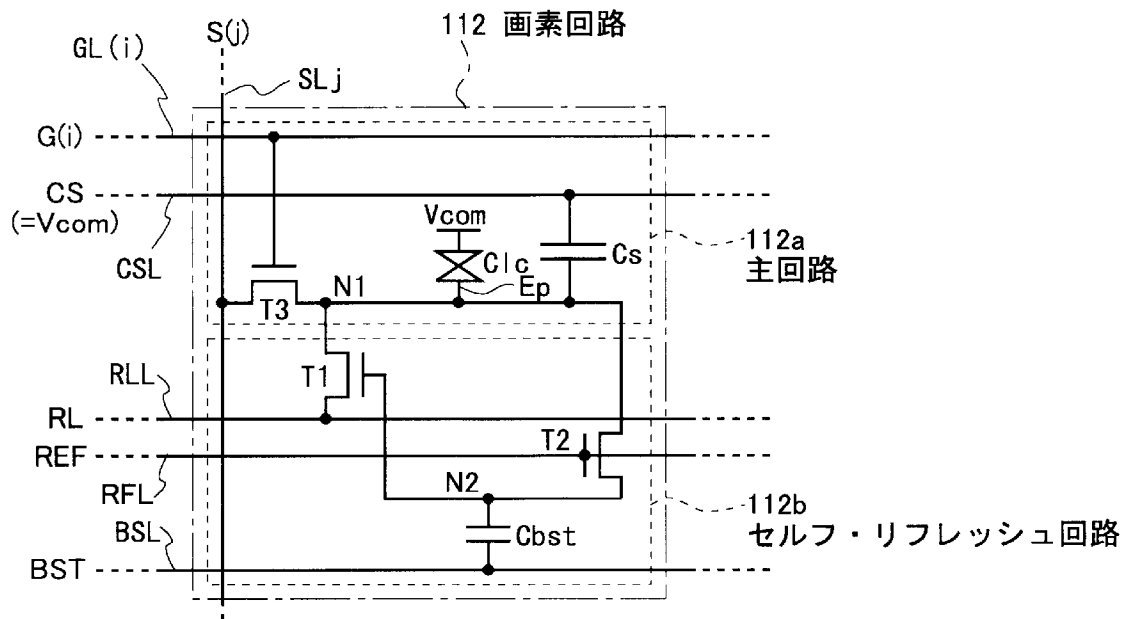
[請求項34]

前記走査信号線毎に設けられた第4配線を更に備え、
前記第4配線のそれぞれは、対応する走査信号線に接続された複数の画素回路の前記所定電極に容量結合していることを特徴とする、請求項6から8、請求項10、請求項13、および請求項20から30のいずれか1項に記載の表示装置。

[図1]



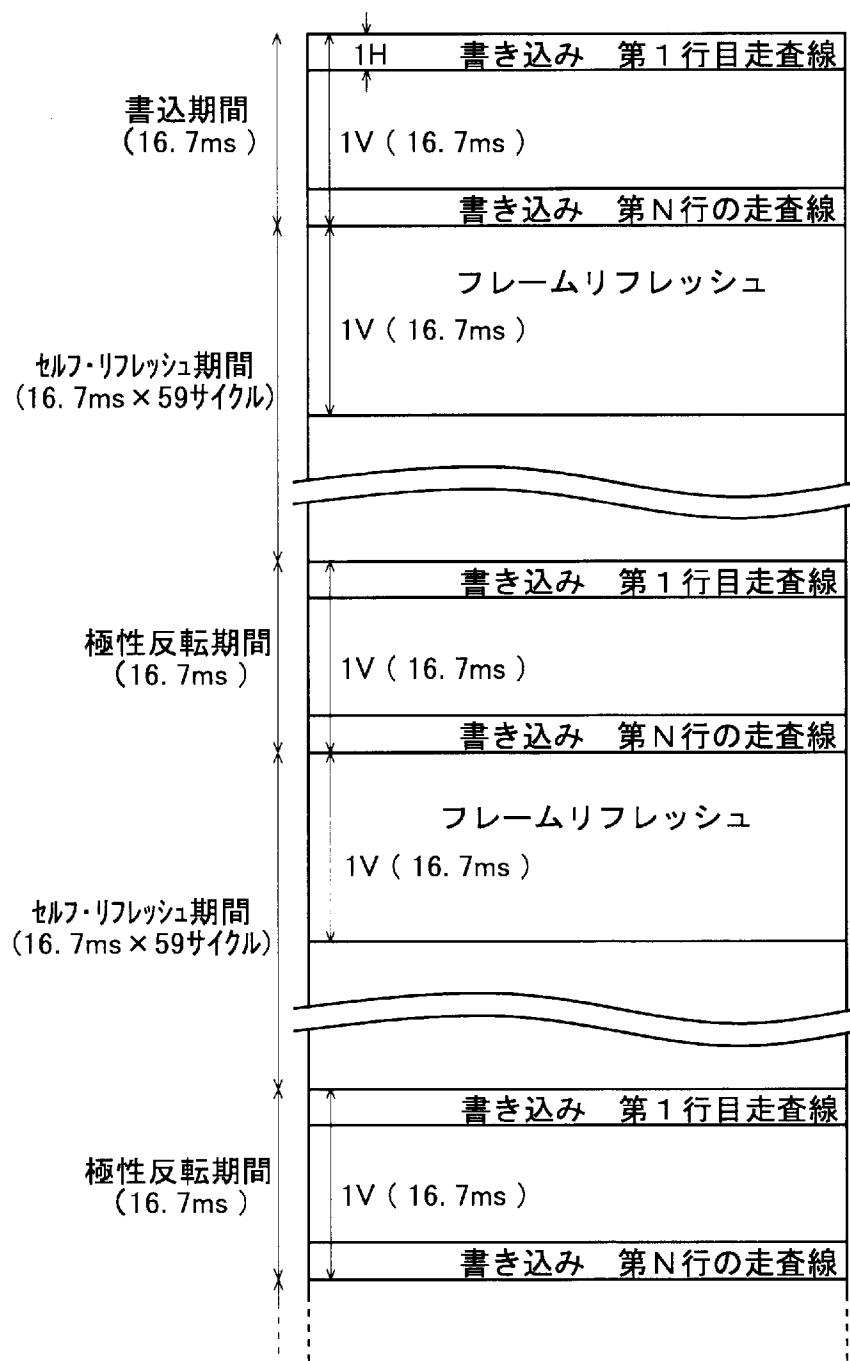
[図2]



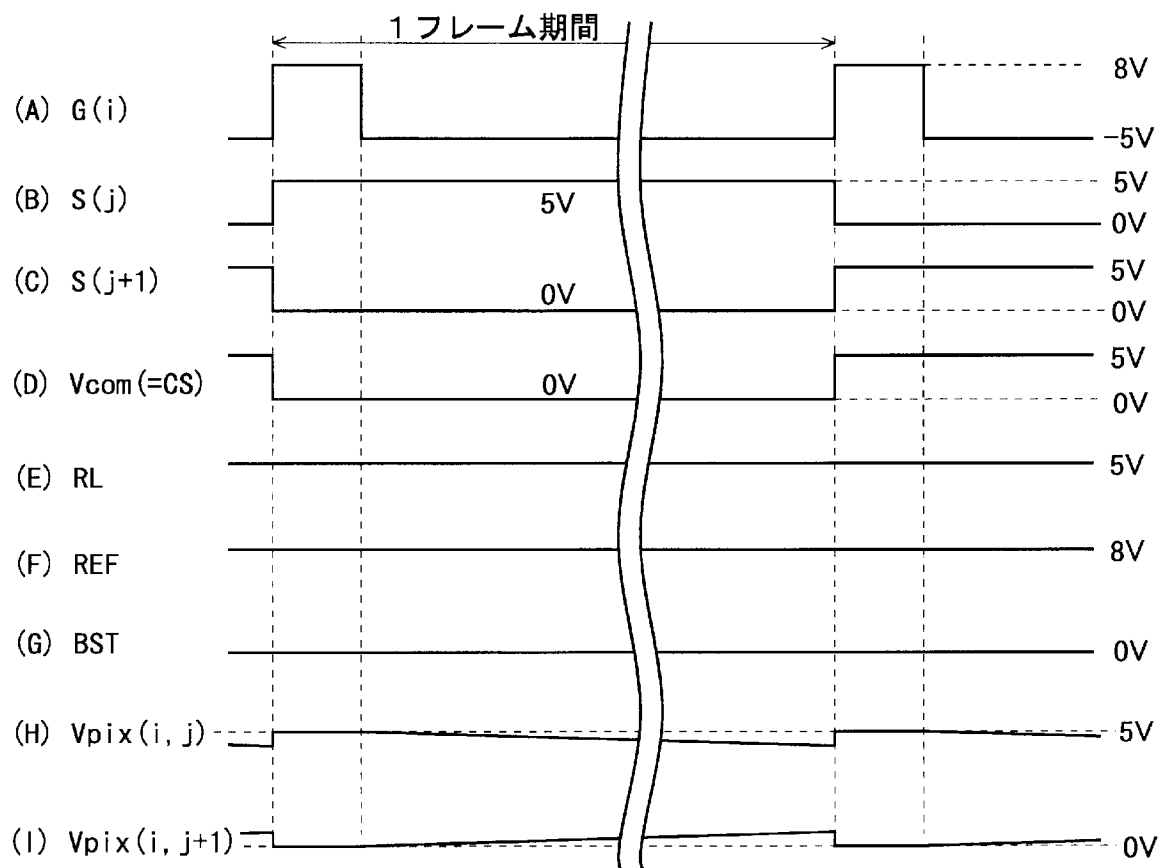
[図3]

対向 A C 駆動、フレーム反転		G(i)	S(j)	$V_{com} = CS$	RL	BST	REF
書込期間	書込動作	8V	0/5V	0/5V	5V	0	8V
	保持動作	-5V	0~5V	0/5V	5V	0	8V
セルフ・リフレッシュ期間	リフレッシュ動作	-5V	-5V	0/5V	5V	5V	3V
	保持動作	-5V	-5V	0/5V	5V	0	3V

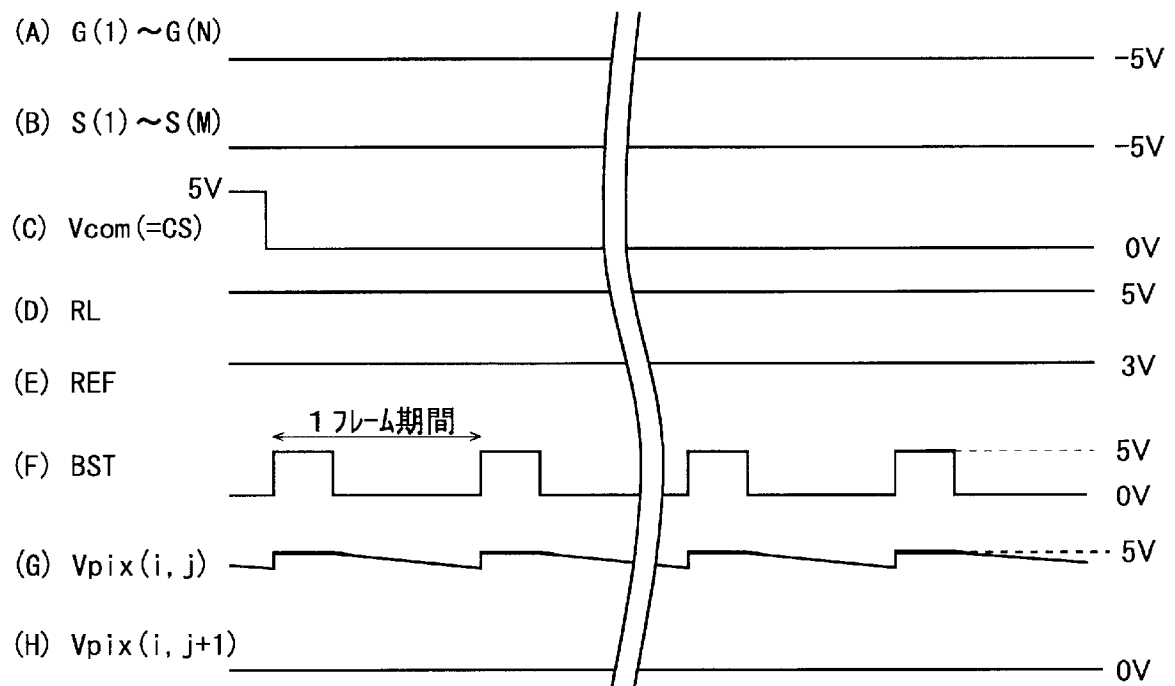
[図4]



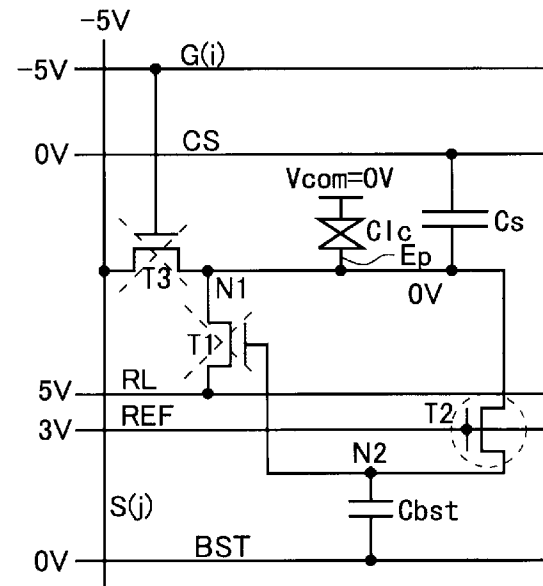
[図5]



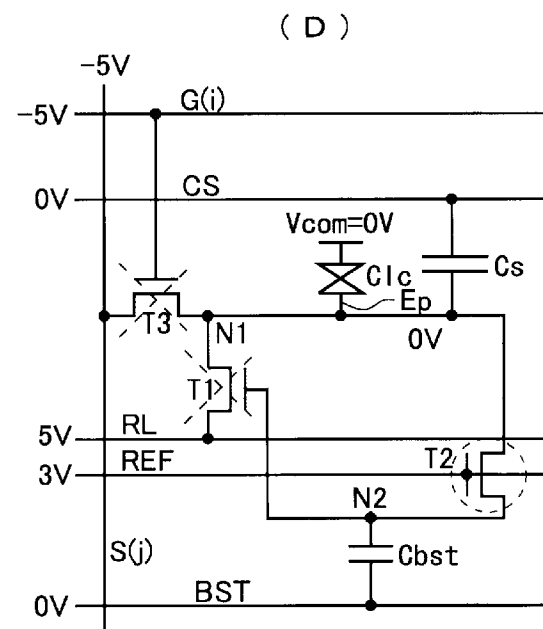
[図6]



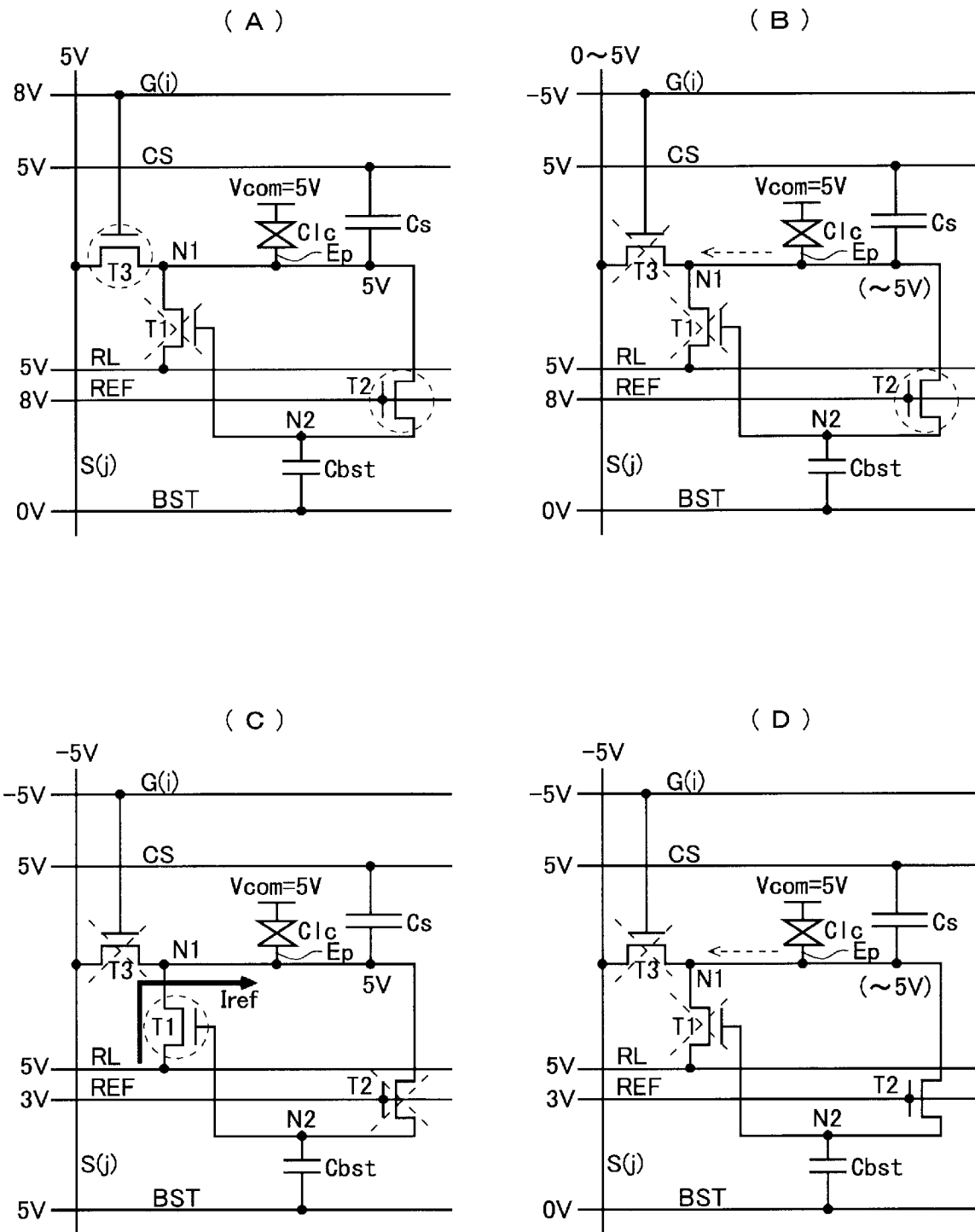
(B)



(B)

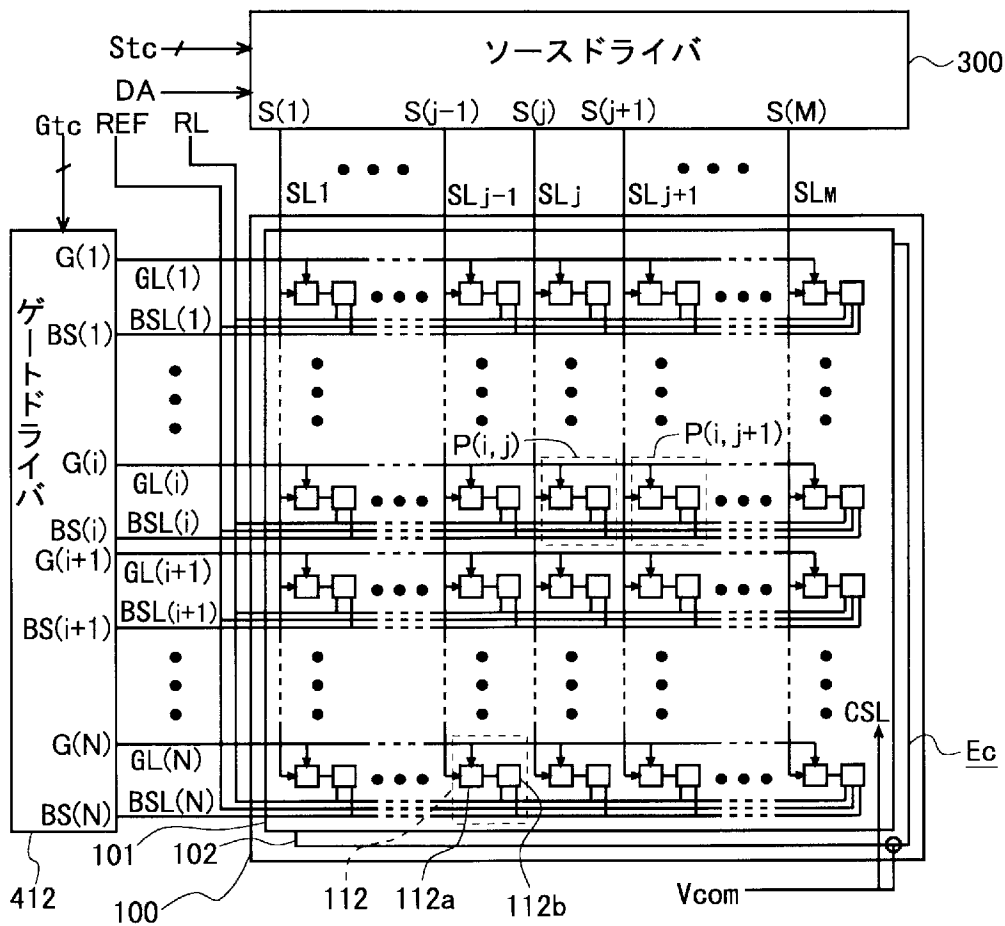


[図9]

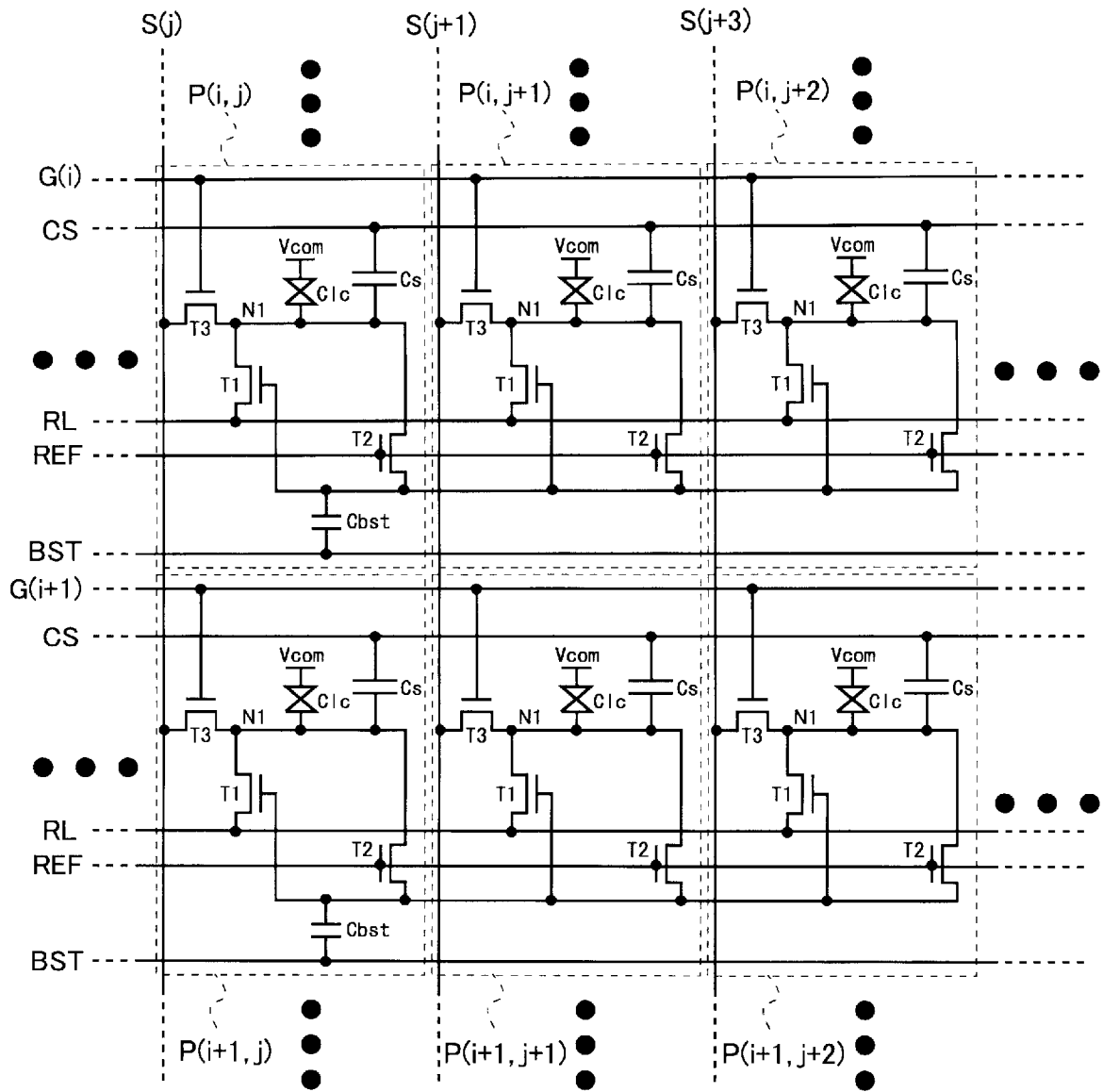




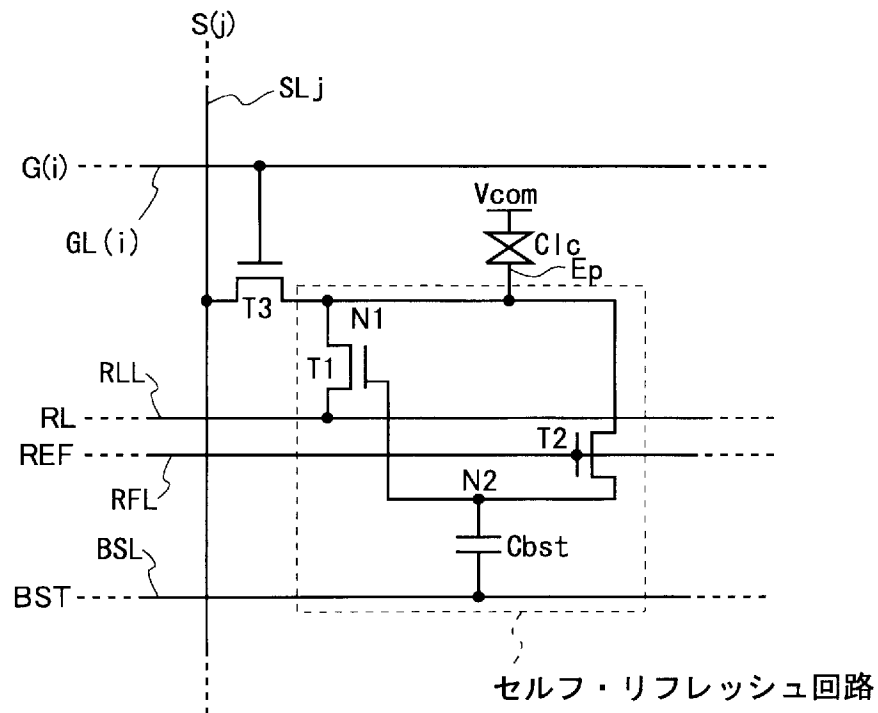
[図11]



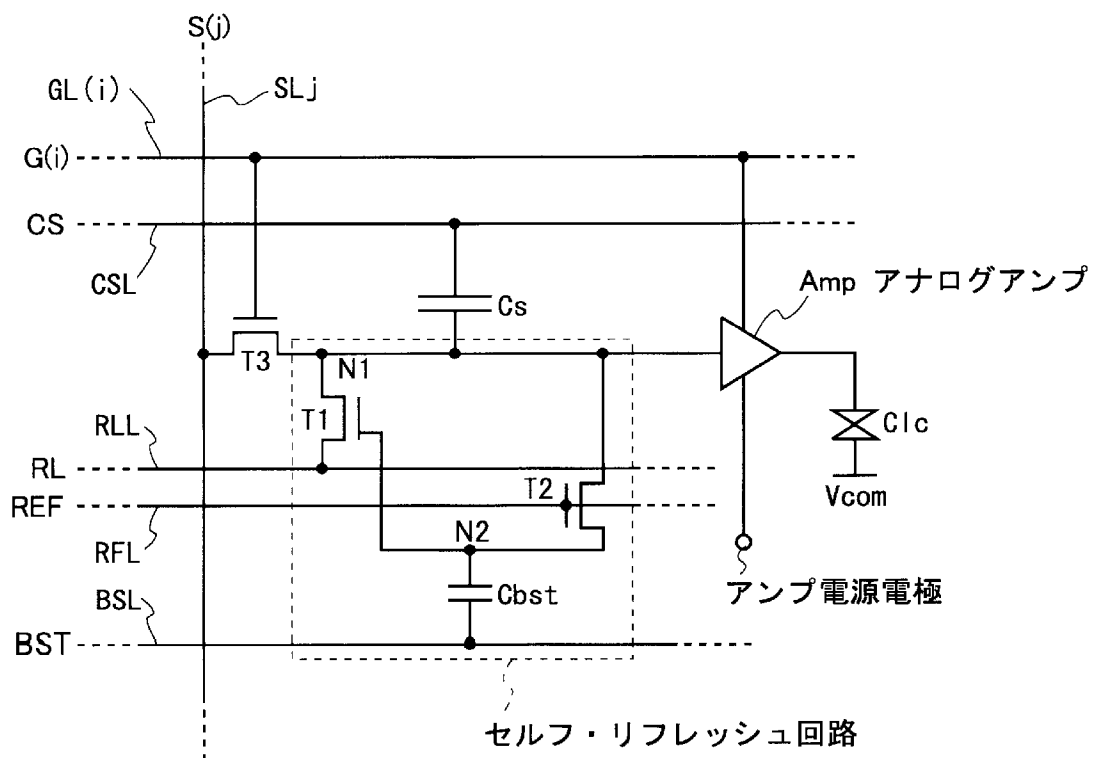
[図12]



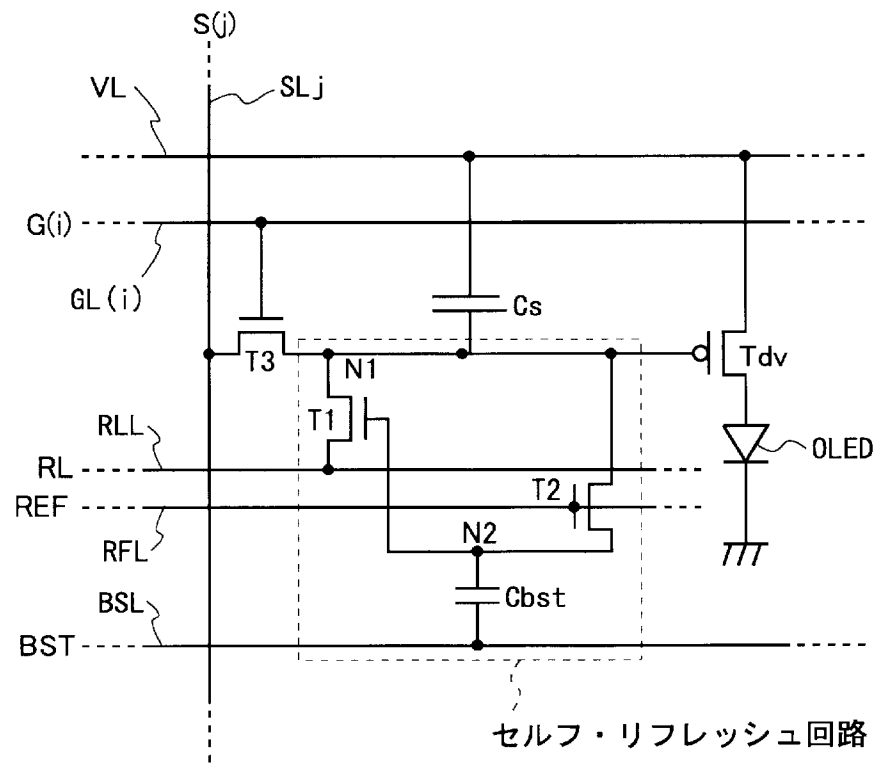
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059636

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-502068 A (Koninklijke Philips Electronics N.V.), 01 February 2007 (01.02.2007), paragraphs [0081] to [0108]; fig. 23 to 25 & US 2006/0232577 A1 & GB 318611 D & EP 1654723 A & WO 2005/015532 A1 & DE 602004011521 D & KR 10-2006-0065671 A & CN 1833269 A & AT 385023 T	1-34
A	JP 61-69283 A (Sony Corp.), 09 April 1986 (09.04.1986), entire text; fig. 1 to 6 (Family: none)	1-34

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 July, 2010 (07.07.10)

Date of mailing of the international search report
20 July, 2010 (20.07.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059636

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 61-74481 A (Sony Corp.), 16 April 1986 (16.04.1986), entire text; fig. 1 to 5 (Family: none)	1-34
A	JP 2005-18088 A (Toshiba Corp.), 20 January 2005 (20.01.2005), entire text; fig. 1 to 21 (Family: none)	1-34
A	JP 2004-212924 A (AU Optronics Corp.), 29 July 2004 (29.07.2004), entire text; fig. 1 to 8 & US 2004/0130544 A1 & TW 578124 B	1-34
A	JP 2006-343563 A (Sharp Corp.), 21 December 2006 (21.12.2006), entire text; fig. 1 to 5 (Family: none)	1-34

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-502068 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ）2007.02.01, 段落【0081】－【0108】、図23－25 & US 2006/0232577 A1 & GB 318611 D & EP 1654723 A & WO 2005/015532 A1 & DE 602004011521 D & KR 10-2006-0065671 A & CN 1833269 A & AT 385023 T	1-34
A	JP 61-69283 A（ソニー株式会社）1986.04.09, 全文、第1－6図 （ファミリーなし）	1-34

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 7 . 2 0 1 0

国際調査報告の発送日

2 0 . 0 7 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中 村 直 行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 61-74481 A (ソニー株式会社) 1986. 04. 16, 全文, 第 1 - 5 図 (ファミリーなし)	1-34
A	JP 2005-18088 A (株式会社東芝) 2005. 01. 20, 全文, 図 1 - 2 1 (ファミリーなし)	1-34
A	JP 2004-212924 A (友達光電股▼ふん▲有限公司) 2004. 07. 29, 全文, 図 1 - 8 & US 2004/0130544 A1 & TW 578124 B	1-34
A	JP 2006-343563 A (シャープ株式会社) 2006. 12. 21, 全文, 図 1 - 5 (ファミリーなし)	1-34