



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월26일
 (11) 등록번호 10-1398196
 (24) 등록일자 2014년05월15일

(51) 국제특허분류(Int. Cl.)
 G11C 11/407 (2006.01) G11C 11/4076 (2006.01)
 (21) 출원번호 10-2008-0001985
 (22) 출원일자 2008년01월08일
 심사청구일자 2013년01월04일
 (65) 공개번호 10-2009-0076187
 (43) 공개일자 2009년07월13일
 (56) 선행기술조사문헌
 US20070240012 A1
 US20050259480 A1

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 김진국
 경기도 수원시 팔달구 매산로 51, 동인트루빌 오피스텔 826호 (매산로2가)
 정대현
 대전광역시 유성구 문화원로47번길 45, 203호 (궁동)
 (뒷면에 계속)
 (74) 대리인
 윤재석, 한지희, 권영규

전체 청구항 수 : 총 20 항

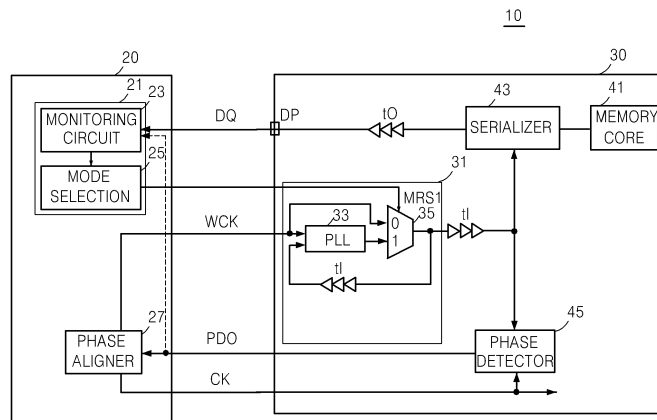
심사관 : 손윤식

(54) 발명의 명칭 반도체 장치, 상기 반도체 장치의 동작 방법, 및 이를포함하는 시스템

(57) 요약

반도체 장치가 개시된다. 상기 반도체 장치는 선택 회로와 위상 검출기를 포함한다. 상기 선택 회로는 컨트롤러로부터 출력된 제1선택 신호에 응답하여 상기 컨트롤러로부터 출력된 제1클락 신호 또는 상기 제1클락 신호를 제1입력으로 하는 위상 동기 루프의 출력 신호를 타이밍 신호로서 출력한다. 상기 위상 검출기는 상기 컨트롤러로부터 출력된 제2클락 신호와 상기 선택 회로로부터 출력된 상기 타이밍 신호와의 위상 차이를 나타내는 전압 신호를 발생한다. 상기 반도체 장치는 데이터 포트와, 데이터를 저장하기 위한 메모리 코어와, 상기 선택 회로로부터 출력된 상기 타이밍 신호에 응답하여 상기 메모리 코어로부터 출력된 상기 데이터를 시리얼라이즈하고 시리얼라이즈된 데이터를 상기 데이터 포트를 통하여 상기 컨트롤러로 출력하기 위한 시리얼라이저를 더 포함한다. 상기 제1선택 신호는 상기 데이터 포트를 통하여 상기 컨트롤러로 출력된 데이터 또는 상기 전압 신호 중에서 적어도 하나에 기초하여 상기 컨트롤러에 의하여 발생한 신호이다.

대표도 - 도2



(72) 발명자

배승준

대전광역시 서구 갈마로 262, 102동 1503호 (내동,
맑은아침아파트)

이승훈

경기도 수원시 영통구 영통로 460, 청명마을3단지
아파트 대우 303동 1003호 (영통동)

신원화

경기 수원시 영통구 매영로310번길 27, 652동 200
3호 (영통동, 신나무실6단지아파트)

특허청구의 범위

청구항 1

컨트롤러로부터 출력된 제1선택 신호에 응답하여, 상기 컨트롤러로부터 출력된 제1클락 신호 또는 상기 제1클락 신호를 제1입력으로 하는 위상 동기 루프의 출력 신호를 타이밍 신호로서 출력하기 위한 선택 회로; 및

상기 컨트롤러로부터 출력된 제2클락 신호와 상기 선택 회로로부터 출력된 상기 타이밍 신호와의 위상 차이를 나타내는 전압 신호를 발생하기 위한 위상 검출기를 포함하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 반도체 장치는,

데이터 포트;

데이터를 저장하기 위한 메모리 코어; 및

상기 선택 회로로부터 출력된 상기 타이밍 신호에 응답하여, 상기 메모리 코어로부터 출력된 상기 데이터를 시리얼라이즈하고 시리얼라이즈된 데이터를 상기 데이터 포트를 통하여 상기 컨트롤러로 출력하기 위한 시리얼라이저를 더 포함하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 제1선택 신호는 상기 데이터 포트를 통하여 상기 컨트롤러로 출력된 데이터 또는 상기 전압 신호 중에서 적어도 하나에 기초하여 상기 컨트롤러에 의하여 발생한 신호인 반도체 장치.

청구항 4

제1항에 있어서, 상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상은 상기 위상 검출기에 의하여 발생한 상기 전압 신호에 기초하여 상기 컨트롤러에 의하여 조절되는 반도체 장치.

청구항 5

제1항에 있어서, 상기 제1클락 신호는 데이터의 입출력에 관련된 클락 신호이고 상기 제2클락 신호는 어드레스들/명령들의 입출력에 관련된 클락 신호인 반도체 장치.

청구항 6

제1항에 있어서, 상기 선택 회로는,

상기 제1선택 신호에 응답하여, 상기 제1클락 신호 또는 상기 위상 동기 루프의 상기 출력 신호를 상기 위상 동기 루프의 제2입력과 상기 타이밍 신호로서 제공하기 위한 제1선택기를 포함하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 선택 회로는,

상기 제1선택 신호에 응답하여, 상기 제1클락 신호 또는 상기 위상 동기 루프의 상기 출력 신호를 상기 타이밍 신호로서 출력하기 위한 제1선택기;

상기 제1선택기의 출력 신호를 지연시키기 위한 지연 회로; 및

상기 컨트롤러로부터 출력된 제2선택 신호에 응답하여, 상기 타이밍 신호 또는 상기 지연 회로의 출력 신호를 상기 위상 동기 루프의 제2입력으로서 제공하기 위한 제2선택기를 포함하는 반도체 장치.

청구항 8

제7항에 있어서, 상기 반도체 장치는,

데이터 포트;

데이터를 저장하기 위한 메모리 코어; 및

상기 선택 회로로부터 출력된 상기 타이밍 신호에 응답하여, 상기 메모리 코어로부터 출력된 상기 데이터를 시리얼라이즈하고 시리얼라이즈된 데이터를 상기 데이터 포트를 통하여 상기 컨트롤러로 출력하기 위한 시리얼라이저를 더 포함하고,

상기 제1선택 신호와 상기 제2선택 신호는 상기 데이터 포트를 통하여 상기 컨트롤러로 출력된 데이터와 상기 전압 신호 중에서 적어도 하나에 기초하여 상기 컨트롤러에 의하여 발생한 신호인 반도체 장치.

청구항 9

제1선택 신호, 제1클락 신호, 및 제2클락 신호를 출력하기 위한 컨트롤러; 및

상기 컨트롤러와 통신하는 반도체 장치를 포함하며,

상기 반도체 장치는,

상기 제1선택 신호에 응답하여, 상기 제1클락 신호 또는 상기 제1클락 신호를 제1입력 신호로 하는 위상 동기 루프의 출력 신호를 타이밍 신호로서 출력하기 위한 선택 회로; 및

상기 제2클락 신호와 상기 타이밍 신호와의 위상 차이를 나타내는 전압 신호를 발생하기 위한 위상 검출기를 포함하는 반도체 시스템.

청구항 10

제9항에 있어서, 상기 컨트롤러는,

수신된 전압 신호에 응답하여, 상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상을 조절하기 위한 위상 조절기를 포함하는 반도체 시스템,

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

컨트롤러로부터 제공된 제1선택 신호에 응답하여, 상기 컨트롤러로부터 제공된 제1클락 신호 또는 상기 제1클락 신호를 제1입력으로 하는 위상 동기 루프를 사용하여 발생한 출력 신호를 타이밍 신호로서 출력하는 단계; 및

상기 타이밍 신호에 응답하여, 메모리 코어로부터 출력된 데이터를 데이터 포트를 통하여 상기 컨트롤러로 출력하는 단계를 포함하며,

상기 제1선택 신호는 상기 데이터에 기초하여 상기 컨트롤러에 의하여 발생한 신호인 제1클락 신호를 제2클락 신호에 정렬하는 방법.

청구항 16

제15항에 있어서, 상기 제1클락 신호를 제2클락 신호에 정렬하는 방법은,

상기 컨트롤러로부터 제공된 제2클락 신호와 상기 타이밍 신호와의 위상 차이에 해당하는 전압 신호를 발생하고 발생한 전압 신호를 상기 컨트롤러로 출력하는 단계를 더 포함하며,

상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상은 상기 전압 신호에 의하여 조절된 제1클락

신호를 제2클락 신호에 정렬하는 방법.

청구항 17

제16항에 있어서, 상기 제1선택 신호는 상기 데이터 또는 상기 전압 신호 중에서 적어도 하나의 기초하여 상기 컨트롤러에 의하여 발생한 신호인 제1클락 신호를 제2클락 신호에 정렬하는 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

선택 신호에 응답하여, 컨트롤러로부터 출력된 제1클락 신호와 위상 동기 루프의 출력 신호 중 어느 하나의 신호를 선택적으로 출력하기 위한 선택 회로를 포함하며,

상기 위상 동기 루프는 상기 제1클락 신호를 입력 신호로서 이용하고, 상기 제1클락 신호는 데이터의 입력 또는 출력과 관련된 클락 신호이며, 상기 선택 신호는 모드 레지스터 세트에 의해 설정되는 반도체 장치.

청구항 21

제20항에 있어서, 상기 반도체 장치는,

상기 컨트롤러로부터 출력된 상기 제1클락 신호와 상기 컨트롤러로부터 출력된 제2클락 신호 사이의 위상 차이를 나타내는 전압 신호를 발생하기 위한 위상 검출기를 더 포함하는 반도체 장치.

청구항 22

제21항에 있어서, 상기 제2클락 신호는 어드레스들 또는 명령들의 입력과 출력 중 적어도 어느 하나와 관련된 반도체 장치.

청구항 23

제20항에 있어서, 상기 반도체 장치는,

상기 선택 회로로부터 출력된 상기 어느 하나의 신호에 응답하여 메모리 코어로부터 출력된 데이터를 시리얼라이즈하기 위한 시리얼라이저를 더 포함하는 반도체 장치.

청구항 24

클락 신호와 선택 신호를 출력하기 위한 컨트롤러; 및

반도체 장치를 포함하며,

상기 반도체 장치는,

상기 선택 신호에 응답하여, 컨트롤러로부터 출력된 상기 클락 신호와 위상 동기 루프의 출력 신호 중 어느 하나의 신호를 선택적으로 출력하기 위한 선택 회로를 포함하며,

상기 위상 동기 루프는 상기 클락 신호를 입력 신호로서 이용하고, 상기 클락 신호는 데이터의 입력 또는 출력과 관련된 신호이며, 상기 선택 신호는 모드 레지스터 세트에 의해 설정되는 반도체 시스템.

청구항 25

선택 신호에 응답하여, 위상 동기 루프의 출력 신호와 컨트롤러로부터 출력된 제1클락 신호 중 어느 하나의 신호를 선택적으로 출력하는 단계를 포함하며,

상기 위상 동기 루프는 상기 제1클락 신호를 입력 신호로서 이용하고, 상기 제1클락 신호는 데이터의 입력 또는 출력과 관련된 클락 신호이며, 상기 선택 신호는 모드 레지스터 세트에 의해 설정되는 반도체 장치의 동작

방법.

청구항 26

제25항에 있어서, 상기 반도체 장치의 동작 방법은,

상기 컨트롤러로부터 출력된 상기 제1클락 신호와 상기 컨트롤러로부터 출력된 제2클락 신호 사이의 위상 차이에 대응되는 전압 신호를 발생시키는 단계를 더 포함하며,

상기 제2클락 신호는 어드레스들 또는 명령들의 입력과 출력 중 적어도 어느 하나와 관련된 반도체 장치의 동작 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 특히 상기 반도체 장치 내에 구현된 위상 동기 루프의 특성, 및 상기 반도체 장치를 포함하는 반도체 시스템의 특성에 따라 상기 반도체 장치로 입력되는 다수의 클락 신호들을 서로 정렬할 수 있는 반도체 장치와 그 정렬 방법, 및 상기 반도체 장치를 포함하는 반도체 시스템에 관한 것이다.

배경기술

[0002] 도 1은 종래의 DDR SDRAM에서 tSAC 보상 스킴(scheme)을 설명하기 위한 블록 도이다. 도 1을 참조하면, DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory) 이후로, 컨트롤러에서 데이터(DQ)의 출력 타이밍을 정확히 알기 위해, 클락 신호(CLK)의 타이밍과 데이터(DQ)의 출력 타이밍을 반도체 장치(1)의 패드들(미도시)에서 서로 맞춘다.

[0003] 데이터(DQ)의 출력 에지를 클락 신호(CLK)의 입력 에지에 맞추기 위하여, 종래의 반도체 장치(1)에서 위상 동기 루프(PLL)/지연 동기 루프(DLL)(7)는 데이터(DQ)가 출력될 때까지의 지연을 보상한다. 시리얼라이저(5)는 메모리 코어(3)로부터 출력된 데이터를 시리얼라이즈하고 위상 동기 루프/지연 동기 루프(7)의 출력 신호에 응답하여 시리얼라이즈된 데이터(DQ)를 출력한다.

[0004] 클락 신호(CLK)가 위상 동기 루프/지연 동기 루프(7)를 거쳐 시리얼라이저(5)의 입력단으로 전송되는 지연 시간을 "tI"라 하고, 데이터(DQ)가 시리얼라이저(5)로부터 패드, 즉 데이터(DQ)가 출력되는 데이터 패드로 전송되는 지연 시간을 tO(이를 "tSAC"라고도 한다)라 하고, 위상 동기 루프/지연 동기 루프(7)의 피드백 경로로서 (tI+tO)의 지연을 갖는 리플리카 경로(replica path; 9)를 넣어주면, 데이터(DQ)의 출력 에지와 클락 신호(CLK)의 입력 에지는 서로 일치하게 된다. 즉, 차세대 메모리, 예컨대 GDDR5 전까지는 하나의 클락 신호(CLK)만을 사용하여 데이터를 입출력했다.

[0005] 그러나, 차세대 메모리, 예컨대 GDDR5에서는 서로 다른 클락 타입들을 갖고 동작한다. 그 중의 하나인 차동 명령 클락(differential command clock; CK)은 어드레스/명령의 입출력에 관련된 클락이고, 포워드드 차동 기입 클락(forwarded differential write clock; WCK)은 기입 데이터/독출 데이터에 관련된 클락이다. CK와 WCK는 초기화와 트레이닝 시퀀스(training sequence) 동안에 서로 동기화 또는 정렬 과정을 거친다. 따라서, 서로 다른 두 개의 클락들을 사용하는 시스템에서 상기 시스템의 성능을 높이기 위하여, 서로 다른 두 개의 클락들을 동기 또는 정렬시키는 기술이 요구된다.

발명의 내용

해결하고자하는 과제

[0006] 따라서, 본 발명이 이루고자 하는 기술적인 과제는 두 개의 클락 신호들의 동기 여부, 입력 클락 신호의 지터 특성, 위상 동기 루프의 지터 특성, 및 리플리카 경로의 특성에 따라 클락킹 구조를 선택할 수 있는 반도체 장치, 그 방법, 및 상기 반도체 장치를 포함하는 반도체 시스템을 제공하는 것이다.

과제 해결수단

- [0007] 상기 기술적 과제를 달성하기 위한 반도체 장치는 선택 회로와 위상 검출기를 포함한다. 상기 선택 회로는 컨트롤러로부터 출력된 제1선택 신호에 응답하여, 상기 컨트롤러로부터 출력된 제1클락 신호 또는 상기 제1클락 신호를 제1입력으로 하는 위상 동기 루프의 출력 신호를 타이밍 신호로서 출력한다.
- [0008] 상기 위상 검출기는 상기 컨트롤러로부터 출력된 제2클락 신호와 상기 선택 회로로부터 출력된 상기 타이밍 신호와의 위상 차이를 나타내는 전압 신호를 발생한다.
- [0009] 상기 반도체 장치는 데이터 포트와, 데이터를 저장하기 위한 메모리 코어와, 상기 선택 회로로부터 출력된 상기 타이밍 신호에 응답하여, 상기 메모리 코어로부터 출력된 상기 데이터를 시리얼라이즈하고 시리얼라이즈된 데이터를 상기 데이터 포트를 통하여 상기 컨트롤러로 출력하기 위한 시리얼라이저를 더 포함한다.
- [0010] 상기 제1선택 신호는 상기 데이터 포트를 통하여 상기 컨트롤러로 출력된 데이터 또는 상기 전압 신호 중에서 적어도 하나에 기초하여 상기 컨트롤러에 의하여 발생한 신호이다. 상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상은 상기 위상 검출기에 의하여 발생한 상기 전압 신호에 기초하여 상기 컨트롤러에 의하여 조절된다.
- [0011] 상기 제1클락 신호는 데이터의 입출력에 관련된 클락 신호이고 상기 제2클락 신호는 어드레스들/명령들의 입출력에 관련된 클락 신호이다.
- [0012] 상기 선택 회로는 상기 제1선택 신호에 응답하여 상기 제1클락 신호 또는 상기 위상 동기 루프의 상기 출력 신호를 상기 타이밍 신호로서 출력하기 위한 제1선택기와, 상기 제1선택기의 출력 신호를 지연시키기 위한 지연 회로와, 상기 컨트롤러로부터 출력된 제2선택 신호에 응답하여, 상기 타이밍 신호 또는 상기 지연 회로의 출력 신호를 상기 위상 동기 루프의 제2입력으로서 제공하기 위한 제2선택기를 포함한다.
- [0013] 상기 기술적 과제를 달성하기 위한 반도체 시스템은 컨트롤러와 반도체 장치를 포함한다. 상기 컨트롤러는 제1선택 신호, 제1클락 신호, 및 제2클락 신호를 출력한다. 상기 반도체 장치는 상기 컨트롤러와 통신한다.
- [0014] 상기 반도체 장치는 상기 제1선택 신호에 응답하여 상기 제1클락 신호 또는 상기 제1클락 신호를 제1입력 신호로 하는 위상 동기 루프의 출력 신호를 타이밍 신호로서 출력하기 위한 선택 회로와, 상기 제2클락 신호와 상기 타이밍 신호와의 위상 차이를 나타내는 전압 신호를 발생하기 위한 위상 검출기를 포함한다.
- [0015] 상기 컨트롤러는 수신된 전압 신호에 응답하여 상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상을 조절하기 위한 위상 조절기를 포함한다.
- [0016] 상기 기술적 과제를 달성하기 위한 제1클락 신호를 제2클락 신호에 정렬하는 방법은 컨트롤러로부터 제공된 제1선택 신호에 응답하여 상기 컨트롤러로부터 제공된 제1클락 신호 또는 상기 제1클락 신호를 제1입력으로 하는 위상 동기 루프를 사용하여 발생한 출력 신호를 타이밍 신호로서 출력하는 단계와, 상기 타이밍 신호에 응답하여 메모리 코어로부터 출력된 데이터를 데이터 포트를 통하여 상기 컨트롤러로 출력하는 단계를 포함한다. 상기 제1선택 신호는 상기 데이터에 기초하여 상기 컨트롤러에 의하여 발생한 신호이다.
- [0017] 상기 제1클락 신호를 제2클락 신호에 정렬하는 방법은 상기 컨트롤러로부터 제공된 제2클락 신호와 상기 타이밍 신호와의 위상 차이에 해당하는 전압 신호를 발생하고 발생한 전압 신호를 상기 컨트롤러로 출력하는 단계를 더 포함하며, 상기 제1클락 신호와 상기 제2클락 신호 중에서 적어도 하나의 위상은 상기 전압 신호에 의하여 조절된다.

효과

- [0018] 본 발명의 실시 예에 따른 반도체 장치는 제1클락 신호와 제2클락 신호의 동기 여부, 제1클락 신호의 지터 특성, 상기 반도체 장치의 내부에 구현된 위상 동기 루프의 특성, 또는 상기 위상 동기 루프의 피드백 경로의 특성, 예컨대 tI 변화 보상 정도 등의 특성에 따라 제1선택 신호 또는 제2선택 신호 중에서 적어도 하나에 응답하여 선택적으로 제1클락 신호에 시간적으로 관련된 타이밍 신호를 출력할 수 있다.
- [0019] 따라서, 본 발명의 실시 예에 따른 반도체 장치 또는 상기 반도체 장치를 포함하는 반도체 시스템은 최대의 성능을 나타낼 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본

발명의 바람직한 실시 예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

- [0021] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- [0022] 도 2는 본 발명의 실시 예에 따른 반도체 시스템의 블록 도를 나타낸다. 도 2를 참조하면, 반도체 시스템(10)은 제1클락 신호(WCK)와 제2클락 신호(CK)를 동기 (또는 정렬)시키기 위한 시스템으로서 컨트롤러(20)와 반도체 장치(30)를 포함한다. 반도체 장치(30)는 GDDR5(Graphics Double Data Rate, Version 5)일 수 있다. 컨트롤러 (20)와 반도체 장치(30) 사이에는 데이터를 주고받기 위한 데이터 버스, 어드레스들/명령들을 주고받기 위한 어드레스/명령 버스, 등이 접속될 수 있다.
- [0023] 컨트롤러(20)는 선택 신호 발생 회로(21) 및 위상 조절기(27)를 포함한다. 선택 신호 발생 회로(21)는 반도체 장치(30)의 데이터 포트(DP)를 통하여 수신된 데이터(DQ) 또는 위상 검출기(45)로부터 출력된 전압 신호(PDO) 중에서 적어도 하나에 응답하여 제1선택 신호(MRS1)를 출력한다.
- [0024] 선택 신호 발생 회로(21)는 모니터링 회로(23) 및 모드 선택 신호 발생 회로(25)를 포함한다. 모니터링 회로 (23)는 데이터 버스를 통하여 입력된 데이터(DQ)의 지터(jitter) 또는 데이터 트레이닝(data training)으로부터 반도체 장치(30)의 특성 또는 데이터 버스(또는 채널)의 특성을 해석하고, 그 해결 결과에 따른 해석 신호를 모 드 선택 신호 발생 회로(25)로 출력한다.
- [0025] 또한, 모니터링 회로(23)는 위상 검출기(45)로부터 출력된 전압 신호(PDO)에 응답하여 반도체 장치(30)의 특성을 해석하고, 그 해결 결과에 따른 해석 신호를 모드 선택 신호 발생 회로(25)로 출력한다. 모드 선택 신호 발 생 회로(25)는 모니터링 회로(23)로부터 출력된 적어도 하나의 해석 신호에 응답하여 제1선택 신호(MRS1)를 출 력한다. 제1선택 신호(MRS1)는 MRS(Mode Register Set)에 의하여 설정될 수 있다.
- [0026] 위상 조절기(27)는 위상 검출기(45)로부터 출력된 전압 신호(PDO)에 응답하여 제1클락 신호와 제2클락 신호 중 에서 적어도 하나의 위상을 조절하고, 위상 조절된 제1클락 신호(WCK)와 제2클락 신호(CK)를 출력한다.
- [0027] 제1클락 신호(WCK)는 데이터의 입출력에 관련된 클락 신호이고, 제2클락 신호(CK)는 어드레스들/명령들의 입출 력에 관련된 클락 신호이다. 예컨대, GDDR5에서, 제1클락 신호(WCK)는 포워드드 차동 기입 신호(forwarded differential write clock)이고, 제2클락 신호(CK)는 차동 명령 클락(differential command clock)이다.
- [0028] 반도체 장치(30)는 데이터 포트(DP), 선택 회로(31), 메모리 코어(41), 시리얼라이저(43), 및 위상 검출기(45) 를 포함한다. 도 2에 도시된 tI 및 t0는 신호 경로(예컨대, 버스, 전선, 또는 구성 요소, 등)에 의한 지연 시간 을 나타낸다. 반도체 장치(30)는 데이터 포트(DP)를 통하여 컨트롤러(20)와 데이터를 주고 받는다.
- [0029] 선택 회로(31)는 컨트롤러(20)로부터 출력된 제1선택 신호(MRS1)에 응답하여 컨트롤러(20)로부터 출력된 제1클 락 신호(WCK) 또는 제1클락 신호(WCK)를 제1입력으로 하는 위상 동기 루프(PLL; 33)의 출력 신호를 타이밍 신호 로서 출력한다. 선택 회로(31)는 클락킹 회로(clocking circuit)라고도 불릴 수 있다.
- [0030] 선택 회로(31)는 위상 동기 루프(33)와 제1선택기(35)를 포함한다. 제1선택기(35)는 제1선택 신호(MRS1)에 응 답하여 제1클락 신호(WCK) 또는 위상 동기 루프(33)의 출력 신호를 위상 동기 루프(33)의 제2입력, 시리얼라이저 (43)의 입력, 및 위상 검출기(45)의 입력으로 제공한다.
- [0031] 예컨대, 제1선택기(35)는 제1레벨(예컨대, 로우 레벨)을 갖는 제1선택 신호(MRS1)에 응답하여 제1클락 신호 (WCK)를 바이패스한다. 따라서, 제1클락 신호(WCK)는 시리얼라이저(43)의 입력과 위상 검출기(45)의 입력으로 제공한다. 또한, 제1클락 신호(WCK)는 디시리얼라이저(미도시)의 입력으로 제공된다. 따라서, 상기 디시리얼라 이저는 제1클락 신호(WCK)에 응답하여 데이터 포트(DP)를 통하여 수신된 데이터를 디시리얼라이즈하고 디시리얼 라이즈된 데이터를 메모리 코어(41)에 저장한다.
- [0032] 위상 동기 루프(33) 자체의 지터 특성이 제1클락 신호(WCK)의 지터 특성보다 더 안 좋을 때, 선택 신호 발생 회 로(21)는 데이터 포트(DP)를 통하여 수신된 데이터(DQ) 또는 위상 검출기(45)로부터 출력된 전압 신호(PDO) 중 에서 적어도 하나에 응답하여 제1레벨을 갖는 제1선택 신호(MRS1)를 출력한다. 이때, 컨트롤러(20)의 위상 조절 기(27)는 위상 검출기(45)로부터 출력된 전압 신호(PDO)에 응답하여 제1클락 신호(WCK) 또는 제2클락 신호(CK) 중에서 적어도 하나의 위상을 조절할 수 있다. 따라서, 위상 조절기(27)는 tSAC의 절대값만을 감소시키는 기능 을 수행한다.
- [0033] 그러나, 제1선택기(35)는 제2레벨(예컨대, 하이 레벨)을 갖는 제1선택 신호(MRS1)에 응답하여 위상 동기 루프

(33)의 출력 신호를 타이밍 신호로서 시리얼라이저(43)의 입력과 위상 검출기(45)의 입력으로 제공한다.

- [0034] 예컨대, 위상 동기 루프(33)의 피드백 경로가 길어져 상기 피드백 경로가 위상 동기 루프(33)의 동작 특성에 악 영향을 줄 때, 또는 위상 동기 루프(33)의 피드백 경로, 즉 지연 시간(t_I)을 갖는 리플리카 경로(replica path)가 지연 시간(t_I)을 갖는 실제 경로(real path)의 변화(variation)를 정확하게 보상하지 못할 때, 선택 신호 발생 회로(21)는 데이터 포트(DP)를 통하여 수신된 데이터(DQ) 또는 위상 검출기(45)로부터 출력된 전압 신호(PDO) 중에서 적어도 하나에 응답하여 제2레벨을 갖는 제1선택 신호(MRS1)를 출력한다.
- [0035] 이 경우, 위상 동기 루프(33)는, 위상 동기 루프(33)의 피드백 경로를 최소화하여 위상 동기 루프(33)의 특성을 극대화하여, 제1클락 신호(WCK)의 지터를 감소시키기 위하여 사용된다. $t_{SAC}(=t_0)$ 은 위상 검출기(45)로부터 출력된 전압 신호(PDO)에 기초하여 보상할 수 있다.
- [0036] 메모리 코어(41)는 데이터를 저장한다. 시리얼라이저(43)는 선택 회로(31)로부터 출력된 상기 타이밍 신호에 응답하여 메모리 코어(41)로부터 출력된 데이터를 시리얼라이즈하고 시리얼라이즈된 데이터를 데이터 포트(DP)를 통하여 컨트롤러(20)로 출력한다. 또한, 디시리얼라이저(미도시)는 상기 타이밍 신호에 응답하여 데이터 포트(DP)를 통하여 수신된 데이터를 디시리얼라이즈하고 디시리얼라이즈된 데이터를 메모리 코어(41)에 저장한다.
- [0037] 위상 검출기(45)는 컨트롤러(20)로부터 출력된 제2클락 신호(CK)와 선택 회로(31)로부터 출력된 타이밍 신호와의 위상 차이를 나타내는 전압 신호(PDO)를 발생한다.
- [0038] 도 3은 본 발명의 다른 실시 예에 따른 반도체 메모리 시스템의 블록 도를 나타낸다. 도 3을 참조하면, 반도체 시스템(10A)은 컨트롤러(20')와 반도체 장치(30')를 포함한다. 반도체 장치(30')는 GDDR5일 수 있다.
- [0039] 컨트롤러(20')는 선택 신호 발생 회로(21') 및 위상 조절기(27)를 포함한다. 선택 신호 발생 회로(21')는 반도체 장치(30)의 데이터 포트(DP)를 통하여 수신된 데이터(DQ) 또는 위상 검출기(45)로부터 출력된 전압 신호(PDO) 중에서 적어도 하나에 응답하여 제1선택 신호(MRS1)와 제2선택 신호(MRS2)를 출력한다.
- [0040] 선택 신호 발생 회로(21')는 모니터링 회로(23) 및 모드 선택 신호 발생 회로를 회로(25')를 포함한다. 모드 선택 신호 발생 회로(25')는 모니터링 회로(23)로부터 출력된 적어도 하나의 해석 신호에 응답하여 제1선택 신호(MRS1)와 제2선택 신호(MRS2)를 출력한다. 제1선택 신호(MRS1)와 제2선택 신호(MRS2) 각각은 MRS(Mode Register Set)에 의하여 설정될 수 있다.
- [0041] 위상 조절기(27)는 위상 검출기(45)로부터 출력된 전압 신호(PDO)에 응답하여 제1클락 신호와 제2클락 신호 중에서 적어도 하나의 위상을 조절하고, 위상 조절된 제1클락 신호(WCK)와 제2클락 신호(CK)를 출력한다.
- [0042] 반도체 장치(30')는 데이터 포트(DP), 선택 회로(31'), 메모리 코어(41), 시리얼라이저(43), 및 위상 검출기(45)를 포함한다. 도 3에 도시된 t_I 및 t_0 는 신호 경로(예컨대, 버스 또는 전선)에 의한 지연 시간을 나타낸다.
- [0043] 반도체 장치(30')는 데이터 포트(DP)를 통하여 컨트롤러(20')와 데이터를 주고 받는다. 선택 회로(31')는 컨트롤러(20')로부터 출력된 제1선택 신호(MRS1)와 제2선택신호(MRS2)에 응답하여 컨트롤러(20')로부터 출력된 제1클락 신호(WCK) 또는 제1클락 신호(WCK)를 제1입력으로 하는 위상 동기 루프(PLL; 33)의 출력 신호를 타이밍 신호로서 출력한다.
- [0044] 선택 회로(31')는 위상 동기 루프(33), 제1선택기(35), 지연 회로(37), 및 제2선택기(39)를 포함한다. 선택 회로(31')는 클락킹 회로라고도 불릴 수 있다. 멀티플렉서로 구현될 수 있는 제1선택기(35)는 제1선택 신호(MRS1)에 응답하여 제1클락 신호(WCK) 또는 위상 동기 루프(33)의 출력 신호를 위상 동기 루프(33)의 제2입력, 시리얼라이저(43)의 입력, 및 위상 검출기(45)의 입력으로 제공한다.
- [0045] 지연 회로(37)는 제1선택기(35)의 출력 신호를 소정 시간만큼(예컨대, t_I) 지연시킨다. 제2선택기(39)는 컨트롤러(20')로부터 출력된 제2선택 신호(MRS2)에 응답하여 제1선택기(35)의 출력 신호 또는 지연 회로(37)의 출력 신호를 위상 동기 루프(33)의 제2입력으로서 제공한다. 예컨대, 제2선택기(39)는 제1레벨(예컨대, 로우 레벨)을 갖는 제2선택 신호(MRS2)에 응답하여 제1선택기(35)의 출력 신호를 위상 동기 루프(33)의 제2입력으로 피드백한다.
- [0046] 그러나, 제2선택기(39)는 제2레벨(예컨대, 하이 레벨)을 갖는 제2선택 신호(MRS2)에 응답하여 지연 회로(37)의 출력 신호를 위상 동기 루프(33)의 제2입력으로 피드백한다. 예컨대, 제1선택 신호(MRS1)와 제2선택 신호(MRS2)가 모두 제2레벨을 갖는 경우, 제1클락 신호(WCK)를 제2클락 신호(CK)에 정렬시키는 과정 없이, 컨트롤러(20')는 반도체 장치(30')의 제1패드(즉, 제1클락 신호(WCK)를 수신하는 패드)와 제2패드(즉, 제2클락 신호(C

K)를 수신하는 패드)에서 위상이 서로 맞도록 조절된 제1클락 신호(WCK)와 제2클락 신호(CK)를 전송한다.

[0047] 이때, 위상 동기 루프(33)의 피드백 경로, 즉 지연 회로(37)는 제1클락 신호(WCK)의 t_I (즉, 실제 경로의 지연 시간)를 보상한다. 따라서, 반도체 장치(30')는 t_{SAC} 을 감소시킬 수 있다. 예컨대, 위상 동기 루프(33)의 가장 좋은 경우, 선택 신호 발생 회로(21)는 데이터 포트(DP)를 통하여 수신된 데이터 또는 위상 검출기(45)로부터 출력된 전압 신호(PDO) 중에서 적어도 하나에 응답하여 제2레벨을 갖는 제1선택 신호(MRS1)와 제2선택 신호(MRS2)를 출력한다.

[0048] 도 2와 도 3을 참조하여 설명한 바와 같이, 본 발명의 실시 예에 따른 반도체 장치(30 또는 30')는 제1클락 신호(WCK)와 제2클락 신호(CK)의 동기 여부, 제1클락 신호(WCK)의 지터 특성, 위상 동기 루프(33)의 특성, 또는 위상 동기 루프(33)의 피드백 경로의 특성, 예컨대 t_I 변화 보상 정도 등 반도체 시스템(10 또는 10A)의 특성에 따라 제1선택 신호(MRS1) 또는 제2선택 신호(MRS2) 중에서 적어도 하나에 응답하여 선택적으로 제1클락 신호(WCK)에 관련된 타이밍 신호를 출력할 수 있다.

[0049] 따라서, 본 발명의 실시 예에 따른 반도체 장치(30 또는 30') 또는 반도체 장치(30 또는 30')를 포함하는 반도체 시스템(10 또는 10A)은 최대의 성능을 나타낼 수 있다.

[0050] 도 2와 도 3을 참조하여 제1선택 신호(MRS1)와 제2선택 신호(MRS2)가 설정되는 경우를 정리하면 다음과 같다.

	MRS1	MRS2
위상동기루프의 특성이 가장 좋을 때	제2레벨(하이 레벨)	제2레벨(하이 레벨)
위상동기루프의 특성이 좋고, 제1 클락신호가 깨끗하지 않을 때	제2레벨	제1레벨(로우 레벨)
위상동기루프의 특성이 나쁘고, 제1클락신호가 깨끗할 때	제1레벨	돈 케어(don't care)

[0052] 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0053] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

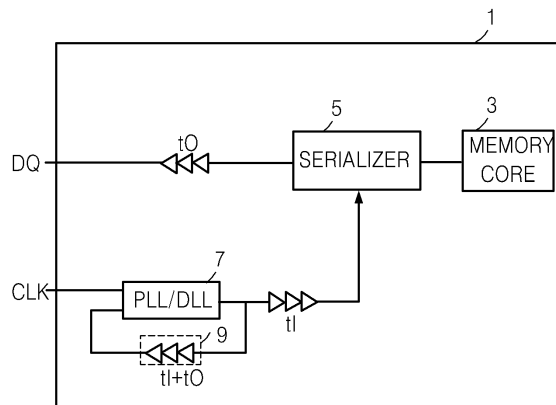
[0054] 도 1은 종래의 DDR SDRAM에서 t_{SAC} 보상 스킴을 설명하기 위한 블록 도이다.

[0055] 도 2는 본 발명의 실시 예에 따른 반도체 시스템의 블록 도를 나타낸다.

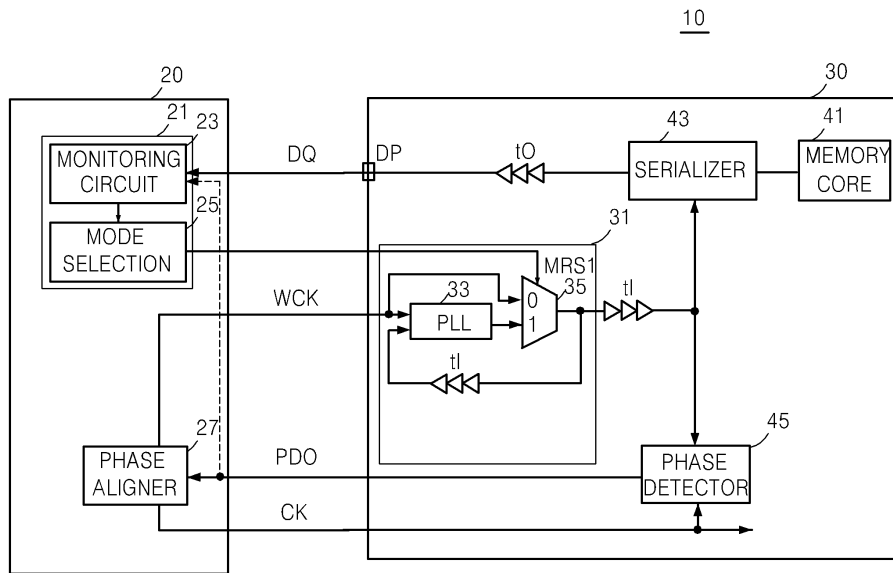
[0056] 도 3은 본 발명의 다른 실시 예에 따른 반도체 메모리 시스템의 블록 도를 나타낸다.

도면

도면1



도면2



도면3

