

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-501117

(P2010-501117A)

(43) 公表日 平成22年1月14日(2010.1.14)

(51) Int.Cl.

H01L 33/32 (2010.01)
H01L 21/205 (2006.01)

F 1

H01L 33/00 186
H01L 21/205

テーマコード(参考)

5FO41
5FO45

審査請求 未請求 予備審査請求 未請求 (全 15 頁)

(21) 出願番号 特願2009-524673 (P2009-524673)
 (86) (22) 出願日 平成19年8月16日 (2007.8.16)
 (85) 翻訳文提出日 平成21年3月16日 (2009.3.16)
 (86) 國際出願番号 PCT/US2007/018074
 (87) 國際公開番号 WO2008/021403
 (87) 國際公開日 平成20年2月21日 (2008.2.21)
 (31) 優先権主張番号 60/822,600
 (32) 優先日 平成18年8月16日 (2006.8.16)
 (33) 優先権主張国 米国(US)

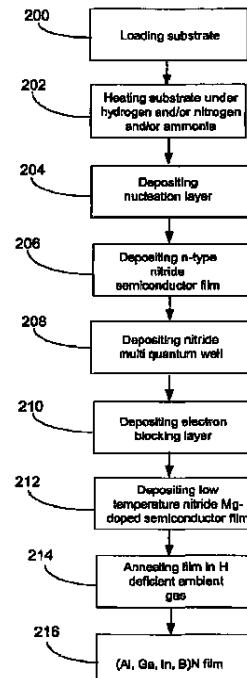
(71) 出願人 592130699
 ザ リージェンツ オブ ザ ユニバーシティ オブ カリフォルニア
 The Regents of The University of California
 アメリカ合衆国 カリフォルニア州 94607 オークランド フランクリン ストリート 1111 トゥエルフス フロア
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明

最終頁に続く

(54) 【発明の名称】マグネシウムをドーピングされた(AI, In, Ga, B)N層の堆積方法

(57) 【要約】

低温度(LT)でマグネシウム(Mg)をドーピングした窒化物半導体の薄膜を堆積させることによって、改善された品質のデバイスを成長させるための方法である。該低温度でMgドーピングした窒化物半導体の薄膜は、50nmより大きい厚さを有し得る。多重量子井戸(MQW)の活性層は、成長温度において成長させられ得、該LT Mgドーピング窒化物半導体の薄膜は、該成長温度を超、150以下である基板温度において、該MQW活性層に堆積され得る。



【特許請求の範囲】

【請求項 1】

改善された品質のデバイスを成長させるための方法であって、

(a) インジウム (In) 含有の窒化物ベースの1つ以上の量子井戸層を成長温度において堆積させることと、

(b) 該インジウム含有の窒化物ベースの量子井戸層の該成長温度を超える、150以下成長基板温度において、窒化物半導体の薄膜を該量子井戸層の上に堆積させること

を包含する、方法。

【請求項 2】

前記窒化物半導体の薄膜は、マグネシウム (Mg) によってドーピングされる、請求項1に記載の方法。

【請求項 3】

前記窒化物半導体の薄膜は、50nmより大きい厚さを有する、請求項1に記載の方法。

【請求項 4】

前記窒化物半導体の薄膜は、意図的にドーピングされた材料か、または意図的ではなくドーピングされた材料の1つ以上の層を含んでいる、請求項1に記載の方法。

【請求項 5】

前記窒化物半導体の薄膜は、可変組成か、または傾斜組成を有する複数の層を含んでいる、請求項1に記載の方法。

【請求項 6】

前記窒化物半導体の薄膜は、異なる (Al, Ga, In, B)N組成の層を含むヘテロ構造を含んでいる、請求項1に記載の方法。

【請求項 7】

前記窒化物半導体の薄膜は、GaN、AlN、InN、AlGaN、InGaNまたはAlInNを含んでいる、請求項1に記載の方法。

【請求項 8】

前記窒化物半導体の薄膜は、従来のc面配向の窒化物半導体の結晶上か、またはa面またはm面などの無極性の面上か、あるいは任意の半極性の面上など、窒化物結晶の任意の方向において成長させられる、請求項1に記載の方法。

【請求項 9】

前記成長基板温度は、前記成長温度に実質的に等しい、請求項1に記載の方法。

【請求項 10】

前記成長基板温度は、前記インジウム含有の窒化物ベースの量子井戸層の前記成長温度を超えて、50以下である、請求項1に記載の方法。

【請求項 11】

前記窒化物半導体の薄膜と前記インジウム含有の窒化物ベースの量子井戸層とは、水素化物気相エピタキシー (HVPE)、有機金属化学気相成長 (MOCVD)、または分子線エピタキシー (MBE) によって成長させられる、請求項1に記載の方法。

【請求項 12】

請求項1に記載の方法を用いて製作される向上した出力パワーを有するデバイス。

【請求項 13】

発光ダイオード (LED) であって、

(a) インジウム (In) 含有の窒化物ベースの1つ以上の量子井戸層と、

(b) 該インジウム含有の窒化物ベースの量子井戸層にn型キャリアを注入するための、該インジウム含有の窒化物ベースの量子井戸層の1つの側に堆積されたn型層と、

(c) マグネシウム (Mg) 含有であり、そして該インジウム含有の窒化物ベースの量子井戸層に堆積された、p型層として作用する窒化物半導体層であって、少なくとも50nmの厚さを有する、窒化物半導体層と

10

20

30

40

50

を備える、発光ダイオード。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の引用)

本出願は、同時係属中であり、同一人に譲渡された下記の米国特許出願の利益を、米国特許法第119(e)条の下に主張する。該米国特許出願とは、Michael Iza、Hitoshi Sato、Steven P. DenbaarsおよびShuji Nakamuraによって2006年8月16日に出願された米国仮出願第60/822,600号、発明の名称「METHOD FOR DEPOSITION OF MAGNESIUM DOPED (Al, In, Ga, B)N LAYERS」、代理人整理番号30794.187-US-P1(2006-678-1)であり、上記出願は参考として本明細書中に援用される。

10

【0002】

(発明の分野)

本発明は、低温度でマグネシウムドーピングした窒化物薄膜を用いる、改善された品質のデバイスを成長させるための方法に関する。

【背景技術】

【0003】

(関連技術の説明)

20

(注: 本出願は、角括弧内の1つ以上の参照番号、例えば、[X]によって本明細書の全体にわたって示されるような、多くの様々な刊行物および特許を参照する。これらの参照番号に従って指示されるこれらの様々な刊行物および特許の一覧は、「(参照文献)」という見出しを付された段落内で見い出され得る。これらの刊行物および特許のそれぞれは、参考として本明細書中に援用される)。

20

【0004】

窒化ガリウム(GaN)、ならびにアルミニウムおよびインジウムを結合させた、その三元化合物および四元化合物(AlGaN、InGaN、AlInGaN)の有用性は、可視光および紫外線のオプトエレクトロニクスデバイスならびにハイパワー電子デバイスの製作に対して十分に確立されてきた。これらのデバイスは、一般に、分子線エピタキシー(MBE)、有機金属化学気相成長(MOCVD)、および水素化物気相エピタキシー(HVPE)を含む成長技術を用いて、エピタキシャルに成長させられる。

30

【0005】

窒化物ベースのオプトエレクトロニクスデバイスは、高品質なGaNの堆積前の薄い核生成層の使用の出現によって、それらの急速な拡大が商業的に開始された[1(非特許文献1)、2(非特許文献2)]。この技術は、GaN成長のために使用可能な自然の基板が不足することに起因して利用される。さらに最近、マグネシウムドーピングに続く高温アニーリングによるp型GaNの開発などの技術も重要であると証明された。

【0006】

しかし、短波長のデバイスに対する活性層としての窒化インジウムガリウム(InGaN)の開発は、窒化物ベースの発光ダイオード(LED)およびレーザダイオード(LD)が多くの他の研究ベンチャーに追い付くことを可能にした。その結果、InGaNは可視光半導体用途に対して用いられる主要な材料系になってきた。

40

【0007】

図1は、窒化物ベースのダイオードデバイスを製作するための、典型的な堆積温度プロフィールを堆積時間の関数として例示する。MOCVDを用いる窒化物LEDおよび窒化物LDのプロセスの多くは、基板を約1050の温度に5分~30分間加熱することから始まる(図1の「ベーク(Bake)」ステップと称される)。この最初のステップは、サファイア(Al₂O₃)基板および基板ホルダーの表面上に存在し得る、任意の不純物の除去を手助けすると考えられている。

50

【0008】

次いで温度は、低温度のGaN核生成層（NL）を成長させるために450～700の間に下げられる（図1の「NL」ステップと称される）。ほとんどの核生成層は、約10nm～約50nmの厚さまで堆積される。

【0009】

所望の核生成層の厚さが達成されると、基板温度は、高品質のGaN薄膜堆積のために約1050まで増加される（図1の「GaN：Si」ステップと称される）。このGaN薄膜は、シリコン（Si）によってドーピングされることにより、存在する電気的に活性な電子の過剰な存在度に起因して、電気的に負に荷電した材料に対するn型伝導性を達成する。

10

【0010】

n型GaN：Siが堆積されると、基板温度は、InGaNの多重量子井戸（MQW）を堆積するために減少させられる（図1の「MQW」ステップと称される）。窒化物ベースの半導体に対する活性領域としてのInGaNの使用は、Nakamuraらによって最初に開発された[3]（非特許文献3）。参照文献[3]は、InGaN/A1GaNのダブルヘテロ構造（DH）LEDを製造し、初期の結果は、そのようなLEDが明るさにおいて1カンデラ（cd）を作り出しえることを示した[3]。この構造は後に、多重周期のInGaN/GaN量子井戸、すなわち多重量子井戸（MQW）に修正され、約70%に達する内部量子効率を含む、なにより高い効率を結果としてもたらした。インジウムの組み込みが薄膜の成長温度に非常に依存することもまた発見された。その結果、異なるインジウム組成が、InGaN薄膜の成長温度を変化することによって達成され得る。同様に、これは活性材料のエネルギー-ギャップを変更して、薄膜がホトルミネセンスによってバイアスされるか、または励起される場合に、放射波長における変化をもたらす。InGaN堆積に対する典型的な基板温度は、700～900の範囲であり、成長条件および反応装置の幾何学形状に依存する。この温度範囲を超えると、窒化インジウム（InN）は揮発性になり、容易に解離して、薄膜に組み込まれるInNを少なくする。この温度未満では、InNの組み込みは非常に増大し、そのことがインジウムのクラスタリングおよび悪質な薄膜をもたらし得る。

20

【0011】

MQWを成長させるために用いられた同じ温度を維持する間、A1GaNの電子プロッキング層が通常MQWの上部に堆積される。この層に対する典型的な厚さは、5nmから300nmの範囲にある。LEDがバイアスされる場合に、A1GaN薄膜は、電子プロッキング層として作用する。これは、層に存在するA1GaNのより大きなバンドギャップエネルギーに起因しており、ここでA1GaN層は、電子が乗り越えなければならないポテンシャルエネルギーバリアとして作用し、それによってデバイスの活性領域への電子の閉じ込めを手助けする。この閉じ込めは、LEDの活性領域における放射再結合の確率を増大させる[4]（非特許文献4）。

30

【0012】

次いで薄膜は、マグネシウム（Mg）によってドーピングされたp型GaNの薄膜を堆積するために、1000と1100との間の基板温度まで加熱される（図1の「GaN：Mg」ステップと称される）。MgをドーピングしたGaN薄膜に対する典型的な厚さは、150nmから500nmの範囲にある。GaNへのMgの組み込みは、Mgをドーピングした窒化物材料を、電気的に正の挙動（p型GaN）を有する薄膜を結果としてもたらす電子の欠乏状態にさせ、深い準位のアクセプタとして作用することが示してきた。

40

【0013】

何年もの間、p型GaN薄膜は、Amanoら[8]が、MgによってGaN薄膜をドーピングすることによってp型GaNが実現されることを発見するまで、可能ではないと考えられていた。しかし、MgをドーピングしたGaN薄膜がp型材料のように適切にふるまうために、薄膜は、成長の後で低エネルギー電子ビーム照射（LEEBI）処理をさ

50

れる必要があった〔5(非特許文献5)〕。Nakamuraらは後に、MgをドーピングしたGaN薄膜を、成長後600よりも高い温度の窒素(N₂)内でアニーリングすることによっても取得され得ることを発見した〔6(非特許文献6)、7(特許文献1)〕。

【0014】

MgドーピングGaNは、窒化物ベースのLEDにおいて広く用いられてきたが、その使用は、先行するInGaNのMQWの堆積温度よりも高い温度において成長させられたGaN薄膜を含んでいる。上述されたように、InNは高い揮発性を有しており、十分に高い温度および/または長期間低い温度にさらされる場合には、容易にInGaN薄膜から蒸発する。この時間および温度の値は、一般的に材料のサーマルバジェット(thermal budget)と呼ばれる。10

【先行技術文献】

【特許文献】

【0015】

【特許文献1】米国特許第5,306,662号明細書

【非特許文献】

【0016】

【非特許文献1】H. Amano、N. Sawaki、I. Akasaki、およびY. Toyoda、「Appl. Phys. Lett. 48」、353(1986年)

【非特許文献2】S. Nakamura、「Jpn. J. Appl. Phys. 30」、L1705(1991年)20

【非特許文献3】S. Nakamura、T. Mukai、およびM. Senoh、「Appl. Phys. Lett. 64」、1687(1994年)

【非特許文献4】K. Domen、R. Soejima、A. Kuramata、およびT. Tanahashi、「MRS Internet J. Nitride Semiconductor. Res. 3」、2(1998年)

【非特許文献5】H. Amano、M. Kitto、K. Hiramatsu、およびI. Akasaki、「Jpn. J. Appl. Phys. 28」、L2112(1989年)40

【非特許文献6】S. Nakamura、T. Mukai、M. Senoh、およびN. Iwasa、「Jpn. J. Appl. Phys. 31」、L139(1992年)30

【発明の概要】

【発明が解決しようとする課題】

【0017】

本発明は、InNを含んでいるダイオードおよびデバイスの品質を高めるために、低温度(LT)でMgドーピングした窒化物の層を用いることによって、上述された方法から区別される。結果として、前に堆積されたInNを含むMQWのサーマルバジェットがかなり低減される、LT Mgドーピング窒化物のプレーナ薄膜の成長のための改善された方法に対するニーズが存在する。本発明はこのニーズを満足する。40

【課題を解決するための手段】

【0018】

(発明の概要)

本発明は、低温度(LT)でマグネシウム(Mg)をドーピングした窒化物半導体の薄膜を堆積させることによって、品質が改善されたデバイスを成長させるための方法を示す。該低温度でMgドーピングした窒化物半導体の薄膜は、50nmよりも大きい厚さを有し得る。該低温度でMgドーピングした半導体薄膜は、意図的にドーピングされたか、または意図的でなくドーピングされた材料の1つ以上の層を含み得る。50

【0019】

上記方法は、インジウム含有の窒化物ベースの量子井戸層の1つ以上を成長温度で堆積させることと、窒化物半導体の薄膜、例えば、該インジウム含有の窒化物ベースの量子井

戸層の該成長温度を超え、150以下成長基板温度の該量子井戸層上で、LT Mgドーピングした窒化物半導体の薄膜を堆積させることとをさらに包含し得る。該窒化物半導体の薄膜は意図的にドーピングされたか、または意図的でなくドーピングされた材料の1つ以上の層を含み得、窒化物半導体の薄膜は50nmより大きい厚さを有し得る。

【0020】

上記窒化物半導体の薄膜は、可変組成か、または傾斜組成を有する複数の層を含み得る。該窒化物半導体の薄膜は、異なる(Al, Ga, In, B)N組成の層を含むヘテロ構造を含み得る。該窒化物半導体の薄膜は、GaN、AlN、InN、AlGaN、InGaNまたはAlInNを含み得る。

【0021】

上記窒化物半導体の薄膜は、従来のc面配向の窒化物半導体の結晶上か、またはa面またはm面などの無極性の面上か、あるいは任意の半極性の面上など、窒化物結晶の任意の方向において成長させられ得る。上記成長基板温度は、上記成長温度に実質的に等しいか、または上記インジウム含有の窒化物ベースの量子井戸層の該成長温度を超え、50以下であり得る。

【0022】

上記窒化物半導体の薄膜および上記インジウム含有の窒化物ベースの量子井戸層は、水素化物気相エピタキシー(HVPE)、有機金属化学気相成長(MOCVD)、または分子線エピタキシー(MBEC)によって成長させられ得る。

【0023】

本発明は、向上した出力パワーを有するデバイスをさらに開示する。例えば、該デバイスは発光ダイオード(LED)であり得、該発光ダイオードは、インジウム含有の窒化物ベースの量子井戸層と、該インジウム含有の窒化物ベースの量子井戸層にn型キャリアを注入するための、該インジウム含有の窒化物ベースの量子井戸層の1つの側に堆積したn型層と、該インジウム含有の窒化物ベースの量子井戸層上に堆積された、p型層として作用するMg含有の窒化物半導体層との1つ以上を含んでおり、そこで、該窒化物半導体層は少なくとも50nmの厚さを有する。

【図面の簡単な説明】

【0024】

【図1】図1は、InGaNの多重量子井戸を含む窒化物ベースのダイオードデバイスの堆積のための典型的な温度プロフィールを示す。

【図2】図2は、本発明の好適な実施形態に従った、Mgドーピングした窒化物薄膜を成長させる方法のフローチャートである。

【図3】図3は、本発明の好適な実施形態に従った、InGaNの多重量子井戸を含む窒化物ベースのダイオードデバイスの堆積のための温度プロフィールを示す。

【図4】図4は、MgドーピングしたGaNの成長温度の関数としてLED出力パワーを示す。

【図5】図5は、MgドーピングしたGaNの厚さに対するLED出力パワーの依存性を示す。

【発明を実施するための形態】

【0025】

同様な参照番号が、対応する部分を全体にわたって表す図面をここで参照する。

【0026】

(発明の詳細な説明)

以下の好適な実施形態の説明において、その一部分を形成する添付の図面に対する参照がなされ、図面において、好適な実施形態が、本発明が実施され得る特定の実施形態の例示のために示される。他の実施形態が利用され得、構造的な変更が、本発明の範囲から逸脱することなくなされ得ることは理解されるべきである。

【0027】

(概観)

10

20

30

40

50

本発明は、MOCVDを介する、デバイスクオリティー(device-quality)プレーナLT Mgドーピング窒化物半導体薄膜の成長のための方法を記述する。LT Mgドーピング窒化物半導体薄膜の成長は、III族窒化物構造におけるデバイス特性を改善する手段を提供する。用語、窒化物は、構造式 $Ga_nAl_xIn_yB_zN$ を有する(Ga, Al, In, B)N半導体の任意の合金組成を示す。ここで、

【0028】

【数1】

$$0 \leq n \leq 1, 0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq z \leq 1, \text{および } n+x+y+z=1$$

である。

10

【0029】

最近の窒化物デバイス(例えば、LEDおよびLD)は、高温で成長した(Al, In, Ga, B)NのMgドーピング層を含んでいる。高温のMgドーピング層の堆積は、デバイス性能(例えば、デバイスの出力パワー)における大幅な劣化をもたらす。LT Mgドーピング(Al, In, Ga, B)N層の成長は、前に堆積された(Al, In, Ga, B)N薄膜に及ぼされたサーマルバジエットを、大きく最小化することによってデバイス性能を改善し得る。本発明は、MOCVDで成長したLT Mgドーピング層を用いることによって、(Al, In, Ga, B)Nのデバイス性能を向上する手段を提供する。

【0030】

20

(技術説明)

本発明は、MOCVDを介する、デバイスクオリティーのプレーナLT Mgドーピング窒化物半導体薄膜の成長のための方法を記述する。LT Mgドーピング窒化物半導体薄膜の成長は、III族窒化物構造におけるデバイス特性を改善する手段を提供する。これらの薄膜は、市販されているMOCVDシステムを用いて成長させられた。LT Mgドーピング GaN の成長に対する一般的な成長パラメータは、10トルと1000トルとの間の圧力、ならびにMQW温度を超えて、150未満である温度を含んでいる。エピタキシャルの関係および条件は、用いられる反応装置の種類にかかわらず当てはまるべきである。しかし、LT Mgドーピング GaN の成長に対する反応装置の条件は、個々の反応装置および成長方法(例えば、HYPE、MOCVD、およびMBE)に従って変化する。

30

【0031】

この方法を用いて、 $InGaN$ のサーマルバジエットは、MQW成長に用いられる温度以下でMgドーピング GaN 薄膜を成長させることによって大いに減少させられ得る。ダイオードのMQW成長後のMgドーピング GaN 薄膜(典型的には、1%~20%のInNを GaN 内に含む)の堆積温度を低減させることによって、MQW材料への熱ダメージを低減することが可能である。これは、鋭いヘテロ接合界面を維持することと、InNの偏析およびクラスターリングを減少させることによって、MQWの品質を大いに高める。

【0032】

40

本発明に従った、窒化物薄膜を成長させるための方法は、概して以下のステップを包含する。

(1) MOCVD反応装置内に基板を装填する。

(2) 反応装置に対してヒータをオンにし、反応装置内の温度を設定値温度まで増やして行く。そこで、窒素および/または水素および/またはアンモニアは、雰囲気圧で基板の上にフローする。

(3) ある期間の後、設定値温度を減少させ、 GaN 核生成層またはバッファ層の成長を開始するためにトリメチルガリウム(TMGa)およびアンモニアを反応装置に導入する。

(4) GaN 核生成層が所望の厚さに達した後、TMGaのフローを止めて、反応装置温度を設定値に増加する。

50

(5) 反応装置の設定値温度に達成した後、シリコンによってドーピングされるn型GaNの成長のためにTMGaおよびジシラン(Si₂H₆)のフローをオンにする。

(6) 所望の厚さがn型GaNに対して達成されると、温度設定値は、InGaNのMQWの堆積のために減少される。

(7) 設定値温度に達成した後、InGaNのMQWの堆積のためにトリメチルインジウム(TMIn)およびTMGaのフローをオンにする。

(8) 所望の厚さがMQWに対して達成されると、TMInフローは止められ、トリメチルアルミニウム(TMA1)のフローがAlGaN薄膜の堆積のために開けられる。

(9) AlGaNの電子プロッキング層が所望の厚さに達した後、TMA1のフローを止めて、LT MgドーピングしたGaNの堆積のために、ビス(シクロペンタジエニル)マグネシウム(Cp₂Mg)を導入する。

(10) LT MgドーピングしたGaNが所望の厚さに達した後、TMGaおよびCp₂Mgのフローを止めて、プレーナ窒化物半導体の薄膜を保存するためにアンモニアをフローしながら、反応装置を冷却する。

【0033】

本発明は、これらのステップを用いて製作されたデバイスを被覆することを意図する。LT Mgドーピングしたプレーナ窒化物半導体の薄膜は、例えば、GaN、AlN、InN、AlGaN、InGaNまたはAlInNを含み得る。さらに、LT Mgドーピングしたプレーナ窒化物半導体の薄膜は、可変組成か、または傾斜組成を有する複数の層を含み得る。さらに、LT Mgドーピングしたプレーナ窒化物半導体の薄膜は、異なる(A1, Ga, In, B)N組成の層を含むヘテロ構造を含み得る。

【0034】

(プロセスのステップ)

図2は、以下の段落において記述される本発明の好適な実施形態に従った、MOCVDを用いる、LT Mgをドーピングした窒化ガリウム(GaN)薄膜の成長のためのステップを例示するフローチャートである。

【0035】

ブロック200は、基板を装填するステップを表し、そこで、サファイア(0001)基板が、MOCVD反応装置内に装填され得る。

【0036】

ブロック202は、水素および/または窒素および/またはアンモニアのフローの下で基板を加熱するステップを表す。このステップの間、反応装置のヒータはオンにされ、水素および/または窒素および/またはアンモニアのフローの下で1150の設定値温度まで増やされて行く。概して、窒素および/または水素は、雰囲気圧で基板の上にフローする。

【0037】

ブロック204は、核生成層を堆積させるステップを表す。ブロック202の設定値温度まで増やした20分後のこのステップの間、反応装置の設定値温度は570まで減少し、3sccmのTMGaが、GaN核生成層またはバッファ層の成長を開始するために反応装置に導入される。100秒後、GaN核生成層またはバッファ層が所望の厚さに達する。この時点で、TMGaのフローは止められ、反応装置の温度が1185まで増加される。

【0038】

ブロック206は、n型窒化物半導体の薄膜を堆積させるステップを表す。このステップの間に、ブロック204の設定値温度に達すると、15sccmのTMGaが、GaN成長を開始するために15分間反応装置に導入され得る。所望のGaNの厚さが達成されると、4sccmのSi₂H₆が、シリコンをドーピングされたn型GaNの成長を開始するために45分間反応装置に導入される。

【0039】

ブロック208は、窒化物ベースの1つ以上の活性層を成長温度の基板上に堆積させる

10

20

30

30

40

50

ステップを表す。該活性層は、例えば、1つ以上の量子井戸または多重量子井戸であり、好適にはインジウム（In）を、例えば、1%～20%のInNをGaN内に含み得る。このステップの間、ブロック206の所望のn型GaNの厚さが達成されると、反応装置の温度設定値は880まで減少され、30sccmのTEGaが、GaNバリア層の堆積を開始するために200秒間反応装置に導入される。GaNバリア層の所望の厚さが達成されると、70sccmのTMInが24秒間反応装置に導入され、その後止められて、InGaN量子井戸層の堆積を開始する。これら2つの先行するステップ（GaNバリアおよびInGaN量子井戸の堆積）は、その後5回繰り返される。最後のInGaN量子井戸層が堆積された後、30sccmのTEGaが、GaN成長のために160秒間反応装置に導入され、その後止められる。

10

【0040】

ブロック210は、電子プロッキング層を堆積させるステップを表す。このステップの間、ブロック208のMQWが堆積されると、AlGaN電子プロッキング層の堆積のために、1sccmのTMGaおよび1sccmのTMA1が、100秒間反応装置に導入され、その後止められる。

【0041】

ブロック212は、成長温度を超えて、150以下または50以下の基板温度において窒化物半導体の薄膜を活性層上に堆積させるステップを表し、そこで、窒化物半導体の薄膜が好適には、MgをドーピングしたLTの窒化物半導体の薄膜を含んでいる。このステップの間、ブロック210の所望のAlGaNの厚さが達成されると、反応装置の設定温度は880に維持されて、LT MgをドーピングしたGaNの堆積のために、3.5sccmのTMGaと、50sccmのビス（シクロペンタジエニル）マグネシウム（Cp₂Mg）とが、12分間反応装置に導入され、その後止められる。所望のLT MgをドーピングしたGaNの厚さが達成されると、GaN薄膜を保存するためにアンモニアをフローしながら、反応装置は冷却される。

20

【0042】

ブロック214は、水素（H）が不足した雰囲気において薄膜をアニーリングするステップを表す。このステップの間、反応装置がブロック212において冷えると、窒化物ダイオードは、LT MgをドーピングしたGaNを活性化するために、700の温度で15分間水素不足な雰囲気において除去され、アニーリングされる。

30

【0043】

ブロック216は方法の最終的な結果、例えば、向上した出力パワーを有するデバイスを表す。好適な実施形態において、デバイスは、LT MgをドーピングしたGaNを含む、窒化物ベースのLEDまたはレーザダイオード（LD）である。例えば、デバイスはLEDであり得、該LEDは、インジウム含有の窒化物ベースの量子井戸層と、該インジウム含有の窒化物ベースの量子井戸層にn型キャリアを注入するための、該インジウム含有の窒化物ベースの量子井戸層の1つの側に堆積したn型層と、該インジウム含有の窒化物ベースの量子井戸層上に堆積された、p型層として作用するMg含有の窒化物半導体層との1つ以上を含んでおり、そこで、該窒化物半導体層は少なくとも50nmの厚さを有する。

40

【0044】

必要に応じて、ステップが省略されるか、または追加され得ることに注意されたい。例えば、必要に応じて、ブロック204およびブロック210は省略され得る。

【0045】

（利点および改良点）

図3は、本発明の好適な実施形態に対する堆積時間の関数として堆積温度プロフィールを示す。

【0046】

MOCVDを用いる窒化物LEDおよび窒化物LDのプロセスの多くは、約1050の温度に基板を加熱することから始まる（図3の「ベーク」ステップと称される）。温度

50

は、次いで、低温度のGaN核生成層を成長させるために450～700の間に下げる得る（図3の「NL」ステップと称される）。所望の核生成層（NL）の厚さが達成されると、基板温度は、高品質のGaN薄膜堆積のために約1050まで増加され得る（図3の「GaN:Si」ステップと称される）。n型のGaN:Siが堆積されると、基板温度は、InGaNの多重量子井戸（MQW）を堆積するために減少させられ得る（図3の「MQW」ステップと称される）。InGaN堆積に対する典型的な基板温度は、700～900の範囲であり、成長条件および反応装置の幾何学形状に依存する。MQWを成長させるために用いられた同じ温度を維持する間、AlGaNの電子ブロッキング層がMQWの上で随意に堆積される。次いで、Mgをドーピングしたp型GaNのLT薄膜が堆積され得る（図3の「GaN:Mg」ステップと称される）。

10

【0047】

図3に示されるように、MgがドーピングされるGaN薄膜の成長に対する温度（図3の「GaN:Mg」ステップ）は、図3の「MQW」ステップにおいて前に堆積されたMQWの成長のための温度と同じである。LT MgドーピングGaNの堆積温度は、現在の窒化物技術において用いられる温度と比較して大幅に異なっている。

【0048】

現在の窒化物技術は、MQWを成長させるために用いられる温度よりもかなり高いMgドーピングGaNの堆積温度を用いることに頼っている。上述されたように、InGaNのサーマルバジエットは、MQWを成長させるために用いられる温度以下の温度においてMgドーピングGaN薄膜を成長させることによって大いに減少させられ得る。従って、ダイオードのMQW（それは典型的に1%～20%のInNをGaN内に含んでいる）を成長させた後、MgドーピングGaNドーピング薄膜の堆積温度を低減することによって、MQW材料への熱ダメージを低減することが可能である。これは、鋭いヘテロ接合界面を維持し、InNの偏析およびクラスターリングを減少させることによって、MQWの品質を大いに高める。

20

【0049】

図4は、MgをドーピングしたGaNの堆積温度に対するLEDの出力パワーの測定された依存性を示す。LEDの出力パワーは、基板の背面を介してシリコン光検出器を用いて、光出力を測定することによって評価された。これは一般的に「オンウェハ」測定と称される。図4のすべてのLEDに対するMQW堆積温度が、880であったことに注意することは重要である。MQWのための堆積温度に類似するMgドーピングGaNのための堆積温度を用いることが、LEDの出力パワーを高め得ることは図4のデータから明らかである。最大出力パワーは、880のLT Mgドーピングの堆積温度に対して観察された。対照的に、LEDの出力パワーは、MQWの堆積温度（880）よりも高いMgドーピングGaNの堆積温度によって有意に低減され、950のLT Mgドーピングの堆積温度に対して最も低い出力パワーが測定された。本発明の好適な実施形態において記述されたように、LT MgドーピングGaNの堆積温度を用いることが、窒化物LEDの出力パワーをかなり増大させる方法を提供することが結論され得る。

30

【0050】

図5は、LT MgドーピングGaNの厚さの関数としてLEDの測定された出力パワーまたはエレクトロルミネセンス（EL）を記述する。LEDの出力を増大させるために、LT MgドーピングGaNの厚さが50nmを超える必要があることがわかり得る。さらに、100nmよりも大きい厚さを有する、LT MgドーピングGaN層の使用を利用することは、さらになおパワー出力を有意に高め得る。現在の窒化物ダイオード技術はしばしば、MQWへのダメージを最小化するために、より高い温度のMgドーピングGaN薄膜の堆積をする前に、薄い（一般に、5nm～30nmの厚さの）低温度MgドーピングGaN薄膜を利用する。しかし、この方法は好適な実施形態において記述された発明と大いに異なる。本発明の好適な実施形態は、50nmの最小の厚さを有する、低温度Mgドーピングされた厚いGaN薄膜を用いる。意図的ではなくドーピングされた材料がしばしばMg原子を含み、Mg原子の拡散によってp型反応を引き起こすことに注意する

40

50

こともまた重要である。従って、本発明はまた、意図的ではなくドーピングされた窒化物材料を用いることもまた含み得る。

【0051】

(実施可能な修正および変形)

ここでまた図3を参照すると、本発明の様々な実施形態において、窒化物半導体の薄膜はGaN、AlN、InN、AlGaN、InGaNまたはAlInNを含み得る。さらに、窒化物半導体の薄膜は、異なる(Al, Ga, In, B)N組成の層を含むヘテロ構造であり得る。

【0052】

窒化物半導体の薄膜と活性層の両方は、従来のc面配向の窒化物半導体の結晶上か、あるいはa面またはm面などの無極性の面上か、または任意の半極性の面上など、窒化物結晶の任意の方向において成長させられ得る。

10

【0053】

上記されたように、窒化物半導体の薄膜はMgによってドーピングされ得る。しかし、代替の実施形態において、窒化物半導体の薄膜は意図的にドーピングされた材料か、または意図的ではなくドーピングされた材料の1つ以上の層を含み得る。

20

【0054】

好適な実施形態において、窒化物半導体の薄膜は、他の厚さが用いられ得るけれども、好ましくは50nmよりも大きい、そしてさらに好ましくは100nmよりも大きい厚さを有する実質的にプレーナ薄膜である。

20

【0055】

代替の実施形態において、窒化物半導体の薄膜は、可変組成か、または傾斜組成を有する複数の層を含み得る。

【0056】

基板温度は成長温度と実質的に等しくあり得、成長温度は880であり得る。

【0057】

プロセス工程は、例えば、HVPE、MOCVDまたはMBEを含み得、窒化物半導体の薄膜および活性層は、これら、HVPE、MOCVDまたはMBEを用いて成長させられ得る。

30

【0058】

上記されたように、該方法の最終結果は、例えば、向上した出力パワーを有するデバイスである。該デバイスは、LEDであり得、例えば、インジウム含有の1つ以上の窒化物活性層と、n型キャリアを該活性層に注入するための、活性層の1つの側の上のn型層と、p型層として作用する、活性層の上のMg含有の窒化物半導体層とを含んでいる。該LEDは、少なくとも5ミリワットの出力パワーを有し得る。

【0059】

(参照文献)

以下の参照文献は、参考として本明細書中に援用される。

[1] H. Amano、N. Sawaki、I. Akasaki、およびY. Toyoda、「Appl. Phys. Lett. 48」、353(1986年)。

40

[2] S. Nakamura、「Jpn. J. Appl. Phys. 30」、L1705(1991年)。

[3] S. Nakamura、T. Mukai、およびM. Senoh、「Appl. Phys. Lett. 64」、1687(1994年)。

[4] K. Domen、R. Soejima、A. Kuramata、およびT. Tanahashi、「MRS Internet J. Nitride Semicond. Res. 3」、2(1998年)。

[5] H. Amano、M. Kitto、K. Hiramatsu、およびI. Akasaki、「Jpn. J. Appl. Phys. 28」、L2112(1989年)。

[6] S. Nakamura、T. Mukai、M. Senoh、およびN. Iwasa

50

、「Jpn. J. Appl. Phys. 31」、L139 (1992年)。

[7] S. Nakamura他に対して1994年4月26日に発行された米国特許第5,306,662号、発明の名称「Method of manufacturing P-type compound semiconductor」。

【0060】

(結び)

ここでは、本発明の好適な実施形態の説明を締めくくる。本発明の1つ以上の実施形態の上記の説明は、例示および説明の目的のために提示してきた。それは、網羅的であることを意図せず、または開示された正にその形態に発明を制限することを意図していない。多くの修正および変形が、上記の教示を考慮すれば可能である。本発明の範囲は、この詳細な説明によってではなく、むしろ添付された特許請求の範囲によって制限されることが意図されている。

10

【図1】

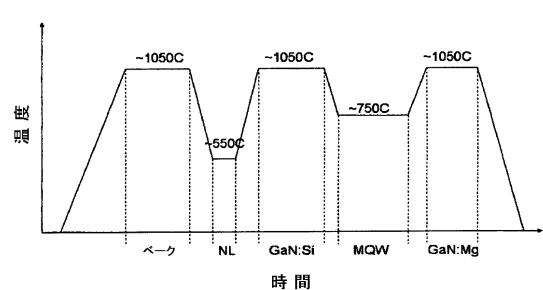


FIG. 1

【図2】

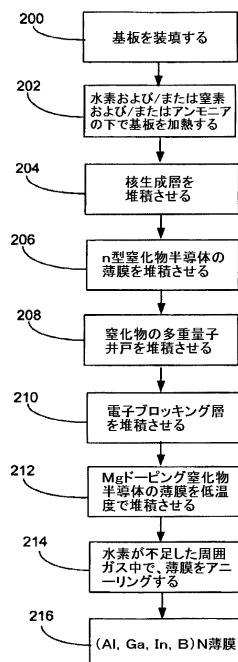
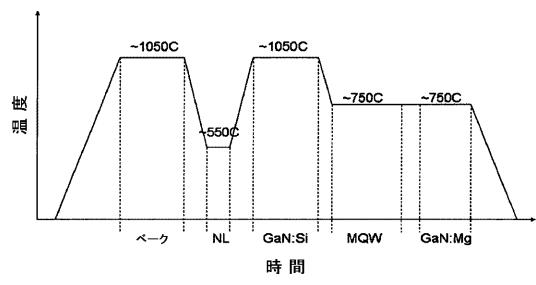


FIG. 2

【図3】



【図4】

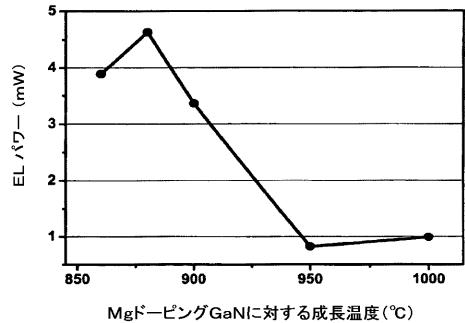


FIG. 3

FIG. 4

【図5】

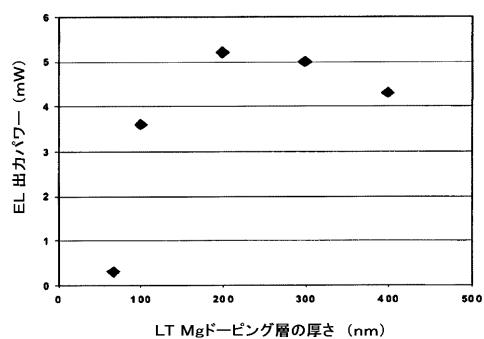


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 07/18074
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 21/00 (2007.10) USPC - 257/76, 257/98 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC(8) - H01L 21/00 (2007.10) USPC - 257/76, 257/98		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched search terms below		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) USPTO - WEST. Google, Google Scholar. Search terms: celsius, deg, degrees, efficient, grow, heat, heated, Indium, nitride, output, power, quantum, semiconductor, temperature, well, yield, "hydride vapor", "phase epitaxy", "metaloganic chemical", "beam epitaxy", hype, mocvd, mbe		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/0188689 A1 (Shono et al.) 30 September 2004 (30.09.2004) abstract, para [0004], [0050], [0057]-[0061]	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 4 December 2007 (04.12.2007)	Date of mailing of the international search report 29 JAN 2008	
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201	Authorized officer: Lee W. Young  PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100113413

弁理士 森下 夏樹

(72)発明者 イザ, マイケル

アメリカ合衆国 カリフォルニア 93101, サンタ バーバラ, マウンテン アベニュー
1929

(72)発明者 佐藤 均

アメリカ合衆国 カリフォルニア 93110, サンタ バーバラ, インビエーノ ドライブ
4028, ナンバーエー

(72)発明者 デンバース, スティーブン ピー.

アメリカ合衆国 カリフォルニア 93117, ゴレタ, キング ダニエル レーン 287

(72)発明者 ナカムラ, シュウジ

アメリカ合衆国 カリフォルニア 93160, サンタ バーバラ, ピー.オー ポックス
61656

F ターム(参考) 5F041 CA05 CA40 CA49 CA57 CA65 CA73

5F045 AA04 AB14 AB17 AB18 AB19 AD11 AD12 AD14 AD15 AF09

BB07 CA11 CA12 DA52 DA53 DA55 EB15 EK26 HA16