



(10) **DE 10 2015 103 318 B4** 2023.09.21

(12) **Patentschrift**

(21) Aktenzeichen: **10 2015 103 318.6**  
(22) Anmeldetag: **06.03.2015**  
(43) Offenlegungstag: **10.09.2015**  
(45) Veröffentlichungstag  
der Patenterteilung: **21.09.2023**

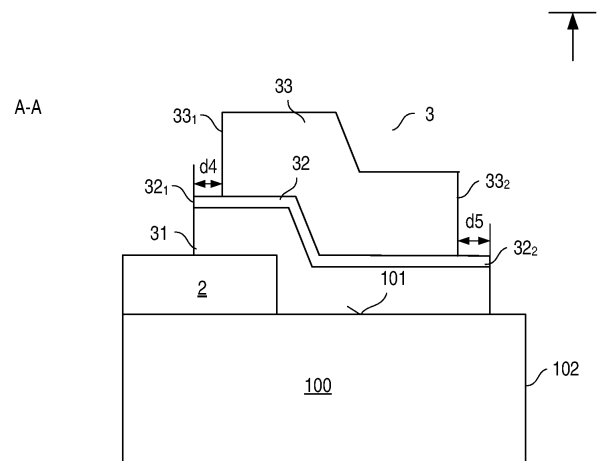
(51) Int Cl.: **H01L 29/45** (2006.01)  
**H01L 21/283** (2006.01)  
**H01L 29/861** (2006.01)  
**H01L 29/78** (2006.01)  
**H01L 29/80** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität: <b>14/200,732</b> <b>07.03.2014</b> <b>US</b>	(72) Erfinder: <b>Hecht, Christian, 91054 Buckenhof, DE; Kabakow, Andre, 85653 Aying, DE; Rupp, Roland, 91207 Lauf, DE; Konrath, Jens Peter, Villach, AT</b>																		
(62) Teilung in: <b>10 2015 017 489.4</b>	(56) Ermittelter Stand der Technik: <table><tr><td><b>US</b></td><td><b>6 544 904</b></td><td><b>B1</b></td></tr><tr><td><b>US</b></td><td><b>2006 / 0 220 081</b></td><td><b>A1</b></td></tr><tr><td><b>US</b></td><td><b>2007 / 0 001 176</b></td><td><b>A1</b></td></tr><tr><td><b>US</b></td><td><b>2008 / 0 284 009</b></td><td><b>A1</b></td></tr><tr><td><b>US</b></td><td><b>2011 / 0 018 128</b></td><td><b>A1</b></td></tr><tr><td><b>US</b></td><td><b>2011 / 0 193 232</b></td><td><b>A1</b></td></tr></table>	<b>US</b>	<b>6 544 904</b>	<b>B1</b>	<b>US</b>	<b>2006 / 0 220 081</b>	<b>A1</b>	<b>US</b>	<b>2007 / 0 001 176</b>	<b>A1</b>	<b>US</b>	<b>2008 / 0 284 009</b>	<b>A1</b>	<b>US</b>	<b>2011 / 0 018 128</b>	<b>A1</b>	<b>US</b>	<b>2011 / 0 193 232</b>	<b>A1</b>
<b>US</b>	<b>6 544 904</b>	<b>B1</b>																	
<b>US</b>	<b>2006 / 0 220 081</b>	<b>A1</b>																	
<b>US</b>	<b>2007 / 0 001 176</b>	<b>A1</b>																	
<b>US</b>	<b>2008 / 0 284 009</b>	<b>A1</b>																	
<b>US</b>	<b>2011 / 0 018 128</b>	<b>A1</b>																	
<b>US</b>	<b>2011 / 0 193 232</b>	<b>A1</b>																	
(73) Patentinhaber: <b>Infineon Technologies AG, 85579 Neubiberg, DE</b>																			
(74) Vertreter: <b>Westphal, Mussnug &amp; Partner Patentanwälte mit beschränkter Berufshaftung, 81541 München, DE</b>																			

(54) Bezeichnung: **Halbleiter-Bauelement mit einer Passivierungsschicht und Verfahren zum Herstellen eines solchen**

(57) Hauptanspruch: Halbleiterbauelement mit einem Halbleiterkörper (100) mit einer ersten Oberfläche (101);  
einer Kontaktelektrode (2) auf der ersten Oberfläche (101);  
und  
einer Passivierungsschicht (3), die auf der ersten Oberfläche (101) benachbart zu der Kontaktelektrode (2) angeordnet ist und die die Kontaktelektrode (2) teilweise überlappt, wobei die Passivierungsschicht (3) einen Schichtstapel mit einer ersten Schicht (31) auf der ersten Oberfläche (101), einer zweiten Schicht (32) auf der ersten Schicht (31) und einer dritten Schicht (33) auf der zweiten Schicht (32) aufweist,  
wobei die erste Schicht (31) ein Oxid aufweist, die zweite Schicht (32) ein Nitrid aufweist und die dritte Schicht (33) ein Imid aufweist,  
wobei die zweite Schicht (32) und die dritte Schicht (33) jeweils eine innere Kante (32<sub>1</sub>, 33<sub>1</sub>) und eine äußere Kante (32<sub>2</sub>, 33<sub>2</sub>) aufweisen,  
wobei die innere Kante (33<sub>1</sub>) der dritten Schicht (33) entfernt zu der inneren Kante (32<sub>1</sub>) der zweiten Schicht (32) angeordnet ist und  
wobei die äußere Kante (33<sub>2</sub>) der dritten Schicht (33) entfernt zu der äußeren Kante (32<sub>2</sub>) der zweiten Schicht (32) angeordnet ist.



## Beschreibung

**[0001]** Ausführungsformen der vorliegenden Erfindung betreffen ein Halbleiter-Bauelement, insbesondere ein Leistungshalbleiter-Bauelement mit einer Passivierungsschicht.

**[0002]** Leistungshalbleiter-Bauelemente, wie beispielsweise Leistungsdioden oder Leistungstransistoren, können hohe Spannungen von mehreren 10V, mehreren 100V oder sogar mehreren Kilovolt (kV) sperren. Eine hohe Spannungssperrfestigkeit ist in einem Halbleiterkörper, in welchem aktive Gebiete des Halbleiter-Bauelements integriert sind, mit hohen elektrischen Feldern verbunden. Oberflächen des Halbleiterkörpers, in welchen hohe elektrische Felder in einem Sperrzustand auftreten, sind besonders empfindlich und benötigen eine entsprechende Behandlung, um schädigende Auswirkungen zu verhindern, welche eine Reduzierung der Spannungssperrfestigkeit zur Folge haben können. Eine solche Behandlung kann das Ausbilden einer Passivierungsschicht an der Oberfläche umfassen. Unter bestimmten Umständen, wie beispielsweise in einer feuchten und heißen Umgebung, können herkömmliche Passivierungsschichten jedoch Verschlechterungen erleiden, welche eine Korrosion des Halbleiterkörpers und/oder eines Metalls welches den Halbleiterkörper kontaktiert bedingen.

**[0003]** Die US 2011 / 0 193 232 A1 und die US 2008 / 0 284 009 A1 beschreiben jeweils ein Halbleiter-Bauelement mit einer Kontaktelektrode und einer Passivierungsschicht auf einer ersten Oberfläche des Halbleiterkörpers, wobei die Passivierungsschicht die Kontaktelektrode überlappt und einen Schichtstapel mit einer ersten Schicht und einer zweiten Schicht aufweist, wobei die erste Schicht beispielsweise ein Oxid und die zweite Schicht beispielsweise ein Nitrid aufweist.

**[0004]** Die US 2006 / 0 220 081 A1 beschreibt eine Halbleiteranordnung mit einer teilweise auf einer Elektrode angeordneten Passivierungsschicht, die mehrere Schichten übereinander aufweist: eine  $\text{SiO}_2$ -Schicht, eine  $\text{Al}_2\text{O}_3$ -Schicht, eine  $\text{SiN}$ -Schicht und eine Imidschicht.

**[0005]** Die US 6 544 904 B1 beschreibt ein Halbleiterbauelement mit einer Elektrode überlappenden Passivierungsschicht, die übereinander drei Schichten aufweist: eine  $\text{SiO}_2$ -Schicht, eine  $\text{SiN}$ -Schicht und eine Imidschicht. Auf die US 2007 / 0 001 176 A1 und US 2011 / 0 018 128 A1 wird ebenfalls hingewiesen.

**[0006]** Die der Erfindung zugrunde liegende Aufgabe besteht darin, ein verbessertes Halbleiter-Bauelement mit einer mechanisch und chemisch sehr robusten Passivierungsschicht bereitzustellen und

ein Verfahren zum Herstellen eines solchen Halbleiter-Bauelement bereitzustellen. Diese Aufgabe wird durch ein Halbleiter-Bauelement gemäß Anspruch 1 und ein Verfahren gemäß Anspruch 17 gelöst.

**[0007]** Beispiele werden nun unter Bezugnahme auf die Figuren beschrieben. Die Figuren dienen dazu das grundsätzliche Prinzip darzustellen, so dass nur solche Aspekte dargestellt sind, welche zum Verständnis des grundsätzlichen Prinzips erforderlich sind. Die Figuren sind nicht maßstabsgetreu. In den Figuren werden gleiche Merkmale mit den gleichen Bezugszeichen bezeichnet.

**Fig. 1** zeigt einen vertikalen Querschnitt einer Ausführungsform eines Halbleiter-Bauelements, welches eine Passivierungsschicht auf einer ersten Oberfläche eines Halbleiterkörpers aufweist.

**Fig. 2** zeigt einen vertikalen Querschnitt einer weiteren Ausführungsform eines Halbleiter-Bauelements, welches eine Passivierungsschicht auf einer ersten Oberfläche eines Halbleiterkörpers aufweist.

**Fig. 3** zeigt eine Draufsicht auf eine Ausführungsform eines Halbleiter-Bauelements, welches eine Passivierungsschicht auf einer ersten Oberfläche eines Halbleiterkörpers aufweist.

**Fig. 4** zeigt einen vertikalen Querschnitt einer weiteren Ausführungsform eines Halbleiter-Bauelements, welches eine Passivierungsschicht auf einer ersten Oberfläche eines Halbleiterkörpers aufweist.

**Fig. 5** zeigt einen vertikalen Querschnitt einer Ausführungsform eines Halbleiter-Bauelements, welches eine Passivierungsschicht auf einer ersten Oberfläche eines Halbleiterkörpers, eine weiche Verkapselungsschicht und ein Gehäuse aufweist.

**Fig. 6** zeigt einen vertikalen Querschnitt eines Halbleiter-Bauelements mit einem pn-Übergang.

**Fig. 7** zeigt einen vertikalen Querschnitt eines Halbleiter-Bauelements, welches als bipolare Diode ausgebildet ist.

**Fig. 8** zeigt einen vertikalen Querschnitt eines Halbleiter-Bauelements, welches als Schottky-Diode ausgebildet ist.

**Fig. 9** zeigt einen vertikalen Querschnitt eines Halbleiter-Bauelements, welches als MOS-Transistor ausgebildet ist.

**Fig. 10** zeigt einen vertikalen Querschnitt eines Halbleiter-Bauelements, welches als JFET ausgebildet ist.

**Fig. 11A - Fig. 11C** zeigen eine Ausführungsform eines Verfahrens zum Herstellen eines Halbleiter-Bauelements mit einer Passivierungsschicht.

**Fig. 12A - Fig. 12B** zeigen eine weitere Ausführungsform eines Verfahrens zum Herstellen eines Halbleiter-Bauelements mit einer Passivierungsschicht.

**[0008]** In der folgenden detaillierten Beschreibung, wird auf die beigefügten Figuren Bezug genommen, welche einen Bestandteil der Beschreibung bilden und in welchen zur Veranschaulichung spezifische Ausführungsformen dargestellt sind, in welchen die Erfindung ausgeführt werden kann.

**[0009]** Die **Fig. 1** und **Fig. 2** zeigen einen vertikalen Querschnitt eines Abschnitts eines Halbleiter-Bauelements, beispielsweise eines Leistungshalbleiter-Bauelements. Das Halbleiter-Bauelement weist einen Halbleiterkörper 100 mit einer ersten Oberfläche 101 auf. Das Halbleiter-Bauelement weist weiterhin eine Kontaktelektrode 2 auf der ersten Oberfläche 101 und benachbart zu dem Halbleiterkörper 100 auf.

**[0010]** Gemäß einer Ausführungsform weist die Kontaktelektrode 2 wenigstens eines der folgenden auf: Aluminium, Titan, Kupfer, eine Aluminiumlegierung, eine Kupferlegierung, eine Aluminium-Kupfer-Legierung, wie beispielsweise AlCu oder AlSiCu. Die Kontaktelektrode 2 kann, wie in **Fig. 1** dargestellt, eine Schicht aufweisen. Gemäß einer weiteren, in **Fig. 2** dargestellten, Ausführungsform weist die Kontaktelektrode 2 eine erste Teilschicht 21, welche die erste Oberfläche 101 kontaktiert, und eine zweite Teilschicht auf der ersten Teilschicht 21 auf. Gemäß einer Ausführungsform ist die erste Teilschicht 21 eine Titan(Ti)-Schicht und die zweite Teilschicht 22 ist eine Aluminiumschicht, eine Kupferschicht, eine Schicht aus einer Aluminiumlegierung, eine Schicht aus einer Kupferlegierung oder eine Schicht aus einer Aluminium-Kupfer-Legierung. Bezugnehmend auf die **Fig. 2** kann die erste Teilschicht eine größere Fläche aufweisen als die zweite Teilschicht 22, so dass die erste Teilschicht 21, die unterhalb der zweiten Teilschicht 22 angeordnet ist, unter der zweiten Teilschicht 22 herausragt. Die Passivierungsschicht 3 überlappt mit beiden Teilschichten 21, 22.

**[0011]** Die Kontaktelektrode 2 bedeckt die erste Oberfläche 101 nicht komplett. Eine Passivierungsschicht 3 wird in den Bereichen der ersten Oberfläche 101 gebildet, welche benachbart zu der Kontaktelektrode 2 liegen und welche nicht von der Kontaktelektrode 2 bedeckt sind. Die Passivierungsschicht schützt die erste Oberfläche 101 des Halbleiterkörpers 100 und sorgt für eine Langzeit-Stabilität des Halbleiter-Bauelements. Insbesondere verhindert oder zumindest reduziert die Passivierungs-

schicht 3 Degradierungsprozesse, welche auftreten können, wenn ein Halbleiter-Bauelement in einer feuchten Atmosphäre betrieben wird. Solche Degradierungsprozesse können insbesondere in solchen Gebieten der ersten Oberfläche 101 auftreten, in welchen hohe elektrische Felder auftreten können.

**[0012]** Bezugnehmend auf **Fig. 1** weist der Halbleiterkörper 100 eine Kantenfläche 102 auf. Die Kantenfläche 102 begrenzt den Halbleiterkörper 100 in lateralen Richtungen, d.h. in Richtungen, welche im Wesentlichen parallel zu der ersten Oberfläche 101 liegen. Die Kantenfläche kann im Wesentlichen senkrecht zu der ersten Oberfläche 101 angeordnet sein. Gemäß einem Beispiel (in **Fig. 1** mit gestrichelten Linien dargestellt) ist die Kantenfläche 102 jedoch relativ zu der vertikalen Richtung des Halbleiterkörpers 100 abgeschrägt sein (die vertikale Richtung ist eine Richtung, welche im Wesentlichen senkrecht zu der ersten Oberfläche 101 liegt).

**[0013]** Bezugnehmend auf **Fig. 1** überlappt die Passivierungsschicht 3 mit der Kontaktelektrode 2, bedeckt die Kontaktelektrode 2 jedoch nicht vollständig. Gemäß einem Beispiel ist die Überlappung d0 zwischen 100 Mikrometern ( $\mu\text{m}$ ) und 200 Mikrometern. Die „Überlappung“ d0 ist diejenige Strecke, welche die Passivierungsschicht 3 mit der Kontaktelektrode überlappt, in einer Richtung welche sich von der Außenkante der Kontaktelektrode 2 weg erstreckt. In den Gebieten der Kontaktelektrode 2, welche nicht von der Passivierungsschicht 3 bedeckt sind, kann die Kontaktelektrode durch Bonddrähte (nicht dargestellt) oder Ähnlichem kontaktiert werden.

**[0014]** Die in **Fig. 1** dargestellte grundsätzliche Bauteilstruktur mit einem Halbleiterkörper 100, einer Kontaktelektrode 2 auf der ersten Oberfläche 101 des Halbleiterkörpers 100 und einer Passivierungsschicht 3 kann in verschiedenen Halbleiter-Bauelementen implementiert werden und ist nicht auf eine bestimmte Art von Halbleiter-Bauelement beschränkt. Daher ist in **Fig. 1** nur der Halbleiterkörper 100, jedoch nicht in dem Halbleiterkörper 100 implementierte Bauteilgebiete dargestellt. Einige Beispiele spezifischer Halbleiter-Bauelemente und spezifischer Bauteilstrukturen in dem Halbleiterkörper 100 werden weiter unten unter Bezugnahme auf die **Fig. 6** bis **Fig. 8** beschrieben.

**[0015]** Bezugnehmend auf **Fig. 1** weist die Passivierungsschicht 3 einen Schichtstapel auf. Der Schichtstapel weist eine erste Schicht 31 mit einem Oxid auf der ersten Oberfläche und eine zweite Schicht 32 mit einem Nitrit auf der ersten Schicht auf. Gemäß einer Ausführungsform weist der Schichtstapel weiterhin eine dritte Schicht 33 mit einem Iridium in der zweiten Schicht auf.

**[0016]** Gemäß einer Ausführungsform beträgt eine Dicke  $d_1$  der ersten Schicht 31 auf der ersten Oberfläche 101 wenigstens 1,5 Mikrometer ( $\mu\text{m}$ ) oder wenigstens 2,7 Mikrometer. Gemäß einer Ausführungsform beträgt eine maximale Dicke der ersten Schicht 31 auf der ersten Oberfläche 3,5 Mikrometer. Eine Dicke der ersten Schicht 31 in solchen Gebieten, in welchen sie mit der Kontaktelektrode überlappt, kann im Wesentlichen der Dicke oberhalb der ersten Oberfläche 101 entsprechen.

**[0017]** Gemäß einer Ausführungsform beträgt eine Dicke  $d_2$  der zweiten Schicht 32 wenigstens 0,6 Mikrometer ( $\mu\text{m}$ ) oder wenigstens 0,8 Mikrometer. Gemäß einer Ausführungsform beträgt eine maximale Dicke der zweiten Schicht 32 1 Mikrometer. Die Dicke der zweiten Schicht 32 in solchen Gebieten in welchen sie mit der Kontaktelektrode 2 überlappt kann im Wesentlichen der Dicke in solchen Gebieten in welchen sie nicht mit der Kontaktelektrode überlappt entsprechen.

**[0018]** Gemäß einer Ausführungsform beträgt eine Dicke  $d_3$  der dritten Schicht 33 wenigstens 7 Mikrometer ( $\mu\text{m}$ ), 8 Mikrometer, 20 Mikrometer oder 30 Mikrometer. Gemäß einer Ausführungsform beträgt eine maximale Dicke der dritten Schicht 33 50 Mikrometer. Die Dicke der dritten Schicht 33 in solchen Gebieten, in welchen sie mit der Kontaktelektrode 2 überlappt, kann im Wesentlichen der Dicke in solchen Gebieten, in welchen sie nicht mit der Kontaktelektrode überlappt, entsprechen.

**[0019]** Der Halbleiterkörper 100 kann ein herkömmliches Halbleitermaterial aufweisen, wie beispielsweise ein Halbleitermaterial aus der IV. Hauptgruppe, ein IV-IV Verbindungs-Halbleitermaterial, ein III-V Halbleitermaterial, oder ein II-VI Halbleitermaterial. Beispiele eines Halbleitermaterials aus der IV. Hauptgruppe sind beispielsweise Silizium (Si) und Germanium (Ge). Beispiele eines IV-IV Verbindungs-Halbleitermaterials sind beispielsweise Siliziumcarbid ( $\text{SiC}$ ) und Silizium-Germanium ( $\text{SiGe}$ ). Beispiele eines III-V Halbleiter-Verbindungsmaterials sind beispielsweise Galliumarsenid ( $\text{GaAs}$ ), Galliumnitrid ( $\text{GaN}$ ), Galliumphosphid ( $\text{GaP}$ ), Indiumphosphid ( $\text{InP}$ ), Indiumgalliumnitrid ( $\text{InGaN}$ ) und Indiumgalliumarsenid ( $\text{InGaAs}$ ). Beispiele für ein II-VI Halbleiter-Verbindungsmaterial sind beispielsweise Cadmiumtellurid ( $\text{CdTe}$ ), Quecksilber-Cadmium-Tellurid ( $\text{CdHgTe}$ ) und Cadmium-Magnesium-Tellurid ( $\text{CdMgTe}$ ). Gemäß einer Ausführungsform ist das Oxid in der ersten Schicht 31 ein Siliziumoxid (Siliziumdioxid  $\text{SiO}_2$ ) und das Nitrid in der zweiten Schicht 32 ist Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ). Diese Wahl des Oxids und des Nitrids kann unabhängig von der Art des Halbleitermaterials des Halbleiterkörpers 100 erfolgen.

**[0020]** Die erste Schicht 31 kann zwei oder mehr Teilschichten aufweisen, wobei jede Teilschicht ein Oxid aufweist. Gemäß einer Ausführungsform weist die erste Schicht wenigstens eine der folgenden Oxidschichten auf: ein undotiertes Silikatglas (USG, engl. undoped silicate glass), ein phosphor-dotiertes Silikatglas (PSG, engl. phosphorous doped silicate glass), ein bordotiertes Silikatglas (BSG, engl. boron doped silicate glass) oder ein bor- und phosphor-dotiertes Silikatglas (BPSG, engl. boron and phosphorous doped silicate glass). Gemäß einer Ausführungsform weist die erste Schicht 31 nur eines dieser Gläser auf. Gemäß einer weiteren Ausführungsform weist die erste Schicht 31 zwei oder mehr Teilschichten mit verschiedenen Oxiden auf. Gemäß einer Ausführungsform ist die erste Schicht 31 eine abgeschiedene Schicht, wie beispielsweise eine PECVD- (Plasma unterstützte chemische Gasphasenabscheidung, engl.: Plasma Enhanced Chemical Vapor Deposition) Schicht. Gemäß einer weiteren Ausführungsform ist die erste Schicht 31 eine aufgesputterte Schicht, also eine Schicht, welche in einem Sputterprozess aufgebracht wurde.

**[0021]** In lateraler Richtung kann die Passivierungsschicht 3 entfernt von der Kantenfläche 102 enden (wie in **Fig. 1** dargestellt). Gemäß einem Beispiel (in **Fig. 1** in gestrichelten Linien dargestellt) kann sich die Passivierungsschicht 3 in lateraler Richtung jedoch bis zu der Kantenfläche 102 erstrecken.

**[0022]** Gemäß einer Ausführungsform ist die zweite Schicht 32 eine PECVD-Siliziumnitrid-Schicht. Gemäß einer weiteren Ausführungsform ist die zweite Schicht 32 eine aufgesputterte Schicht.

**[0023]** Bezugnehmend auf die **Fig. 1** und **Fig. 2** kann die Passivierungsschicht 3 Bereiche der ersten Oberfläche 101 unbedeckt lassen. Beispielsweise in einem Halbleiterkörper, in welchem ein Leistungshalbleiterbauelement und Niederspannungs-Halbleiterbauelemente integriert sind, kann die Passivierungsschicht solche Bereiche der ersten Oberfläche 101 unbedeckt lassen, unter welchen die Niederspannungs-Bauelemente integriert sind. Dies ist jedoch nur ein Beispiel. Gemäß einem weiteren Beispiel (in den **Fig. 1** und **Fig. 2** in gestrichelten Linien dargestellt) bedeckt die Passivierungsschicht 3 die erste Oberfläche 101 auf dem Halbleiterkörper 100 komplett zwischen der Kontaktelektrode 2 und der Kantenfläche 102 des Halbleiterkörpers 100.

**[0024]** In jedem dieser Beispiele kann die Passivierungsschicht 3 jedoch die Kontaktelektrode 21 auf der ersten Oberfläche 101 komplett umgeben. Dies ist in **Fig. 3** dargestellt, welche eine Draufsicht auf den gesamten Halbleiterkörper 100 darstellt (wohingegen die **Fig. 1** und **Fig. 2** nur einen Bereich des Halbleiterkörpers 100, nahe der Kantenfläche 102 darstellen).

**[0025]** Fig. 4 zeigt einen vertikalen Querschnitt eines Bereiches eines Halbleiterbauelementes gemäß einer weiteren Ausführungsform. In den in den Fig. 1 und Fig. 2 dargestellten Ausführungsformen sind die Kanten der ersten Schicht 31, der zweiten Schicht 32 und der dritten Schicht 33 im Wesentlichen in einer Linie zueinander ausgerichtet. In der in Fig. 4 dargestellten Ausführungsform sind die Kanten 33<sub>1</sub>, 33<sub>2</sub> der dritten Schicht 33 entfernt zu den Kanten 32<sub>1</sub>, 32<sub>2</sub> der zweiten Schicht 32 angeordnet. Die Kanten der ersten Schicht 31 und der zweiten Schicht 32 sind in dieser Ausführungsform im Wesentlichen in einer Linie zueinander angeordnet.

**[0026]** In Fig. 4 bezeichnen die Bezugszeichen 32<sub>1</sub>, 33<sub>1</sub> innenliegende Kanten der zweiten Schicht 32 bzw. der dritten Schicht 33, also Kanten, welche von der Kontaktelektrode 2 wegzeigen. Bezugnehmend auf Fig. 4 ist die innenliegende Kante 33<sub>1</sub> der dritten Schicht 33 entfernt zu der innenliegenden Kante 32<sub>1</sub> der zweiten Schicht 32 angeordnet, so dass die zweite Schicht 32 in Richtung der Kontaktelektrode 2 unter der dritten Schicht 33 herausragt. D. h., dass die dritte Schicht 33 Bereiche der zweiten Schicht 32 zwischen der innenliegenden Kante 32<sub>1</sub> der zweiten Schicht 32 und der innenliegenden Kante 33<sub>1</sub> der dritten Schicht 33 nicht bedeckt. Weiterhin ist die außenliegende Kante 33<sub>2</sub> der dritten Schicht 33 entfernt von der außenliegenden Kante 32<sub>2</sub> der zweiten Schicht 32 angeordnet, so dass die zweite Schicht 32 in Richtung der Kantenfläche 102 unter der dritten Schicht 33 herausragt. D. h., dass die dritte Schicht 33 Gebiete der zweiten Schicht 32 zwischen der außenliegenden Kante 32<sub>2</sub> der zweiten Schicht 32 und der außenliegenden Kante 33<sub>2</sub> der dritten Schicht 33 nicht bedeckt. Eine Entfernung d4 zwischen der innenliegenden Kante 32<sub>1</sub> der zweiten Schicht 32 und der innenliegenden Kante 33<sub>1</sub> der dritten Schicht 33 beträgt beispielsweise zwischen 20 Mikrometer (µm) und 40 Mikrometer. Eine Entfernung d5 zwischen der außenliegenden Kante 32<sub>2</sub> der zweiten Schicht 32 und der außenliegenden Kante 33<sub>2</sub> der dritten Schicht 33 beträgt beispielsweise zwischen 20 Mikrometer (µm) und 40 Mikrometer.

**[0027]** Obwohl in der Ausführungsform in Fig. 4 ein Abstand zwischen den inneren Kanten 32<sub>1</sub>, 33<sub>1</sub> und den äußeren Kanten 32<sub>2</sub>, 33<sub>2</sub> der zweiten Schicht 32 und der dritten Schicht 33 dargestellt ist, ist dies lediglich ein Beispiel. Gemäß einer weiteren Ausführungsform ist nur eine entfernte Anordnung zwischen entweder den inneren Kanten 32<sub>1</sub>, 33<sub>1</sub> oder den außenliegenden Kanten 32<sub>2</sub>, 33<sub>2</sub> der zweiten Schicht 32 und der dritten Schicht 33 vorgesehen.

**[0028]** In der Passivierungsschicht 3 fungieren das Oxid mit der ersten Schicht 31 und das Nitrid mit der zweiten Schicht 32 als Feuchtigkeitsbarriere, welche solche Bereiche der ersten Oberfläche 101 und der Kontaktelektrode 2 vor Feuchtigkeit und Korrosion

schützt, welche von der Passivierungsschicht bedeckt sind. Korrosion der Kontaktelektrode 2 und/oder des Halbleiterkörpers 100 kann durch bewegliche Ionen hervorgerufen werden, welche sich entlang der Kanten der dritten, zweiten und ersten Schicht 33, 32, 31 zu der Kontaktelektrode 2 bzw. der ersten Oberfläche 101 hin bewegen. In der in Fig. 4 dargestellten Ausführungsform, in welcher ein Abstand zwischen den Kanten der zweiten Schicht 32 und der dritten Schicht 33 vorhanden ist, ist die Entfernung für solche beweglichen Ionen länger, welche sich entlang der Oberfläche der dritten Schicht 33 von der dritten Schicht zu der Kontaktelektrode 2 bzw. der ersten Oberfläche 101 hin bewegen. Diese größere Entfernung kann zusätzlich den Korrosionsschutz verbessern.

**[0029]** Bezugnehmend auf Fig. 5 kann das Halbleiterbauelement zusätzlich eine weiche Verkapselungsschicht 61 und ein Gehäuse 62 aufweisen. In Fig. 5 ist nur ein Teilbereich der weichen Verkapselungsschicht 61 und des Gehäuses dargestellt. Die weiche Verkapselungsschicht 61 füllt einen Abstand zwischen dem Halbleiter 100 mit der Kontaktelektrode 2 und der Passivierungsschicht 3 und dem Gehäuse 62. Das Gehäuse kann Öffnungen aufweisen, durch welche sich Kontaktstifte (in Fig. 5 nicht dargestellt) von außerhalb des Gehäuses ins Innere des Gehäuses erstrecken können. Solche Kontaktstifte erlauben eine Kontaktierung des Halbleiterbauelementes von Außen, d. h. von außerhalb des Gehäuses. Die weiche Verkapselungsschicht 61 weist beispielsweise Silikon oder ein Silikagel auf.

**[0030]** Das Gehäuse kann einen Boden, Seitenwände 62<sub>1</sub> und einen Deckel 62<sub>2</sub> aufweisen, wobei in Fig. 5 nur ein Bereich einer Seitenwand 62<sub>1</sub> und ein Bereich des Deckels 62<sub>2</sub> dargestellt sind. Der Boden (nicht dargestellt) kann ein Substrat aufweisen, wie beispielsweise ein DCB- (Direct Copper Bonding) Substrat oder ein PCB (Printed Circuit Board). Die Seitenwände 62<sub>1</sub> und der Deckel 62<sub>2</sub> können ein elektrisch isolierendes Plastikmaterial aufweisen. Die Seitenwände 62<sub>1</sub> und der Deckel 62<sub>2</sub> können als zwei separate Teile ausgebildet sein. Dies erlaubt es dem Halbleiterkörper 100 wie folgt in dem Gehäuse 62 verpackt zu werden. Zunächst wird ein offenes Gehäuse 62 bereitgestellt, also ein Gehäuse ohne Deckel. Dann wird der Halbleiterkörper 100 in das Gehäuse eingebracht, das offene Gehäuse wird mit dem weichen Verkapselungsmaterial 61 gefüllt und das Gehäuse wird verschlossen indem der Deckel 62<sub>2</sub> auf den Seitenwänden 62<sub>1</sub> befestigt wird.

**[0031]** Die oben beschriebene Struktur mit dem Halbleiterkörper 100, der Kontaktelektrode 2 und der Passivierungsschicht 3 kann in einer Vielzahl von verschiedenen Halbleiterbauelementen verwendet werden. Fig. 6 zeigt einen vertikalen Querschnitt

eines Halbleiterbauelementes, welches die mit Bezug auf **Fig. 1** beschriebene Struktur aufweist (obwohl eine der Strukturen, welche unter Bezugnahme auf die **Fig. 2** und **Fig. 4** beschrieben wurde, ebenfalls verwendet werden kann), und welches einen pn-Übergang in dem Halbleiterkörper 100 aufweist. Der pn-Übergang wird zwischen einem dotierten ersten Bauelementgebiet 11 eines ersten Dotierungstyps und einem dotierten zweiten Bauelementgebiet 12 eines zweiten Dotierungstyps, welcher komplementär zu dem ersten Dotierungstyp ist, gebildet. Das zweite Bauelementgebiet 12 ist elektrisch mit der Kontaktelektrode 2 verbunden. Das erste Bauelementgebiet 11 kann sich bis an die Kantenfläche 102 erstrecken. Weiterhin kann sich das erste Bauelementgebiet 11 unterhalb der Passivierungsschicht 3 bis zu der ersten Oberfläche 101 erstrecken. Das Gebiet des Halbleiterkörpers 100, in welchem der pn-Übergang gebildet ist, kann als inneres Gebiet 110 bezeichnet werden und das Gebiet, welches benachbart zu dem inneren Gebiet 110 angeordnet ist, kann als äußeres Gebiet oder Randgebiet 120 bezeichnet werden. Das Randgebiet 120 kann sich von dem inneren Gebiet 110 bis zu der Kantenfläche 102 des Halbleiterkörpers 100 erstrecken. Dies ist jedoch lediglich ein Beispiel. Gemäß einer weiteren Ausführungsform (nicht dargestellt) können weitere Halbleitergebiete an das Randgebiet 120 angrenzen, wie beispielsweise Halbleitergebiete, in welchen Niederspannungs-Halbleiterbauelemente oder Logikbausteine implementiert sind.

**[0032]** Bezugnehmend auf **Fig. 6** kann sich der pn-Übergang bis zu der Oberfläche 101 erstrecken und von der Passivierungsschicht 3 bedeckt sein. D. h., dass eine Randfläche der Kontaktelektrode 2 entfernt zu der Position angeordnet ist, an welcher sich der pn-Übergang bis zu der ersten Oberfläche 101 erstreckt.

**[0033]** Optional weist das Halbleiterbauelement eine Randabschluss-Struktur in dem Randbereich 120 unterhalb der Passivierungsschicht 3 auf. Die Randabschluss-Struktur kann ein JTE- (Junction Termination Extension) Gebiet 13 (wie dargestellt) des zweiten Dotierungstyps aufweisen. Weiterhin kann die Randabschluss-Struktur ein Kanalstoppgebiet 14 (engl.: Channel Stopper Region) des ersten Dotierungstyps aufweisen, welches höher dotiert ist als das erste Bauteilgebiet 11. Das JTE-Gebiet 13 und das Kanalstoppgebiet 14 sind beide benachbart zu der ersten Oberfläche 101 angeordnet und sind in horizontaler (lateral) Richtung des Halbleiterkörpers 100 voneinander beabstandet. Gemäß einer Ausführungsform bedeckt die Passivierungsschicht 3 die Randabschluss-Struktur vollständig. D. h. in der in **Fig. 6** dargestellten Ausführungsform, dass die Passivierungsschicht 3 das JTE-Gebiet 13 und das Kanalstoppgebiet 14 bedeckt. Andere Arten von Randabschluss-Strukturen können zusätzlich

oder anstatt des JTE-Gebietes 13 Verwendung finden, wie beispielsweise Randabschluss-Strukturen mit Feldringen und/oder Feldplatten.

**[0034]** Das in **Fig. 6** dargestellte Halbleiterbauelement, wie auch die im Folgenden beschriebenen Halbleiterbauelemente, können eine weiche Verkapselungsschicht 61 und ein Gehäuse aufweisen, wie mit Bezugnahme auf **Fig. 5** beschrieben. Dies ist in **Fig. 6** und den folgenden Figuren jedoch nicht dargestellt.

**[0035]** Die oben beschriebene Passivierungsschicht 3 ist dazu geeignet, in Hochspannungs-Halbleiterbauelementen verwendet zu werden, wie beispielsweise Halbleiterbauelemente mit einer Spannungssperreffestigkeit von mehreren 100V oder mehreren Kilovolt (kV). Die Passivierungsschicht 3 ist insbesondere dazu geeignet, in Halbleiterbauelementen mit einer Spannungssperreffestigkeit von 1 kV und mehr verwendet zu werden.

**[0036]** Die in **Fig. 6** dargestellte Bauteilstruktur, mit dem Halbleiterkörper 100, einer Kontaktelektrode 2, welche eines der Bauteilgebiete 11, 12 kontaktiert, und einer Passivierungsschicht 3 kann in unterschiedlichen Halbleiterbauelementen verwendet werden. Vier verschiedene Beispiele werden unter Bezugnahme auf die **Fig. 7** bis **Fig. 10** im Weiteren beschrieben.

**[0037]** Bezugnehmend auf **Fig. 7** kann das Halbleiterbauelement als bipolare Diode ausgebildet sein, insbesondere als eine Leistungsdiode. **Fig. 7** zeigt einen vertikalen Querschnitt einer Leistungsdiode mit einer Bauteilstruktur, wie sie mit Bezugnahme auf **Fig. 6** beschrieben wurde. Die Passivierungsschicht 3 ist jedoch nicht im Detail dargestellt (d.h. die einzelnen Schichten des Schichtstapels sind nicht dargestellt) und die optionale Randabschluss-Struktur ist nicht dargestellt. Die Passivierungsschicht 3 kann gemäß einer der vorstehend beschriebenen Ausführungsformen implementiert sein.

**[0038]** In der in **Fig. 7** dargestellten Diode bildet das erste Bauteilgebiet 11 ein Basisgebiet der Diode und das zweite Bauteilgebiet 12 bildet einen ersten Emitter, welcher entweder ein n-Emitter oder ein p-Emitter der Diode ist. Gemäß einer Ausführungsform ist das Basisgebiet 11 n-dotiert, so dass das zweite Bauteilgebiet 12 p-dotiert ist und einen p-Emitter (Anode) der Diode bildet. Die Diode weist weiterhin ein zweites Emittergebiet 15 des ersten Dotierungstyps auf, welches höher dotiert ist als das Basisgebiet 11 und welches benachbart zu dem Basisgebiet 11 angeordnet ist. Die Kontaktelektrode 21 ist elektrisch (ohmsch) mit dem ersten Emitter 12 und mit einem ersten Anschluss 41 der Diode verbunden. Der erste Anschluss 41 bildet einen Anodenanschluss, wenn der erste Emitter ein p-Emitter ist. Der zweite Emitter

der Diode ist elektrisch mit einem zweiten Anschluss 42 verbunden. Der zweite Anschluss 42 ist ein Kathodenanschluss, wenn der zweite Emitter ein n-Emitter ist.

**[0039]** Gemäß einer weiteren in **Fig. 8** dargestellten Ausführungsform, ist das Halbleiterbauelement als Schottky-Diode ausgebildet. Die Bauteilstruktur der Schottky-Diode entspricht im Wesentlichen der Bauteilstruktur der bipolaren Diode, mit dem Unterschied, dass der erste Emitter 12 fehlt, die Kontaktelektrode 2 ein Schottky-Metall aufweist und das Basisgebiet 11 kontaktiert. Beispiele für ein Schottky-Metall sind beispielsweise Titan (Ti), Titanitrid, Molybden (Mo) und Molybdennitrid. Gemäß einer Ausführungsform weist die Kontaktelektrode 2 zwei Teilschichten 21, 22 auf, wie in **Fig. 2** dargestellt, von welchen wenigstens die erste Teilschicht 21, welche das Basisgebiet 11 kontaktiert, ein Schottky-Metall aufweist. Die zweite Teilschicht kann Aluminium, Kupfer oder eine Aluminium- und/oder Kupfer-Legierung aufweisen.

**[0040]** Bezugnehmend auf **Fig. 8** kann sich das JTE-Gebiet 13 des zweiten Dotierungstyps, komplementär zu dem Dotierungstyp des Basisgebiets 11, bis unterhalb der Kontaktelektrode erstrecken und kann elektrisch mit der Kontaktelektrode verbunden sein. Gemäß einer Ausführungsform bildet ein Kontaktgebiet 16 des zweiten Dotierungstyps, welches höher dotiert ist als das JTE-Gebiet 13, einen Ohm'schen Kontakt zwischen der Kontaktelektrode 2 und dem JTE-Gebiet 13.

**[0041]** **Fig. 9** zeigt einen vertikalen Querschnitt einer Ausführungsform eines MOS-Transistors. In diesem MOS-Transistor ist das erste Bauteilgebiet 11 ein Driftgebiet und das zweite Bauteilgebiet 12 ein Bodygebiet. Der MOS-Transistor weist eine Vielzahl von Transistorzellen 50 auf. Jede Transistorzelle weist ein Sourcegebiet 51, welches durch das Bodygebiet 12 von dem Driftgebiet 11 getrennt wird, eine Gateelektrode 52 und ein Gatedielektrikum 53 auf, welches die Gateelektrode 52 dielektrisch von dem Sourcegebiet 51, dem Bodygebiet 12 und dem Driftgebiet 11 isoliert. Die einzelnen Transistorzellen 50 teilen sich das Driftgebiet 11 und das Draingebiet 14. Die Gateelektroden 52 sind elektrisch mit einer Gateelektrode 43 verbunden und werden durch die Isolationsschicht 54 elektrisch von der Kontaktelektrode isoliert. Die Kontaktelektrode 2 bildet eine Sourceelektrode, ist mit den Source- und Bodygebieten 51, 52 verbunden und ist mit dem ersten Anschluss 41 verbunden, welcher einen Sourceanschluss bildet. Das Draingebiet 14 ist mit einem zweiten Anschluss 42 verbunden, welcher einen Drainanschluss bildet.

**[0042]** Der MOS-Transistor kann als MOSFET ausgebildet sein. In diesem Fall weist das Draingebiet 14

denselben Dotierungstyp auf wie das Driftgebiet 11, ist jedoch höher dotiert. Alternativ kann der MOS-Transistor als IGBT ausgebildet sein. In diesem Fall ist das Draingebiet 14 komplementär zu dem Driftgebiet 11 dotiert. Der MOS-Transistor kann als n-Typ oder als p-Typ Transistor ausgebildet sein. In einem n-Typ Transistor sind das Driftgebiet 11 und das Sourcegebiet 51 n-dotiert, während das Bodygebiet 12 p-dotiert ist. In einem p-Typ Transistor sind das Driftgebiet 11 und das Sourcegebiet 51 p-dotiert, während das Bodygebiet 12 n-dotiert ist.

**[0043]** **Fig. 10** zeigt einen vertikalen Querschnitt einer Ausführungsform eines JFET (Sperrschicht-Feldeffekttransistor, engl.: Junction Field-Effect Transistor). **Fig. 10** zeigt einen Abschnitt, welcher einen Bereich des inneren Gebietes 110 und einen Bereich des Randgebietes 120 im Bereich der ersten Oberfläche 101 aufweist. Der JFET unterscheidet sich von dem mit Bezug auf **Fig. 9** beschriebenen MOS-Transistor dadurch, dass das Sourcegebiet 51, das Bodygebiet 12, das Driftgebiet 11 und das Draingebiet (in **Fig. 10** nicht dargestellt) denselben Dotierungstyp aufweisen, welcher in einem n-JFET ein n-Typ und in einem p-JFET ein p-Typ ist. Weiterhin weist der JFET anstatt einer Gateelektrode ein dotiertes Gategebiet auf, welches einen Dotierungstyp komplementär zu dem Dotierungstyp des Bodygebiets 12 aufweist. Das Gategebiet 52' ist benachbart zu dem Bodygebiet 12 angeordnet und bildet mit dieser einen pn-Übergang. Die Kontaktelektrode 2 ist elektrisch mit dem Sourcegebiet 51 verbunden und ist durch eine Isolationsschicht 54 elektrisch von dem Gategebiet 52' isoliert. Die Kontaktelektrode 2 bildet eine Sourceelektrode des JFET und ist mit einem Sourceanschluss verbunden und das Gategebiet 52' ist elektrisch mit einem Gateanschluss 43 verbunden. Wie auch der MOS-Transistor kann der JFET eine Vielzahl an Transistorzellen 50 aufweisen, welche jeweils ein Sourcegebiet 51, ein Bodygebiet 12 und ein Gategebiet 52' aufweisen, und welche sich das Driftgebiet 11 und das Draingebiet teilen.

**[0044]** Der JFET kann durch Anlegen eines Ansteuerpotentials an das Gategebiet 52' ausgeschaltet werden, so dass sich ein Verarmungsgebiet von dem pn-Übergang zwischen dem Bodygebiet 12 und dem Gategebiet 52' in das Bodygebiet 12 erstreckt und das Bodygebiet ausräumt, um einen leitenden Kanal zwischen dem Sourcegebiet 52 und dem Driftgebiet 11 zu unterbrechen. Wie dargestellt, kann das Bodygebiet 12 zwischen dem Gategebiet 52' und einem dotierten Gebiet desselben Dotierungstyps wie das Gategebiet 52' angeordnet sein und elektrisch mit der Kontaktelektrode (Sourceelektrode) 2 verbunden sein. Alternativ (nicht dargestellt) ist das Bodygebiet 12 zwischen zwei benachbarten Gategebieten angeordnet.

**[0045]** Die mit Bezug auf die **Fig. 1** bis **Fig. 5** erläuterte Bauteilstruktur ist nicht auf die Verwendung in einer bipolaren Diode, einer Schottky-Diode, einem MOS-Transistor oder einem JFET beschränkt, sondern kann auch in anderen Arten von Halbleiterbauelementen implementiert werden, wie beispielsweise BJTs (Bipolartransistor, engl.: Bipolar Junction Transistor).

**[0046]** Die **Fig. 11A** bis **Fig. 11C** zeigen ein erstes Beispiel eines Verfahrens zum Herstellen einer Bauteilstruktur, wie sie unter Bezugnahme auf die **Fig. 1** und **Fig. 2** obenstehend erläutert wurde. Die **Fig. 11A** bis **Fig. 11C** zeigen schematisch vertikale Querschnitte des Halbleiterkörpers 100 in unterschiedlichen Phasen des Herstellungsprozesses.

**[0047]** Bezugnehmend auf **Fig. 11A** weist das Verfahren das Ausbilden einer ersten Vorläuferschicht 31' (Precursor Layer) auf der Kontaktelektrode 2 und denjenigen Abschnitten der ersten Oberfläche 101, welche nicht von der Kontaktelektrode 2 bedeckt sind, auf. Die erste Vorläuferschicht 31' kann die Kontaktelektrode 2 und diejenigen Gebiete der ersten Oberfläche 101, welche nicht von der Kontaktelektrode 2 bedeckt sind, vollständig bedecken. Nach einem Ätzprozess, welcher unter Bezugnahme auf die **Fig. 11B** und **Fig. 11C** beschrieben wird, bildet die erste Vorläuferschicht 31' die erste Schicht 31. Gemäß einer Ausführungsform weist das Ausbilden der ersten Vorläuferschicht 31' einen PECVD-Prozess auf. Alternativ weist das Ausbilden der ersten Vorläuferschicht 31' einen Sputterprozess auf. Wie oben erläutert kann die erste Schicht 31 zwei oder mehr Teilschichten mit unterschiedlichen Materialzusammensetzungen aufweisen. Daher kann die erste Vorläuferschicht 31' zwei oder mehr Teilschichten mit unterschiedlichen Materialzusammensetzungen aufweisen. Diese Teilschichten können Eine über der Anderen hergestellt werden.

**[0048]** Vor dem Ausbilden der ersten Vorläuferschicht 31' kann eine Oberfläche der Kontaktelektrode 2 und/oder der ersten Oberfläche 101 des Halbleiterkörpers 100 beispielsweise durch Sputtern aufgeraut werden, um die Haftung der ersten Schicht mit der Kontaktelektrode 2 bzw. der ersten Oberfläche zu verbessern.

**[0049]** Bezugnehmend auf **Fig. 11A** weist das Verfahren weiterhin das Ausbilden einer zweiten Vorläuferschicht 32' auf der ersten Vorläuferschicht 31' auf. Die zweite Vorläuferschicht 32' kann die erste Vorläuferschicht 31' vollständig bedecken. Gemäß einer Ausführungsform weist das Ausbilden der zweiten Vorläuferschicht 32' einen PECVD-Prozess auf. Alternativ weist das Ausbilden der zweiten Vorläuferschicht 32' einen Sputterprozess auf.

**[0050]** Bezugnehmend auf **Fig. 11B** weist das Verfahren weiterhin das Ausbilden der dritten Schicht 33 auf der zweiten Vorläuferschicht 32' auf. Das Ausbilden der dritten Schicht 33 kann das Ausbilden einer dritten Vorläuferschicht (nicht dargestellt), welche die zweite Vorläuferschicht 32' vollständig bedeckt, sowie das Mustern (engl.: Patterning) der dritten Vorläuferschicht auf, um die dritte Schicht 33 zu bilden. Das Mustern der dritten Vorläuferschicht kann einen photolithographischen Prozess aufweisen, mit welchem die dritte Vorläuferschicht (wie eine herkömmliche Photoresist-Schicht) unter Verwendung einer Lithographiemaske belichtet und entwickelt wird. Weiterhin werden belichtete oder nicht belichtete Bereiche (abhängig von der Art der Entwicklung) entfernt, um die dritte Schicht 33 zu bilden.

**[0051]** Die dritte Schicht 33 wird als eine Ätzmaske zum Ätzen der ersten und der zweiten Vorläuferschicht 31', 32' verwendet, um die erste und die zweite Schicht zu bilden. Das Ergebnis dieses Ätzprozesses ist in **Fig. 11C** dargestellt.

**[0052]** Die dritte Vorläuferschicht (in **Fig. 11B** nicht dargestellt) kann eine nicht-ausgehärtete Imidschicht sein, welche wie oben beschrieben gemustert werden kann. Nach dem Mustern der dritten Vorläuferschicht und vor der Verwendung der dritten Schicht 33 als Ätzmaske zum Ätzen der ersten und der zweiten Vorläuferschicht 31', 32' wird die dritte Schicht 33 gemäß einer Ausführungsform ausgehärtet. Das Aushärten macht die dritte Schicht 33 hart und robust genug um als Ätzmaske zu fungieren. Das Aushärten kann einen Temperschritt bei Temperaturen zwischen 300°C und 400°C aufweisen.

**[0053]** Nachdem mit Bezug auf die **Fig. 11A** bis **Fig. 11C** beschriebenen Prozess werden die Kanten der ersten Schicht 31, der zweiten Schicht 32 und der dritten Schicht 33 in einer Linie zueinander ausgebildet. Eine Ausführungsform eines Verfahrens, welche dazu verwendet wird, die Kanten der dritten Schicht entfernt von den Kanten der zweiten Schicht 32 auszubilden, wird unter Bezugnahme auf die **Fig. 12A** bis **Fig. 12B** im Weiteren beschrieben.

**[0054]** Dieses Verfahren unterscheidet sich von dem mit Bezug auf die **Fig. 11A** bis **Fig. 11C** beschriebenen Verfahren dadurch, dass das Mustern der ersten und der zweiten Vorläuferschicht 31', 32' zum Ausbilden der ersten und der zweiten Schicht 31, 32 eine Ätzmaske 202 einschließt, welche nach dem Ausbilden der ersten und der zweiten Schicht 31, 32 vollständig entfernt wird. Diese Ätzmaske ist in **Fig. 12A** dargestellt.

**[0055]** Bezugnehmend auf **Fig. 12B** wird die dritte Vorläuferschicht 33' nach dem Entfernen der Ätzmaske 202 auf der zweiten Schicht 32 und auf solchen Bereichen der Kontaktelektrode 2 und der ers-



ten Oberfläche 101 ausgebildet, welche nicht von der ersten und der zweiten Schicht 31, 32 bedeckt sind. Gemäß einer Ausführungsform ist die dritte Vorläuferschicht 33' eine nicht-ausgehärtete Imidschicht. Das Verfahren weist weiterhin das Mustern der dritten Vorläuferschicht 33' auf. Das Mustern der dritten Vorläuferschicht 33' kann einen Lithographieprozess aufweisen, wie mit Bezug auf **Fig. 11B** beschrieben. Aufgrund dieses Prozesses kann die dritte Vorläuferschicht 33' unabhängig von der ersten und der zweiten Schicht 31, 32 gemustert werden, so dass die dritte Schicht 33 derart hergestellt wird, dass ihre inneren und äußeren Kanten entfernt zu den inneren und den äußeren Kanten der zweiten Schicht 32 angeordnet sind, wie mit Bezug auf **Fig. 4** erläutert. Die dritte Schicht 33 kann nach dem Lithographieprozess, welcher die dritte Vorläuferschicht 33 mustert, ausgehärtet werden.

**[0056]** Bezugnehmend auf **Fig. 5** kann das Verfahren weiterhin das Ausbilden des Gehäuses 62 und das Auffüllen des Hohlraumes in dem Gehäuse 62 mit der weichen Verkapselungsschicht 61 aufweisen.

**[0057]** Es sollte erwähnt werden, dass Merkmale welche mit Bezug auf eine bestimmte Figur erläutert wurden, mit Merkmalen anderer Figuren kombiniert werden können, auch wenn dies nicht explizit erwähnt wurde. Weiterhin können die Verfahren der Erfindung rein Software-implementiert erreicht werden, unter Verwendung geeigneter Prozessoranweisungen, oder in hybriden Implementierungen, welche eine Kombination aus Hardwarelogik und Softwarelogik nutzen, um dieselben Ergebnisse zu erzielen.

### Patentansprüche

1. Halbleiterbauelement mit einem Halbleiterkörper (100) mit einer ersten Oberfläche (101); einer Kontaktelektrode (2) auf der ersten Oberfläche (101); und einer Passivierungsschicht (3), die auf der ersten Oberfläche (101) benachbart zu der Kontaktelektrode (2) angeordnet ist und die die Kontaktelektrode (2) teilweise überlappt, wobei die Passivierungsschicht (3) einen Schichtstapel mit einer ersten Schicht (31) auf der ersten Oberfläche (101), einer zweiten Schicht (32) auf der ersten Schicht (31) und einer dritten Schicht (33) auf der zweiten Schicht (32) aufweist, wobei die erste Schicht (31) ein Oxid aufweist, die zweite Schicht (32) ein Nitrid aufweist und die dritte Schicht (33) ein Imid aufweist, wobei die zweite Schicht (32) und die dritte Schicht (33) jeweils eine innere Kante (32<sub>1</sub>, 33<sub>1</sub>) und eine äußere Kante (32<sub>2</sub>, 33<sub>2</sub>) aufweisen, wobei die innere Kante (33<sub>1</sub>) der dritten Schicht (33) entfernt zu der inneren Kante (32<sub>1</sub>) der zweiten

Schicht (32) angeordnet ist und wobei die äußere Kante (33<sub>2</sub>) der dritten Schicht (33) entfernt zu der äußeren Kante (32<sub>2</sub>) der zweiten Schicht (32) angeordnet ist.

2. Halbleiterbauelement gemäß Anspruch 1, wobei eine Dicke (d1) der ersten Schicht (31) wenigstens 1,5 Mikrometer beträgt, und wobei eine Dicke (d2) der zweiten Schicht (32) wenigstens 0,6 Mikrometer beträgt.

3. Halbleiterbauelement gemäß Anspruch 1 oder 2, wobei der Halbleiterkörper (100) wenigstens eines aus Silizium, Siliziumcarbid Galliumarsenid Galliumnitrid Galliumphosphid Indiumphosphid Indiumgalliumnitrid Indiumgalliumarsenid Cadmiumtellurid Cadmium-Quecksilber-Tellurid und Cadmium-Magnesium-Tellurid aufweist.

4. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, wobei das Oxid ein Siliziumoxid aufweist.

5. Halbleiterbauelement gemäß Anspruch 4, wobei die erste Schicht (31) wenigstens eines aus USG, PSG, BSG und BPSG aufweist.

6. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, wobei das Nitrid ein Siliziumnitrid aufweist.

7. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, wobei eine Dicke der dritten Schicht (33) wenigstens 7 Mikrometer beträgt.

8. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, das weiterhin aufweist: eine weiche Verkapselungsschicht (61) auf der dritten Schicht (33) und der Kontaktelektrode (2); und ein Gehäuse (62), welches durch die weiche Verkapselungsschicht (61) von der dritten Schicht (33) getrennt ist.

9. Halbleiterbauelement gemäß Anspruch 8, wobei die weiche Verkapselungsschicht (61) ausgewählt ist aus der Gruppe aufweisend Silikon und Silikagel.

10. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, wobei die Kontaktelektrode (2) wenigstens eines aus Aluminium, Titan, Kupfer, eine Aluminium-Legierung und eine Kupfer-Legierung aufweist.

11. Halbleiterbauelement gemäß einem der vorhergehenden Ansprüche, welches weiterhin aufweist: ein dotiertes erstes Bauelementgebiet (11) und ein dotiertes zweites Bauelementgebiet (12),

wobei das dotierte erste Bauelementgebiet (11) und das dotierte zweite Bauelementgebiet (12) einen pn-Übergang bilden, und  
wobei die Kontaktelektrode (2) mit dem zweiten dotierten Bauelementgebiet (12) verbunden ist.

12. Halbleiterbauelement gemäß Anspruch 11, wobei sich der pn-Übergang zu der ersten Oberfläche erstreckt (101), und  
wobei die Passivierungsschicht (3) den pn-Übergang oberhalb der ersten Oberfläche (101) bedeckt.

13. Halbleiterbauelement gemäß Anspruch 12, wobei das Halbleiterbauelement als Diode ausgebildet ist, und  
wobei das erste Bauelementgebiet (11) ein Basisgebiet und das zweite Bauelementgebiet (12) ein Emittergebiet der Diode bildet.

14. Halbleiterbauelement gemäß Anspruch 12, wobei das Halbleiterbauelement als MOS-Transistor ausgebildet ist, und  
wobei das erste Bauelementgebiet (11) ein Driftgebiet und das zweite Bauelementgebiet (12) ein Bodygebiet des MOS-Transistors bildet.

15. Halbleiterbauelement gemäß Anspruch 1, wobei das Halbleiterbauelement als Schottky-Diode oder JFET ausgebildet ist.

16. Halbleiterbauelement gemäß Anspruch 1, das weiterhin aufweist:  
ein dotiertes Halbleitergebiet (12), welches durch die Kontaktelektrode (2) kontaktiert wird; und  
einen Schottky-Übergang zwischen der Kontaktelektrode (2) und dem dotierten Halbleitergebiet (12).

17. Verfahren zum Herstellen eines Halbleiterbauelementes, wobei das Verfahren aufweist:  
Bereitstellen eines Halbleiterkörpers (100) mit einer ersten Oberfläche (101);  
Ausbilden einer Kontaktelektrode (2) auf der ersten Oberfläche (101); und  
Ausbilden einer Passivierungsschicht (3), die die Kontaktelektrode (2) teilweise überlappt, auf der ersten Oberfläche (101) benachbart zu der Kontaktelektrode,  
wobei die Passivierungsschicht (3) einen Schichtstapel mit einer ersten Schicht (31) auf der ersten Oberfläche (101), einer zweiten Schicht (32) auf der ersten Schicht (31) und einer dritten Schicht (33) auf der zweiten Schicht (32) aufweist,  
wobei die erste Schicht (31) ein Oxid aufweist, die zweite Schicht (32) ein Nitrid aufweist und die dritte Schicht (33) ein Irid aufweist,  
wobei die zweite Schicht (32) und die dritte Schicht (33) jeweils eine innere Kante (32<sub>1</sub>, 33<sub>1</sub>) und eine äußere Kante (32<sub>2</sub>, 33<sub>2</sub>) aufweisen,  
wobei die innere Kante (33<sub>1</sub>) der dritten Schicht (33)

entfernt zu der inneren Kante (32<sub>1</sub>) der zweiten Schicht (32) angeordnet ist, und  
wobei die äußere Kante (33<sub>2</sub>) der dritten Schicht (33) entfernt zu der äußeren Kante (32<sub>2</sub>) der zweiten Schicht (32) angeordnet ist.

18. Verfahren gemäß Anspruch 17, wobei die erste Schicht mit einer Dicke von wenigstens 1,5 Mikrometern hergestellt wird, und  
wobei die zweite Schicht mit einer Dicke von mindestens 0,6 Mikrometern hergestellt wird.

19. Verfahren gemäß Anspruch 17 oder 18, wobei der Halbleiterkörper wenigstens eines von Silizium Siliziumkarbid Galliumarsenid Galliumnitrid Galliumphosphid Indiumphosphid Indium-Gallium-Nitrid Indium-Gallium-Arsenid Cadmiumtellurid Cadmium-Quecksilber-Tellurid und Cadmium-Magnesium-Tellurid aufweist.

20. Verfahren gemäß einem der Ansprüche 17 bis 19, wobei das Oxid Siliziumoxid aufweist.

21. Verfahren gemäß Anspruch 20, wobei die erste Schicht (31) wenigstens eines aus USG, PSG, BSG und BPSG aufweist.

22. Verfahren gemäß einem der Ansprüche 17 bis 21, wobei das Nitrid ein Siliziumnitrid aufweist.

23. Verfahren gemäß einem der Ansprüche 17 bis 22, wobei das Herstellen der ersten Schicht (31) und der zweiten Schicht (32) das Strukturieren der ersten Schicht (31) und der zweiten Schicht (32) in einem Ätzprozess unter Verwendung der dritten Schicht (33) als Ätzmaske aufweist.

24. Verfahren gemäß einem der Ansprüche 17 bis 22, wobei die dritte Schicht (33) mit einer Dicke von wenigstens 7 Mikrometern hergestellt wird.

25. Verfahren gemäß einem der Ansprüche 17 bis 22, wobei das Herstellen der ersten Schicht (31) und der zweiten Schicht (32) das Strukturieren der ersten Schicht (31) und der zweiten Schicht (32) in einem Ätzprozess unter Verwendung einer ersten Ätzmaske aufweist;  
wobei das Herstellen der dritten Schicht (33) das Entfernen der ersten Ätzmaske, das Abscheiden einer Vorläuferschicht und das Strukturieren der Vorläuferschicht zum Ausbilden der dritten Schicht (33) aufweist.

26. Verfahren gemäß Anspruch 25, wobei das Strukturieren der Vorläuferschicht ein Lithographieverfahren aufweist.

27. Verfahren gemäß einem der Ansprüche 17 bis 26, das weiterhin aufweist:

Ausbilden einer weichen Verkapselungsschicht (61) auf der dritten Schicht (33) und der Kontaktelektrode (2); und

Ausbilden eines Gehäuses (62), welches durch die weiche Verkapselungsschicht (61) von der dritten Schicht (33) separiert wird.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

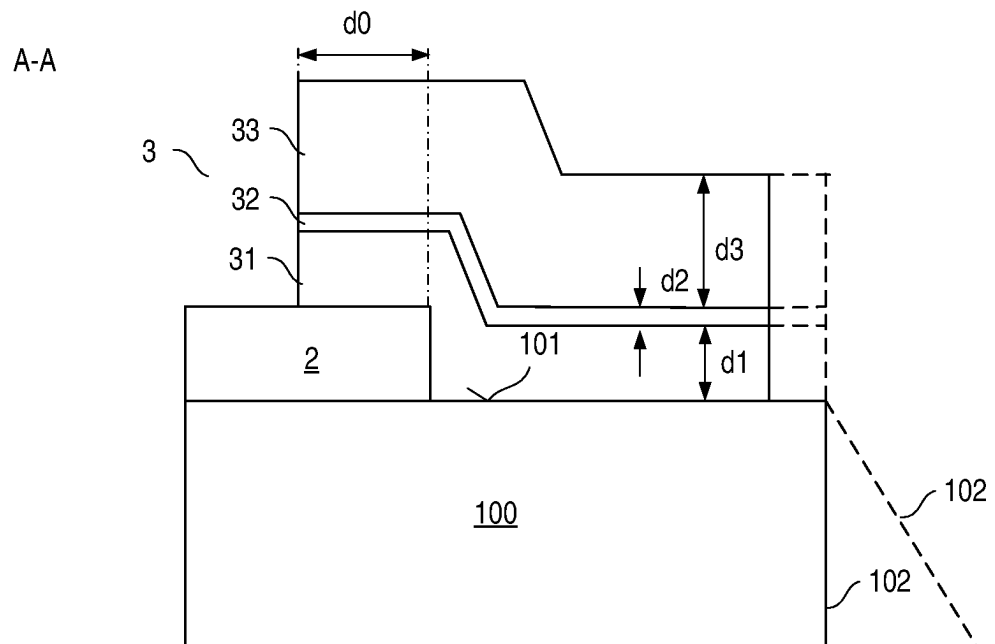


FIG 1

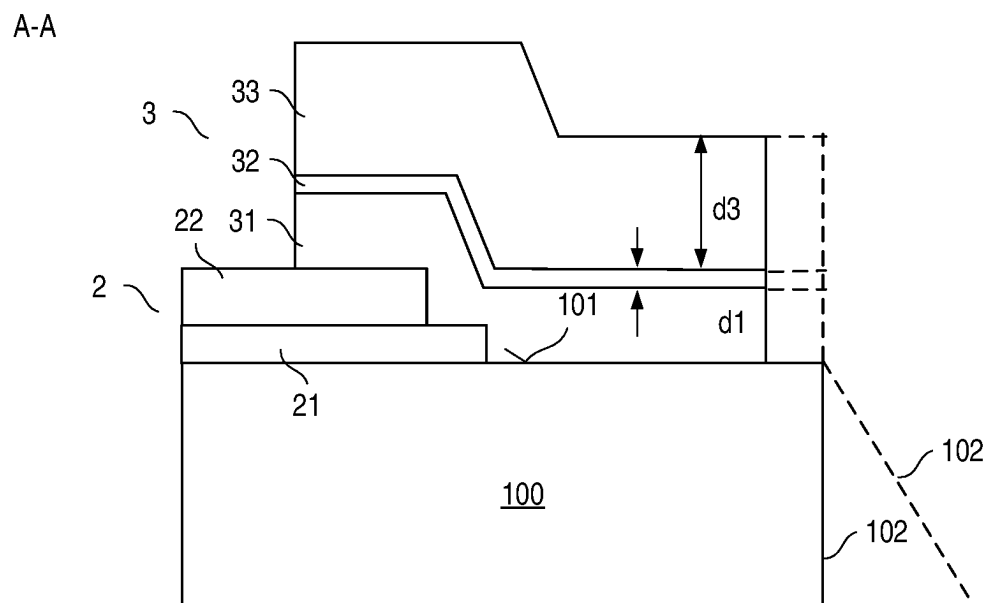


FIG 2

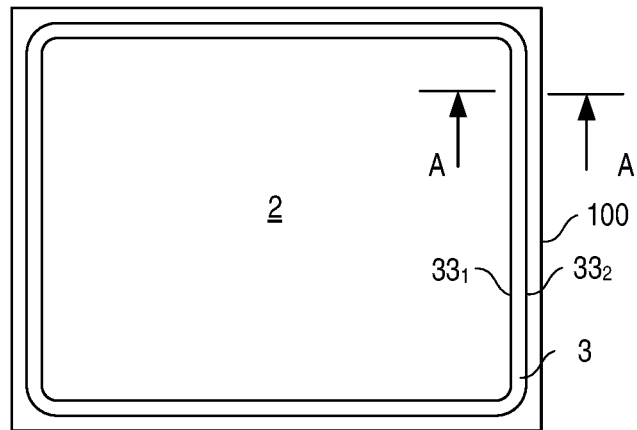


FIG 3

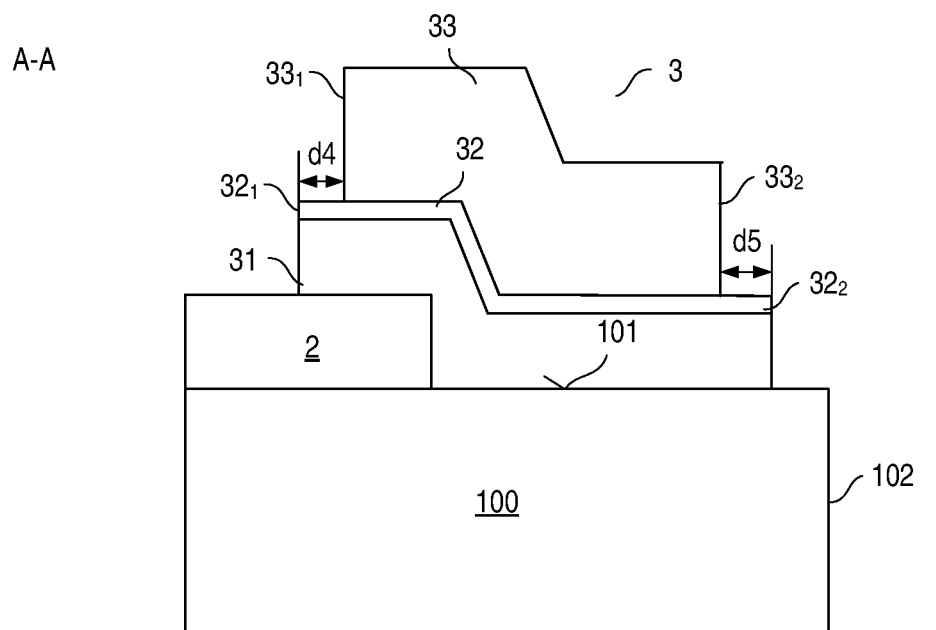


FIG 4

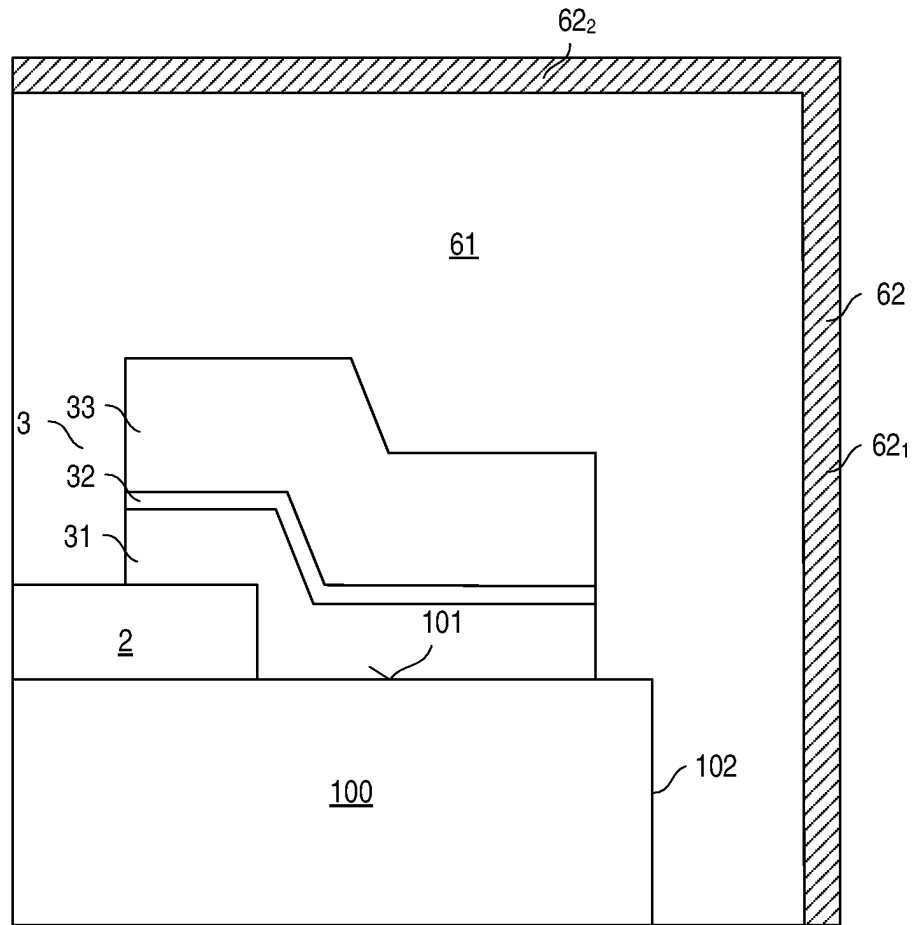


FIG 5

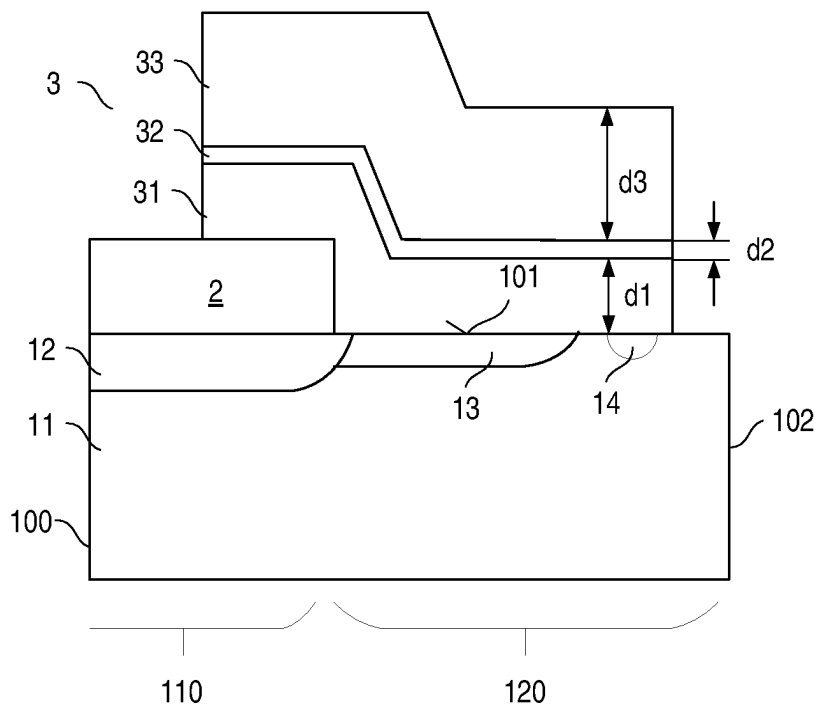


FIG 6

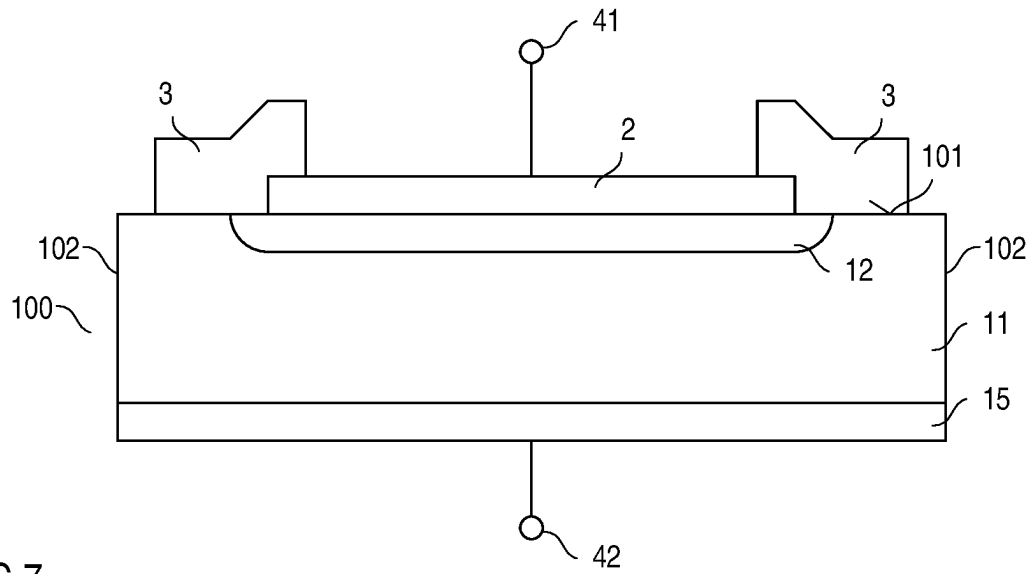


FIG 7

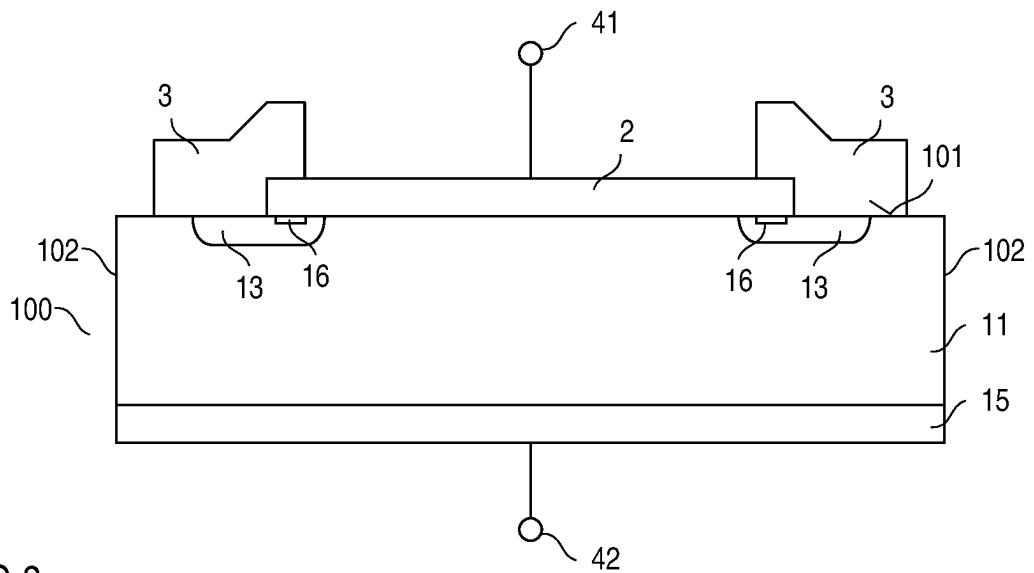


FIG 8

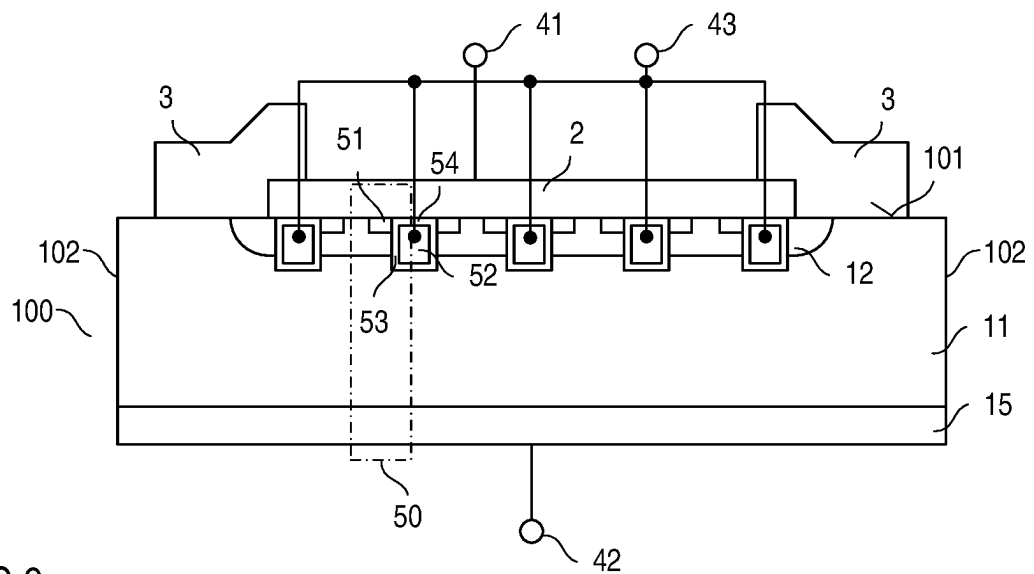


FIG 9

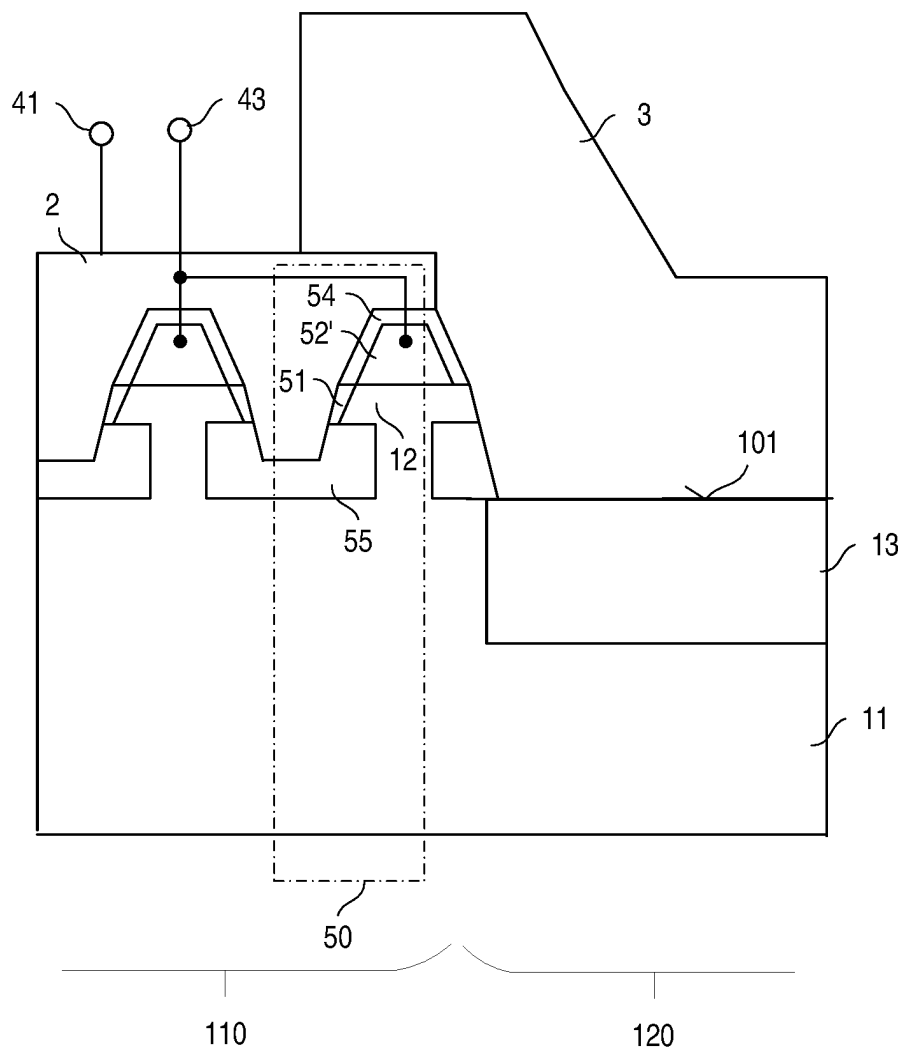


FIG 10



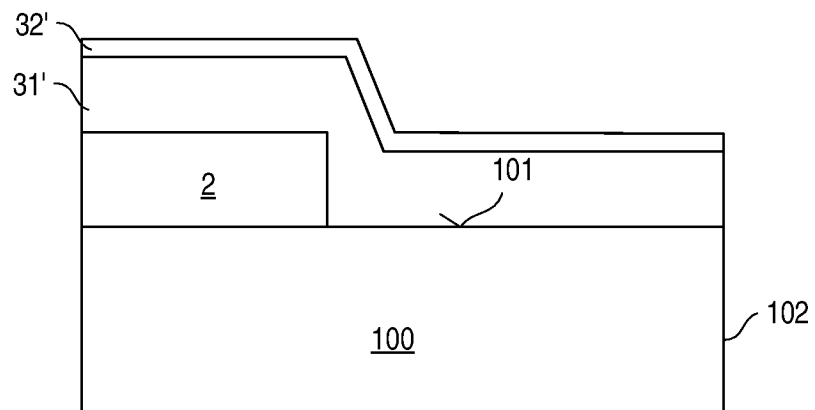


FIG 11A

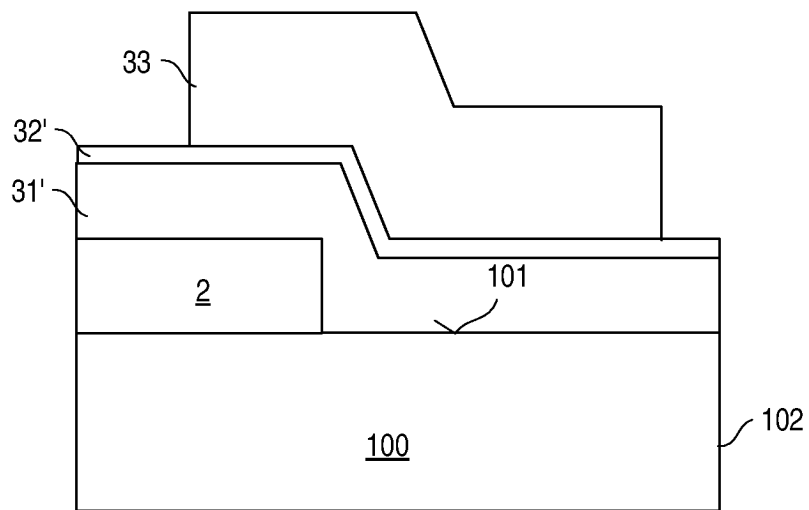


FIG 11B

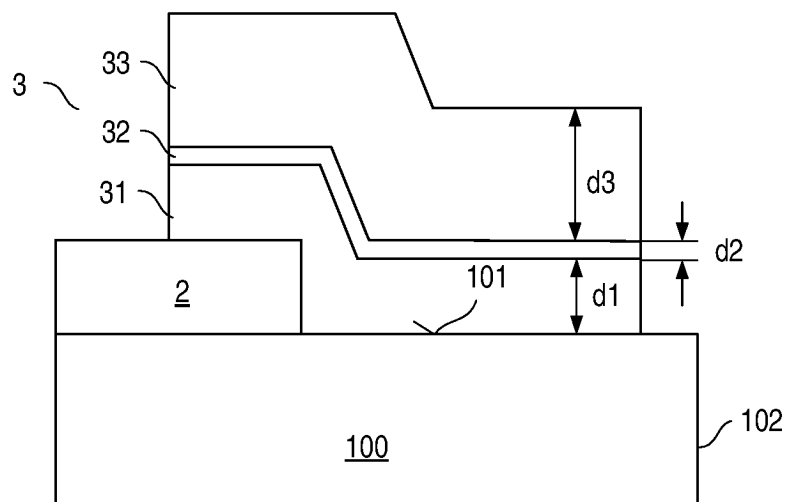


FIG 11C

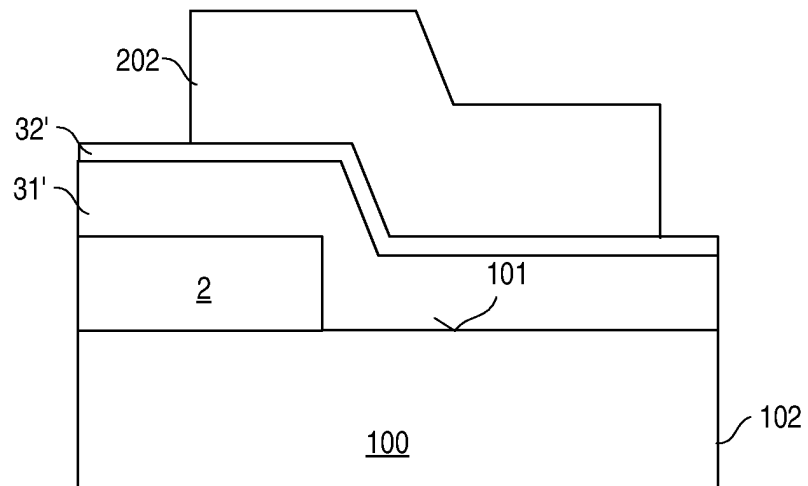


FIG 12A

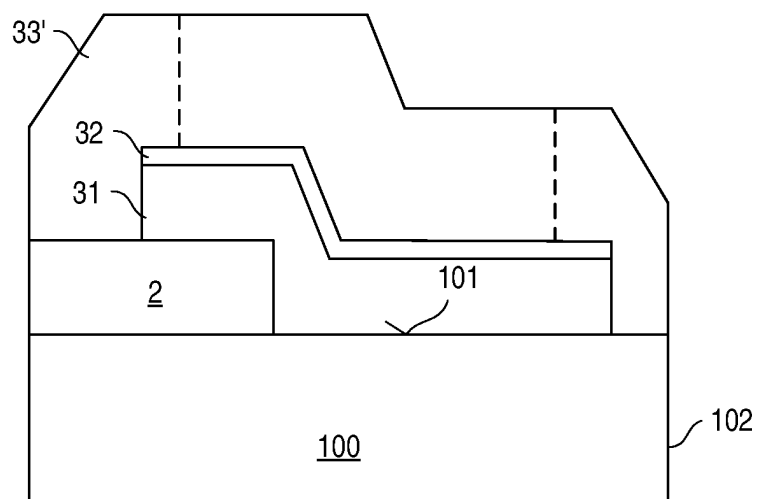


FIG 12B