公告本

397946

申請日期	85. 8. 09.
案號	85109656
類別	G06F 12/00

A4
C4

87.6.25 （以上各欄由本局填註）

397946

87.6.25

發明新型專利說明書

一、發明新型名稱	中文	使用切換模式增量邏輯以控制線性及切換模式脈衝串存取順序之方法及裝置
	英文	METHOD AND APPARATUS FOR CONTROLLING LINEAR AND TOGGLE MODE BURST ACCESS SEQUENCES USING TOGGLE MODE INCREMENT LOGIC
二、發明創作人	姓名	1.安魯達哈 庫杜 2.納倫達 凱翰德卡
	國籍	均印度
	住、居所	1.美國奧瑞崗州希斯伯洛市東北史塔伯路5214號 2.美國加州佛桑市佛桑牧場路1020號105室
三、申請人	姓名（名稱）	美商英特爾公司
	國籍	美國
	住、居所（事務所）	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名	F．湯姆士．當烈二世

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

公告本

397946

申請日期	85. 8. 09.
案號	85109656
類別	G06F 12/00

A4
C4

87.6.25 （以上各欄由本局填註）

397946

87.6.25

發明新型專利說明書

一、發明新型名稱	中文	使用切換模式增量邏輯以控制線性及切換模式脈衝串存取順序之方法及裝置
	英文	METHOD AND APPARATUS FOR CONTROLLING LINEAR AND TOGGLE MODE BURST ACCESS SEQUENCES USING TOGGLE MODE INCREMENT LOGIC
二、發明創作人	姓名	1.安魯達哈 庫杜 2.納倫達 凱翰德卡
	國籍	均印度
	住、居所	1.美國奧瑞崗州希斯伯洛市東北史塔伯路5214號 2.美國加州佛桑市佛桑牧場路1020號105室
三、申請人	姓名（名稱）	美商英特爾公司
	國籍	美國
	住、居所（事務所）	美國加州聖塔卡拉瓦市米遜大學路2200號
	代表人姓名	F．湯姆士．當烈二世

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

美　國（地區）　申請專利，申請日期：1995.12.29.　案號：08/580748　，□有　□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明背景

技術領域

本發明係相關於電腦系統之領域。特別是，本發明係相關於增進一電腦系統之脈衝串記憶體存取之記憶體子系統的執行。

相關技藝敘述

在一些電腦系統中，記憶體裝置或包括記憶體之其他形態裝置可由特定的裝置利用一脈衝串模式存取加以存取。脈衝串模式存取通常提供多資料單元(例如：位元，位元組，字組，或四字組)，以利用一記憶體存取命令，從記憶體讀取或寫入記憶體，因此而減低記憶體存取之延遲。在某些情況，一脈衝串存取係當一單一記憶體存取指令，例如一脈衝串READ(讀取)或一脈衝串WRITE(寫入)，由記憶體裝置遵循一所存取之位址順序而接收時執行。

某些記憶體裝置或包括一記憶體陣列之裝置具有一自動位址增量機制，以於一脈衝串存取時產生所存取之記憶體位置之位址。在此情況下，來自一要求裝置之脈衝串存取命令只需要包括一指示脈衝串存取開始之記憶體位置之起始位址即可。自動位址增量機制然後以一特定順序增加起始位址之最低有效位元(least significant bits)，以於該脈衝串存取時產生所存取之剩餘記憶體位置之位址。由此自動增量邏輯所產生之後繼記憶體位址之數目，及其所存取之次序係於某些情況下，由一脈衝串長度指示器與一由電腦系統製造者儲存於一暫存器之脈衝串順序指示器所決定

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2 ）

，或在電腦系統操作或建構期間以指示脈衝串存取時所存取之資料項目之數目。

目前適用且包括一自動位址增量機制之裝置例子爲一同步動態隨機存取記憶體(SDRAM)裝置。不同型態之積體電路裝置如同不同匯流排協定一般被最佳化或邀求不同的脈衝串位址增量順序。SDRAMs包括一可程式化的模式暫存器，其提供線性的(亦稱之爲循序的)或內插的(亦稱之爲切換模式的)脈衝串記憶體存取。線性的或循序的增量順序以循序的方式增加一位址，以線性地存取由電腦系統中一暫存器或硬體配線之脈衝串長度所指示之資料項目數目。例如，給予一個1001(二進位)之起始位址及四個資料項目之脈衝串長度，一線性位址增量順序將增加起始位址，以1010，1011，及1100的次序存取記憶體位置。

切換位址增量順序亦稱之爲一切換順序，因爲順序係由將最低有效之位元值從"0"切換到"1"。因此，順序在某些情況下可能爲循序的，但在某些時候切換順序爲非循序或非線性的。利用相同的例子，給予一1001之起始位址及四個資料項目之脈衝串長度，一切換位址增量順序將增加起始位址，以1000，1011，及1010的次序存取記憶體位置。

以於位址增量模式之間切換，然而每一次一不同型態之位址增量順序(循序或切換模式)被要求時，SDRAM模式暫存器必須重新程式化。SDRAM模式暫存器在運作時可程式化，並因此可適應改變位址增量之需求，然而每一次

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（3）

位址增量模式被改變時延遲即明顯的產生。

例如，在一特定的電腦系統中在一主匯流排上包括一高執行能力之處理器，及在一週邊匯流排上之其他媒介例如一PCI匯流排，所有脈衝串從主匯流排對主記憶體存取可要求一內插的記憶體位址增量順序，且所有向PCI匯流排要求之脈衝串存取可要求一循序的記憶體位址增量順序。在此情況下，SDRAM之模式暫存器必須經常地重新程式化，以基於一脈衝串存取請求之來源提供正確的記憶體位址增量順序控制。

此程式化及SDRAM模式暫存器之重新程式化可消耗大量的時鐘週期，特別是其中記憶體存取請求於處理器及PCI記憶體存取之間連續地切換。例如，一些SDRAMs要求兩個時鐘週期以程式化模式暫存器，且在另一記憶體存取請求可被處理之前，接著模式暫存器之程式化要求兩閒置時鐘週期。因此，在每一次SDRAM模式暫存器被重新程式化，以提供一不同位址增量順序給一脈衝串存取時，每次SDRAM模式暫存器被重新程式化以提供不同位址增量順序給一脈衝串存取時，導致一個四時鐘週期之障礙。包括循序及非循序自動位址增量模式之其他裝置屬於相同之結果。

因此，需要提供一裝置以自動地增加一脈衝串存取之記憶體位址，以符合循序及切換模式脈衝存取之需求，而不產生關於重新程式化時記憶體裝置之自動增量控制邏輯時鐘週期障礙。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

發明概述

本發明敘述一種方法及裝置，用以於一電腦系統中使用切換模式自動增量邏輯，控制對於一記憶體之順序及切換模式脈衝串存取。本發明於一記憶體脈衝串存取操作期間控制一記憶體位置被存取之順序，其中脈衝串存取順序係由一脈衝串起始位址被增量之次序所決定。電腦系統包括用以增量一切換順序之起始位址之切換增量邏輯。本發明之記憶體控制邏輯包括一輸入匯流排，以從一第一裝置接收一脈衝串存取請求，且一脈衝串存取起始位址指示被存取之一第一記憶體位置，以回應脈衝串存取請求。本發明之記憶體控制邏輯亦包括一邏輯電路，其決定該裝置對於脈衝串存取請求一線性增量順序或者一切換增量順序，及控制邏輯，其以一線性順序增加起始位址而控制切換增量邏輯，回應以決定第一裝置要求一線性增量順序。

圖式簡單敘述

圖1係根據本發明之一實施例說明一電腦系統之高階層方塊圖。

圖2敘明本發明之一實施例之記憶體控制器及主記憶體配置之方塊圖。

圖3A敘明用於兩資料項目之一脈衝串長度之循序及內插增量順序的例子之表格。

圖3B敘明用於四資料項目之一脈衝串長度之循序及內插增量順序的例子之表格。

圖3C敘明用於八資料項目之一脈衝串長度之循序及內插

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

增量順序的例子之表格。

圖4敘明本發明之一實施例之方法之流程方塊圖。

圖5敘明用於四資料項目之一脈衝串長度之本發明一實施例之方法之流程方塊圖。

較佳實施例詳述

本發明提供記憶體存取控制邏輯，使用切換模式自動增量邏輯，以控制順序及切換模式脈衝串存取。在下面敘述中，多種特定之詳盡敘述以提供了本發明之全盤了解。然而對於那些熟知此技藝者而言，可以不需要這些特定的詳細敘述。另外對於熟知的元件不再贅述，以避免對本發明產生混淆。

一電腦系統實施例之概述

圖1敘明根據本發明一實施例之電腦系統之方塊圖。本發明之電腦系統包括用以通訊資訊之主匯流排100，用以處理資訊之處理器101，及用以儲存經常及/或最近使用之處理器101之資訊的快取記憶體104。處理器101經由一處理器控制及資料匯流排102與一處理器位址匯流排103連接至主匯流排100。在一實施例中，處理器101爲一英代爾結構微處理器(Intel Architecture Microprocessor)，例如本發明之共同所有人：加州Santa Clara英代爾公司(Intel Corporation of Santa Clara,California)所製造，然而其他的架構亦可根據本發明而被使用。快取記憶體104可於相同的積體電路裝置封包，例如處理器101，或於一分離的積體電路裝置封包中建構。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

一實施例之電腦系統亦包括一唯讀記憶體(ROM) 105，或其他非揮發性儲存裝置，以儲存處理器101之固定資訊及指令。一實施例之ROM 105儲存一基本的輸入/輸出系統(BIOS)程式，一旦電腦系統啓動或重設時初始化並建構電腦系統。

亦經由一主控制匯流排106及一主位址匯流排107連接主匯流排100爲一記憶體控制器108，用以對主記憶體109控制存取(例如記憶體READ及WRITE操作)，及記憶體更新操作。主記憶體109在電腦操作期間儲存處理器101之資訊及指令，並經由一記憶體匯流排110連接記憶體控制器108，該記憶體匯流排包括記憶體位址與記憶體控制信號線。一實施例之記憶體控制器108亦連接一週邊匯流排111，例如經由週邊控制匯流排112及週邊位址與資料匯流排113之週邊元件內連接(PCI)匯流排。在一實施例，記憶體控制器108包括用於主匯流排100及週邊匯流排111之間的通訊之匯流排橋接邏輯(未顯示)。在另一實施例中，匯流排橋接邏輯可能不包括於記憶體控制器108中，或者可能包括於分離積體電路裝置中。

記憶體控制器108控制對於主記憶體109之存取，以回應在主匯流排上來自媒介之記憶體存取請求，例如儲存處理器101及週邊匯流排111。在能夠於電腦中執行至及從主記憶體109或其他記憶體裝置之脈衝串存取之一匯流排之媒介可獲取，或利用一特定記憶體位址增量順序最佳化脈衝串存取。在一實施例中，必須以一切換模式增加處理器

（請先閱讀背面之注意事項再填寫本頁）
表
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（7）

101之脈衝串存取請求之起始位址，以於脈衝串存取操作期間產生被存取之記憶體位置之位址。在一實施例中，同樣的所有的記憶體脈衝串存取請求從週邊匯流排111之媒介起始，於一脈衝串存取操作期間對於後繼資料項目，要求記憶體位址之存取以一線性增量順序之方式增加。可用以控制如此之脈衝串存取的線性與切換模式位址增量順序之例子於下面參考圖3A，3B，及3C予以更詳盡的說明。

一實施例之記憶體控制器108包括智慧增量控制邏輯117，其在一主記憶體109之脈衝串存取期間操作，以控制位址增量順序。本發明之智慧增量控制邏輯控制在一記憶體或在一包括一記憶體以提供由所要求之增量順序形態(切換或線性)所決定之特定增量順序之裝置上，控制切換增量模式邏輯。，起始位址具有脈衝串存取請求，且脈衝串長度(於脈衝串存取期間擷取之資料項目數目)於記憶體控制器108或電腦系統中的其他邏輯中設定。本發明之智慧增量控制邏輯117利用切換增量模式邏輯完成此運作，而不必重新程式化一模式暫存器或其他如此之邏輯，以來回的切換線性及切換增量模式。在此情況下，本發明之智慧增量控制邏輯可當該便位址增量模式時，協助減低或消除延遲的發生。智慧增量控制邏輯117之操作於下面參考圖2，3，及4有更詳盡的敘述。

繼續參考圖1，在一實施例中，一資料路徑單元119亦經由主資料匯流排120連接至主匯流排100，且經由記憶體資料匯流排122連接至主記憶體109。一實施例之資料路徑單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

元119透過記憶體資料控制匯流排125，從記憶體控制器108中接收控制信號。資料路徑單元119操作以控制至及從主記憶體109之資料流，以回應資料存取或由記憶體控制器108所接收之傳送請求。在此情況下，相關於主記憶體109之位址與資料流有時是分離的，以提供更有效的操作。在一些實施例中，至及從主記憶體109之資料透過主資料匯流排120傳送至主匯流排，然而至及從主記憶體109之資料透過記憶體控制器108與週邊位址/資料匯流排113，傳送至週邊匯流排111。記憶體控制器108及資料路徑單元119之功能在一些實施例中係整合於一積體電路元件中。

值得那些熟知此技藝者所重視的是，根據本發明亦可使用其他的電腦系統。同樣地，值得那些熟知此技藝者所重視的是，於圖1所述之電腦系統以可包括未於圖1顯示之額外元件，或可被建構而不需要某些元件，如圖1所顯示之週邊匯流排111。

一實施例之記憶體控制器及主記憶體配置

圖2敘明本發明之一實施例之記憶體控制器及主記憶體配置。雖然本發明係以一包括特定記憶體裝置形式及數目之主記憶體陣列來敘明，值得那些熟知此技藝者所重視的是，根據本發明亦可使用包括不同記憶體裝置形式及數目之其他主記憶體陣列。

主記憶體陣列

圖2之主記憶體陣列包括相應圖2中記憶體陣列之該等列之記憶體單元201-203，但可於其他實施例中不同地配置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

。在一實施例中，記憶體單元201-203爲於一雙線內記憶體模組(DIMM，dual in-line memory module)建構之同步動態隨機存取記憶體(SDRAM)裝置。每個SDRAM記憶體單元201-203包括一相應模式暫存器201A-203A。模式暫存器201A-203A爲可程式化暫存器，用以控制相關於每個SDRAM記憶體單元201-203操作之特定的特性。模式暫存器201A-203A爲可程式化的，以於電腦系統建構期間或於電腦系統操作期間之運作上由於操作特徵被要求而改變時，提供特定需求之操作。

一實施例之模式暫存器，例如模式暫存器201A爲12位元寬，其位元2：0指示將於一脈衝串READ或WRITE週期中輸入或輸出之字組數，亦爲"脈衝串長度"。一種SDRAM記憶體單元之脈衝串長度可程式化爲1，2，4，或8資料字組，或者可程式化爲一全頁記憶體之脈衝串。在一實施例中，位元3指示模式爲線性或切換模式，其中該起始記憶體位址於一1，2，4，或8資料字組之脈衝串存取順序期間自動地增加。在一實施例中，對於一全頁脈衝串長度而言，只有一線性增量順序爲可用的。切換或內插的位址增量模式通常被高執行處理器所使用，例如一較快速的快取記憶體線填補。切換模式用於記憶體群集(bank)之間交替，以致於一記憶體群集可當另一群集在預充電時被存取，因此在處理脈衝串存取時產生較少的延遲。

在一實施例中，切換增量模式因此由設定一SDRAM模式暫存器之適當位元，例如圖2之模式暫存器201A-203A，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

而被致能。程式化一SDRAM模式暫存器以提供一切換增量順序，致能被存取之特定SDRAM記憶體單元之切換增量邏輯201B-203B。切換增量邏輯201B-203B根據切換模式順序，以經由具有模式暫存器或其他電腦系統之脈衝串存取及脈衝串長度組之起始位址所決定的特定順序，增加一脈衝串存取起始位址。切換順序於下參考圖3A，3B，及3C加以敘明。

由模式暫存器所設定之線性與切換模式所指引的線性與切換增量順序之間的不同係於圖3A，3B，及3C中分別地以2，4，或8資料項目之脈衝串長度加以說明。例如圖3B顯示一4資料字組之脈衝串長度之線性與切換模式位址增量順序之間的不同。行301顯示具有一脈衝串存取請求之起始位址之兩個最低有效位元之值，於此亦被稱爲資料項目起始位址。整個圖3B所指示之數目爲二進位數目，但爲了能夠容易的讀取及識別則以十進位的表示法來顯示。

特定的切換或線性增量順序由SDRAM增量控制邏輯來提供，例如取決於預定之起始位址之最低有效位元數目所決定之資料項目起始位址，其中特定的位元數目係由脈衝串長度所決定。行302顯示一脈衝串存取起始位址之兩個最低有效位元之線性增量順序，而該脈衝串存取起始位址具有含相應行301所指示數目之一值之最低有效位元。同樣地，具有相應資料項目起始位址之一脈衝串記憶體存取之兩個最低有效位址位元之切換增量順序係於行303中顯示。必須注意的是，0與2之資料項目起始位址之線性及切換

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

增量順序，在脈衝串長度被設定爲4字組之情況下爲相同的。

2字組之脈衝串長度及8字組之脈衝串長度之線性及切換增量順序，同樣地分別於圖3A及3C中敘明。如所示，2字組之脈衝串長度之線性及切換增量順序爲相同的，並因此模式暫存器201A之重新程式化對於要求不同增量模式之不同存取形態而言是不需要的。對於具有最低有效位元等於0與4之脈衝串存取起始位址而言，線性及切換模式自動增量順序亦爲相同的，其中在脈衝串長度被設定爲8字組係於圖3C中顯示。

模式暫存器201A之剩餘位元係用於設定一作爲CAS#信號之控制信號延遲。CAS#信號控制資料之有效度，且於模式暫存器201A設定之延遲在一存取操作初始化之後，於來自一資料存取操作之資料於記憶體資料匯流排22上將爲可用的之前，控制必須經過多少的時鐘週期。CAS#延遲設定之值爲一速度程度之函數或SDRAM裝置之存取時間及電腦時鐘之時鐘頻率。CAS#信號及其他SDRAM控制信號之操作對於熟知此技藝者而言爲習知的，且可於例如NEC公司之SERAM製造廠商之資料文件中獲得。

如上所提及，模式暫存器201A-203A可於電腦系統之設定或建構，或當操作情況改變需要被要求之運作時被建立。

一實施例之記憶體控制器

繼續參考圖2，詳盡的敘明一實施例之記憶體控制器108

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

。智慧增量控制邏輯117包括用於控制切換增量邏輯之組合邏輯211及控制邏輯213，以提供線性及切換模式增量順序，如下之詳述。隨著智慧增量控制邏輯117，記憶體控制器108包括用於閂住來自於主位址匯流排107及週邊位址與資料匯流排113之輸入位址之位址閂鎖204。在一實施例中，位址閂鎖204提供記憶體位址請求之管線化(pipelining)，以增加要求之工作量。相關於位址閂鎖204所接收之記憶體位址之記憶體存取指令係由來自於主控制匯流排106及週邊控制匯流排112之智慧增量控制邏輯117所接收。連接位址閂鎖204之位址解碼邏輯205解碼輸入位址，以決定相關指令，例如記憶體存取指令，是否於預定爲主記憶體109，快取記憶體，或其他電腦系統元件。

一旦位址解碼邏輯205決定一相關存取指令之位址係於主記憶體109中，該位址由一位址-至-記憶體(address-to-memory)單元解碼器206解碼爲辨識記憶體單元201-203之特定記憶體單元之行與列記憶體元件，並於特定記憶體單元中存取精準的位置。位址-至-記憶體單元解碼器206解碼輸入位址，以決定基於儲存於記憶體控制器108之建構暫存器208之資訊一部份所存取之記憶體位置。

建構暫存器208包括記憶體單元邊界暫存器210。在一實施例中，一記憶體單元大小決定常式爲儲存於BIOS ROM之BIOS的一部份，並於電腦系統啓動(power-up)或重新啓動(restart)時執行。大小決定常式決定主記憶體陣列中每個記憶體單元之儲存容量，並以實施例中每個記憶體單元

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

之起始及結束位址之形式，儲存記憶體單元邊界暫存器210之資訊。在另一實施例中，資訊藉由一建構常式之輸入或藉由設定電腦系統之硬體開關，基於電腦系統使用者所提供之輸入而儲存於記憶體單元邊界暫存器211中。建構暫存器208以可包括儲存不同形態資訊之額外建構暫存器，其未於此討論。

一旦來自於主位址匯流排107及週邊位址與資料匯流排113之輸入記憶體存取請求由位址-至-記憶體單元解碼器206解碼，該位址被送至本發明之智慧增量控制邏輯117。於非脈衝串(non-burst)存取記憶體操作期間，智慧增量控制邏輯117傳送操作控制至SDRAM狀態裝置214。SDRAM狀態裝置214操作以透過記憶體控制匯流排218，提供所有的SDRAM記憶體操作中所需的控制信號至SDRAM記憶體單元201-203。於脈衝串存取期間，SDRAM狀態裝置214以相同的方式操作。然而一些控制信號之操作可基於來自於智慧增量控制邏輯117之輸入而改變，於下更詳盡的敘明。

所存取之記憶體位置之位址於脈衝串與非脈衝串記憶體存取操作期間，透過記憶體位址匯流排216傳送至主記憶體陣列109。資料透過主記憶體匯流排122，通過資料路徑單元119傳送至及從主記憶。在一實施例中，資料透過主資料匯流排120至及從處理器，或通過記憶體控制器108透過週邊位址與資料匯流排113，至及從週邊匯流排。至及從主記憶之傳送係透過記憶體資料控制匯流排125，由將

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（14）

控制信號傳送至資料路徑單元119，以記憶體控制器108來控制。

本發明之智慧增量控制邏輯

於脈衝串記憶體存取操作期間，本發明之智慧增量控制邏輯117採取一些記憶體存取控制信號之控制，以與SDRAM記憶體單元201-203之切換自動增量控制邏輯協作，提供一脈衝串存取起始位址之自動增量。在此情況下，本發明之智慧增量控制邏輯操作以控制一記憶體脈衝串存取之順序。如上所述，智慧增量控制邏輯117控制一記憶體自動增量，以利用一SDRAM之切換自動增量提供線性及切換增量順序。。

接著組合邏輯211及控制邏輯213，其操作如下所述，一實施例之智慧增量控制邏輯117包括一用以儲存脈衝串長度之暫存器212，於實施例之電腦系統建構期間，將該脈衝串長度程式化儲存於模式暫存器201A-203A中。基於儲存於暫存器212之脈衝串長度，資料項目起始位址從一輸入脈衝串存取請求及要求所起源之裝置或匯流排之請求中決定，智慧增量控制邏輯操作以決定及控制主記憶體109之一脈衝串存取之正確的位址增量順序。

本發明之智慧增量控制邏輯117決定是否使用預定的最低有效位元數目之值所指示的可用切換模式位址增量順序，或者控制一或更多的切換模式增量順序之間的切換，以複製一要求的線性增量順序以回應一記憶體控制器108所接收之特定脈衝串存取請求。在一實施例中，是否使用一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（15）

切換或線性增量順序之決定係基於脈衝串存取請求之來源，但是在其他實施例中可以另一種方式來決定。例如，某些裝置可包括伴隨脈衝串存取請求之一碼，或於指示特定裝置是否要求一脈衝串存取之線性或切換模式位址增量順序之請求中編碼。必須注意的是，參照脈衝串存取增量順序之字眼"要求"可能不須爲一裝置之架構化請求，但亦用以指示一較高的執行操作狀況，或由電腦使用者所加入之限制。

本發明之智慧增量控制邏輯117之操作在此以一4資料字組之脈衝串長度爲例子加以敘述。那些通常熟知此技藝者所需注意的是，本發明之智慧增量控制邏輯亦可以較大或較小之脈衝串長度來操作。再者，雖然由於說明的目的以資料字組之內容加以說明，其他大小的資料單元：例如記憶體位元，位元組及頁亦可於一脈衝串存取中傳送且由本發明之智慧增量控制邏輯117控制。

一實施例之智慧增量控制邏輯117之操作於圖4之方塊途中敘明。由於說明方便之故，所有起源於週邊匯流排之主記憶體存取請求，在此例子中爲一PCI，要求記憶體位址在一脈衝串記憶體存取中以一線性方式增加。再者，在此例子中，所有起源於處理器101或主匯流排之主記憶體存取請求要求記憶體位址對於一脈衝串記憶體存取，以一切換或非切換線性形式增加。因此，在圖4所敘述之實施例中，所要求的位址增量順序係由脈衝串存取請求之來源所決定，在此情況下脈衝串存取請求係從主匯流排或週邊匯

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

流排中接收。

本發明之一實施例中，只利用一非線性或切換記憶體存取增益模式控制脈衝串記憶體存取之方法係從步驟401開始。在步驟403中，一主記憶體脈衝串存取請求係由記憶體控制器接收。然後，相較一實施例，脈衝串存取請求之來源係於步驟405中辨識，且脈衝串存取請求之資料項目起始位址係於步驟407中辨識。資料項目起始位址爲隨著脈衝串存取請求所提供脈衝串存取之起始位址之最低有效位元之預定數目所指示之值。預定數目爲基於SDRAM模式暫存器設定之脈衝串長度，及智慧增量控制邏輯。

在決策方塊408中，決定記憶體存取請求是否從PCI匯流排開始。假如是的話，接著在步驟413中，脈衝串記憶體存取開始，並根據主記憶體之SDRAM模式暫存器中程式化之非線性增量模式而執行。該方法於步驟415中結束。

參考回決策方塊408，假如請求並非從PCI匯流排開始，則在步驟409中基於步驟407所辨識之起始位址，本發明之智慧增量控制邏輯判別於特定起始位址之線性與非線性增量順序是否爲相同的。假如是的話，接著在步驟413中，脈衝串存取係根據主記憶體所存取之特定的SDRAM記憶體單元所控制的非線性或切換位址增量模式而執行。假如決策方塊408中，線性與切換模式增量順序對於特定位址而言不是相同的，則在步驟411中，智慧增量控制邏輯控制經由於相應不同資料項目起始位址之特定之非線性增量順序之間交替，以複製所要求的線性增量順序，而控制記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

憶體位址增量順序。本發明之智慧增量控制邏輯係由利用組合邏輯操控起始位址，並由利用控制邏輯213控制記憶體存取控制信號而完成。在此狀況下，假如需要複製線性存取順序，於記憶體位置之資料可被忽略。該方法然後於步驟415中結束。

本發明之智慧增量控制邏輯操作之更特別的例子係參考圖2，3，及5加以說明。在此例子中，於SDRAM模式暫存器及智慧增量控制邏輯之脈衝串長度已設定爲4字組。線性及切換增量順序如參考圖3B所討論的爲相同的。

參考圖5，於四資料字組之脈衝串長度之記憶體位址增量控制操作從步驟501開始。一記憶體存取請求係於步驟502中，隨著相應位址匯流排-主位址匯流排107或週邊位址/資料匯流排113上的脈衝串存取起始位址，由來自於主控制匯流排106及週邊控制匯流排112之記憶體控制器108所接收。在此實施例中，請求之來源係由步驟503中所接收請求之匯流排來辨識。在另一實施例中，所要求之增量順序可以另一種方式來決定。

在決策方塊505中，假如脈衝串存取請求不是從週邊匯流排111開始，在此例子中爲一PCI，則要求一切換增量順序。在步驟507中，起始位址之兩個最低有效位址位元之值被決定以指示資料項目起始位址。在此情況下，資料項目起始位址係利用兩個最低有效位元來決定，因爲脈衝串長度設定爲四資料字組。起始位址之兩個最低有效位元因此以指示特定快取記憶體線之起始位址之剩餘位元，單獨

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

地定義四資料字組之一爲一脈衝串存取之起始點，例如，假設四資料字組之脈衝串長度係根據一快取記憶體或其他記憶體線之長度而選取。一旦資料項目起始位址被決定，則在步驟509中，於資料項目起始位址之切換增量順序被執行，且脈衝串存取順序於步驟510中結束。

參考回決策方塊505，假如脈衝串存取請求係從PCI匯流排(週邊匯流排111)開始，則在步驟511中，起始位址之兩個最低有效位元或資料項目起始位址係於步驟511中決定。在決策方塊513中，假如資料項目起始位址爲0或2，切換及線性增量順序如圖3B所述爲相同的。然後在步驟514中，相應資料項目起始位址之特定的切換增量順序係用以控制脈衝串存取，並於步驟510中結束。在此情況下，假如所存取之SDRAM模式暫存器必須重新程式化以提供一線性增量順序，於所見之週邊匯流排上，由媒介所初始化之脈衝串存取中不會產生延遲。

參考回決策方塊513，假如資料項目起始位址之值不爲0或2，則在決策方塊515中，判別資料項目起始位址之值是否爲1。假如是的話，在步驟517中，資料項目起始位址係組合地以至一資料項目起始位址0之組合邏輯來改變，且在步驟519中，相應之切換增量順序係用以控制脈衝串存取之開始。在決策方塊521中，假如脈衝串存取操作爲一READ操作，由一資料項目起始位址0之切換增量順序所控制之脈衝串存取操作所存取之第一資料項目被忽略。在一實施例中，第一存取的資料項目係由延遲一控制信號之聲

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

明而被忽略，其中該控制信號指示有效資料係於週邊位址/資料匯流排113上，以利用智慧增量控制機制之控制邏輯回應脈衝串存取請求，以控制SDRAM狀態裝置214。在步驟527中，脈衝存取根據一資料項目起始位址0之切換增量順序而完成。

參考回決策方塊521，假如操作不爲一脈衝串READ操作，則在步驟523中，對於一脈衝串WRITE而言，第一存取的資料項目亦被忽略。在一實施例中，該資料項目係由聲明一利用智慧增量控制機制之控制邏輯所存取之SDRAM之DQM信號之而被忽略，以致使第一存取的資料項目不寫入所存取之特定的SDRAM。然後在步驟527中，脈衝串存取完全地在一資料項目起始位址0之SDRAM切換增量順序之控制之下，且脈衝串存取於步驟510結束。因此，對於一具有項目起始位址1之線性增量順序而言，一時鐘障礙係於一實施例中當第一資料項目被忽略時產生。此一時鐘障礙比由重新程式化SDRAM模式暫存器，以提供一自動的線性位址增量順序並且一直等待直到資料可被再次傳送爲止所要求的四時鐘週期還要低很多。在此狀況下，脈衝串存取之記憶體存取執行顯著地改良。

參考回決策方塊515，假如資料項目起始位址之值不爲1，則在步驟531中，資料項目起始位址之值爲3。在步驟533中，一資料項目起始位址之值爲3之切換增量順序係用以控制脈衝串存取之開始。在步驟535中，在一資料項目被存取之後，另一脈衝串存取週期由組合地改變兩個最低

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（20）

有效位元之值，以一資料項目起始位址0開始，且然後由相應切換增量順序控制。超過所要求之脈衝串長度之資料項目係由利用取決於存取是否爲一READ或一WRITE之控制邏輯，聲明正確的控制信號而被忽略。該存取之後於步驟510中結束。在此情況下，一時鐘障礙係於一實施例中當第二脈衝串存取順序開始時產生。如上所述，處理脈衝串存取請求之此延遲比由重新程式化SDRAM模式暫存器，以提供一自動的線性位址增量順序所產生的四時鐘週期障礙還要低很多。

接著由上述本發明所提供之增加的脈衝串存取效率，本發明亦提供減低相關於SDRAMs之測試費用之優點。假如只有切換自動位址增量模式爲脈衝串存取所使用，於線性增量模式之SDRAM測試是不需要的。再者，SDRAM裝置之增新版的矽空間可被保留，而不須包括關於線性自動位址增量順序之控制邏輯。

雖然上所述之方法係參照一4資料字組之脈衝串長度，於本發明範圍內之其他脈衝串長度亦可被熟知此技藝者所應用。在閱讀過前所述之說明後一般了解此技藝者可對於本發明作不同的替代及修改，必須注意的是，本發明並不侷限於所顯示之特定的實施例及說明。因此，所參考之不同實施例之詳盡說明並不是要限制申請專利範圍之包護範圍，而是引述本發明所需顧慮之必要性的特點。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：使用切換模式增量邏輯以控制線性及切換模式脈衝）串存取順序之方法及裝置

記憶體存取控制邏輯用以於一電腦系統中使用切換模式自動增量邏輯，控制對於一記憶體之順序及切換模式脈衝串存取。本發明之記憶體存取控制邏輯控制於一記憶體脈衝串存取操作期間一記憶體位置被存取之順序，其中脈衝串存取順序係由一脈衝串起始位址被增量之次序所決定。於一切換順序中增量一起始位址之切換增量邏輯係包含於一使用本發明之記憶體存取控制邏輯之電腦系統中。一輸入匯流排接收一脈衝串存取請求，且一脈衝串存取起始位址指示被存取之一第一記憶體位置，以回應來自一電腦系

英文發明摘要（發明之名稱：METHOD AND APPARATUS FOR CONTROLLING LINEAR AND TOGGLE MODE BURST ACCESS SEQUENCES USING TOGGLE MODE INCREMENT LOGIC）

Memory access control logic for controlling sequential and toggle mode burst accesses to a memory in a computer system using toggle mode automatic increment logic. The memory access control logic of the invention controls the sequence in which locations of a memory are accessed during a memory burst access operation wherein the burst access sequence is determined by an order in which a burst access starting address is incremented. Toggle increment logic for incrementing a starting address in a toggle sequence is included in the computer system in which the memory access control logic of the invention is used. An input bus receives a burst access request and a burst access starting

（請先閱讀背面之注意事項再填寫本頁各欄）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　　）

統裝置之脈衝串存取請求。附加邏輯電路決定該裝置對於脈衝串存取要求一線性增量順序或者一切換增量順序。控制邏輯控制切換增量邏輯，以一線性順序增加起始位址，回應以決定第一裝置要求一線性增量順序。

英文發明摘要（發明之名稱：　　）

address indicating a first memory location to be accessed in response to the burst access request from a device in the computer system. Additional logic determines whether the device requires a linear increment sequence or a toggle increment sequence for the burst access. Control logic controls the toggle increment logic to increment the starting address in a linear sequence in response to determining that the first device requires a linear increment sequence.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正 年 月 日 86. 5. 26 補充

請委員明示 86. 5. 26 年 月 日所提之修正本有無變更實質內容是否准予修正。

六、申請專利範圍

1. 一種裝置，用以於一脈衝串存取操作期間控制一電腦系統內記憶體位置被存取之次序，該次序係由一脈衝串存取起始位置被增加之順序來決定，該電腦系統包括切換增量邏輯用以增加切換順序之一位址，該裝置包括：

   一輸入匯流排，用以接收脈衝串存取請求及來自電腦系統內複數裝置中之對應起始位址，每一起始位址指示一待存取之一第一記憶體位置，以響應於對應之脈衝串存取請求，複數裝置之每一裝置需要一線性次序或一切換位址增量順序；以及

   順序控制邏輯，耦合至該輸入匯流排，且被耦合至切換增量邏輯，用以控制切換增量邏輯以增加一線性順序之起始位址，以響應於來自一需要求線性位址增量順序之裝置之脈衝串存取請求。

2. 如申請專利範圍第1項之裝置，其中該記憶體爲一同步動態隨機存取記憶體(SDRAM)。

3. 如申請專利範圍第2項之裝置，其中該切換增量邏輯係於SDRAM上建構。

4. 如申請專利範圍第3項之裝置，其中該SDRAM包括一具有一脈衝串長度欄位之模式暫存器，以儲存一脈衝串長度而於一脈衝串存取操作期間，指示該等所存取之記憶體位置之一數目。

5. 如申請專利範圍第4項之裝置，其中該切換增量邏輯係以多個切換位址增量順序之一增加一位址，該特定的切換位址增量順序係由模式暫存器所指示之脈衝串長度及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正 年 月 日 86. 5. 26 補充

請委員明示 86. 5. 26 年 月 日所提之修正本有無變更實質內容是否准予修正。

六、申請專利範圍

1. 一種裝置，用以於一脈衝串存取操作期間控制一電腦系統內記憶體位置被存取之次序，該次序係由一脈衝串存取起始位置被增加之順序來決定，該電腦系統包括切換增量邏輯用以增加切換順序之一位址，該裝置包括：

   一輸入匯流排，用以接收脈衝串存取請求及來自電腦系統內複數裝置中之對應起始位址，每一起始位址指示一待存取之一第一記憶體位置，以響應於對應之脈衝串存取請求，複數裝置之每一裝置需要一線性次序或一切換位址增量順序；以及

   順序控制邏輯，耦合至該輸入匯流排，且被耦合至切換增量邏輯，用以控制切換增量邏輯以增加一線性順序之起始位址，以響應於來自一需要求線性位址增量順序之裝置之脈衝串存取請求。

2. 如申請專利範圍第1項之裝置，其中該記憶體爲一同步動態隨機存取記憶體(SDRAM)。

3. 如申請專利範圍第2項之裝置，其中該切換增量邏輯係於SDRAM上建構。

4. 如申請專利範圍第3項之裝置，其中該SDRAM包括一具有一脈衝串長度欄位之模式暫存器，以儲存一脈衝串長度而於一脈衝串存取操作期間，指示該等所存取之記憶體位置之一數目。

5. 如申請專利範圍第4項之裝置，其中該切換增量邏輯係以多個切換位址增量順序之一增加一位址，該特定的切換位址增量順序係由模式暫存器所指示之脈衝串長度及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

所增加之該位址之一預定數目之最低有效位元之值所選定。

6. 如申請專利範圍第5項之裝置，其中供一裝置當於一脈衝串存取時要求一線性位址增量順序之所需線性位址增量順序，係由於模式暫存器內所指示之脈衝串長度以及起始位址之預定數目之最低有效位元之值而決定，起始位址對應於來自要求一線性位址增量順序之裝置中之脈衝串位址請求。

7. 如申請專利範圍第6項之裝置，尚包括用以組合地改變起始位址之一預定數目之最低有效位元之值，以選擇一或多個切換位址增量順序以複製所要求的線性位址增量順序。

8. 如申請專利範圍第7項之裝置，尚包括耦合至順序控制邏輯及耦合至切換增量邏輯之控制邏輯，用以控制記憶體脈衝串存取操作，以使得假如切換增量邏輯增加起始位址以存取位置且該位置並非脈衝串存取操作期間所要求存取之位置時，一特定記憶體位置之記憶體存取被忽略。

9. 如申請專利範圍第1項之裝置，其中電腦系統包括透過一主匯流排而與記憶體通訊之一處理器，以及與一週邊元件內連接(PCI)匯流排上記憶體通訊之一或多週邊裝置，且其中一線性存取次序被要求以供來自耦合於PCI之裝置之脈衝串存取請求，以及一切換存取次序被要求以供來自耦合於主匯流排之處理器之脈衝串存取請求。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

所增加之該位址之一預定數目之最低有效位元之值所選定。

6. 如申請專利範圍第5項之裝置，其中供一裝置當於一脈衝串存取時要求一線性位址增量順序之所需線性位址增量順序，係由於模式暫存器內所指示之脈衝串長度以及起始位址之預定數目之最低有效位元之值而決定，起始位址對應於來自要求一線性位址增量順序之裝置中之脈衝串位址請求。

7. 如申請專利範圍第6項之裝置，尚包括用以組合地改變起始位址之一預定數目之最低有效位元之值，以選擇一或多個切換位址增量順序以複製所要求的線性位址增量順序。

8. 如申請專利範圍第7項之裝置，尚包括耦合至順序控制邏輯及耦合至切換增量邏輯之控制邏輯，用以控制記憶體脈衝串存取操作，以使得假如切換增量邏輯增加起始位址以存取位置且該位置並非脈衝串存取操作期間所要求存取之位置時，一特定記憶體位置之記憶體存取被忽略。

9. 如申請專利範圍第1項之裝置，其中電腦系統包括透過一主匯流排而與記憶體通訊之一處理器，以及與一週邊元件內連接(PCI)匯流排上記憶體通訊之一或多週邊裝置，且其中一線性存取次序被要求以供來自耦合於PCI之裝置之脈衝串存取請求，以及一切換存取次序被要求以供來自耦合於主匯流排之處理器之脈衝串存取請求。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

10. 一種方法，用以控制一脈衝串存取操作期間，一電腦系統之記該等憶體位置被存取之次序，該次序可爲一線性次序或一切換次序，該次序係由一脈衝串存取起始位址被增加之順序來決定，該電腦系統包括以一切換順序增加一位址之切換增量邏輯，該方法包括下列步驟：

從一電腦系統內之一第一裝置接收一脈衝串存取請求及一脈衝串存取起始位址，該始位址於脈衝串存取操作執行期間指示一所存取之第一記憶體位置，以回應脈衝串存取請求；

判定該第一裝置是否對脈衝串存取要求一線性或一切換位址增量順序；及

假如該第一裝置決定要求一線性存取順序，控制切換增量邏輯以一線性順序增加起始位址。

11. 如申請專利範圍第10項之方法，其中該記憶體爲一SDRAM。

12. 如申請專利範圍第11項之方法，其中該切換增量邏輯係被建構於SDRAM上。

13. 如申請專利範圍第12項之方法，其中該SDRAM包括一模式暫存器，而該模式暫存器用以儲存一脈衝串長度而於一脈衝串存取操作期間，指示該等所存取之記憶體位置。

14. 如申請專利範圍第13項之方法，其中該切換增量邏輯係以多個切換增量順序之一而增加一位址，該特定的切換增量順序係由模式暫存器內所指示之脈衝串長度及該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

10. 一種方法，用以控制一脈衝串存取操作期間，一電腦系統之記該等憶體位置被存取之次序，該次序可爲一線性次序或一切換次序，該次序係由一脈衝串存取起始位址被增加之順序來決定，該電腦系統包括以一切換順序增加一位址之切換增量邏輯，該方法包括下列步驟：

從一電腦系統內之一第一裝置接收一脈衝串存取請求及一脈衝串存取起始位址，該始位址於脈衝串存取操作執行期間指示一所存取之第一記憶體位置，以回應脈衝串存取請求；

判定該第一裝置是否對脈衝串存取要求一線性或一切換位址增量順序；及

假如該第一裝置決定要求一線性存取順序，控制切換增量邏輯以一線性順序增加起始位址。

11. 如申請專利範圍第10項之方法，其中該記憶體爲一SDRAM。

12. 如申請專利範圍第11項之方法，其中該切換增量邏輯係被建構於SDRAM上。

13. 如申請專利範圍第12項之方法，其中該SDRAM包括一模式暫存器，而該模式暫存器用以儲存一脈衝串長度而於一脈衝串存取操作期間，指示該等所存取之記憶體位置。

14. 如申請專利範圍第13項之方法，其中該切換增量邏輯係以多個切換增量順序之一而增加一位址，該特定的切換增量順序係由模式暫存器內所指示之脈衝串長度及該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

所增加位址之一預定數目之最低有效位元之值所決定。

15. 如申請專利範圍第14項之方法，其中假如第一裝置決定要求一線性位址增量順序，則該要求的線性位址增量順序亦由脈衝串長度及該起始位址之預定數目之最低有效位元之值而決定。

16. 如申請專利範圍第15項之方法，尚包括一組合地改變起始位址之一預定數目之最低有效位元之值，以選擇一或多個切換位址增量順序以便複製所要求的線性增量順序之邏輯之步驟。

17. 如申請專利範圍第16項之方法，尚包括一控制記憶體脈衝串存取操作，以使得假如切換增量邏輯增加起始位址以存取位置且該位置並非脈衝串存取操作期間所要求存取之位置時，一特定記憶體位置之記憶體存取被忽略之步驟。

18. 如申請專利範圍第10項之方法，其中該電腦系統包括透過一主匯流排而與記憶體通訊之一處理器，以及與一PCI匯流排上記憶體通訊之至少一週邊裝置，且其中決定步驟係回應脈衝串存取請求之來源，以當脈衝串存取請求係從PCI匯流排接收時，決定該裝置要求一線性存取次序，並且當脈衝串存取請求係從主匯流排接收時，決定該裝置要求一切換存取次序。

19. 如申請專利範圍第15項之方法，其中脈衝串長度爲四資料字組，且決定該值之最低有效位元之預定數目爲二。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

所增加位址之一預定數目之最低有效位元之值所決定。

15. 如申請專利範圍第14項之方法，其中假如第一裝置決定要求一線性位址增量順序，則該要求的線性位址增量順序亦由脈衝串長度及該起始位址之預定數目之最低有效位元之值而決定。

16. 如申請專利範圍第15項之方法，尚包括一組合地改變起始位址之一預定數目之最低有效位元之值，以選擇一或多個切換位址增量順序以便複製所要求的線性增量順序之邏輯之步驟。

17. 如申請專利範圍第16項之方法，尚包括一控制記憶體脈衝串存取操作，以使得假如切換增量邏輯增加起始位址以存取位置且該位置並非脈衝串存取操作期間所要求存取之位置時，一特定記憶體位置之記憶體存取被忽略之步驟。

18. 如申請專利範圍第10項之方法，其中該電腦系統包括透過一主匯流排而與記憶體通訊之一處理器，以及與一PCI匯流排上記憶體通訊之至少一週邊裝置，且其中決定步驟係回應脈衝串存取請求之來源，以當脈衝串存取請求係從PCI匯流排接收時，決定該裝置要求一線性存取次序，並且當脈衝串存取請求係從主匯流排接收時，決定該裝置要求一切換存取次序。

19. 如申請專利範圍第15項之方法，其中脈衝串長度爲四資料字組，且決定該值之最低有效位元之預定數目爲二。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

20. 一種電腦系統，包括：

一處理器；

一主匯流排，連接該處理器以通訊資訊；

一記憶體，連接該主匯流排；

一週邊匯流排，連接該記憶體；

耦合至記憶體主匯流排與週邊匯流排之切換增量邏輯，以增加一切換增量順序之一位址；及

耦合至記憶體之邏輯，用以控制該記憶體之一脈衝串存取順序以回應一脈衝串存取請求，且一脈衝串存取起始位址係由主匯流排或週邊匯流排接收，假如脈衝串存取請求係由週邊匯流排接收，該邏輯控制切換增量邏輯，以增加一線性增量順序之脈衝串存取起始位址。

21. 如申請專利範圍第20項之方法，其中該週邊匯流排爲一週邊元件內連接(PCI)匯流排。

22. 如申請專利範圍第20項之方法，其中由切換增量邏輯所選定之一特定的切換位址增量順序係由連接該記憶體之一脈衝串長度暫存器所設定之一脈衝串長度以及脈衝串存取起始位址之最低有效位元之預定數目之一值而決定。

23. 如申請專利範圍第22項之方法，亦包括耦合至切換增量邏輯之組合邏輯，用以組合地改變脈衝串存取起始位址以選擇一或多個切換位址增量順序，以複製一線性增量順序。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

20. 一種電腦系統，包括：

一處理器；

一主匯流排，連接該處理器以通訊資訊；

一記憶體，連接該主匯流排；

一週邊匯流排，連接該記憶體；

耦合至記憶體主匯流排與週邊匯流排之切換增量邏輯，以增加一切換增量順序之一位址；及

耦合至記憶體之邏輯，用以控制該記憶體之一脈衝串存取順序以回應一脈衝串存取請求，且一脈衝串存取起始位址係由主匯流排或週邊匯流排接收，假如脈衝串存取請求係由週邊匯流排接收，該邏輯控制切換增量邏輯，以增加一線性增量順序之脈衝串存取起始位址。

21. 如申請專利範圍第20項之方法，其中該週邊匯流排爲一週邊元件內連接(PCI)匯流排。

22. 如申請專利範圍第20項之方法，其中由切換增量邏輯所選定之一特定的切換位址增量順序係由連接該記憶體之一脈衝串長度暫存器所設定之一脈衝串長度以及脈衝串存取起始位址之最低有效位元之預定數目之一值而決定。

23. 如申請專利範圍第22項之方法，亦包括耦合至切換增量邏輯之組合邏輯，用以組合地改變脈衝串存取起始位址以選擇一或多個切換位址增量順序，以複製一線性增量順序。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

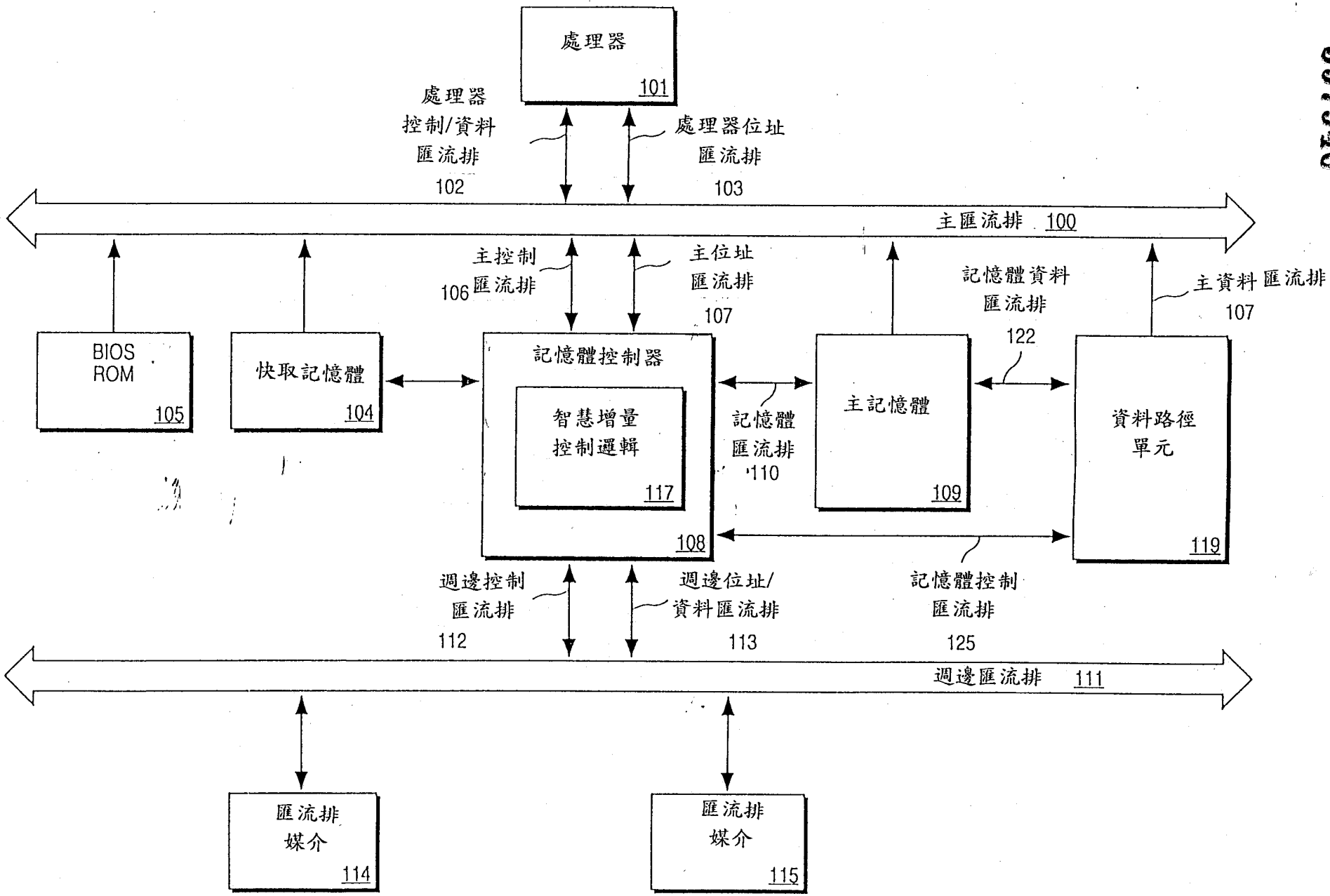
處理器
101
處理器
控制/資料
匯流排
102
處理器位址
匯流排
103
主匯流排 100
主控制
106 匯流排
主位址
匯流排
107
記憶體資料
匯流排
122
主資料 匯流排
107
BIOS
ROM
105
快取記憶體
104
記憶體控制器
智慧增量
控制邏輯
117
108
記憶體
匯流排
110
主記憶體
109
資料路徑
單元
119
週邊控制
匯流排
112
週邊位址/
資料匯流排
113
記憶體控制
匯流排
125
週邊匯流排 111
匯流排
媒介
114
匯流排
媒介
115

圖 1

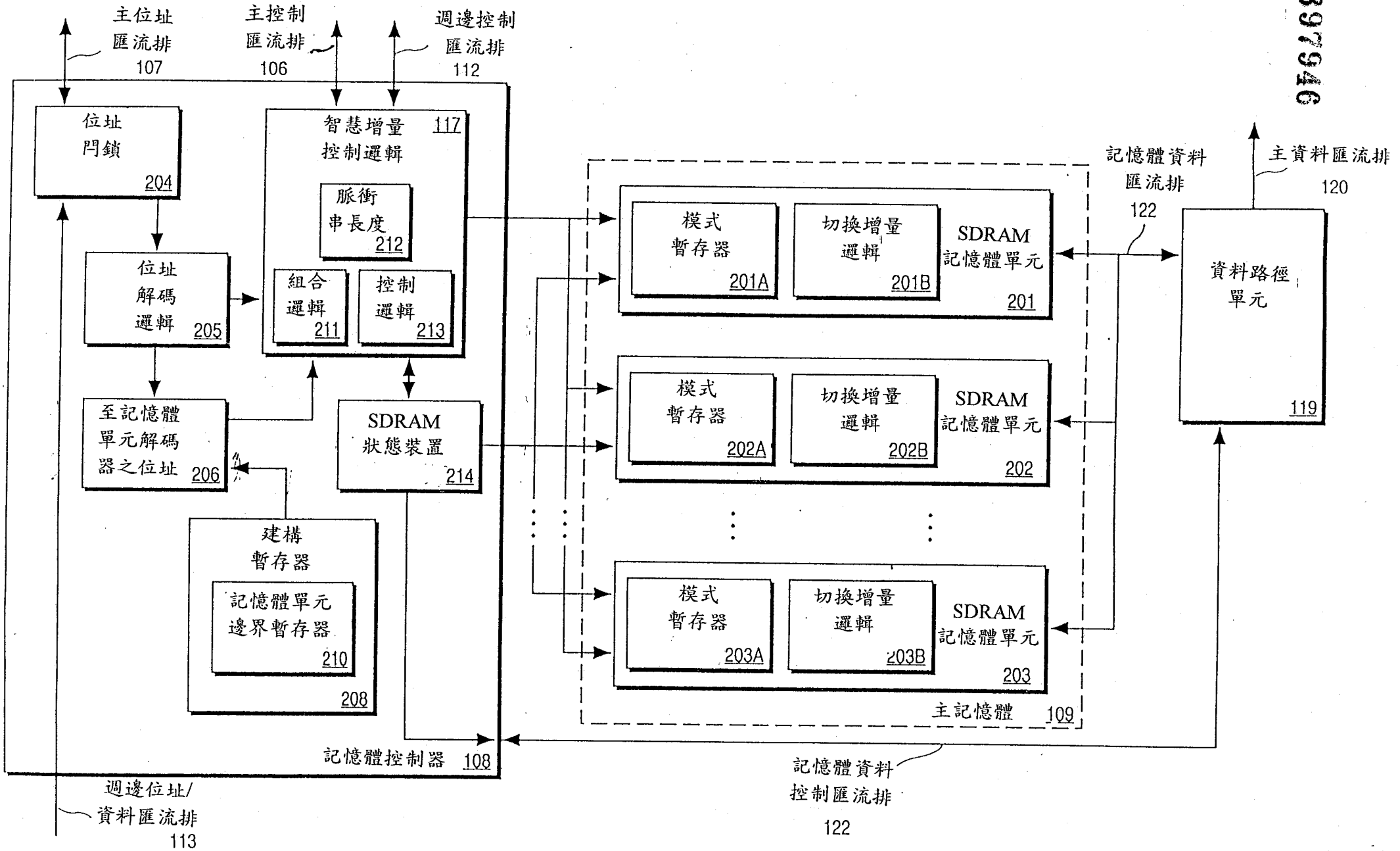
主位址
匯流排
107
主控制
匯流排
106
週邊控制
匯流排
112
位址
閂鎖
204
智慧增量
控制邏輯
117
脈衝
串長度
212
位址
解碼
邏輯
205
組合
邏輯
211
控制
邏輯
213
至記憶體
單元解碼
器之位址
206
SDRAM
狀態裝置
214
建構
暫存器
記憶體單元
邊界暫存器
210
208
記憶體控制器
108
週邊位址/
資料匯流排
113
模式
暫存器
201A
切換增量
邏輯
201B
SDRAM
記憶體單元
201
模式
暫存器
202A
切換增量
邏輯
202B
SDRAM
記憶體單元
202
模式
暫存器
203A
切換增量
邏輯
203B
SDRAM
記憶體單元
203
主記憶體
109
記憶體資料
匯流排
122
主資料匯流排
120
資料路徑
單元
119
記憶體資料
控制匯流排
122

圖 2

起始位址	線性增量順序	切換增量順序
0	0, 1	0, 1
1	1, 0	1, 0

圖 3A

起始位址	線性增量順序	切換增量順序
0	0, 1, 2, 3	0, 1, 2, 3
1	1, 2, 3, 0	1, 0, 3, 2
2	2, 3, 0, 1	2, 3, 0, 1
3	3, 0, 1, 2	3, 2, 1, 0

圖 3B

起始位址	線性增量順序	切換增量順序
0	0, 1, 2, 3, 4, 5, 6, 7,	0, 1, 2, 3, 4, 5, 6, 7,
1	1, 2, 3, 4, 5, 6, 7, 0	1, 0, 3, 2, 5, 4, 7, 6
2	2, 3, 4, 5, 6, 7, 0, 1	2, 3, 0, 1, 6, 7, 4, 5
3	3, 4, 5, 6, 7, 0, 1, 2	3, 2, 1, 0, 7, 6, 5, 4
4	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3
5	5, 6, 7, 0, 1, 2, 3, 4	5, 4, 7, 6, 1, 0, 3, 2
6	6, 7, 0, 1, 2, 3, 4, 5	6, 7, 4, 5, 2, 3, 0, 1
7	7, 0, 1, 2, 3, 4, 5, 6	7, 6, 5, 4, 3, 2, 1, 0

圖 3C

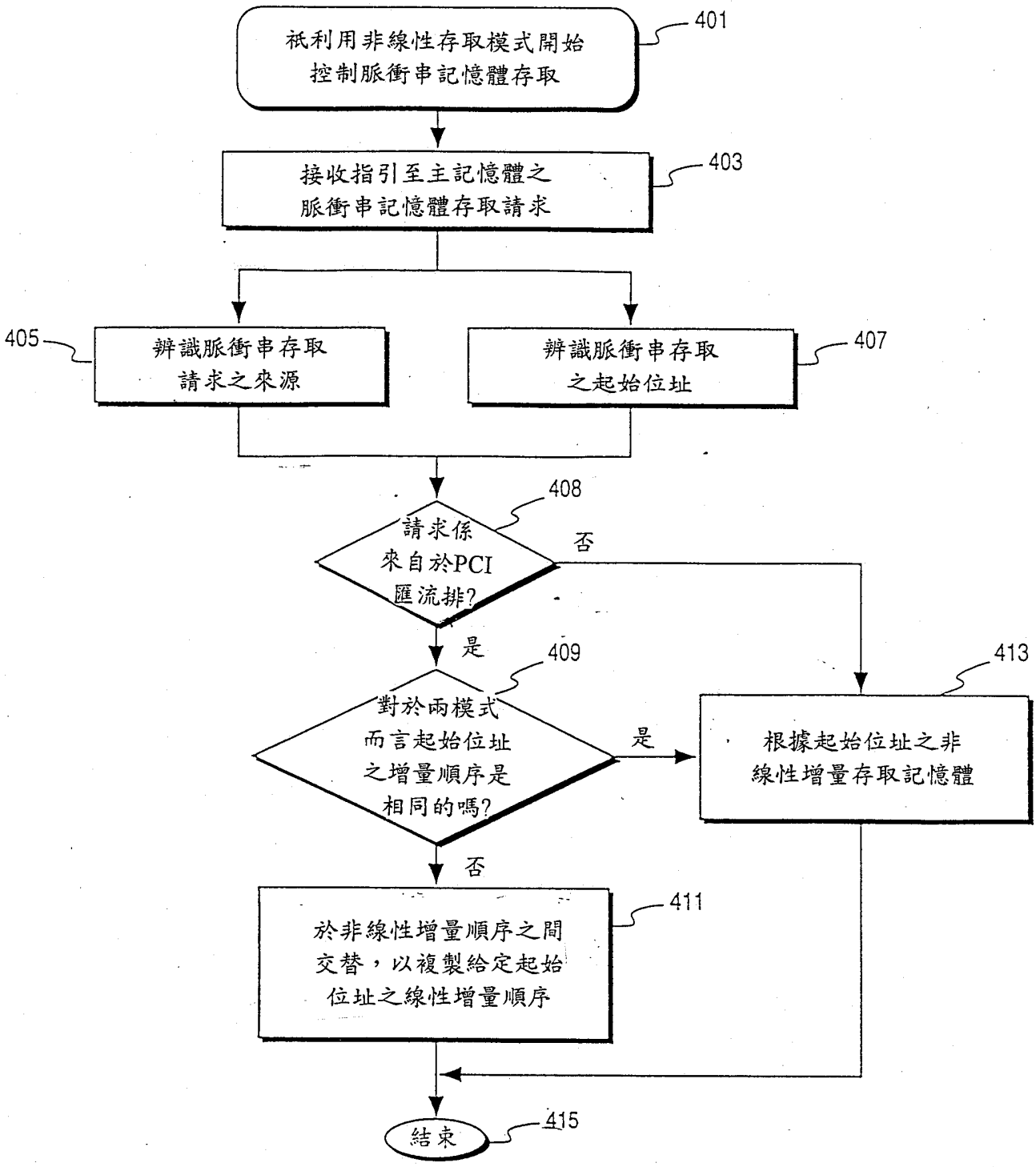
祇利用非線性存取模式開始控制脈衝串記憶體存取
401
接收指引至主記憶體之脈衝串記憶體存取請求
403
405
辨識脈衝串存取請求之來源
辨識脈衝串存取之起始位址
407
408
請求係來自於PCI匯流排?
否
是
409
對於兩模式而言起始位址之增量順序是相同的嗎?
是
413
根據起始位址之非線性增量存取記憶體
否
411
於非線性增量順序之間交替，以複製給定起始位址之線性增量順序
結束
415

圖 4

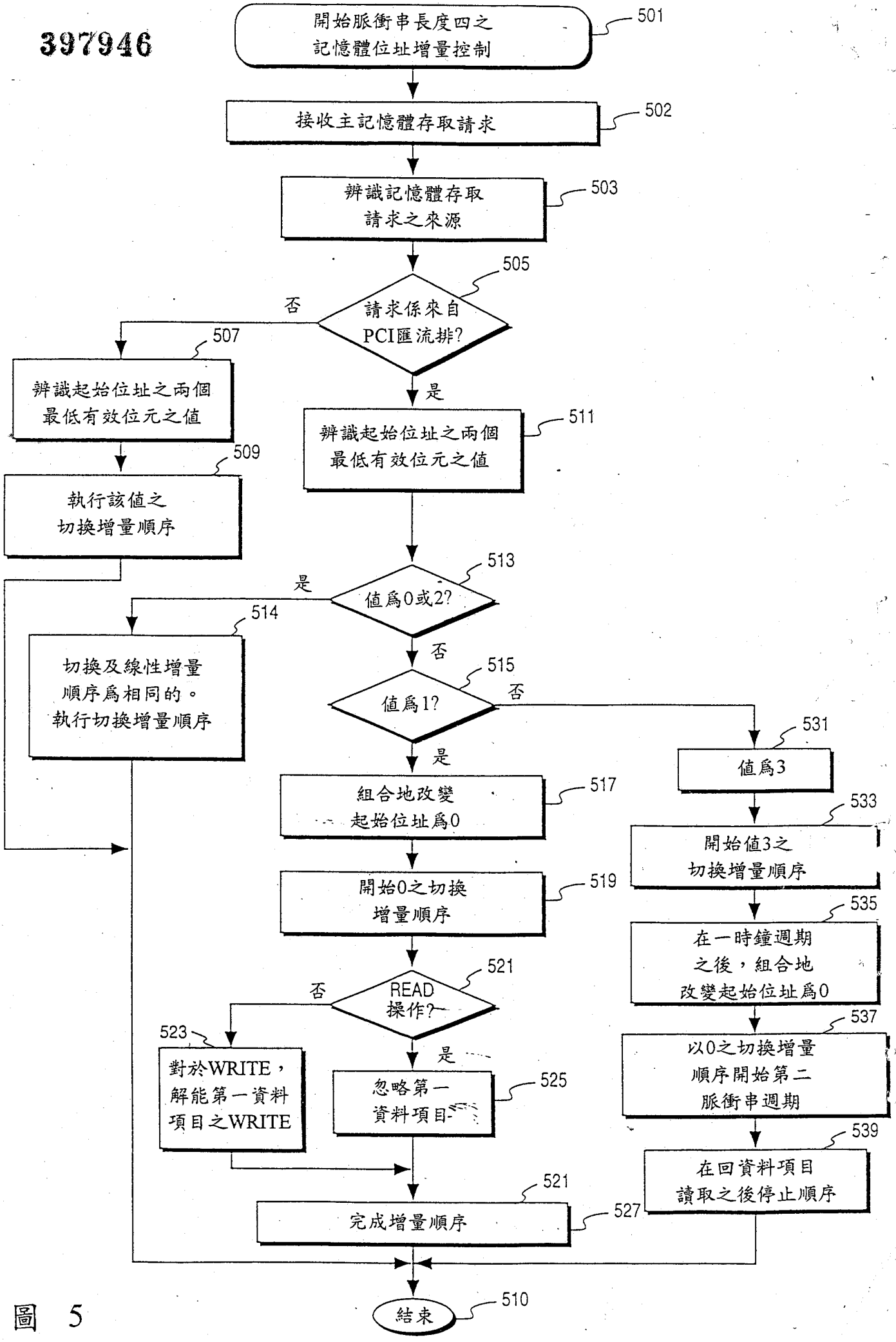
開始脈衝串長度四之記憶體位址增量控制
501
接收主記憶體存取請求
502
辨識記憶體存取請求之來源
503
請求係來自PCI匯流排?
505
否
是
辨識起始位址之兩個最低有效位元之值
507
執行該值之切換增量順序
509
辨識起始位址之兩個最低有效位元之值
511
值爲0或2?
513
是
否
切換及線性增量順序爲相同的。執行切換增量順序
514
值爲1?
515
否
是
值爲3
531
組合地改變起始位址爲0
517
開始值3之切換增量順序
533
開始0之切換增量順序
519
在一時鐘週期之後，組合地改變起始位址爲0
535
READ操作?
521
否
是
以0之切換增量順序開始第二脈衝串週期
537
對於WRITE，解能第一資料項目之WRITE
523
忽略第一資料項目
525
在回資料項目讀取之後停止順序
539
完成增量順序
521
527
結束
510

圖 5