

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/205 (2006.01)

H01L 29/778 (2006.01)



[12] 发明专利说明书

专利号 ZL 02827309.5

[45] 授权公告日 2007 年 10 月 24 日

[11] 授权公告号 CN 100345254C

[22] 申请日 2002.9.5 [21] 申请号 02827309.5

[30] 优先权

[32] 2001.11.22 [33] EP [31] 01127834.8

[86] 国际申请 PCT/EP2002/009922 2002.9.5

[87] 国际公布 WO2003/044839 英 2003.5.30

[85] 进入国家阶段日期 2004.7.19

[73] 专利权人 埃斯苏黎世公司

地址 瑞士苏黎世

[72] 发明人 H·冯卡内尔

[56] 参考文献

US5442205A 1995.8.15

US5241197A 1993.8.31

A PLASMA PROCESS FOR ULTRAFAST DEPOSITION OF SICE GRADEDBUFFER LAYERS C ROSENBLAD H, VONKANEL M UMMER A DOMMANN, E MULLER, APPLIED PHYSICS LETTERS, Vol. 76 No. 4 2000

A plasma process for ultrafast deposition of SiGe gradedbuffer layers C. ROSENBLAD, H. VONKANEL, M. KUMMER, A. DOMMANN, E. MULLER, APPLIED PHYSICS LETTERS, Vol. 76 No. 4 2000

审查员 高 伟

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 周承泽

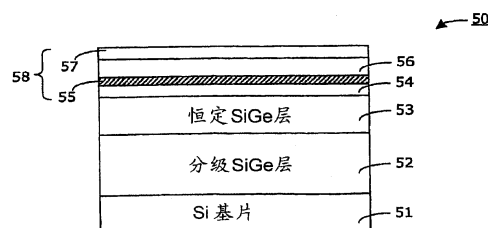
权利要求书 3 页 说明书 10 页 附图 6 页

[54] 发明名称

用低能量等离子体增强化学气相沉积法形成
高迁移率硅锗结构

[57] 摘要

半导体的制造方法的步骤包括：采用一种高密度低能量等离子体增强化学气相沉积 (LEPECVD) 方法：生长速度为 2nm/秒以上，基片温度为 400℃ 至 850℃ 和在气体入口处的活性气体总流量为 5sccm 至 200sccm，以分级 $\text{Si}_{1-x}\text{Ge}_x$ 层与一非分级 $\text{Si}_{1-x}\text{Ge}_x$ 层在一硅基片上形成一虚拟基片；采用一低密度低能量等离子体增强化学气相沉积 (LEPECVD) 方法：使氢 (H_2) 注入生长室，基片温度保持在 400℃ 与 500℃ 之间和以脉冲方式使一掺杂气体注入生长室，以提供调制掺杂层，在一包含 Ge 沟与至少一调制掺杂层的虚拟基片上形成一激活区。



1.一种在一具有气体入口(30)的生长室(23)中的半导体异质结构的制作方法，其包括以下步骤：

- 采用一种高密度低能量等离子体增强化学气相沉积方法，其条件如下：
 - i. 生长率为 2nm/s 以上；
 - ii. 基片温度在 400℃与 850℃之间；以及
 - iii.在生长室的气体入口处的活性气体总流量为 5sccm 至 200sccm 之间；

在一硅基片(11; 51; 61)上形成一虚拟基片，其包括一分级 $\text{Si}_{1-x}\text{Ge}_x$ 层(12; 52; 62)和一具有恒定 Ge 浓度的 $\text{Si}_{1-x}\text{Ge}_x$ 层(13; 53; 63)；

- 采用一种低密度低能量等离子体增强化学气相沉积方法，通过以下步骤：

- i. 把作为表面活性剂的氢注入生长室(23)；
- ii. 使基片温度维持在 400℃与 500℃之间；以及
- iii.以脉冲方式把掺杂气体注入生长室(23)，为调制掺杂层(56; 64)提供保证；

在所述虚拟基片上形成一包括一 Ge 沟(55; 65)与一调制掺杂层(56; 64)的激活区(14; 58; 68)。

2.根据权利要求 1 所述的方法，其特征在于所述虚拟基片形成时，使基片温度在 400℃与 800℃之间的范围变化。

3. 根据权利要求 2 所述的方法，其特征在于所述温度范围为 450℃-750℃。

4.根据权利要求 1 或 2 或 3 所述的方法，其特征在于所述激活区(14; 58; 68)形成时，使基片温度保持在 450℃。

5.根据权利要求 1 或 2 或 3 所述的方法，其特征在于用乙硼烷作为掺杂气体。

6.根据权利要求 1 或 2 或 3 所述的方法，其特征在于所述基片的电势为 -12V 和所述等离子体电势则接近 0V。

7.根据权利要求 1 或 2 或 3 所述的方法，其特征在于 SiH_4 和 GeH_4 由气体入口(30)注入所述生长室(23)。

8.根据权利要求 1 或 2 或 3 所述的方法，其特征在于所述生长率为 2nm/s 至

10nm/s 之间。

9.根据权利要求 1 或 2 或 3 所述的方法,其特征在于所述高密度低能量等离子体的密度比低密度低能量等离子体的密度高十倍。

10.一种异质结构半导体器件,其包括一硅基片(11; 51; 61)、一分级 $\text{Si}_{1-x}\text{Ge}_x$ 层(12; 52; 62)、一具有恒定 Ge 浓度的 $\text{Si}_{1-x}\text{Ge}_x$ 缓冲层(13; 53; 63)、一位于所述 $\text{Si}_{1-x}\text{Ge}_x$ 缓冲层(13; 53; 63)上的激活区(14; 58; 68)、所述激活区(14; 58; 68)包括至少一调制掺杂层(56; 64)和一 Ge 沟(55; 65),其在 4.2K 下的空穴迁移率为 70000 至 $87000\text{cm}^2/\text{Vs}$ 之间。

11.根据权利要求 10 所述的器件,其特征在于所述 $\text{Si}_{1-x}\text{Ge}_x$ 缓冲层(13; 53; 63)和/或分级 $\text{Si}_{1-x}\text{Ge}_x$ 层(12; 52; 62)的均方根表面粗糙度小于 5nm。

12.一种生长系统(80),其包括一具有气体入口(30)的生长室(23),该生长系统(80)被设置为实施一包括至少两个处理步骤的低能量等离子体增强化学气相沉积方法,其中:

- 在第一处理步骤中,调整该系统的参数至:基片温度为 400°C 至 850°C 之间和在气体入口处的活性气体的总流量为 5sccm 至 200sccm 之间,以使一生长率在 2nm/s 以上;
- 在第二处理步骤中,调整该系统的参数至:基片温度保持在 400°C 至 500°C 之间,使氢注入该生长室(23)和以脉冲方式使一掺杂气体注入该生长室(23),以使调制掺杂至少一层。

13.根据权利要求 12 所述的生长系统,其特征在于所述生长系统包括一处理控制器(81),以便相应地控制系统参数。

14. 根据权利要求 13 所述的生长系统,其特征在于所述处理控制器是一具有适当软体模块(82, 83)的计算机。

15.根据权利要求 13 所述的生长系统,其特征在于使所述处理控制器(81)能够在第一处理步骤中,在给定的 400°C 与 800°C 的范围之间改变基片的温度。

16. 根据权利要求 15 所述的生长系统,其特征在于所述给定范围为 450°C - 750°C 之间。

17.根据权利要求 13 所述的生长系统,其特征在于使所述处理控制器(81)能够在第二处理步骤中维持该基片温度在 450°C 。

18.根据权利要求 13 所述的生长系统,其特征在于使所述处理控制器(81)能够控制将作为掺杂气体的乙硼烷注入生长室(23)。

19.根据权利要求 13 所述的生长系统，其特征在于使所述处理控制器(81)能够调整参数，以便使基片的电势保持 - 12V 和等离子体电势接近 0V。

20.根据权利要求 13 所述的生长系统，其特征在于使所述处理控制器(81)能够控制 SiH_4 和 GeH_4 注入生长室(23)。

用低能量等离子体增强化学气相沉积法形成高迁移率硅锗结构

技术领域

本发明涉及硅锗结构的形成,更具体地说,涉及一些出现急增电子空穴迁移率的异质结构。例如,采用以下的方法可以形成调制掺杂场效应晶体管结构(例如,MODFET结构)和调制掺杂量子阱结构(例如,MODQW结构)。

背景技术

工业目前正在采用一些新的材料与材料组合物,以改进诸如晶体管的半导体器件。这样可提高集成电路(ICs)的处理速度与性能。

一典型的例子是在硅上配置硅锗(SiGe)。图1所示为一众所周知的SiGe异质结构器件10的实例。该器件10包括一(001)定向的硅基片11。一分级的SiGe层12位于Si基片11上。层12是考虑到晶格常数由硅的晶格常数逐渐地改变成主要由SiGe层12中的Ge浓度所确定的晶格常数。所述例子中,一成分不变的缓冲层13在该分级SiGe层12上形成。该SiGe层12与缓冲层13作为在随后的工序中形成的其他层的虚拟基片。该虚拟基片上形成一组有源元件层14。所述器件10的左边的图15所述为Ge的浓度。所述SiGe层12中的Ge浓度(x)由 $x=0$ 渐渐增加至 $x=x_f$ 。所述层12的厚度一般是几微米,以保证缺陷结集低。

现行有几种广泛采用的SiGe器件10的制造方法,例子如,分子束外延(MBE)与超高真空化学气相沉积(UHV-CVD)。采用所述方法制作富含Ge的SiGe结构与器件则很困难。已知的方法的另一缺点是生长率慢。为了确保缺陷结集在一可接受的水平,故而要求SiGe层12的厚度为某一最小值。这样,形成所述硅锗层则需要相当长的时间。因此,对于工业性大量生产是非常不利的。

有两种不同的UHV-CVD具方法。第一种称为热壁式UHV-CVD和第二种称为冷壁式UHV-CVD或快速热CVD(RTCVD)。

热壁式 CVD 非常适合批量处理并在低的基片温度(一般在 450℃和 550℃之间)下进行。采用热壁 UHV-CVD 可在 SiGe 缓冲层上形成应变 Si 沟。Ismail 等人曾在题为“Si/SiGe 调制掺杂异质结构中极高的电子迁移率”(Appl. Phys. Lett., Vol. 66, p. 1077, 1995)中报导, 极高电子迁移率大于 $10^5 \text{cm}^2/\text{Vs}$ 。所述热壁式 UHV-CVD 具有以下一些缺点, 例如:

- 据 B.S. Meyerson 等人在题为“硅/锗低温外延的共同生长现象”(Appl. Phys. Lett., Vol. 53, p. 2555, 1988)中报导, 纯 Si 在约 550℃的基片温度下生长率(大约纳米/分钟)慢;
- 由所谓交叉线因松弛引起的大表面的粗糙度。浓度梯度(分级率)越陡, 所述交叉线的效应则越明显。高度上高低的差距通常约为 30nm(纳米), 即使在一具有较低的表面 Ge 浓度($x_F=0.3$)的缓冲层的表面上。如 M. Arafa 等人在题为“高性能 Si/SiGe 场效应晶体管的器件与制造问题”(Mat. Sci. Soc., Symp. Proc. Vol. 533, p. 83)中所述, 表面粗糙度对 MODFETs 的品质具有不利的作用。
- 如 P.M. Mooney 等人在题为“SiGe 技术: 异质外延和高速微电子学”(Annu. Rev. Mater. Sci., Vol. 30, pp. 335, 2000)中所述, 热壁方法特别在高 Ge 浓度时难以控制。因此, 所述热壁方法不适合高迁移率空穴传输。这样, 采用热壁技术并不能获得具有纯 Ge 沟的高性能 p-MODFETs。

冷壁 CVD 适合用作处理单晶片。所述处理通常在 700℃以上进行。在 E. A. Fitzgerald 等人所写题为“在 Si 基片上生长具有低贯穿式位错密度的完全松弛的 $\text{Ge}_x\text{Si}_{1-x}$ 层”(Appl. Phys. Lett., Vol. 59, p. 811, 1991)的论文中, 可找到有关分级 SiGe 缓冲层的第一项结果。当基片温度在 800℃和 900℃之间, 表面粗糙度比用热壁方法制作的层表面粗糙度大。报告指出, 当缓冲层的 Ge 浓度增加时, 在 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 缓冲层上的一 30 纳米的 RMS-粗糙度将趋向更大的表面粗糙度。详情请参阅 S. B. Samavedan 等人的文章, 题为“松弛的 Ge/Si-Ge(分级)/Si 结构中的新型位错结构与表面形态效应”(J. Appl. Phys, Vol. 81, p. 3108, 1997)。

当采用冷壁 UHV-CVD 制作(RMS 粗糙度大于 30nm)时, SiGe 缓冲层非

常粗糙，其中浓度成梯度，以致于在缓冲层的表面上获得 100%Ge。如未经化学机械抛光(CMP)则不能在这些粗糙表面上形成异质结构器件。详情请参照 E. A. Fitzgerald 等人的文章，题为“采用渐进式 SiGe 层与化学机械抛光来控制 Si 上的 Ge 的贯穿式位错密度”(Appl. Phys. Lett, Vol. 72, p. 1718, 1998)。

直至现在，还没有任何报导整个叠层采用冷壁 UHV-CVD 制作 MODFET 结构和高迁移率的空穴输送器件。

另一众所周知的处理技术是低压化学气相沉积(LPCVD)。正如 A. C. Churchill 等人的文章，题为“高温下生长的松弛的 SiGe 层上的 Si/SiGe 异体结构中的高迁移率二维电子气”(Semicond. Sci. Technol., Vol. 12, p. 943, 1998)中报导，LPCVD 方法中的较高的处理温度也会导致大的表面粗糙度。所述情况也发生在分级率低于 10%/μm。据报导，当缓冲层表面的 Ge 浓度为 $x_f=0.24$ 和基片温度为 800℃时，RMS 粗糙度可高达 6nm。详情请参照 D. J. Wallis 等人的文章，题为“松弛的 SiGe 层中的嵌镶晶体倾斜度及其与位错结构、表面粗糙度和生长条件的关系”(Mat. Res. Soc. Symp. Proc., 533, p. 77, 1998)。

表面上的 Ge 浓度为 100%(即 $x_f=1$)的分级缓冲层具有较大的粗糙度，即 RMS 为 160nm。

正如冷壁 UHV-CVD，LPCVD 不适合制造一需要高空穴迁移率的结构。

如上所述，MBE 是另一广泛采用制作半导体结构的方法。采用一 MBE 方法可制作一虚拟基片(图 1 的层 12 与层 13)，而不会有严重的难题出现。由于层的化学成分基本上与基片温度无关，故而通过选择适当的温度图和分级率可以优化虚拟基片层的松弛和表面粗糙度，正如 J. -H. Li 等人的文章，题为“组成上分级的 Si/Si_{1-x}Ge_x 缓冲层的应变松弛和表面形态学”(J. -Vac. Sci. Technol., Vol. B16, p. 1610, 1998)和 E.A. Fitzgerald 等人的文章(APL, Vol. 59, p. 811, 1991)中所述。

MBE 最严重的缺点是蒸发坩锅的容量有限。这在使厚的 SiGe 缓冲层生长时特别不利，如 T. Hackbarth 等人的文章，题为“MBE 生长加厚松弛的 SiGe 缓冲层的可供选择的方案”(Thin Solid Films, Vol. 369, p. 148, 2000)中

所述。因此，MBE 不适用于 SiGe 器件的工业规模生产。

对于一虚拟基片上具有大量 Ge 的压缩应变沟的器件，其趋向三维生长。具体来说，纯 Ge 层除了在约 300℃ 的低基片温度下生长之外，其呈现显明的表面粗糙度。然而，在目前尚不能接受这样低温下的器件的电气性质。

本发明的目的是提供一种经改进的 SiGe 结构的制作方法，例如，MODFET 结构或 MODQW 结构。

本发明的另一目的是提供一种具有经改进空穴电导率的 SiGe 器件的制作方法。

本发明的再一目的是提供经改进的 SiGe 异质结构的器件。

本发明的又一目的是提供一种实施 SiGe 器件的制作方法的生长系统。

发明内容

本发明依赖于一种低能量等离子体增强化学气相沉积(LEPECVD)方法。

本发明提出一种半导体结构的制作方法，其步骤包括：

- 采用高密度低能量等离子体增强化学气相沉积(LEPECVD)方法：生长速度为 2nm/秒以上，基片温度在 400℃ 与 850℃ 之间和在气体入口有一总活性气体流量为 5sccm ~ 200sccm(标准厘米³/分)，以分级 Si_{1-x}Ge_x 层和非分级 Si_{1-x}Ge_x 层在一硅基片上形成一虚拟基片。

此外，所述方法的步骤还包括：

- 采用一低密度低能量等离子体增强化学气相沉积(LEPECVD)的方法：使氢气(H₂)进入生长室，基片温度维持在 400℃ 与 500℃ 之间和以脉冲方式使一掺杂气体进入生长室，以提供调制掺杂层，在一包含一 Ge 沟和至少一调制掺杂层的虚拟基片上形成一激活区。

本发明提出一种半导体器件。该器件包括一硅基片、一分级 Si_{1-x}Ge_x 层、一具有恒定 Ge 含量的 Si_{1-x}Ge_x 缓冲层和一位于所述 Si_{1-x}Ge_x 缓冲层上的激活区。该激活区包含至少一调制掺杂层和一在 4.2k 具有 70000 与 87000cm²/Vs 空穴迁移率的 Ge 沟。

本发明提出一种生长系统。该系统包括一具有气体入口的生长室。该系统的设置可实施一低能量等离子体增强化学气相沉积(LEPECVD)方法，该方法包括至少二个处理步骤，其中：

- 把第一处理步骤的系统参数调整到：基片温度为 400℃~850℃，气体

入口处总活性气体量为 5sccm~200sccm，以使生长率为 2nm/s 以上；以及

- 把第二处理步骤的系统参数调整到：基片温度维持在 400℃~850℃，使氢气(H₂)注入生长室和采用脉冲方式使掺杂气体注入生长室，以使至少一层调制掺杂。

本发明的优点在于可防止或甚至避免已知方法的障碍与缺点。所述器件可实现至今未知的空穴迁移率。所述生长率急剧增加，因此，使本发明的方法能够用于以工业规模制作半导体器件。另一些优点从以下详细的描述将更为明显。

附图说明

以下，将结合附图对本发明、本发明的进一步目的及优点作更详细叙述，其中：

图 1 所示为 SiGe 异质结构半导体器件的截面示意图；

图 2 所示为本发明的低能量等离子体增强化学气相沉积(LEPECVD)系统的截面示意图；

图 3 所示为本发明的 Ge 浓度随时间变化的示意图；

图 4 所示为本发明的不同试样的空穴迁移率随温度变化的示意图；

图 5 所示为本发明的 SiGe 异质结构半导体器件的截面示意图；

图 6 所示为本发明的另一 SiGe 异质结构半导体器件的截面示意图；

图 7 所示为本发明的 Ge 浓度随时间变化的示意图；和

图 8 所示为本发明的生长系统的方块图。

具体实施方式

本发明的原理是利用两种不同晶格参数的材料互相在其上生长时应变的层外延。例如，当锗(Ge)沉积在一较小晶格参数的基片上时，Ge 的原子与其下的原子排成一行以使 Ge 压缩地应变。在应变的 Ge 中，例如，空穴遇到较少的阻力，就会流得较快。这效果可用于实现较快的器件而不用缩小单个器件的尺寸。

硅原子之间的空间比锗的晶格小。因此，一 SiGe 层的晶格常数比硅的晶格常数大。SiGe 晶格常数随 Ge 的浓度升高而增大。

本发明是依靠低能等离子体增强化学气相沉积(LEPECVD)。图 2 所示为一典型的 LEPECVD 系统 20。LEPECVD 基于在一等离子体室 22 里的热灯丝 21，

与生长室 23 的壁和/或一辅助阳极 24 之间的一低压 DC 电弧的放电。一 SiGe 层将在其上形成的基片 25 直接暴露在高强度但低能量的等离子体中。该基片的电压约 -12V(伏特)诸如防止任何高能离子的损害。一偏压控制器 31 施加一适当的偏压。所述 LEPECVD 的特征在于等离子体电势是接近 0V。必要的活性气体(例如, H_2 、 SiH_4 、 GeH_4 和 PH_3)通过一孔 26 和一气体入口 30 直接注入生长室 23, 同时, 氩(Ar)放电气体则通过一孔 27 供入等离子体室 22, 该室与生长室 23 连接并由一细孔 28 分开。高强度的等离子体使前驱气体(例如, SiH_4 和 GeH_4 等)非常有效地裂化, 以致于 Si 与 SiGe 薄膜具有特别高的生长率。此外, 生长率通过使等离子体限制在由围绕在生长室 23 的线圈产生的磁场中得以增强。采用一适当电压使 AC 电流通过所述灯丝 21。约 120A 的电流使灯丝 21 加热至要求的温度。另外, 用一约 25V 的 DC 电压电源 32 在灯丝 21 与地之间产生一电弧放电。该系统 20 还包括一涡轮分子泵 29。

LEPECVD 系统的进一步详情业已在诸如 PCT 专利申请 WO 98/58099 中描述。所述 PCT 专利申请的详情则用作一起参考。

LEPECVD 系统的优点是可以获得特高的等离子体密度。本发明的虚拟基片是采用高密度的等离子体生长。所述活性气体的裂化对高密度等离子体非常有效, 以致于增加生长动力。基片温度在 $400^{\circ}C$ 与 $850^{\circ}C$ 之间则可能有高达 10nm/s 的极高生长率。除了传统的 CVD 系统以外, LEPECVD 系统中

的生长率在特定的温度范围内差不多完全与基片的温度无关。

本发明业已证明，一 LEPECVD 系统中的 SiGe 生长率几乎与生长室中以一固定的总流量的反应气体的浓度无关。传统的 CVD 系统中，生长率与气体的浓度之间具有强烈的相关性。

本发明采用一种称为调制掺杂的方法，借此在如图 2 中所述的一 LEPECVD 系统中实现掺杂。所述调制掺杂的基本原理与其他生长方法差不多相同。掺杂层与空穴运载沟不直接接触，例如像 Xie 等人在 Appl. Phys. Lett.(Vol. 63, p. 2263, 1993)中所发表的论文中所述。图 3 中所述为一如何实现掺杂的典型的例子，其中 Ge 的浓度以时间(秒)的函数表示。该图本身表明了 Ge 沟在生长前、生长中和生长后的 Ge 流。10 个维时约以每次脉冲持续时间约为 70 秒的 10 次乙硼烷脉冲 41 实现所述掺杂。在这些乙硼烷脉冲 41 中使 Ge 流减至零。图 5 所示为本发明相应的异质结构器件 50。该器件包括一 Si 基片 51，其上形成一虚拟 SiGe 基片。该虚拟基片包括一分级 SiGe 层 52 和一 Ge 浓度恒定的缓冲层 53。请注意不同的层的厚度并不按照比例绘制。一激活区 58 位于该虚拟基片上。该激活区包括一包覆层 54，所述层的 Ge 浓度比层 53 里的 Ge 浓度低。Ge 沟 55 设置在包覆层 54 上。一调制掺杂包覆层 56 和一 Si 覆盖层 57 盖在沟 55 上。Ge 浓度减少的包覆层 54 与 56 确保所述激活区 58 的应变补偿。

图 4 所示为空穴迁移率(cm^2/Vs)随温度(绝对温度 K)变化的曲线图，该图采用本发明的方法，在纯 Ge 沟中得出。采用本发明的方法就可在 4.2K 获得 70000 与 $87000\text{cm}^2/\text{Vs}$ 之间的迁移率。请特别留意 $87000\text{cm}^2/\text{Vs}$ 的迁移率。所述迁移率比文献中所报导的现行 4.2K 的 $55000\text{cm}^2/\text{Vs}$ 大得多(请参看 Xie 等人发表的上述论文)。所述两个案例的载体密度差不多相同，即 LEPECVD 的试样为 $6.18 \times 10^{11}\text{cm}^{-2}$ 和 Xie 等人的 MBE 试样为 $5.5 \times 10^{11}\text{cm}^{-2}$ 。请注意，后者的案例由于粗糙的表面，调制掺杂一定要在 Ge 沟以下的层中进行。在沟形成以前进行所述调制掺杂步骤所得的这种构形是不利的，因为掺杂物可能扩散或偏析到沟中。此外，由于掺杂层与栅极之间的大距离，这种构形不适合晶体管基的应用。

采用一 LEPECVD 系统实行本发明的步骤，就可以很高的生长率来生长

具有很高空穴迁移率的合成器件。当 SiGe 层 12(参看图 1)在 $x_f=70\%$ 和厚度为 $8\mu\text{m}$ 下以 $10\%/\mu\text{m}$ 分级和层 13 的厚度约为 $1\mu\text{m}$ 时,可达到约 $5\text{-}10\text{nm/s}$ 的生长率。MBE 系统的典型生长率为 0.1 至 3nm/s 。在可比较的基片温度下,一 UHV-CVD 系统的生长率至少低一个数量级。

本发明采用 400°C 至 850°C 的低基片温度,最好为 450°C 至 750°C 。此外,当虚拟基片形成时,等离子体的密度比激活区外延生长时的密度高出大约十倍。

最后但并非最不重要的,激活区生长时,把 H_2 注入生长室 23 中,其作为表面活性剂降低 Si 和 Ge 原子在表面扩散。这样使三维生长减少。还可以制作具有界限分明(精确的)界面。采用标准的 MBE 方式则无法实现所述界限分明的界面。

室温的迁移率对 MODFET 应用特别重要。采用本发明方法制作的器件的分析揭示,在 293K 下调制掺杂 Ge 的空穴迁移率最高达到约 $3000\text{ cm}^2/\text{Vs}$ 。所述数值可与一采用 MBE 方法达到的 $1700\text{ cm}^2/\text{Vs}$ 的空穴迁移率相比高。这样的迁移率是采用 MBE 业已获得的最好的。详情参见 Madhavi 等人的论文(J. Appl. Phys., Vol. 89, p. 2497, 2001)。

如图 5 中所示,图 1 中的器件 10 可通过在应变 Ge 沟的每一边各增加一包覆层得以改进。这个案例中,两层包覆层与所述沟一起形成有源器件层 14。这些包覆层的 Ge 浓度可以是 $x=60\%$,例如,层 13 的 Ge 浓度为 $x=70\%$ 。每一层的厚度可以是约 150nm 。因为包覆层的 Ge 浓度比层 13 的 Ge 浓度低,所以使包覆层拉伸应变,而 Ge 沟呈现压缩应变。

根据本发明的另一实施例,在虚拟基片形成时故意改变基片温度。这是可能的,因为在温度范围 400°C 至 850°C , LEPECVD 系统的生长率几乎完全与基片温度无关。

图 6 和 7 所示为另一实施例。器件 60 与图 5 中所示的器件相似。该器件包括一 Si 基片 61,其上形成一虚拟 SiGe 基片。该虚拟基片包括一分级 SiGe 层 62 和一具有恒定 Ge 浓度的缓冲层 63($x=0.6$)。请注意不同的层没有按照厚度比例绘制。一激活区 68 位于虚拟基片上。该区还包括一包覆层 64,其 Ge 浓度($x=0.55$)比层 63 的 Ge 浓度低。该包覆层 64 包括调制掺杂。Ge

沟 65 位于所述调制掺杂包覆层 64 上。另一调制掺杂包覆层 66 和一 Si 覆盖层 67 盖着沟 65。Ge 浓度减少的两包覆层供给激活区 68 的应变补偿。图 7 所示为 Ge 浓度的分布。请注意每一调制掺杂层 64 与 66 只包括一掺杂峰值。

根据本发明，一种半导体结构的制作方法包括以下的步骤：

- 采用一种高密度低能量等离子体增强化学气相沉积(LEPECVD)方法，其条件如下：

- i. 生长率 2nm/s 以上；
- ii. 基片温度在 400°C 与 850°C 之间；以及
- iii. 在生长室的气体入口处的活性气体总流量是在 5sccm 至 200sccm；

在一硅基片上形成一虚拟基片，其包括一分级 $\text{Si}_{1-x}\text{Ge}_x$ 层 ($0 \leq x \leq x_f$) 和一具有恒定 Ge 浓度 ($x=x_f$) 的 $\text{Si}_{1-x}\text{Ge}_x$ 层；

- 采用一种低密度低能量等离子体增强化学气相沉积(LEPECVD)方法，通过以上步骤：

- i. 把作为表面活性剂的氢(H_2)注入生长室；
- ii. 使基片温度维持在 400°C 与 500°C 之间；以及
- iii. 以脉冲方式把掺杂气体注入生长室，为调制掺杂层提供保证；

在所述包括一 Ge 沟与至少一调制掺杂层的虚拟基片上形成一激活区。

本发明的方法可作多种变换。

根据本发明，可以在一特定生长系统 80 实现使本发明的方法能够用作自动处理。图 8 所示为一例子。这样一种生长系统 80 包括一具有气体入口和其他组件的生长室 23，其与图 2 所示相似。装置该生长系统 80 以便实施一种包括至少两个处理步骤的低能量等离子体增强化学气相沉积(LEPECVD)方法。在第一处理步骤中，调整该系统的参数至：基片温度为 400°C 至 850°C 和在气体入口处活性气总流量为 5sccm 至 200sccm，以使一生长率在 2nm/s 以上。在第二处理步骤中，调整该系统的参数，使一基片温度维持在 400°C 至 500°C。此外，在第二处理步骤时，把氢(H_2)注入该生长室

23 和以脉冲方式把掺杂气体注入该生长室 23，以使调制掺杂至少一层。

如图 8 示意所述，该生长系统 80 可包括一处理控制器 81，其最好是一具有适合的软体模块 82 与 83 的计算机，以便控制根据本发明的系统参数。

用本发明的方法可以形成 SiGe 层，其 RMS 表面粗糙度为 5nm 或少于 5nm。

本发明的概念十分适用于晶体管、传感器、光谱仪、量子计算机和其他器件/系统。

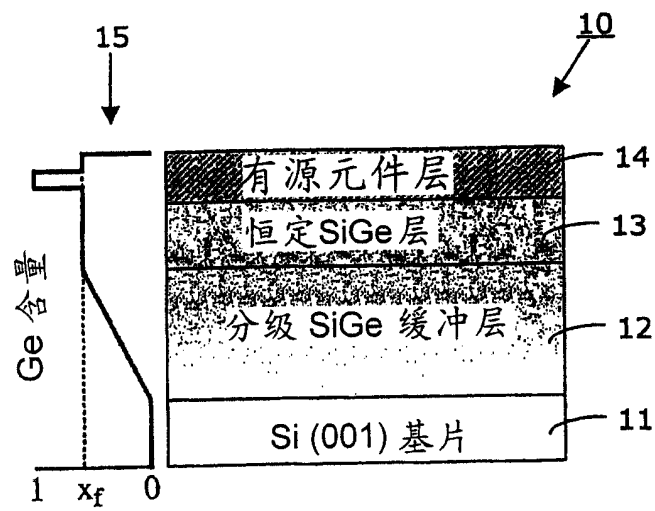


图 1

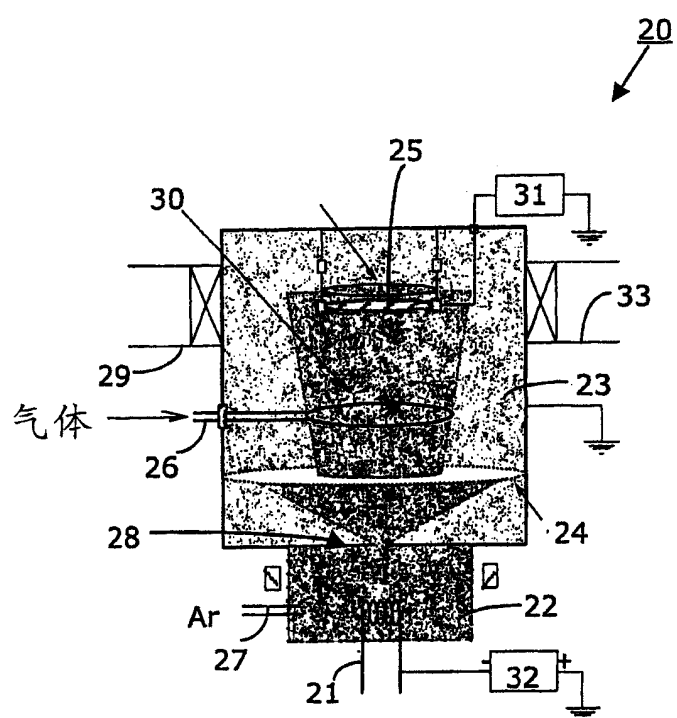


图 2

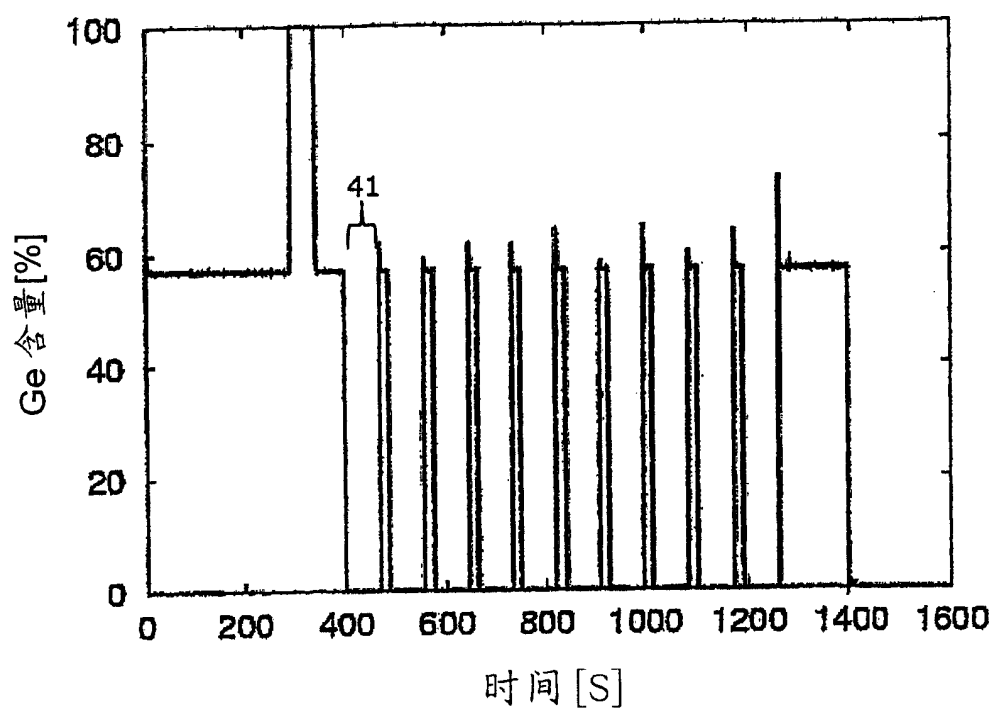


图 3

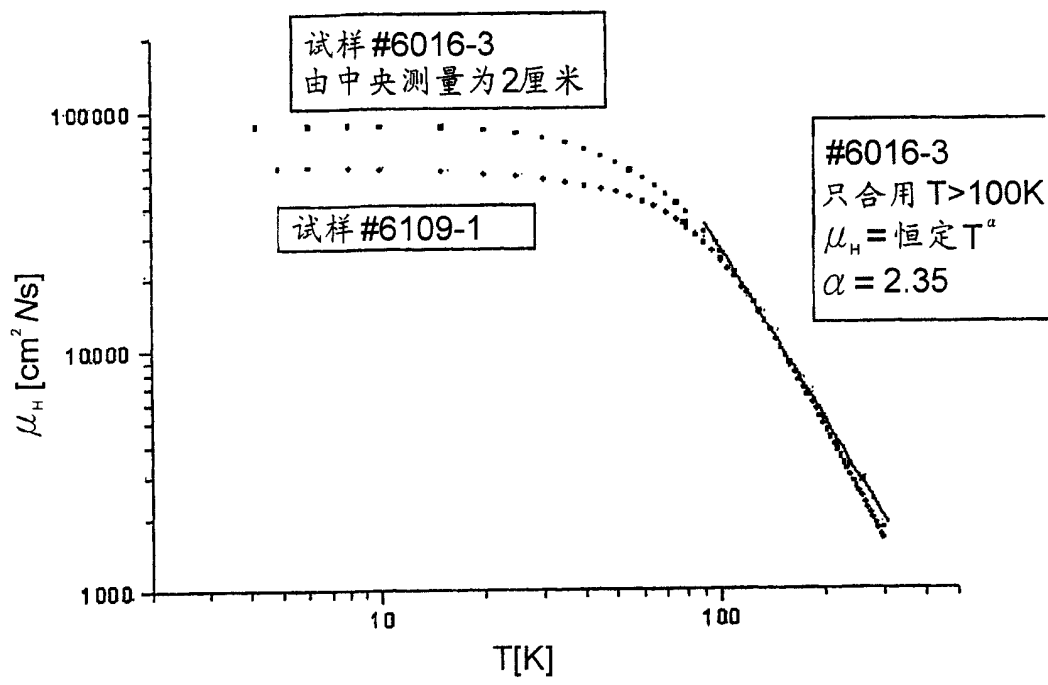


图 4

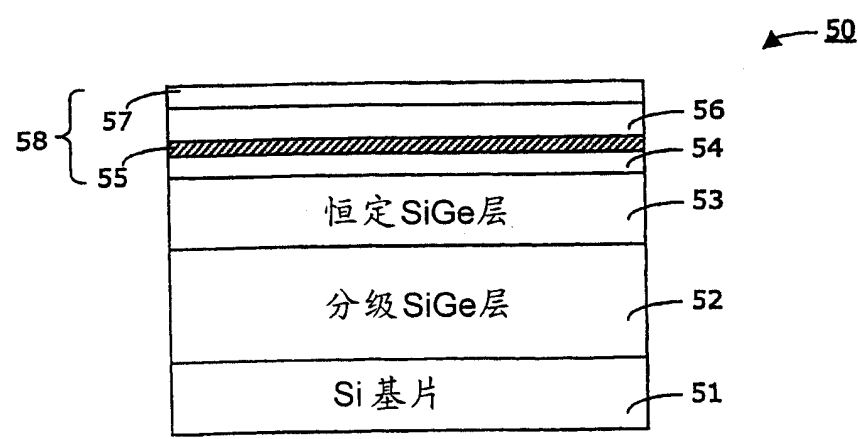


图 5

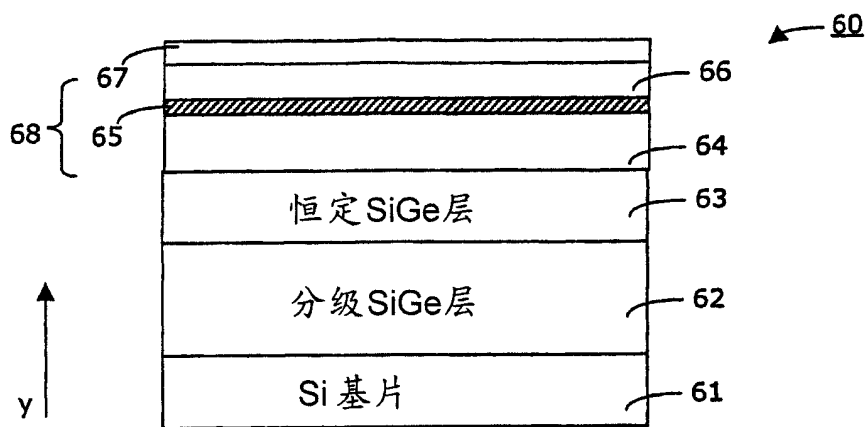


图 6

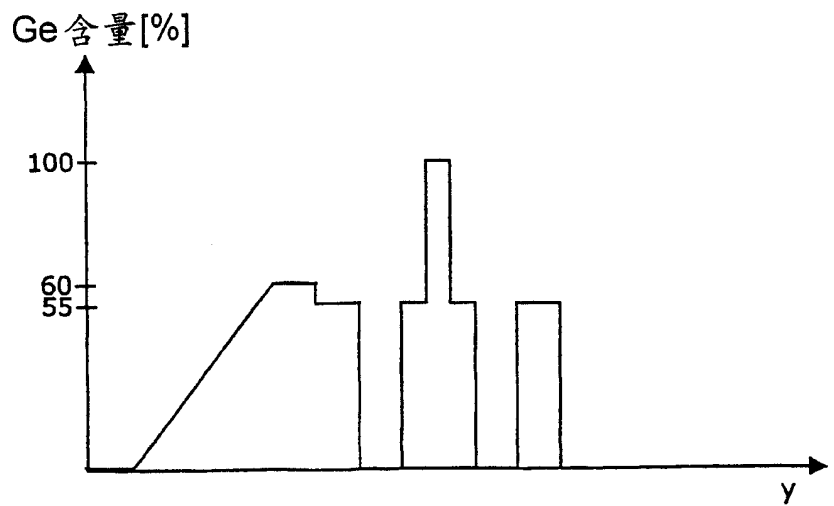


图 7

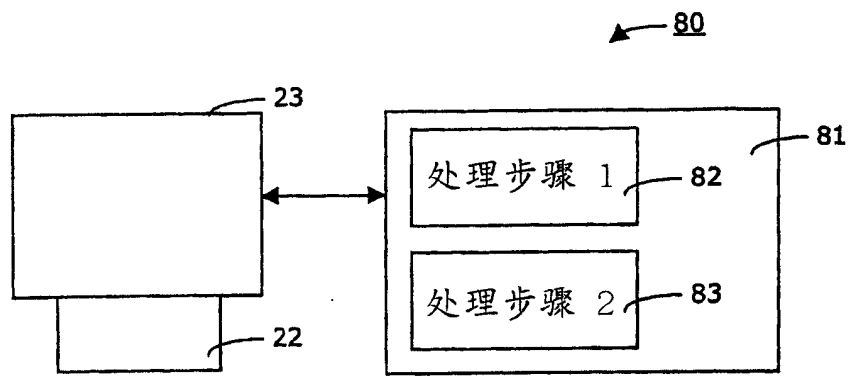


图 8