



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202339171 A

(43)公開日：中華民國 112 (2023) 年 10 月 01 日

(21)申請案號：111133748

(22)申請日：中華民國 111 (2022) 年 09 月 06 日

(51)Int. Cl.:	<i>H01L23/532</i>	<i>(2006.01)</i>	<i>H01L27/04</i>	<i>(2006.01)</i>
	<i>H01L27/06</i>	<i>(2006.01)</i>	<i>H01L27/088</i>	<i>(2006.01)</i>
	<i>H01L29/417</i>	<i>(2006.01)</i>	<i>H01L29/423</i>	<i>(2006.01)</i>
	<i>H01L29/49</i>	<i>(2006.01)</i>	<i>H01L29/66</i>	<i>(2006.01)</i>
	<i>H01L29/786</i>	<i>(2006.01)</i>	<i>H01L29/788</i>	<i>(2006.01)</i>
	<i>H01L29/792</i>	<i>(2006.01)</i>	<i>H01L27/108</i>	<i>(2006.01)</i>
	<i>H01L27/11517</i>	<i>(2017.01)</i>		

(30)優先權：	2021/09/21	日本	2021-153623
	2021/11/08	日本	2021-182108
	2022/03/24	日本	2022-049107

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：國武寬司 KUNITAKE, HITOSHI (JP)；方堂涼太 HODO, RYOTA (JP)；神保安弘
JINBO, YASUHIRO (JP)；倉田求 KURATA, MOTOMU (JP)；笹川慎也
SASAGAWA, SHINYA (JP)；福島邦宏 FUKUSHIMA, KUNIHIRO (JP)；山崎舜
平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

申請實體審查：無 申請專利範圍項數：9 項 圖式數：52 共 0 頁

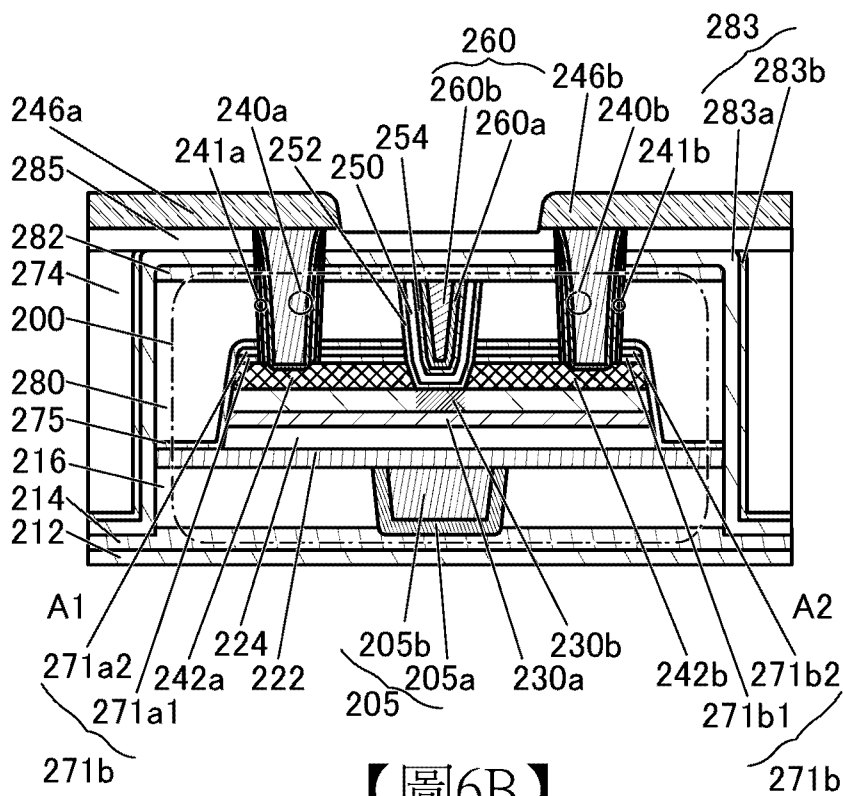
(54)名稱

半導體裝置

(57)摘要

提供一種能夠實現微型化或高積體化的半導體裝置。半導體裝置包括電晶體。電晶體包括氧化物、氧化物上的第一導電體及第二導電體、第一導電體及第二導電體上的第一絕緣體、第一絕緣體所包括的開口內的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及第四絕緣體上的第三導電體。開口包括與氧化物重疊的區域。第三導電體包括隔著第二絕緣體、第三絕緣體及第四絕緣體與氧化物重疊的區域。第二絕緣體與氧化物的頂面及開口的側壁接觸。第二絕緣體的厚度比第三絕緣體的厚度小。第四絕緣體與第三絕緣體相比不容易透過氧。在電晶體的通道長度方向的剖面中，第三導電體的寬度為 3nm 以上且 15nm 以下。

指定代表圖：



【圖6B】

符號簡單說明：

- 200:電晶體
- 205:導電體
- 205a:導電體
- 205b:導電體
- 212:絕緣體
- 214:絕緣體
- 216:絕緣體
- 222:絕緣體
- 224:絕緣體
- 230a:氧化物
- 230b:氧化物
- 240a:導電體
- 240b:導電體
- 241a:絕緣體
- 241b:絕緣體
- 242a:導電體
- 242b:導電體
- 246a:導電體
- 246b:導電體
- 250:絕緣體
- 252:絕緣體
- 254:絕緣體
- 260:導電體
- 260a:導電體
- 260b:導電體
- 271a:絕緣體
- 271a1:絕緣體
- 271a2:絕緣體
- 271b:絕緣體
- 271b1:絕緣體
- 271b2:絕緣體
- 274:絕緣體
- 275:絕緣體
- 280:絕緣體
- 282:絕緣體
- 283:絕緣體

283a:絕緣體
283b:絕緣體
285:絕緣體

【發明摘要】

【中文發明名稱】 半導體裝置

【中文】

提供一種能夠實現微型化或高積體化的半導體裝置。半導體裝置包括電晶體。電晶體包括氧化物、氧化物上的第一導電體及第二導電體、第一導電體及第二導電體上的第一絕緣體、第一絕緣體所包括的開口內的第二絕緣體、第二絕緣體上的第三絕緣體、第三絕緣體上的第四絕緣體以及第四絕緣體上的第三導電體。開口包括與氧化物重疊的區域。第三導電體包括隔著第二絕緣體、第三絕緣體及第四絕緣體與氧化物重疊的區域。第二絕緣體與氧化物的頂面及開口的側壁接觸。第二絕緣體的厚度比第三絕緣體的厚度小。第四絕緣體與第三絕緣體相比不容易透過氧。在電晶體的通道長度方向的剖面中，第三導電體的寬度為3nm以上且15nm以下。

【指定代表圖】 圖6B

【代表圖之符號簡單說明】

200：電晶體

205：導電體

205a：導電體

205b：導電體

212：絕緣體

214：絕緣體

216：絕緣體

222：絕緣體

224：絕緣體

230a：氧化物

230b：氧化物

240a：導電體

240b：導電體

241a：絕緣體

241b：絕緣體

242a：導電體

242b：導電體

246a：導電體

246b：導電體

250：絕緣體

252：絕緣體

254：絕緣體

260：導電體

260a：導電體

260b：導電體

271a：絕緣體

271a1：絕緣體

271a2：絕緣體

271b：絕緣體

271b1：絕緣體

271b2：絕緣體

274：絕緣體

275：絕緣體

280：絕緣體

282：絕緣體

283：絕緣體

283a：絕緣體

283b：絕緣體

285：絕緣體

【發明說明書】

【中文發明名稱】 半導體裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種金屬氧化物的製造方法。此外，本發明的一個實施方式係關於一種電晶體、半導體裝置以及電子裝置。此外，本發明的一個實施方式係關於一種半導體裝置的製造方法。此外，本發明的一個實施方式係關於一種半導體晶圓及模組。

【0002】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置或記憶體裝置也是半導體裝置的一個實施方式。顯示裝置（液晶顯示裝置、發光顯示裝置等）、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

【0003】注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。

【先前技術】

【0004】近年來，已對半導體裝置進行開發，LSI、CPU、記憶體等主要用於半導體裝置。CPU是包括將半導體晶圓加工來形成晶片而成的半導體積體電路（至少包括電晶體及記憶體）且形成有作為連接端子的電極的半導體元件的集合體。

【0005】LSI、CPU、記憶體等的半導體電路（IC晶片）被安裝在電路板（例如，印刷線路板）上，並被用作各種電子裝置的構件之一。

【0006】此外，藉由使用形成在具有絕緣表面的基板上的半導體薄膜構成電晶體的技術受到注目。該電晶體被廣泛地應用於積體電路（IC）、影像顯示裝置（簡單地記載為顯示裝置）等電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。作為其他材料，氧化物半導體受到關注。

【0007】另外，已知使用氧化物半導體的電晶體的洩漏電流在非導通狀態下極小。例如，專利文獻1已公開了應用使用氧化物半導體的電晶體的洩漏電流低的特性的低功耗CPU等。另外，例如專利文獻2已公開了利用使用氧化物半導體的電晶體的洩漏電流低的特性實現存儲內容的長期保持的記憶體裝置等。

【0008】近年來，隨著電子裝置的小型化和輕量化，對積體電路的進一步高密度化的要求提高。此外，有提高包含積體電路的半導體裝置的生產率的需求。

【0009】

[專利文獻1]日本專利申請公開第2012-257187號公報

[專利文獻2]日本專利申請公開第2011-151383號公報

【發明內容】

【0010】本發明的一個實施方式的目的是之一提供一種能夠實現微型化或高積體化的半導體裝置。另外，本發明的一個實施方式的目的是之一提供一種具有良好的電特性的半導體裝置。此外，本發明的一個實施方式的目的是之一提供一種電晶體的電特性不均勻小的半導體裝置。此外，本發明的一個實施方

第2頁，共 155 頁(發明說明書)

式的目的之一是提供一種可靠性良好的半導體裝置。此外，本發明的一個實施方式的目的是提供一種通態電流大的半導體裝置。此外，本發明的一個實施方式的目的是提供一種低功耗的半導體裝置。

【0011】注意，這些目的的記載並不妨礙其他目的的存在。注意，本發明的一個實施方式並不需要實現所有上述目的。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的目的。

【0012】本發明的一個實施方式是一種包括電晶體的半導體裝置。電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；第一導電體及第二導電體上的具有開口的第一絕緣體；第一絕緣體所具有的開口內的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第四絕緣體；以及第四絕緣體上的第三導電體。第一絕緣體所具有的開口包括與氧化物重疊的區域。第三導電體隔著第二絕緣體、第三絕緣體及第四絕緣體包括與氧化物重疊的區域。第二絕緣體包括與氧化物的頂面及第一絕緣體所具有的開口的側壁接觸的區域。第二絕緣體包括其厚度比第三絕緣體小的區域。第四絕緣體與第三絕緣體相比不容易透過氧。在電晶體的通道長度方向的剖面中，第三導電體包括寬度為3nm以上且15nm以下的區域。

【0013】本發明的一個實施方式是一種包括電晶體的半導體裝置。電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；第一導電體及第二導電體上的具有開口的第一絕緣體；第一絕緣體所具有的開口內的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第四絕緣體；以及第四絕緣體上的第三導電體。第一絕緣體所具有的開口包括與氧化物重疊的區域。第三導電體隔著第二絕緣體、第三絕緣體及第四絕緣體包括與氧化物重疊的區域。第二絕緣體包括與氧化物的頂面及第一絕緣體所具有的開口的側壁接觸的區域。第二絕緣體包括其厚度比第三絕緣體小的區域。第四絕緣體與第三絕緣體相比不容

易透過氧。在電晶體的通道長度方向的剖面中，第三導電體包括寬度為3nm以上且15nm以下的區域。在電晶體的通道長度方向的剖面中，第一導電體的下端部與第二導電體的下端部之間的距離為10nm以上且小於40nm。

【0014】本發明的一個實施方式是一種包括電晶體的半導體裝置。電晶體包括：氧化物；氧化物上的第一導電體及第二導電體；第一導電體及第二導電體上的具有開口的第一絕緣體；第一絕緣體所具有的開口內的第二絕緣體；第二絕緣體上的第三絕緣體；第三絕緣體上的第四絕緣體；第四絕緣體上的第三導電體；以及第五絕緣體。第一絕緣體所具有的開口包括與氧化物重疊的區域。第三導電體包括隔著第二絕緣體、第三絕緣體及第四絕緣體與氧化物重疊的區域。第二絕緣體包括與氧化物的頂面及第一絕緣體所具有的開口的側壁接觸的區域。第二絕緣體包括其厚度比第三絕緣體小的區域。第四絕緣體與第三絕緣體相比不容易透過氧。在電晶體的通道長度方向的剖面中，第三導電體包括寬度為3nm以上且15nm以下的區域。第五絕緣體設置在第一導電體及第二導電體與第一絕緣體之間，第五絕緣體包括與第一絕緣體所具有的開口重疊的開口，第五絕緣體與第三絕緣體相比不容易透過氧，第五絕緣體包括與氧化物的側面、第一導電體的側面及第二導電體的側面接觸的區域。第二絕緣體包括與第五絕緣體所具有的開口的側壁接觸的區域。氧化物包含銦、鋅以及選自鎵、鋁和錫中的一個或多個。氧化物具有結晶，並且，結晶的c軸大致垂直於氧化物的表面或被形成面。

【0015】在上述半導體裝置中，較佳的是，第三導電體是第四導電體及第四導電體上的第五導電體的疊層體，並且第一導電體、第二導電體及第五導電體都包含金屬及氮。

【0016】在上述半導體裝置中，較佳的是，電晶體包括第一層及第二層，第一層位於第一導電體與第二絕緣體之間，第二層位於第二導電體與第二絕緣

體之間，第一層的通道長度方向的長度比寬度小，第二層的通道長度方向的長度比寬度小，並且第一層及第二層都包含金屬及氧。

【0017】在上述半導體裝置中，較佳的是，第三導電體的底面包括平坦的區域，並且寬度是平坦的區域的寬度。

【0018】在上述半導體裝置中，較佳的是，第三導電體具有曲率中心位於第三導電體內的圓弧狀的底面，並且寬度是包括曲率中心且平行於氧化物的底面的直線與第三導電體重疊的區域的寬度。

【0019】在上述半導體裝置中，較佳的是，氧化物包括氧化物的與第三導電體重疊的區域的厚度比氧化物的與第一導電體重疊的區域的厚度小的區域。

【0020】在上述半導體裝置中，較佳的是，電晶體的截止頻率在室溫環境下為100GHz以上。

【0021】根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種可靠性良好的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種電晶體的電特性不均勻小的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。另外，根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種低功耗的半導體裝置。

【0022】注意，這些效果的記載並不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要具有所有上述效果。注意，可以從說明書、圖式、申請專利範圍等的記載得知並衍生上述以外的效果。

【圖式簡單說明】

【0023】

[圖1A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖1B]至[圖1D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖2A]及[圖2B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖3]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖4A]至[圖4F]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖5A]及[圖5B]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖6A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖6B]至[圖6D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖7A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖7B]至[圖7D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖8A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖8B]至[圖8D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖9A]是本發明的一個實施方式的半導體裝置的俯視圖。[圖9B]至[圖9D]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖10A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖10B]至[圖10D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖11A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖11B]至[圖11D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖12A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖12B]至[圖12D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖13A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖13B]至[圖13D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖14A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖14B]至[圖14D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖15A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖15B]至[圖15D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖16A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖16B]至[圖16D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖17A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖17B]至[圖17D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖18A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖18B]至[圖18D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖19A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖19B]至[圖19D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖20A]是示出本發明的一個實施方式的半導體裝置的製造方法的俯視圖。[圖20B]至[圖20D]是示出本發明的一個實施方式的半導體裝置的製造方法的剖面圖。

[圖21]是說明根據本發明的一個實施方式的微波處理裝置的俯視圖。

[圖22]是說明根據本發明的一個實施方式的微波處理裝置的剖面示意圖。

[圖23]是說明根據本發明的一個實施方式的微波處理裝置的剖面示意圖。

[圖24]是說明根據本發明的一個實施方式的微波處理裝置的示意圖。

[圖25A]是根據本發明的一個實施方式的半導體裝置的俯視圖。[圖25B]及[圖25C]是本發明的一個實施方式的半導體裝置的剖面圖。

[圖26]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖27]是示出根據本發明的一個實施方式的記憶體裝置的結構的剖面圖。

[圖28]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖29A]及[圖29B]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖30]是根據本發明的一個實施方式的半導體裝置的剖面圖。

[圖31A]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的方塊圖。

[圖31B]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的立體圖。

[圖32A]至[圖32H]是示出根據本發明的一個實施方式的記憶體裝置的結構例子的電路圖。

[圖33A]及[圖33B]是根據本發明的一個實施方式的半導體裝置的示意圖。

[圖34A]及[圖34B]是說明電子構件的一個例子的圖。

[圖35A]至[圖35E]是根據本發明的一個實施方式的記憶體裝置的示意圖。

[圖36A]至[圖36H]是示出根據本發明的一個實施方式的電子裝置的圖。

[圖37A]至[圖37C]是示出所試作的電晶體的結構的示意圖。

[圖38A]及[圖38B]是所試作的樣本的平面SEM影像。

[圖39A]及[圖39B]是所製造的樣本的剖面STEM影像。[圖39C]是金屬氧化物的剖面STEM影像。[圖39D]是局部性的傅立葉變換影像。

[圖40A]及[圖40B]是電晶體的Id-Vg特性。

[圖41]是示出 V_{th} 的正態概率分佈圖。

[圖42]是說明 V_{th} 的尺寸依賴性的圖。

[圖43A]是示出關態電流的測量電路的圖。[圖43B]是示出關態電流的溫度依賴性的圖。

[圖44A]是說明截止頻率測量的評價環境的圖。[圖44B]是說明截止頻率測量的TEG的圖。

[圖45A]及[圖45B]是示出電晶體的截止頻率的測量結果的圖。

[圖46]是示出OS電晶體的路線的圖。

[圖47]是電晶體的 I_d - V_d 特性。

[圖48A]是示出電晶體的截止頻率的測量結果的圖。[圖48B]是示出電晶體的最大振盪頻率的測量結果的圖。

[圖49A]至[圖49D]是電晶體的 I_d - V_g 特性。

[圖50A]至[圖50D]是電晶體的 I_d - V_g 特性。

[圖51]是示出所試作的樣本的結構的示意圖。

[圖52A]及[圖52B]是電晶體的 I_d - V_g 特性。

【實施方式】

【0024】下面，參照圖式對實施方式進行說明。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0025】在圖式中，為顯而易見，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示出理想

的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，在實際的製程中，有時由於蝕刻等處理而層或光阻遮罩等被非意圖性地減薄，但是為了便於理解有時不反映於圖式中。另外，在圖式中，有時在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0026】另外，尤其在俯視圖（也稱為平面圖）或立體圖等中，為了便於對發明的理解，有時省略部分組件的記載。另外，有時省略部分隱藏線的記載。

【0027】此外，在本說明書等中，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。此外，本說明書等所記載的序數詞與用於指定本發明的一個實施方式的序數詞有時不一致。

【0028】在本說明書等中，為方便起見，使用了“上”、“下”等表示配置的詞句，以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書中所說明的詞句，根據情況可以適當地換詞句。

【0029】例如，在本說明書等中，當明確地記載為“X與Y連接”時，意味著如下情況：X與Y電連接；X與Y在功能上連接；X與Y直接連接。因此，不侷限於圖式或文中所示的連接關係等規定的連接關係，圖式或文中所示的連接關係以外的連接關係也在圖式或文中公開了。在此，X和Y為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

【0030】在本說明書等中，電晶體是指至少包括閘極、汲極以及源極這三個端子的元件。電晶體在汲極（汲極端子、汲極區域或汲極電極）與源極（源

極端子、源極區域或源極電極）之間具有形成通道的區域（以下也稱為通道形成區域），並且藉由通道形成區域電流能夠流過源極和汲極之間。注意，在本說明書等中，通道形成區域是指電流主要流過的區域。

【0031】另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，源極或汲極的功能有時互相調換。因此，在本說明書等中，有時源極或汲極可以相互調換。

【0032】注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道長度有時不限定於一個值。因此，在本說明書中，通道長度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0033】通道寬度例如是指在電晶體的俯視圖中半導體（或在電晶體處於導通狀態時，在半導體中電流流過的部分）和閘極電極互相重疊的區域或者通道形成區域中的垂直於通道長度方向上的通道形成區域的長度。另外，在一個電晶體中，通道寬度不一定在所有的區域中成為相同的值。也就是說，一個電晶體的通道寬度有時不限定於一個值。因此，在本說明書中，通道寬度是通道形成區域中的任一個值、最大值、最小值或平均值。

【0034】在本說明書等中，根據電晶體的結構，有時形成通道的區域中的實際上的通道寬度（以下，也稱為“有效通道寬度”）和電晶體的俯視圖所示的通道寬度（以下，也稱為“外觀上的通道寬度”）不同。例如，在閘極電極覆蓋半導體的側面時，有時因為有效通道寬度大於外觀上的通道寬度，所以不能忽略其影響。例如，在微型且閘極電極覆蓋半導體的側面的電晶體中，有時形成

在半導體的側面上的通道形成區域的比例增高。在此情況下，有效通道寬度大於外觀上的通道寬度。

【0035】在上述情況下，有時難以藉由實測估計有效通道寬度。例如，為了根據設計值估計有效通道寬度，需要預先知道半導體的形狀的假定。因此，當不確定半導體的形狀時，難以準確地測量有效的通道寬度。

【0036】在本說明書中，在簡單地描述為“通道寬度”時，有時是指外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示有效通道寬度。注意，例如藉由對剖面TEM影像進行分析，可以決定通道長度、通道寬度、有效通道寬度或外觀上的通道寬度等的值。

【0037】注意，半導體的雜質例如是指構成半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。在包含雜質時，例如有時發生半導體的缺陷態密度的增高、結晶性的降低等。當半導體是氧化物半導體時，作為改變半導體的特性的雜質，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半導體的主要成分外的過渡金屬等。例如，有氫、鋰、鈉、矽、硼、磷、碳、氮等。此外，有時水也作為雜質起作用。此外，例如有時雜質的混入導致氧化物半導體中的氧空位（也稱為 V_o :oxygen vacancy）的形成。

【0038】注意，在本說明書等中，氧氮化矽是指氧含量大於氮含量的物質。此外，氮氧化矽是指氮含量大於氧含量的物質。此外，氧氮化鋁是指氧含量大於氮含量的物質。此外，氮氧化鋁是指氮含量大於氧含量的物質。此外，氧氮化鉛是指氧含量大於氮含量的物質。此外，氮氧化鉛是指氮含量大於氧含量的物質。

【0039】注意，在本說明書等中，可以將“絕緣體”換稱為“絕緣膜”或“絕緣層”。另外，可以將“導電體”換稱為“導電膜”或“導電層”。另外，可以將“半導體”換稱為“半導體膜”或“半導體層”。

【0040】在本說明書等中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。另外，“垂直”是指兩條直線的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0041】在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為OS）等。例如，在將金屬氧化物用於電晶體的半導體層的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，可以將OS電晶體換稱為包含金屬氧化物或氧化物半導體的電晶體。

【0042】注意，在本說明書等中，常關閉是指：在不對閘極施加電位或者對閘極施加接地電位時流過電晶體的每通道寬度 $1\mu\text{m}$ 的汲極電流在室溫下為 $1\times 10^{-20}\text{A}$ 以下，在 85°C 下為 $1\times 10^{-18}\text{A}$ 以下，或在 125°C 下為 $1\times 10^{-16}\text{A}$ 以下。

【0043】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位（接地電位）時，也可以將“電壓”稱為“電位”。接地電位不一定意味著 0V 。此外，電位是相對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0044】此外，在本說明書等中，在多個要素使用同一符號並且需要區分它們時，有時對符號附加“_1”、“[n]”或“[m, n]”等用於識別的符號。

【0045】注意，在本說明書等中，“高度一致或大致一致”是指在從剖面看時距作為基準的面（例如，基板表面等平坦的面）的高度相等的結構。例如，在半導體裝置的製造程序中，有時進行平坦化處理（典型的是CMP處理）使單層或多個層的表面露出。在這種情況下，CMP處理的被處理面距作為基準的面的高度相等。注意，根據進行CMP處理時的處理裝置、處理方法或被處理面的材料，有時多個層的高度不同。在本說明書等中，“高度一致或大致一致”也包括上述情況。例如，在出現對基準面具有兩個高度的層（在此稱為第一層和第二層）的情況下，當第一層的頂面的高度與第二層的頂面的高度之差為20nm以下時，也將其稱為“高度一致或大致一致”。

【0046】注意，在本說明書等中，“端部一致或大致一致”是指在俯視時層疊的層與層之間輪廓的至少一部分重疊。例如，包括上層及下層藉由同一的遮罩圖案或其一部分同一的遮罩圖案被加工的情況。但是，嚴格地說，有時輪廓不重疊且上層的輪廓位於下層的輪廓的內側或者上層的輪廓位於下層的輪廓的外側，這些情況也包括在“端部一致或大致一致”。

【0047】在本說明書等中，有時將關態電流記為洩漏電流。在本說明書等中，關態電流例如有時指在電晶體處於關閉狀態時流在源極與汲極間的電流。

【0048】

實施方式1

在本實施方式中，參照圖1A至圖20D說明本發明的一個實施方式的半導體裝置的一個例子及其製造方法。本發明的一個實施方式的半導體裝置包括電晶體。

【0049】

<半導體裝置的結構例子>

第14頁，共 155 頁(發明說明書)

參照圖1說明包括電晶體200的半導體裝置的結構。圖1A至圖1D是包括電晶體200的半導體裝置的俯視圖及剖面圖。圖1A是該半導體裝置的俯視圖。圖1B至圖1D是該半導體裝置的剖面圖。在此，圖1B是沿著圖1A中的點劃線A1-A2的部分的剖面圖，也是電晶體200的通道長度方向的剖面圖。此外，圖1C是沿著圖1A中的點劃線A3-A4的部分的剖面圖，也是電晶體200的通道寬度方向的剖面圖。另外，圖1D是沿著圖1A中的點劃線A5-A6的部分的剖面圖。注意，在圖1A的俯視圖中，為了明確起見，省略一部分組件。

【0050】本發明的一個實施方式的半導體裝置包括基板（未圖示）上的絕緣體212、絕緣體212上的絕緣體214、絕緣體214上的電晶體200、電晶體200上的絕緣體280、絕緣體280上的絕緣體282、絕緣體282上的絕緣體283、絕緣體283上的絕緣體274以及絕緣體283上及絕緣體274上的絕緣體285。絕緣體212、絕緣體214、絕緣體280、絕緣體282、絕緣體283、絕緣體285、絕緣體274及絕緣體285被用作層間膜。此外，還包括與電晶體200電連接並被用作插頭的導電體240a及導電體240b。此外，還包括與導電體240a的側面接觸的絕緣體241a及與導電體240b的側面接觸的絕緣體241b。另外，絕緣體285及導電體240a上設置有與導電體240a電連接並被用作佈線的導電體246a，絕緣體285及導電體240b上設置有與導電體240b電連接並被用作佈線的導電體246b。此外，絕緣體283與絕緣體214的頂面的一部分、絕緣體280的側面以及絕緣體282的側面及頂面接觸。

【0051】以與絕緣體280、絕緣體282、絕緣體283及絕緣體285的開口的內壁接觸的方式設置絕緣體241a，以與絕緣體241a的側面接觸的方式設置導電體240a。此外，以與絕緣體280、絕緣體282、絕緣體283及絕緣體285的開口的內壁接觸的方式設置絕緣體241b，以與絕緣體241b的側面接觸的方式設置導電體240b。此外，絕緣體241a及絕緣體241b具有以與上述開口的內壁接觸的方式設

置有第一絕緣體且其內側設置有第二絕緣體的結構。另外，導電體240a具有以與絕緣體241a的側面接觸的方式設置有第一導電體且其內側設置有第二導電體的結構。另外，導電體240b具有以與絕緣體241b的側面接觸的方式設置有第一導電體且其內側設置有第二導電體的結構。在此，導電體240a的頂面高度與重疊於導電體246a的區域的絕緣體285的頂面高度可以大致一致。在此，導電體240b的頂面高度與重疊於導電體246b的區域的絕緣體285的頂面高度可以大致一致。

【0052】此外，在電晶體200中，層疊有絕緣體241a及絕緣體241b的每一個的第一絕緣體與第二絕緣體，但是本發明不侷限於此。例如，絕緣體241a及絕緣體241b也可以具有單層結構或者三層以上的疊層結構。此外，在電晶體200中，層疊有導電體240a及導電體240b的每一個的第一導電體與第二導電體，但是本發明不侷限於此。例如，導電體240a及導電體240b也可以具有單層結構或者三層以上的疊層結構。此外，在結構體具有疊層結構的情況下，有時按形成順序賦予序數以進行區別。

【0053】

[電晶體200]

如圖1A至圖1D所示，電晶體200包括絕緣體214上的絕緣體216、以嵌入絕緣體216中的方式配置的導電體205（導電體205a及導電體205b）、絕緣體216及導電體205上的絕緣體222、絕緣體222上的絕緣體224、絕緣體224上的氧化物230a、氧化物230a上的氧化物230b、氧化物230b上的導電體242a、導電體242a上的絕緣體271a、氧化物230b上的導電體242b、導電體242b上的絕緣體271b、氧化物230b上的絕緣體252、絕緣體252上的絕緣體250、絕緣體250上的絕緣體254、位於絕緣體254上並與氧化物230b的一部分重疊的導電體260（導電體260a及導電體260b）、以及配置在絕緣體222、絕緣體224、氧化物230a、

第16頁，共 155 頁(發明說明書)

氧化物230b、導電體242a、導電體242b、絕緣體271a及絕緣體271b上的絕緣體275。在此，如圖1B及圖1C所示，絕緣體252與絕緣體222的頂面、絕緣體224的側面、氧化物230a的側面、氧化物230b的側面及頂面、導電體242a及導電體242b的側面、絕緣體271a及絕緣體271b的側面、絕緣體275的側面、絕緣體280的側面及絕緣體250的底面的每一個的至少一部分接觸。另外，導電體260的頂面以高度與絕緣體254的最上部、絕緣體250的最上部、絕緣體252的最上部及絕緣體280的頂面的高度大致一致的方式配置。另外，絕緣體282與導電體260、絕緣體252、絕緣體250、絕緣體254和絕緣體280各自的頂面的至少一部分接觸。

【0054】以下，有時將氧化物230a及氧化物230b統稱為氧化物230。此外，有時將導電體242a及導電體242b統稱為導電體242。此外，有時將絕緣體271a及絕緣體271b統稱為絕緣體271。

【0055】在絕緣體280及絕緣體275中設置到達氧化物230b的開口。也就是說，該開口可以說包括與氧化物230b重疊的區域。此外，絕緣體275可以說包括與絕緣體280所包括的開口重疊的開口。此外，在該開口內設置絕緣體252、絕緣體250、絕緣體254及導電體260。也就是說，導電體260包括隔著絕緣體252、絕緣體250及絕緣體254與氧化物230b重疊的區域。此外，在電晶體200的通道長度方向上，絕緣體271a及導電體242a與絕緣體271b及導電體242b之間設置有導電體260、絕緣體252、絕緣體250及絕緣體254。絕緣體254具有與導電體260的側面接觸的區域及與導電體260的底面接觸的區域。

【0056】氧化物230較佳為包括絕緣體224上的氧化物230a及氧化物230a上的氧化物230b。當在氧化物230b下包括氧化物230a時，可以抑制雜質從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0057】注意，在電晶體200中氧化物230具有氧化物230a及氧化物230b的兩層疊層結構，但是本發明不侷限於此。例如，氧化物230可以具有氧化物230b的單層或三層以上的疊層結構，也可以具有氧化物230a及氧化物230b分別具有疊層的結構。

【0058】導電體260被用作第一閘極（也稱為頂閘極）電極，導電體205被用作第二閘極（也稱為背閘極）電極。此外，絕緣體252、絕緣體250及絕緣體254被用作第一閘極絕緣體，絕緣體222及絕緣體224被用作第二閘極絕緣體。注意，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。此外，導電體242a被用作源極電極和汲極電極中的一個，導電體242b被用作源極電極和汲極電極中的另一個。此外，氧化物230的與導電體260重疊的區域的至少一部分被用作通道形成區域。

【0059】在此，圖2A示出圖1B中的通道形成區域附近的放大圖。由於氧化物230b被供應氧，通道形成區域形成在導電體242a和導電體242b之間的區域中。因此，如圖2A所示，氧化物230b包括被用作電晶體200的通道形成區域的區域230bc及以夾著區域230bc的方式設置並被用作源極區域或汲極區域的區域230ba及區域230bb。區域230bc的至少一部分與導電體260重疊。換言之，區域230bc設置在導電體242a與導電體242b間的區域中。區域230ba與導電體242a重疊，區域230bb與導電體242b重疊。

【0060】與區域230ba及區域230bb相比，其氧空位少或雜質濃度低，所以被用作通道形成區域的區域230bc是載子濃度低的高電阻區域。因此，區域230bc可以說是i型（本質）或實質上i型的區域。

【0061】此外，在被用作源極區域或汲極區域的區域230ba及區域230bb是如下區域：由於氧空位多或者氫、氮、金屬元素等雜質的濃度高，因此載子濃度

提高，所以被低電阻化。就是說，區域230ba及區域230bb是比區域230bc載子濃度高且電阻低的n型區域。

【0062】在此，被用作通道形成區域的區域230bc的載子濃度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，更佳的是低於 $1 \times 10^{13} \text{cm}^{-3}$ ，進一步較佳的是低於 $1 \times 10^{12} \text{cm}^{-3}$ 。對被用作通道形成區域的區域230bc的載子濃度的下限值沒有特別的限定，例如，可以將其設定為 $1 \times 10^9 \text{cm}^{-3}$ 。

【0063】此外，也可以在區域230bc與區域230ba或區域230bb之間形成載子濃度等於或低於區域230ba及區域230bb的載子濃度且等於或高於區域230bc的載子濃度的區域。換言之，該區域被用作區域230bc與區域230ba或區域230bb的接合區域。該接合區域的氫濃度有時等於或低於區域230ba及區域230bb的氫濃度且等於或高於區域230bc的氫濃度。此外，該接合區域的氧空位有時等於或少於區域230ba及區域230bb的氧空位且等於或多於區域230bc的氧空位。

【0064】注意，圖2A示出區域230ba、區域230bb及區域230bc形成在氧化物230b中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物230b和氧化物230a中。

【0065】在氧化物230中，有時難以明確地觀察各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低即可。

【0066】較佳為在電晶體200中將被用作半導體的金屬氧化物（以下，有時稱為氧化物半導體）用於包含通道形成區域的氧化物230（氧化物230a、氧化物230b）。

【0067】被用作半導體的金屬氧化物的能帶間隙較佳為2eV以上，更佳為2.5eV以上。藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流（off-state current）。

【0068】例如，作為氧化物230較佳為使用包含銦、元素M及鋅的In-M-Zn
氧化物（元素M為選自鋁、鎵、釷、錫、銅、鈇、鉍、硼、鈦、鐵、鎳、鍺、
銨、鉬、鐳、銻、鉛、鋯、鎢和鎂等中的一種或多種）等的金屬氧化物。
此外，作為氧化物230也可以使用In-Ga氧化物、In-Zn氧化物或銦氧化物。

【0069】氧化物230較佳為具有化學組成互不相同的多個氧化物層的疊層結構。例如，用於氧化物230a的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比。此外，用於氧化物230a的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的In與元素M的原子個數比。藉由採用這樣的結構，可以抑制雜質及氧從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0070】在此，較佳的是，用於氧化物230b的金屬氧化物中的In與元素M的原子個數比大於用於氧化物230a的金屬氧化物中的In與元素M的原子個數比。藉由採用該結構，電晶體200可以得到高通態電流以及高頻率特性。

【0071】此外，氧化物230a及氧化物230b除了氧以外還包含共同元素作為主要成分，所以可以降低氧化物230a與氧化物230b的介面的缺陷態密度。因此，介面散射對載子傳導帶來的影響減少，從而電晶體200可以得到高通態電流及高頻特性。

【0072】明確而言，作為氧化物230a，使用In:M:Zn=1:3:4[原子個數比]或其附近的組成或者In:M:Zn=1:1:0.5[原子個數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物230b，使用In:M:Zn=1:1:1[原子個數比]或其附近

的組成、In:M:Zn=1:1:1.2[原子個數比]或其附近的組成、In:M:Zn=1:1:2[原子個數比]或其附近的組成或者In:M:Zn=4:2:3[原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。此外，作為元素M較佳為使用鎵。此外，當作為氧化物230設置氧化物230b的單層時，作為氧化物230b也可以使用可用於氧化物230a的金屬氧化物。

【0073】此外，在藉由濺射法沉積金屬氧化物時，上述原子個數比不侷限於所沉積的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的沉積的濺射靶材的原子個數比。

【0074】氧化物230b較佳為具有結晶性。尤其是，較佳為使用CAAC-OS（c-axis aligned crystalline oxide semiconductor:c軸配向結晶氧化物半導體）作為氧化物230b。

【0075】CAAC-OS具有結晶性高的緻密結構且是雜質及缺陷（例如，氧空位等）少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度（例如， 400°C 以上且 600°C 以下）進行熱處理，可以使CAAC-OS具有結晶性更高的緻密結構。如此，藉由進一步提高CAAC-OS的密度，可以進一步降低該CAAC-OS中的雜質或氧的擴散。

【0076】此外，在CAAC-OS中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含CAAC-OS的金屬氧化物的物理性質穩定。因此，具有CAAC-OS的金屬氧化物具有耐熱性且可靠性高。

【0077】此外，當作為氧化物230b使用CAAC-OS等具有結晶性的氧化物時，可以抑制源極電極或汲極電極從氧化物230b抽出氧。因此，即使進行熱處理也可以減少氧從氧化物230b被抽出，所以電晶體200對製程中的高溫度（所謂熱積存:thermal budget）也很穩定。

【0078】在使用氧化物半導體的電晶體中，如果在氧化物半導體的形成通道的區域中存在雜質及氧空位，電特性則容易變動，有時降低可靠性。此外，氧空位附近的氫形成氫進入氧空位中的缺陷（下面有時稱為 V_oH ）而可能會產生成為載子的電子。因此，當在氧化物半導體的形成通道的區域中包含氧空位時，電晶體會具有常開啟特性（即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性）。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及 V_oH 。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被i型化（本質化）或實質上被i型化。

【0079】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧（以下，有時稱為過量氧）的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及 V_oH 。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體200的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。此外，在從該絕緣體供應給氧化物半導體的氧擴散到閘極電極、源極電極及汲極電極等導電體時，有時該導電體被氧化，這導致導電性的損失，因此對電晶體的電特性及可靠性帶來負面影響。

【0080】因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域230bc的載子濃度得到降低且被i型化或實質上被i型化。另一方面，較佳的是，被用作源極區域或汲極區域的區域230ba及區域230bb的載子濃度高且被n型化。換言之，較佳為減少氧化物半導體的區域230bc的氧空位及 V_oH 且區域230ba及區域230bb不被供應過多的氧。此外，較佳為採用抑制導電體260、導電體242a及導電體242b等的氧化的結構。

【0081】在本實施方式中，半導體裝置具有將氧高效地供應給區域230bc且抑制導電體242a、導電體242b及導電體260的氧化的結構。

【0082】為了將氧供應給區域230bc，作為絕緣體250較佳為使用容易透過氧的絕緣體。此外，作為絕緣體280較佳為使用包含過量氧的絕緣體。藉由採用該結構，可以將包含在絕緣體280中的氧藉由絕緣體250供應給區域230bc。

【0083】再者，為了抑制導電體242a、導電體242b及導電體260的氧化，較佳為在導電體242a、導電體242b及導電體260的每一個附近設置具有抑制氧的擴散的功能的絕緣體。在本實施方式所說明的半導體裝置中，該絕緣體例如為絕緣體252、絕緣體254及絕緣體275。

【0084】絕緣體252較佳為具有氧阻擋性。絕緣體252設置在絕緣體250與導電體242a之間以及絕緣體250與導電體242b之間。因此，可以防止包括在絕緣體250中的氧擴散到導電體242a及導電體242b，由此可以抑制導電體242a及導電體242b被氧化。或者，擴散到導電體242a及導電體242b的包含在絕緣體250中的氧的量得到降低，由此可以減薄形成於導電體242a及導電體242b的側面的層（相當於後述的層244a及層244b）。此外，絕緣體252設置於絕緣體250與氧化物230b之間。因此，在進行加熱處理等時，可以抑制從氧化物230b的區域230bc脫離氧。

【0085】注意，絕緣體252的厚度較佳為較薄。例如，絕緣體252較佳為包括其厚度比絕緣體250的厚度小的區域。絕緣體250包括與氧化物230b的頂面接觸的區域。藉由減少絕緣體252的厚度，可以將包含在絕緣體250中的氧供應給氧化物230b的區域230bc且抑制包含在絕緣體250中的氧的供應過剩。此外，絕緣體252設置於絕緣體280與絕緣體250之間，並包括與絕緣體280所包括的開口的側壁接觸的區域。藉由使絕緣體252的厚度減薄，可以將包含在絕緣體280中的氧供應給絕緣體250且抑制包含在絕緣體280中的氧的供應過剩。

【0086】絕緣體254較佳為具有氧阻擋性。絕緣體254設置於絕緣體250與導電體260之間。因此，可以防止包含在絕緣體250中的氧擴散到導電體260且

抑制導電體260被氧化。注意，絕緣體254至少與絕緣體250相比不容易透過氧即可。

【0087】作為絕緣體275較佳為使用具有抑制氧透過的功能的絕緣體。絕緣體275設置於絕緣體280與導電體242a及導電體242b之間。藉由採用該結構，可以抑制包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而通態電流減少。注意，絕緣體275至少與絕緣體250相比不容易透過氧即可。

【0088】藉由採用上述結構，被用作通道形成區域的區域230bc可以被i型化或實質上被i型化且被用作源極區域或汲極區域的區域230ba及區域230bb可以被n型化，可以提供一種具有優良的電特性的半導體裝置。此外，藉由採用上述結構，即便使半導體裝置微型化或高積體化也可以使其具有良好的電特性。例如，即使閘極長度為20nm以下、15nm以下、10nm以下或7nm以下且2nm以上、3nm以上或5nm以上，也可以得到良好的電特性。注意，後面說明閘極長度。

【0089】此外，藉由使電晶體200微型化可以提高高頻特性。明確而言，可以提高截止頻率。當閘極長度在於上述範圍內時，例如在室溫環境下，電晶體的截止頻率可以為50GHz以上或100GHz以上。

【0090】注意，作為導電體242a、導電體242b及導電體260較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料等。作為該導電材料例如可以舉出包含氮的導電材料及包含氧的導電材料等。由此，可以抑制導電體242a、導電體242b及導電體260的導電率降低。在作為導電體242a、導電體242b及導電體260使用包含金屬及氮的導電材料時，導電體242a、導電體242b及導電體260至少包含金屬及氮。

【0091】導電體242a、導電體242b和導電體260中的任一個或多個也可以具有疊層結構。例如，在導電體242a及導電體242b具有疊層結構時，作為與氧化物230b接觸的層，較佳為使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。此外，例如，如圖1B所示，在導電體260具有導電體260a和導電體260b的疊層結構時，作為導電體260a，可以使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料等。

【0092】作為氧化物230b，較佳為使用具有CAAC-OS等結晶性的氧化物。作為該氧化物，較佳為使用上述能夠用於氧化物230的金屬氧化物。尤其較佳為使用包含銦、鋅及選自銻、鋁和錫中的一個或多個的金屬氧化物。此外，CAAC-OS為具有結晶的氧化物，該結晶的c軸大致垂直於該氧化物的表面或被形成面。由此，可以抑制導電體242a或導電體242b從氧化物230b抽出氧。此外，可以抑制導電體242a及導電體242b的導電率降低。

【0093】設置於絕緣體280上的絕緣體282較佳為用能夠對絕緣體280添加氧的方法形成。由此，可以使絕緣體280包含過量氧。

【0094】在本實施方式中，半導體裝置除了上述結構以外還具有抑制氫混入電晶體200的結構。例如，以覆蓋電晶體200的方式設置具有抑制氫擴散的功能的絕緣體。在本實施方式中說明的半導體裝置中，該絕緣體例如為絕緣體212及絕緣體283。

【0095】作為絕緣體212，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體212的下方擴散電晶體200。

【0096】作為絕緣體283，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體283的上方擴散電晶體200。此外，可以抑制包含在絕緣體274中的氫擴散電晶體200。

【0097】圖3示出圖1B中的通道形成區域附近的放大圖。圖3所示的實線的箭頭是使氧擴散的樣子可見的。此外，圖3所示的虛線的箭頭是使氫擴散的樣子可見的。藉由採用上述結構，可以對區域230bc高效地供應氧且抑制導電體242a、導電體242b及導電體260的氧化。此外，可以抑制氫混入電晶體200。

【0098】在此，說明上述閘極長度。

【0099】圖4A示出圖1B中的通道形成區域附近的放大圖。圖4A是電晶體200的通道長度方向的剖面圖。如上所述絕緣體252、絕緣體250及絕緣體254被用作第一閘極絕緣體。

【0100】以後有時將絕緣體252、絕緣體250及絕緣體254總稱為絕緣體256。此時，絕緣體256包括絕緣體252、絕緣體252上的絕緣體250以及絕緣體250上的絕緣體254。此外，絕緣體256被用作第一閘極絕緣體。

【0101】圖4B示出將包括在圖4A中的絕緣體252、絕緣體250及絕緣體254換為絕緣體256的剖面圖。此外，在圖4B中為了使圖式簡化示出單層的導電體260。注意，如上所述，導電體260可以具有導電體260a及導電體260b的疊層結構或三層以上的疊層結構。

【0102】圖4A及圖4B所示的寬度 L_g 是在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面的寬度。以後有時將在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面簡單地稱為與氧化物230b重疊的區域的導電體260的底面。也就是說，後面說明的與氧化物230b重疊的區域的導電體260的底面有時可以被稱為在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面。

【0103】閘極長度是電晶體工作時載子移動通道形成區域內部的方向上的閘極電極的長度，是電晶體的俯視圖中的閘極電極的底面的寬度。在本說明書等中，閘極長度是在通道長度方向的剖面中與氧化物230b重疊的區域的導電體

260的底面的寬度。也就是說，閘極長度是圖4A及圖4B所示的寬度 L_g 。注意，導電體260設置於絕緣體275及絕緣體280所包括的開口的內部。此外，該開口的側壁垂直於或傾斜於基板面。尤其是在該開口的側壁與基板面所形成的角度為 90° 以下時，與氧化物230b重疊的區域的導電體260的最小寬度為寬度 L_g 。因此，在通道長度方向的剖面中，導電體260也可以說包括成為寬度 L_g 的區域。

【0104】與氧化物230b重疊的區域的導電體260的底面較佳為具有平坦的區域。如圖4A及圖4B所示，在與氧化物230b重疊的區域的導電體260的底面具有平坦的區域時，寬度 L_g 是該平坦的區域的寬度。藉由與氧化物230b重疊的區域的導電體260的底面具有平坦的區域，可以在氧化物230的通道形成區域均勻地產生電場。

【0105】圖4A及圖4B示出與氧化物230b重疊的區域的導電體260的底面具有平坦的區域的結構，但是本發明不侷限於此。在通道長度方向的剖面中與氧化物230b重疊的區域的導電體260的底面也可以具有曲線。

【0106】圖4C示出圖4B所示的電晶體200的變形例子。圖4C是電晶體200的通道長度方向的剖面圖。例如，如圖4C所示，與氧化物230b重疊的區域的導電體260的底面也可以包括平坦的區域及具有曲線的區域。注意，具有曲線的區域位於該底面的兩側的端部。這裡，該底面所具有的導電體242a一側的曲線與導電體260的導電體242a一側的側面接觸的點為點Qa。此外，該底面所具有的導電體242b一側的曲線與導電體260的導電體242b一側的側面接觸的點為點Qb。在該結構中，寬度 L_g 為連接點Qa和點Qb的線段長度。

【0107】圖4D示出圖4B所示的電晶體200的變形例子。圖4D是電晶體200的通道長度方向的剖面圖。例如，如圖4D所示，導電體260也可以具有圓弧狀的底面。注意，該圓弧是曲率中心P位於導電體260內且半徑 r 的圓弧。在該結構中，寬度 L_g 是在通道長度方向的剖面中包括曲率中心P且平行於氧化物230b的

底面的直線與導電體260重疊的區域的寬度。換言之，寬度 L_g 為半徑 r 的2倍。

注意，在圖4D中以虛線表示的直線是包括曲率中心P且平行於氧化物230b的底面的直線。

【0108】注意，在圖4D所示的導電體260的底面形狀中，在半徑 r 大時（例如，半徑 r 比通道長度大時），從曲率中心P到氧化物230b的通道形成區域的距離也變大。此時，該形狀的閘極長度也可以採用圖4C所示的寬度 L_g 。也就是說，也可以根據圖4D所示的導電體260的底面的形狀決定點Qa及點Qb算出寬度 L_g 。

【0109】在圖4C所示的導電體260的底面形狀中，有時點Qa及點Qb的決定很困難。此時，該形狀的閘極長度也可以採用圖4D所示的寬度 L_g 。也就是說，也可以根據圖4C所示的導電體260的底面的形狀決定曲率中心P算出寬度 L_g 。

【0110】以上說明上述閘極長度。接著，說明通道長度。

【0111】如圖4A至圖4D所示，導電體242a的下端部與導電體242b的下端部的距離為距離L。距離L相當於電晶體200的通道長度。

【0112】在上述結構中，通道長度根據用於導電體260的材料、閘極長度及用於第一閘極絕緣體的材料及厚度等設定。在閘極長度在上述範圍的任一個時，通道長度例如為60nm以下、50nm以下、40nm以下或30nm以下且10nm以上、15nm以上或20nm以上即可。

【0113】當在絕緣體280及絕緣體275中形成開口時，與該開口重疊的區域的氧化物230b的上部有時被去除，將在後面說明其詳細內容。此時，如圖4E所示，氧化物230b的與導電體260重疊的區域的厚度比氧化物230b的與導電體242a重疊的區域的厚度薄。注意，圖4E所示的電晶體200是圖4B所示的電晶體200的變形例子。圖4E是電晶體200的通道長度方向的剖面圖。

【0114】在此，氧化物230b的與導電體260重疊的區域的厚度與氧化物230b的與導電體242a重疊的區域的厚度之差為差異 L_t （參照圖4E）。差異 L_t 小，距離 L 可以被看作通道長度。

【0115】此外，如上所述，在形成較薄的絕緣體252時，如圖4F所示，有時在導電體242a與絕緣體256之間形成層244a。同樣地，有時在導電體242b與絕緣體256之間形成層244b。換言之，電晶體200有時包括位於導電體242a與絕緣體256之間的層244a以及位於導電體242b與絕緣體256之間的層244b。注意，圖4F所示的電晶體200是圖4E所示的電晶體200的變形例子。圖4F是電晶體200的通道長度方向的剖面圖。

【0116】層244a及層244b分別藉由導電體242a及導電體242b的側面被氧化形成。因此，層244a包含導電體242a所具有的元素及氧。此外，層244b包含導電體242b所具有的元素及氧。例如，在導電體242a及導電體242b都具有金屬及氮時，層244a及層244b都具有該金屬及氮。

【0117】層244a的導電性比導電體242a低。此外，層244b的導電性比導電體242b低。因此，在電晶體200具有層244a及層244b時，也可以將導電體242a的下端部與導電體242b的下端部的距離設為距離 L 來將距離 L 看作通道長度。也就是說，藉由形成層244a及層244b，可以增大通道長度。因此，可以提高電晶體200的源極-汲極耐壓來實現可靠性高的電晶體。

【0118】注意，在通道長度方向的剖面中，層244a的通道長度方向的長度為長度 L_o （參照圖4F）。注意，層244b的通道長度方向的長度與長度 L_o 相等或大致一致。長度 L_o 較佳為小。例如，長度 L_o 較佳為比寬度 L_g 小。明確而言，長度 L_o 較佳為1nm以上且小於8nm，更佳為2nm以上且小於5nm。藉由採用該結構，即使閘極長度在上述範圍的任一個，電晶體200也可以得到良好的電特性。

【0119】由此，可以提供一種具有良好的電特性的半導體裝置。此外，可以提供一種能夠實現微型化或高積體化的半導體裝置。另外，可以提供一種具有良好的電特性且能夠實現微型化或高積體化的半導體裝置。

【0120】此外，本實施方式以在氧化物230b上設置導電體242a及導電體242b的狀態在含氧氛圍下進行微波處理來減少區域230bc的氧空位及 V_{oH} 。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0121】藉由在含氧氛圍下進行微波處理，可以使用微波或RF（Radio Frequency，射頻）等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或RF等高頻照射到區域230bc。藉由電漿、微波等的作用，可以將區域230bc的 V_{oH} 分開為氧空位和氫，可以將該氫從區域230bc去除而由氧填補該氧空位。由此，可以減少區域230bc中的氫濃度、氧空位及 V_{oH} 而降低載子濃度。

【0122】此外，當在含氧氛圍下進行微波處理時，微波、RF等高頻、氧電漿等的作用被導電體242a及導電體242b遮蔽並不涉及於區域230ba及區域230bb。再者，可以藉由覆蓋氧化物230b及導電體242的絕緣體271及絕緣體280降低氧電漿的作用。由此，在進行微波處理時在區域230ba及區域230bb中不發生 V_{oH} 的減少以及過多的氧的供應，因此可以防止載子濃度的降低。

【0123】另外，較佳為在沉積成為絕緣體252的絕緣膜之後或者在沉積成為絕緣體250的絕緣膜之後以含氧氛圍進行微波處理。如此，藉由經由絕緣體252或絕緣體250以含氧氛圍進行微波處理，可以對區域230bc高效地注入氧。另外，藉由以與導電體242的側面及區域230bc的表面接觸的方式配置絕緣體252，可以抑制區域230bc被注入不必要的氧，因此可以抑制導電體242的側面的氧化。另外，可以抑制在沉積成為絕緣體250的絕緣膜時導電體242的側面被氧化。

【0124】另外，作為注入到區域230bc中的氧，有氧原子、氧分子及氧自由基（也稱為O自由基，包含不成對電子的原子、分子或者離子）等各種方式。注入到區域230bc中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。另外，由於可以提高絕緣體252及絕緣體250的膜品質，電晶體200的可靠性得到提高。

【0125】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及 V_{OH} 而使區域230bc成為i型或實質上i型。並且，可以抑制對被用作源極區域或汲極區域的區域230ba及區域230bb供應過多的氧而保持進行微波處理之前的n型區域的狀態。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0126】藉由採用上述結構，可以提供一種電晶體特性不均勻小的半導體裝置。此外，可以提供一種可靠性良好的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。另外，可以提供一種能夠微型化或高積體化的半導體裝置。

【0127】此外，如圖1C所示，在從電晶體200的通道寬度的剖面看時，也可以在氧化物230b的側面與氧化物230b的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲（以下，也稱為圓形）。

【0128】上述彎曲面的曲率半徑較佳為大於0nm且小於與導電體242重疊的區域的氧化物230b的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於0nm且為20nm以下，較佳為1nm以上且15nm以下，更佳為2nm以上且10nm以下。藉由採用上述形狀，可以提高絕緣體252、絕緣體250、絕緣體254及導電體260的氧化物230b的覆蓋性。

【0129】另外，如圖1C等所示，由於以與氧化物230的頂面及側面接觸的方式設置由氧化鋁等形成的絕緣體252，氧化物230所包含的銦有時分佈在氧化

物230和絕緣體252的介面及其附近。因此，氧化物230的表面附近具有接近銦氧化物的原子個數比或者接近In-Zn氧化物的原子個數比。在如此氧化物230，尤其是氧化物230b的表面附近的銦的原子個數比較大時，可以提高電晶體200的場效移動率。

【0130】絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體200的上方擴散到電晶體200的阻擋絕緣膜。因此，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283、絕緣體285中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能（不容易使上述雜質透過）的絕緣材料。此外，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能（不容易使上述氧透過）的絕緣材料。

【0131】此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能（也可以說透過性低）。或者，是指俘獲並固定所對應的物質（也稱為吸雜）的功能。

【0132】作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉛、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體212、絕緣體275及絕緣體283，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體214、絕緣體271、絕緣體282及絕緣體285，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體212及絕緣體214從基板一側擴散到電晶體200一側。或者，可以抑制水、氫等雜質從配置在絕緣體285的外方的層間絕緣膜等擴散到電晶體200一側。或者，可以抑制包含在絕緣

體224等中的氧經過絕緣體212及絕緣體214擴散到基板一側。或者，可以抑制含在絕緣體280等中的氧經過絕緣體282等向電晶體200的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285圍繞電晶體200的結構。

【0133】在此，作為絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285，較佳為使用具有非晶結構的氧化物。例如，較佳為使用 AlO_x （ x 是大於0的任意數）或 MgO_y （ y 是大於0的任意數）等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以俘獲或固定含在電晶體200中的氫或存在於電晶體200的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體200中的通道形成區域的氫。藉由將具有非晶結構的金屬氧化物作為電晶體200的組件使用或者設置在電晶體200的周圍，可以製造具有良好特性的可靠性高的電晶體200及半導體裝置。

【0134】此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有非晶結構的層上形成有多晶結構的層的疊層結構。

【0135】絕緣體212、絕緣體214、絕緣體271、絕緣體275、絕緣體282、絕緣體283及絕緣體285的沉積例如可以利用濺射法。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體212、絕緣體214、絕緣體271、絕

緣體275、絕緣體282、絕緣體283及絕緣體285的氫濃度。作為沉積方法，除了濺射法以外還可以適當地使用化學氣相沉積（CVD:Chemical Vapor Deposition）法、分子束磊晶（MBE:Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD:Pulsed Laser Deposition）法、原子層沉積（ALD:Atomic Layer Deposition）法等。

【0136】此外，有時較佳為降低絕緣體212、絕緣體275及絕緣體283的電阻率。例如，藉由使絕緣體212、絕緣體275及絕緣體283的電阻率約為 $1 \times 10^{13} \Omega \text{cm}$ ，在半導體裝置製程的利用電漿等的處理中，有時絕緣體212、絕緣體275及絕緣體283可以緩和導電體205、導電體242、導電體260或導電體246的電荷積聚。絕緣體212、絕緣體275及絕緣體283的電阻率較佳為 $1 \times 10^{10} \Omega \text{cm}$ 以上且 $1 \times 10^{15} \Omega \text{cm}$ 以下。

【0137】此外，絕緣體216、絕緣體274、絕緣體280及絕緣體285的介電常數較佳為比絕緣體214低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體216、絕緣體274、絕緣體280及絕緣體285，適當地使用氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等即可。

【0138】導電體205以與氧化物230及導電體260重疊的方式配置。在此，導電體205較佳為以嵌入形成在絕緣體216的開口中的方式設置。此外，導電體205的一部分有時嵌入絕緣體214中。

【0139】導電體205包括導電體205a及導電體205b。導電體205a以與上述開口的底面及側壁接觸的方式設置。導電體205b以嵌入形成在導電體205a的凹部中的方式設置。在此，導電體205b的頂面的高度與導電體205a的頂面的高度及絕緣體216的頂面的高度大致一致。

【0140】在此，作為導電體205a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能的導電材料。或者，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能的導電材料。

【0141】藉由作為導電體205a使用具有降低氫的擴散的功能的導電材料，可以防止含在導電體205b中的氫等雜質藉由絕緣體216及絕緣體224等擴散到氧化物230。此外，藉由作為導電體205a使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體205b被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、鈮、氧化鈮等。因此，作為導電體205a使用單層或疊層的上述導電材料即可。例如，作為導電體205a使用氮化鈦即可。

【0142】此外，導電體205b較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體205b可以使用鎢。

【0143】導電體205有時被用作第二閘極電極。在此情況下，藉由獨立地改變施加到導電體205的電位而不使其與施加到導電體260的電位聯動，可以控制電晶體200的臨界電壓（ V_{th} ）。尤其是，藉由對導電體205施加負電位，可以增大電晶體200的 V_{th} 而減少關態電流。由此，與不對導電體205施加負電位的情況相比，在對導電體205施加負電位的情況下，可以減少對導電體260施加的電位為0V時的汲極電流。

【0144】此外，導電體205的電阻率考慮上述施加到導電體205的電位設計，導電體205的厚度根據該電阻率設定。此外，絕緣體216的厚度與導電體205大致相同。在此，較佳為在導電體205的設計允許的範圍內減少導電體205及絕緣體216的厚度。藉由減少絕緣體216的厚度，可以降低含在絕緣體216中的氫等雜質的絕對量，所以可以減少該雜質擴散到氧化物230。

【0145】此外，如圖1A所示，導電體205較佳為比氧化物230中不與導電體242a及導電體242b重疊的區域大。尤其是，如圖1C所示，導電體205較佳為延伸到氧化物230a及氧化物230b的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物230的通道寬度方向的側面的外側，導電體205和導電體260隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體260的電場和被用作第二閘極電極的導電體205的電場電圍繞氧化物230的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為surrounded channel（S-channel）結構。

【0146】在本說明書等中，S-channel結構的電晶體是指由一對閘極電極中的一方及另一方的電場電圍繞通道形成區域的電晶體的結構。此外，本說明書等中公開的S-channel結構與Fin型結構及平面型結構不同。藉由採用S-channel結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0147】藉由電晶體200常關閉且使其具有上述S-channel結構，可以電圍繞通道形成區域。由此，也可以說電晶體200具有GAA（Gate All Around:全環繞閘極）結構或LGAA（Lateral Gate All Around:橫向全環繞閘極）結構。藉由使電晶體200具有S-channel結構、GAA結構或LGAA結構，可以將形成在氧化物230與閘極絕緣體的介面或其附近的通道形成區域設置在氧化物230的整個塊體。因此，可以提高流過電晶體的電流密度，所以可以期待電晶體的通態電流或電晶體的場效移動率的提高。

【0148】此外，如圖1C所示，將導電體205延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體205下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體205。例如，在多個電晶體中可以共同使用導電體205。

【0149】注意，示出在電晶體200中作為導電體205層疊有導電體205a及導電體205b的結構，但是本發明不侷限於此。例如，導電體205可以具有單層結構，也可以具有三層以上的疊層結構。

【0150】絕緣體222及絕緣體224被用作閘極絕緣體。

【0151】絕緣體222較佳為具有抑制氫（例如，氫原子和氫分子等中的至少一個）的擴散的功能。此外，絕緣體222較佳為具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能。例如，與絕緣體224相比，絕緣體222較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0152】絕緣體222較佳為使用作為絕緣材料的包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。或者，較佳為使用包含鉛及鉛的氧化物，例如使用鉛氧化物。當使用這種材料形成絕緣體222時，絕緣體222被用作抑制氧從氧化物230釋放到基板一側及氫等雜質從電晶體200的周圍部擴散到氧化物230的層。因此，藉由設置絕緣體222，可以抑制氫等雜質擴散到電晶體200的內側，而可以抑制在氧化物230中生成氧空位。此外，可以抑制導電體205與絕緣體224及氧化物230所包含的氧起反應。

【0153】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鋮、氧化矽、氧化鈦、氧化鎢、氧化釷或氧化鉛。或者，也可以對上述絕緣體進行氮化處理。此外，作為絕緣體222還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0154】此外，作為絕緣體222，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鋇、氧化鉛、鉛氧化物等所謂的high-k材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在

第37頁，共 155 頁(發明說明書)

保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體222有時可以使用銦鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）、 $(\text{Ba,Sr})\text{TiO}_3$ （BST）等介電常數高的物質。

【0155】作為與氧化物230接觸的絕緣體224，例如適當地使用氧化矽、氮化矽等即可。

【0156】此外，在電晶體200的製程中，熱處理較佳為在氧化物230的表面露出的狀態下進行。該熱處理例如較佳為以 100°C 以上且 600°C 以下，更佳為以 350°C 以上且 550°C 以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230供應氧，從而可以減少氧空位。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0157】藉由對氧化物230進行加氧化處理，可以由所供應的氧填補氧化物230中的氧空位。再者，氧化物230中殘留的氫與被供給的氧發生反應而可以將氫以 H_2O 的形態去除（脫水化）。由此，可以抑制殘留在氧化物230中的氫與氧空位再結合而形成 $\text{V}_\text{O}\text{H}$ 。

【0158】此外，絕緣體222及絕緣體224也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，絕緣體224也可以形成為島狀且與氧化物230a重疊。在此情況下，絕緣體275與絕緣體224的側面及絕緣體222的頂面接觸。注意，在本說

明書等中，島狀是指以同一製程形成並使用同一材料的兩個以上的層物理分離的狀態。

【0159】導電體242a及導電體242b與氧化物230b的頂面接觸。導電體242a及導電體242b分別被用作電晶體200的源極電極或汲極電極。

【0160】作為導電體242（導電體242a及導電體242b）例如較佳為使用包含鉍的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢的氮化物、包含鉍及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉍的氮化物。此外，例如也可以使用氧化鈦、氮化鈦、包含銲和鈦的氧化物、包含鎢和鎢的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0161】注意，有時包含在氧化物230b等中的氫擴散到導電體242a或導電體242b。尤其是，當作為導電體242a及導電體242b使用包含鉍的氮化物時，有時包含在氧化物230b等中的氫容易擴散到導電體242a或導電體242b，該擴散的氫與導電體242a或導電體242b所包含的氮鍵合。也就是說，有時包含在氧化物230b等中的氫被導電體242a或導電體242b吸收。

【0162】此外，較佳為在導電體242的側面與導電體242的頂面之間不形成彎曲面。藉由使導電體242不具有該彎曲面，如圖1D所示，可以增大通道寬度方向的剖面上的導電體242的剖面積。由此，增大導電體242的導電率，從而可以增大電晶體200的通態電流。

【0163】另外，當在導電體242a（導電體242b）與氧化物230b接觸的狀態下進行加熱處理時，與導電體242a（導電體242b）重疊的區域的氧化物230b的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體242a（導電體242b）重疊的區域的氧化物230b自對準地低電阻化。

【0164】在圖1A至圖1D等中示出導電體242具有單層的結構，但本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖5B所示，作為導電體242a也可以採用導電體242a1與導電體242a1上的導電體242a2的兩層的疊層結構，作為導電體242b也可以採用導電體242b1與導電體242b1上的導電體242b2的兩層的疊層結構。此時，導電體242a1及導電體242b1被配置在與氧化物230b接觸的一側。

【0165】注意，下面有時將導電體242a1和導電體242b1統稱為導電體242的下層。另外，有時將導電體242a2和導電體242b2統稱為導電體242的上層。

【0166】導電體242的下層（導電體242a1及導電體242b1）較佳為由具有不易氧化的特性的導電材料構成。由此，可以抑制導電體242的下層氧化而導致導電體242的導電率下降。此外，導電體242的下層也可以具有容易吸取（提取）氫的特性。由此，氧化物230的氫擴散到導電體242的下層，可以減少氧化物230的氫濃度。因此，可以使電晶體200具有穩定的電特性。

【0167】另外，導電體242的上層（導電體242a2及導電體242b2）較佳為由導電性比導電體242的下層（導電體242a1及導電體242b1）高的導電材料構成。此時，導電體242的上層的至少一部分具有導電性高於導電體242的下層的區域即可。或者，導電體242的上層較佳為由電阻率比導電體242的下層低的導電材料構成。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0168】另外，導電體242的上層也可以具有容易吸取氫的特性。由此，被導電體242的下層吸取的氫還擴散到導電體242的上層，而可以進一步降低氧化物230中的氫濃度。因此，可以使電晶體200具有穩定的電特性。

【0169】在此，導電體242的下層及導電體242的上層較佳為使用構成元素相同且化學組成不同的導電材料。此時，可以在不暴露於大氣環境的情況下連續形成導電體242的下層和導電體242的上層。藉由以不暴露於大氣環境的方式

形成膜，可以防止來自大氣環境的雜質或水分附著於導電體242的下層表面，由此可以保持導電體242的下層與導電體242的上層的介面附近的清潔。

【0170】此外，較佳的是，作為導電體242的下層使用相對於鉍的氮的原子個數比高的含鉍的氮化物，作為導電體242的上層使用相對於鉍的氮的原子個數比低的含鉍的氮化物。例如，作為導電體242的下層，使用如下含鉍的氮化物：相對於鉍的氮的原子個數比為1.0以上且2.0以下，較佳為1.1以上且1.8以下，更佳為1.2以上且1.5以下。例如，作為導電體242的上層，使用如下含鉍的氮化物：相對於鉍的氮的原子個數比為0.3以上且1.5以下，較佳為0.5以上且1.3以下，更佳為0.6以上且1.0以下。

【0171】另外，藉由在含鉍的氮化物中提高相對於鉍的氮的原子個數比，可以抑制含鉍的氮化物的氧化。另外，可以提高含鉍的氮化物的耐氧化性。可以抑制氧擴散到含鉍的氮化物中。因此，作為導電體242的下層，較佳為使用相對於鉍的氮的原子個數比高的含鉍的氮化物。由此，可以防止氧化層形成在導電體242的下層與氧化物230之間，或者可以減小氧化層的厚度。

【0172】此外，藉由在含鉍的氮化物中降低相對於鉍的氮的原子個數比，可以降低該氮化物的電阻率。因此，作為導電體242的上層，較佳為使用相對於鉍的氮的原子個數比低的含鉍的氮化物。由此，可以製造佈線延遲得到抑制的半導體裝置。

【0173】注意，在導電體242中，有時難以明確地觀察到上層與下層的邊界。在將含鉍的氮化物用於導電體242的情況下，在各層中檢測出的鉍和氮的濃度不侷限於按每層分階段地變化，也可以在上層與下層之間的區域逐漸地變化（也稱為漸變（gradation））。也就是說，在導電體242中，越近於氧化物230的區域，其相對於鉍的氮的原子個數比越高，即可。因此，位於導電體242

的下方的區域的相對於鉬的氮的原子個數比較佳為高於位於導電體242的上方的區域的相對於鉬的氮的原子個數比。

【0174】導電體242的下層的膜厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，導電體242的下層的至少一部分具有上述膜厚度的區域即可。此外，導電體242的下層的膜厚度較佳為薄於導電體242的上層的膜厚度。此時，導電體242的下層的至少一部分具有膜厚度比導電體242的上層薄的區域即可。

【0175】另外，在此示出了作為導電體242的下層及導電體242的上層使用構成元素相同且化學組成不同的導電材料的例子，但不侷限於此，導電體242的下層和導電體242的上層也可以使用不同的導電材料形成。

【0176】注意，導電體242的下層及導電體242的上層的結構不侷限於上述結構。例如，也可以使導電體242的下層及導電體242的上層的構成元素、化學組成和沉積條件中的一個或多個不同。例如，也可以作為導電體242的下層使用含鉬的氮化物且作為導電體242的上層使用含鈦的氮化物。

【0177】絕緣體271a與導電體242a的頂面接觸，絕緣體271b與導電體242b的頂面接觸。絕緣體271較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271較佳為具有抑制氧擴散的功能。例如，與絕緣體280相比，絕緣體271較佳為具有進一步抑制氧擴散的功能。作為絕緣體271，例如，可以使用氮化矽、氧化鋁及氧化鎂等絕緣體。

【0178】絕緣體275以覆蓋絕緣體224、氧化物230a、氧化物230b、導電體242及絕緣體271的方式設置。明確而言，絕緣體275包括與氧化物230b的側面、導電體242a的側面及導電體242b的側面接觸的區域。絕緣體275較佳為具有俘獲並固定氮的功能。在此情況下，絕緣體275較佳為包括氮化矽或具有非

晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。此外，例如，作為絕緣體275也可以使用氧化鋁與該氧化鋁上的氮化矽的疊層膜。

【0179】藉由設置上述絕緣體271及絕緣體275，可以由對氧具有阻擋性的絕緣體包圍導電體242。換言之，可以抑制包含在絕緣體224及絕緣體280中的氧擴散到導電體242中。由此，可以抑制包含在絕緣體224及絕緣體280中的氧導致導電體242直接被氧化使得電阻率增大而通態電流減少。

【0180】絕緣體252被用作閘極絕緣體的一部分。作為絕緣體252較佳為使用氧阻擋絕緣膜。作為絕緣體252使用可用於上述絕緣體282的絕緣體即可。作為絕緣體252較佳為使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，可以使用包含氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）、包含鉛及矽的氧化物（矽酸鉛）等。在本實施方式中，作為絕緣體252，使用氧化鋁。此時，絕緣體252至少包含氧及鋁。

【0181】如圖1C所示，絕緣體252以與氧化物230b的頂面及側面、氧化物230a的側面、絕緣體224的側面及絕緣體222的頂面接觸的方式設置。就是說，在通道寬度方向的剖面中氧化物230a、氧化物230b及絕緣體224的與導電體260重疊的區域被絕緣體252覆蓋。因此，可以利用具有氧阻擋性的絕緣體252防止在進行熱處理等時氧化物230a及氧化物230b中的氧脫離。因此，可以減少在氧化物230a及氧化物230b中形成氧空位。由此，可以減少形成在區域230bc中的氧空位及 V_{oH} 。因此，可以提高電晶體200的電特性及可靠性。

【0182】另外，反之，即使絕緣體280及絕緣體250等包含過多的氧，也可以抑制該氧過度供應到氧化物230a及氧化物230b。因此，可以抑制區域230ba及區域230bb藉由區域230bc被過度氧化而導致電晶體200的通態電流的下降或場效移動率的下降。

【0183】另外，如圖1B所示，絕緣體252以與導電體242、絕緣體271、絕緣體275及絕緣體280各自的側面接觸的方式設置。因此，可以減少導電體242的側面被氧化而氧化膜形成在該側面。因此，可以抑制導致電晶體200的通態電流的下降或場效移動率的下降。

【0184】另外，絕緣體252需要與絕緣體254、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體252的厚度較佳為小。絕緣體252的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且小於3.0nm。此時，絕緣體252的至少一部分是具有上述厚度的區域即可。另外，絕緣體252的厚度較佳為比絕緣體250的厚度小。此時，絕緣體252的至少一部分是厚度比絕緣體250小的區域即可。

【0185】為了如上所述地將絕緣體252沉積得薄，較佳為利用ALD法沉積絕緣體252。ALD法有只利用熱能使前驅物及反應物起反應的熱ALD（Thermal ALD）法、使用收到電漿激發的反應物的PEALD（Plasma Enhanced ALD）法等。在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。

【0186】此外，ALD法可以按層沉積原子，從而發揮能夠沉積極薄的膜、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及能夠在低溫下進行沉積等的效果。因此，可以在形成於絕緣體280等中的開口的側面等以上述較小的厚度且高覆蓋性沉積絕緣體252。

【0187】ALD法中使用的前驅物有時包含碳等。因此，利用ALD法形成的膜有時與利用其它的沉積方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析（SIMS：Secondary Ion Mass

Spectrometry)、X射線光電子能譜(XPS:X-ray Photoelectron Spectroscopy)或俄歇電子能譜(AES:Auger Electron Spectroscopy)測量。

【0188】此外，藉由適當地調節成為絕緣體250的絕緣膜的沉積條件、含氧氛圍下的微波處理的條件、因絕緣體282的沉積而添加到絕緣體280的氧等，有時可以減少形成在區域230bc中的氧空位及VoH，可以抑制區域230ba及區域230bb的過度氧化。在此情況下，藉由採用不設置絕緣體252的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0189】絕緣體250被用作閘極絕緣體的一部分。絕緣體250較佳為以與絕緣體252的頂面接觸的方式配置。絕緣體250可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此時，絕緣體250是至少包含氧及矽的絕緣體。

【0190】與絕緣體224同樣，較佳為絕緣體250中的水、氫等雜質的濃度得到降低。絕緣體250的厚度較佳為0.1nm以上且20nm以下，更佳為0.5nm以上且15nm以下。尤其是，為了製造微型電晶體（例如閘極長度為10nm以下的電晶體），絕緣體250的厚度較佳為0.5nm以上且10nm以下，更佳為0.5nm以上且5nm以下。在上述情況下，絕緣體250的至少一部分是具有上述厚度的區域即可。

【0191】在圖1A至圖1D等中，示出絕緣體250具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖2B所示，絕緣體250也可以具有絕緣體250a與絕緣體250a上的絕緣體250b這兩層的疊層結構。

【0192】如圖2B所示，在使絕緣體250具有兩層疊層結構的情況下，較佳的是，下層的絕緣體250a使用容易使氧透過的絕緣體形成，而上層的絕緣體250b使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑

制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。例如，絕緣體250a使用上述的能夠用於絕緣體250的材料，絕緣體250b使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，可以使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）、包含鉛及矽的氧化物（矽酸鉛）等。在本實施方式中，作為絕緣體250b，使用氧化鉛。此時，絕緣體250b至少包含氧及鉛。此外，絕緣體250b的厚度為0.5nm以上且5.0nm以下，較佳為1.0nm以上且5.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體250b的至少一部分是具有上述厚度的區域即可。

【0193】注意，當絕緣體250a使用氧化矽或氧氮化矽等時，絕緣體250b也可以使用相對介電常數高的high-k材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體250a及絕緣體250b的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。因此，可以提高絕緣體250的絕緣耐壓。

【0194】絕緣體254被用作閘極絕緣體的一部分。作為絕緣體254較佳為使用氫阻擋絕緣膜。由此，可以防止包含在導電體260中的氫等雜質擴散到絕緣體250及氧化物230b。作為絕緣體254使用上述可用於絕緣體283的絕緣體即可。例如，作為絕緣體254使用利用PEALD法沉積的氮化矽即可。此時，絕緣體254至少包含氮、矽。

【0195】另外，絕緣體254也可以還具有氧阻擋性。由此，可以抑制包含在絕緣體250中的氧擴散到導電體260。

【0196】另外，絕緣體254需要與絕緣體252、絕緣體250、導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體200的微型化，絕緣體

254的厚度較佳為小。絕緣體254的厚度為0.1nm以上且5.0nm以下，較佳為0.5nm以上且3.0nm以下，更佳為1.0nm以上且3.0nm以下。此時，絕緣體254的至少一部分是具有上述厚度的區域即可。另外，絕緣體254的厚度較佳為比絕緣體250的厚度小。此時，絕緣體254的至少一部分是厚度比絕緣體250小的區域即可。

【0197】此外，如圖2B所示，在絕緣體250採用兩層的疊層結構時，藉由作為絕緣體250b使用氧化鉛等具有抑制氫等雜質及氧的透過的功能的絕緣體，絕緣體250b可以兼具絕緣體254所具有的功能。在此情況下，藉由採用不設置絕緣體254的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0198】導電體260被用作電晶體200的第一閘極電極。導電體260較佳為包括導電體260a以及配置在導電體260a上的導電體260b。例如，較佳為以包圍導電體260b的底面及側面的方式配置導電體260a。此外，如圖1B及圖1C所示，導電體260的頂面與絕緣體250的頂面大致對齊。雖然在圖1B及圖1C中導電體260具有導電體260a和導電體260b的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0199】作為導電體260a較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子和氧分子等中的至少一個）的擴散的功能的導電材料。

【0200】此外，當導電體260a具有抑制氧的擴散的功能時，可以抑制絕緣體250所包含的氧使導電體260b氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、鈮、氧化鈮等。

【0201】此外，由於導電體260還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0202】此外，在電晶體200中，以填埋形成於絕緣體280等的開口的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。

【0203】此外，如圖1C所示，在電晶體200的通道寬度方向上，以絕緣體222的底面為基準，導電體260的導電體260不與氧化物230b重疊的區域的底面的高度較佳為比氧化物230b的底面的高度低。藉由採用被用作閘極電極的導電體260隔著絕緣體250等覆蓋氧化物230b的通道形成區域的側面及頂面的結構，容易使導電體260的電場作用於氧化物230b的通道形成區域整體。由此，可以提高電晶體200的通態電流及頻率特性。以絕緣體222的底面為基準時的氧化物230a及氧化物230b不與導電體260重疊的區域的導電體260的底面的高度與氧化物230b的底面的高度之差為0nm以上且100nm以下，較佳為3nm以上且50nm以下，更佳為5nm以上且20nm以下。

【0204】絕緣體280設置在絕緣體275上，在設置絕緣體250及導電體260的區域中形成開口。此外，絕緣體280的頂面也可以被平坦化。

【0205】較佳的是，被用作層間膜的絕緣體280的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體280例如較佳為使用與絕緣體216同樣的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。或者，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是特別較佳的。

【0206】絕緣體280中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體280適當地使用氧化矽、氧氮化矽等包含矽的氧化物即可。

【0207】絕緣體282較佳為被用作抑制水、氫等雜質從上方向絕緣體280擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體282較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體282，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體282至少包含氧及鋁。藉由在夾在絕緣體212與絕緣體283的區域內設置與絕緣體280接觸且具有俘獲氫等雜質的功能的絕緣體282，可以俘獲包含在絕緣體280等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體282較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0208】作為絕緣體282，較佳為藉由濺射法沉積氧化鋁，更佳為在包含氧氣體的氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使膜厚度分佈更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF（Radio Frequency：射頻）功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體282的下層中的氧量。例如，RF功率越小注入到絕緣體282的下層中的氧量就越少，即使絕緣體282較薄該氧量也容易飽和。另外，RF功率越大注入到絕緣體282的下層中的氧量就越多。

【0209】作為RF功率，例如設定為 $0\text{W}/\text{cm}^2$ 以上且 $1.86\text{W}/\text{cm}^2$ 以下。換言之，可以根據形成絕緣體282時的RF功率而使氧量改變為適合於電晶體的特性的量並注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。

【0210】另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0211】在圖1A至圖1D等中，示出絕緣體282具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖5A所示，絕緣體282也可以採用絕緣體282a與絕緣體282a上的絕緣體282b的兩層疊層結構。

【0212】較佳的是，使用相同的材料以不同的方法形成絕緣體282a及絕緣體282b。例如，在作為絕緣體282在含氧氣體的氛围下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁的情況下，較佳的是，在沉積絕緣體282a時對基板施加的RF功率不同於在沉積絕緣體282b時對基板施加的RF功率，更佳的是，在沉積絕緣體282a時對基板施加的RF功率低於在沉積絕緣體282b時對基板施加的RF功率。明確而言，將對基板施加的RF功率設為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下沉積絕緣體282a，將對基板施加的RF功率設為 $1.86\text{W}/\text{cm}^2$ 以下沉積絕緣體282b。更明確而言，將對基板施加的RF功率設為 $0\text{W}/\text{cm}^2$ 沉積絕緣體282a，將對基板施加的RF功率設為 $0.31\text{W}/\text{cm}^2$ 沉積絕緣體282b。藉由採用該結構，可以使絕緣體282為非晶結構並且可以調整對絕緣體280供應的氧量。

【0213】注意，在沉積絕緣體282a時對基板施加的RF功率也可以高於在沉積絕緣體282b時對基板施加的RF功率。明確而言，將對基板施加的RF功率設為 $1.86\text{W}/\text{cm}^2$ 以下沉積絕緣體282a，將對基板施加的RF功率設為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下沉積絕緣體282b。更明確而言，將對基板施加的RF功率設為 $1.86\text{W}/\text{cm}^2$ 沉積絕緣體282a，將對基板施加的RF功率設為 $0.62\text{W}/\text{cm}^2$ 沉積絕緣體282b。藉由採用該結構，可以增加對絕緣體280供應的氧量。

【0214】另外，絕緣體282a的膜厚度為 1nm 以上且 20nm 以下，較佳為 1.5nm 以上且 15nm 以下，更佳為 2nm 以上且 10nm 以下，進一步較佳為 3nm 以上且 8nm 以下。藉由採用該結構，無論RF功率的大小，都可以使絕緣體282a為非晶結構。另外，藉由使絕緣體282a為非晶結構，可以使絕緣體282b容易成為非晶結構並使絕緣體282成為非晶結構。

【0215】上述絕緣體282a及絕緣體282b具有由相同材料構成的疊層結構，但本發明不侷限於此。絕緣體282a及絕緣體282b也可以具有由不同材料構成的疊層結構。

【0216】絕緣體283與絕緣體214的頂面的一部分、絕緣體216的側面、絕緣體222的側面、絕緣體275的側面、絕緣體280的側面及絕緣體282的側面及頂面接觸。

【0217】絕緣體283被用作抑制水、氫等雜質從上方擴散到絕緣體280的阻擋絕緣膜。絕緣體283配置在絕緣體282上。作為絕緣體283，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體283使用藉由濺射法沉積的氮化矽即可。藉由使用濺射法沉積絕緣體283，可以形成密度高的氮化矽膜。此外，作為絕緣體283，也可以在藉由濺射法沉積的氮化矽上還層疊藉由PEALD法或CVD法沉積的氮化矽。

【0218】導電體240a及導電體240b較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體240a及導電體240b也可以具有疊層結構。

【0219】當作為導電體240採用疊層結構時，作為配置在絕緣體285、絕緣體283、絕緣體282、絕緣體280、絕緣體275及絕緣體271附近的第一導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鈹、氮化鈹、鈦、氮化鈦、鈮、氧化鈮等。可以以單層或疊層使用具有抑制水、氫等雜質的透過的功能的導電材料。此外，可以防止包含在絕緣體283的上方的層的水、氫等雜質藉由導電體240a及導電體240b混入到氧化物230。

【0220】作為絕緣體241a及絕緣體241b，使用可用於絕緣體275等的阻擋絕緣膜即可。作為絕緣體241a及絕緣體241b，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體241a及絕緣體241b與絕緣體283、絕緣體282及絕緣體271接觸地設置，所以可以抑制包含在絕緣體280等中的水、氫等雜質經

過導電體240a及導電體240b混入氧化物230。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體280所包含的氧被導電體240a及導電體240b吸收。

【0221】在絕緣體241a及絕緣體241b具有如圖1B所示那樣的疊層結構時，作為與絕緣體280等的開口的內壁接觸的第一絕緣體以及其內側的第二絕緣體較佳為組合使用氧阻擋絕緣膜和氫阻擋絕緣膜。

【0222】例如，作為第一絕緣體使用利用ALD法沉積的氧化鋁且作為第二絕緣體使用利用PEALD法沉積的氮化矽即可。藉由採用這樣的結構，可以抑制導電體240的氧化，並且可以抑制氫進入導電體240中。

【0223】可以以與導電體240a的頂面及導電體240b的頂面接觸的方式配置被用作佈線的導電體246（導電體246a及導電體246b）。導電體246較佳為使用以鎢、銅或鋁為主要成分的導電材料。另外，該導電體可以具有疊層結構，例如，可以具有鈦或氮化鈦與上述導電材料的疊層結構。此外，該導電體也可以以嵌入形成於絕緣體的開口中的方式形成。

【0224】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。

【0225】

<<基板>>

作為形成電晶體200的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板（鈮安定氧化鋯基板等）、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、或者由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉

第52頁，共 155 頁(發明說明書)

出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為SOI（Silicon On Insulator；絕緣層上覆矽）基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。或者，可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有元件的基板。作為設置在基板上的元件，可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

【0226】

<<絕緣體>>

作為絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0227】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用high-k材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0228】作為相對介電常數較高的絕緣體，可以舉出氧化鎵、氧化鉛、氧化鋇、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0229】作為相對介電常數較低的絕緣體，可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽或樹脂等。

【0230】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、銻、銻、銻、銻、銻、銻、銻或銻的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化鎵、氧化銻、氧化銻、氧化銻、氧化銻、氧化銻、氧化銻等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0231】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

【0232】

<<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉭、鎳、鈦、鉬、鎢、鉛、釩、鈮、錳、鎂、銦、銻、釷、釷和鐳等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。例如，較佳為使用氮化鉭、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釷、氮化釷、包含鐳和釷的氧化物、包含鐳和鎳的氧化物等。此外，氮化鉭、氮化鈦、包含鈦和鋁的氮化物、包含鉭和鋁的氮化物、氧化釷、氮化釷、包含鐳和釷的氧化物、包含鐳和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0233】此外，也可以層疊多個由上述材料形成的導電層。例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。此外，也

可以採用組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構。此外，也可以採用組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

【0234】此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

【0235】尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鉭等包含氮的導電材料。此外，也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有矽的銮錫氧化物。此外，也可以使用包含氮的銮鎳鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氮。或者，有時可以俘獲從外方的絕緣體等混入的氮。

【0236】

<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物（氧化物半導體）。下面，對可用於根據本發明的氧化物230的金屬氧化物進行說明。

【0237】金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎳、鈮、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鎳、鎳、鋁、鎳、鈮、鈮、鈮、鈮、鎳及鈮等中的一種或多種。

【0238】在此考慮金屬氧化物為包含銦、元素M及鋅的In-M-Zn氧化物的情況。注意，元素M為鋁、鎵、鉍或錫。作為可以應用於元素M的其他元素，有硼、鈦、鐵、鎳、鍺、鉛、釧、鐳、銻、釷、釷、鎢、鎂、鈷等。注意，作為元素M有時也可以組合多個上述元素。尤其是，元素M較佳為選自鎵、鋁、鉍和錫中的一種或多種。

【0239】尤其是，作為電晶體的半導體層，較佳為使用包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物（也記載為IGZO）。或者，作為電晶體的半導體層，也可以使用包含銦（In）、鋁（Al）及鋅（Zn）的氧化物（也記載為IAZO）。或者，作為半導體層，也可以使用包含銦（In）、鋁（Al）、鎵（Ga）及鋅（Zn）的氧化物（IAGZO或IGAZO）。

【0240】此外，在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

【0241】以下，作為金屬氧化物的一個例子說明包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物。注意，有時將包含銦（In）、鎵（Ga）及鋅（Zn）的氧化物稱為In-Ga-Zn氧化物。

【0242】

＜結晶結構的分類＞

作為氧化物半導體的結晶結構，可以舉出非晶（包括completely amorphous）、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、CAC（cloud-aligned composite）、單晶（single crystal）及多晶（poly crystal）等。

【0243】可以使用X射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。例如，可以使用GIXD（Grazing-Incidence XRD）測定測得

的XRD譜進行評價。此外，將GIXD法也稱為薄膜法或Seemann-Bohlin法。以下，有時將GIXD測量所得的XRD譜簡單地記為XRD譜。

【0244】例如，石英玻璃基板的XRD譜的峰形狀大致為左右對稱。另一方面，具有結晶結構的In-Ga-Zn氧化物膜的XRD譜的峰形狀不是左右對稱。XRD譜的峰的形狀是左右不對稱說明膜中或基板中存在結晶。換言之，除非XRD譜峰形狀左右對稱，否則不能說膜或基板處於非晶狀態。

【0245】此外，可以使用奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。例如，在石英玻璃基板的繞射圖案中觀察到光暈圖案，可以確認石英玻璃處於非晶狀態。此外，以室溫沉積的In-Ga-Zn氧化物膜的繞射圖案中觀察到斑點狀的圖案而沒有觀察到光暈。因此可以推測，以室溫沉積的In-Ga-Zn氧化物處於既不是單晶或多晶也不是非晶態的中間態，不能得出該In-Ga-Zn氧化物是非晶態的結論。

【0246】

<<氧化物半導體的結構>>

此外，在著眼於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

【0247】在此，對上述CAAC-OS、nc-OS及a-like OS的詳細內容進行說明。

【0248】

[CAAC-OS]

CAAC-OS是包括多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

【0249】此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於10nm的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十nm左右。

【0250】此外，在In-Ga-Zn氧化物中，有CAAC-OS具有層疊有含有銦（In）及氧的層（以下，In層）、含有鎵（Ga）、鋅（Zn）及氧的層（以下，（Ga，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和鎵可以彼此置換。因此，有時（Ga，Zn）層包含銦。此外，有時In層包含鎵。注意，有時In層包含鋅。該層狀結構例如在高解析度TEM（Transmission Electron Microscope）影像中被觀察作為晶格像。

【0251】例如，當對CAAC-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，在 $2\theta=31^\circ$ 或其附近檢測出表示c軸配向的峰值。注意，表示c軸配向的峰值的位置（ 2θ 值）有時根據構成CAAC-OS的金屬元素的種類、組成等變動。

【0252】此外，例如，在CAAC-OS膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的入射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0253】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於CAAC-OS因為a-b面向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化等而能夠包容畸變。

【0254】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的CAAC-OS是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成CAAC-OS，較佳為包含Zn的結構。例如，與In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0255】CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入、缺陷的生成等而降低，因此可以說CAAC-OS是雜質、缺陷（氧空位等）少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。由此，藉由將CAAC-OS用於在通道形成區域中包含金屬氧化物（有時將其稱為OS電晶體），可以擴大製程的彈性。

第59頁，共 155 頁(發明說明書)

【0256】

[nc-OS]

在nc-OS中，微小的區域（例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域）中的原子排列具有週期性。換言之，nc-OS具有微小的結晶。此外，例如，該微小的結晶的尺寸為1nm以上且10nm以下，尤其為1nm以上且3nm以下，將該微小的結晶稱為奈米晶。此外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。例如，在對nc-OS膜使用XRD裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的Out-of-plane XRD測量中，檢測不出表示結晶性的峰值。此外，在對nc-OS膜進行使用其束徑比奈米晶大（例如，50nm以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對nc-OS膜進行使用其束徑近於或小於奈米晶的尺寸（例如1nm以上且30nm以下）的電子束的電子繞射（也稱為奈米束電子繞射）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0257】

[a-like OS]

a-like OS是具有介於nc-OS與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS包含空洞或低密度區域。也就是說，a-like OS的結晶性比nc-OS及CAAC-OS的結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0258】

<<氧化物半導體的結構>>

接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

第60頁，共 155 頁(發明說明書)

【0259】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁（patch）狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【0260】再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0261】在此，將相對於構成In-Ga-Zn氧化物的CAC-OS的金屬元素的In、Ga及Zn的原子個數比的每一個記為[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一區域是其[In]大於CAC-OS膜的組成中的[In]的區域。此外，第二區域是其[Ga]大於CAC-OS膜的組成中的[Ga]的區域。此外，例如，第一區域是其[In]大於第二區域中的[In]且其[Ga]小於第二區域中的[Ga]的區域。此外，第二區域是其[Ga]大於第一區域中的[Ga]且其[In]小於第一區域中的[In]的區域。

【0262】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以In為主要成分的區域。此外，可以將上述第二區域稱為以Ga為主要成分的區域。

【0263】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0264】此外，In-Ga-Zn氧化物中的CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，部分主要成分為Ga的區域與部分主要成分為In的區域無規律地以馬賽克狀存在。因此，可推測，CAC-OS具有金屬元素不均勻地分佈的結構。

【0265】CAC-OS例如可以藉由在對基板不進行加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣體（典型的是氬）、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為0%以上且低於30%，較佳為0%以上且10%以下。

【0266】例如，在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的EDX面分析（mapping）影像，可確認到具有以In為主要成分的區域（第一區域）及以Ga為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0267】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率（ μ ）。

【0268】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制關態電流。

【0269】在將CAC-OS用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能（控制開啟/關閉的功能）。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，

藉由將CAC-OS用於電晶體，可以實現高通態電流（ I_{on} ）、高場效移動率（ μ ）及良好的切換工作。

【0270】此外，使用CAC-OS的電晶體具有高可靠性。因此，CAC-OS最適合於顯示裝置等各種半導體裝置。

【0271】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS中的兩種以上。

【0272】

<包括氧化物半導體的電晶體>

接著，說明將上述氧化物半導體用於電晶體的情況。

【0273】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0274】較佳為將載子濃度低的氧化物半導體用於電晶體。例如，氧化物半導體的載子濃度可以為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，較佳為 $1 \times 10^{15} \text{cm}^{-3}$ 以下，更佳為 $1 \times 10^{13} \text{cm}^{-3}$ 以下，進一步較佳為 $1 \times 10^{11} \text{cm}^{-3}$ 以下，更進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ ，且為 $1 \times 10^{-9} \text{cm}^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為高純度本質或實質上高純度本質。此外，有時將載子濃度低的氧化物半導體稱為高純度本質的氧化物半導體或實質上高純度本質的氧化物半導體。

【0275】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0276】此外，被氧化物半導體的陷阱態俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0277】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物半導體中的雜質例如是指構成氧化物半導體的主要成分之外的元素。例如，濃度低於0.1原子%的元素可以說是雜質。

【0278】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0279】在氧化物半導體包含第14族元素之一的矽或碳時，在氧化物半導體中形成缺陷態。因此，將氧化物半導體的矽或碳的濃度（藉由二次離子質譜分析（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）例如設定為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0280】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷態而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用SIMS測得的氧化物半導體中的鹼金屬或鹼土金屬的濃度設定為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。

【0281】當氧化物半導體包含氮時，產生作為載子的電子，使載子濃度增高，而容易被n型化。其結果是，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟特性。或者，在氧化物半導體包含氮時，有時形成陷阱態。其結果是，有時電晶體的電特性不穩定。因此，將利用SIMS測得的氧化物半導

體中的氫濃度設定為低於 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0282】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧空位。當氫進入該氧空位時，有時生成作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體中的氫。明確而言，將利用SIMS測得的氧化物半導體的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，較佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，更佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0283】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0284】

<<其他半導體材料>>

氧化物230可以換稱為包括電晶體200的通道形成區域的半導體層。注意，能夠用於該半導體層的半導體材料不侷限於上述金屬氧化物。作為該半導體層，也可以使用具有能帶間隙的半導體材料（不是零能帶間隙半導體的半導體材料）。例如，較佳為將矽等單個元素的半導體、砷化鎵等化合物半導體、被用作半導體的層狀物質（也稱為原子層物質、二維材料等）等用於半導體材料。特別是，較佳為將被用作半導體的層狀物質用於半導體材料。

【0285】在此，在本說明書等中，層狀物質是具有層狀結晶結構的材料群的總稱。層狀結晶結構是由共價鍵或離子鍵形成的層藉由如凡得瓦力那樣的比共價鍵及離子鍵弱的鍵合層疊的結構。層狀物質在單位層中具有高導電性，亦即，具有高二維導電性。藉由將被用作半導體並具有高二維導電性的材料用於通道形成區域，可以提供通態電流高的電晶體。

第65頁，共 155 頁(發明說明書)

【0286】作為層狀物質，有石墨烯、矽烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外，氧族元素是屬於第16族的元素的總稱，其中包括氧、硫、硒、碲、鉬、鉍。此外，作為硫族化物，可以舉出過渡金屬硫族化物、第13族硫族化物等。

【0287】作為半導體層，例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬（典型的是 MoS_2 ）、硒化鉬（典型的是 MoSe_2 ）、碲化鉬（典型的是 MoTe_2 ）、硫化鎢（典型的是 WS_2 ）、硒化鎢（典型的是 WSe_2 ）、碲化鎢（典型的是 WTe_2 ）、硫化鈦（典型的是 HfS_2 ）、硒化鈦（典型的是 HfSe_2 ）、硫化鋇（典型的是 ZrS_2 ）、硒化鋇（典型的是 ZrSe_2 ）等。

【0288】

<半導體裝置的製造方法>

接著，使用圖10A至圖20D說明圖1A至圖1D所示的本發明的一個實施方式的半導體裝置的製造方法。

【0289】各圖式中的A是俯視圖。另外，各圖式中的B是沿著A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向上的剖面圖。各圖式中的C是沿著A中的點劃線A3-A4的部分的剖面圖，該剖面圖相當於電晶體200的通道寬度方向上的剖面圖。此外，各圖式中的D是沿著A中的點劃線A5-A6的部分的剖面圖。為了明確起見，在各圖式中的A的俯視圖中省略部分組件。

【0290】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。

【0291】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在沉積絕緣膜時使用，DC濺射法主要在沉積金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法沉積氧化物、氮化物、碳化物等化合物時使用。

【0292】注意，CVD法可以分為利用電漿的電漿增強CVD（PECVD）法、利用熱量的熱CVD（TCVD：Thermal CVD）法及利用光的光CVD（Photo CVD）法等。再者，可以根據使用的源氣體分類為金屬CVD（MCVD：Metal CVD）法及有機金屬CVD（MOCVD：Metal Organic CVD）法。

【0293】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件（電晶體、電容器等）等有時因從電漿接收電荷而會產生電荷積聚（charge up）。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱CVD法的情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生沉積時的電漿損傷，因此能夠得到缺陷較少的膜。

【0294】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用收到電漿激發的反應物的PEALD法等。

【0295】CVD法及ALD法不同於從靶材等中被釋放的粒子沉積的濺射法。因此，藉由CVD法及ALD法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，藉由ALD法形成的膜具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，

ALD法的沉積速率比較慢，所以有時較佳為與沉積速度快的CVD法等其他沉積方法組合而使用。

【0296】此外，當使用CVD法時，可以藉由調整源氣體的流量比沉積任意組成的膜。例如，當使用CVD法時，可以藉由在進行沉積的同時改變源氣體的流量比來沉積其組成連續變化的膜。當在改變源氣體的流量比的同時進行沉積時，因為不需要傳送或調整壓力所需的時間，所以與使用多個沉積室進行形成的情況相比可以縮短沉積時間。因此，有時可以提高半導體裝置的生產率。

【0297】當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0298】首先，準備基板（未圖示），在該基板上沉積絕緣體212（參照圖10A至圖10D）。絕緣體212較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體212中的氫濃度。注意，絕緣體212的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0299】在本實施方式中，作為絕緣體212在含氮氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氮化矽。藉由使用脈衝DC濺射法，可以抑制因靶材表面的電弧（arcing）而發生的微粒，所以可以使厚度更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應功率而提高濺射速率及膜品質。

【0300】此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體212的下方的層所包含的水、氫等雜質擴散。此外，藉由作為絕緣體212使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體212的

下方的層（未圖示）的導電體使用銅等容易擴散的金屬，也可以抑制該金屬藉由絕緣體212向上方擴散。

【0301】接著，在絕緣體212上沉積絕緣體214（參照圖10A至圖10D）。絕緣體214較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體214中的氫濃度。注意，絕緣體214的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0302】在本實施方式中，作為絕緣體214在含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。在此，也可以對基板施加RF功率。可以根據對基板施加的RF功率的大小控制注入到絕緣體214的下層中的氧量。作為RF功率，設定為 $0\text{W}/\text{cm}^2$ 以上且 $1.86\text{W}/\text{cm}^2$ 以下。換言之，可以使用形成絕緣體214時的RF功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0303】作為絕緣體214，較佳為使用俘獲並固定氫的性能高的具有非晶結構的金屬氧化物，例如氧化鋁。由此，可以俘獲或固定包含在絕緣體216等中的氫以防止該氫擴散到氧化物230。尤其是，絕緣體214特別較佳為使用具有非晶結構的氧化鋁或非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體200及半導體裝置。

【0304】接著，在絕緣體214上沉積絕緣體216。絕緣體216較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體216中的氫濃度。注意，絕緣體216的沉積不侷限於濺射法，也可以適當地使用CVD法、MBE法、PLD法、ALD法等。

【0305】在本實施方式中，作為絕緣體216在包含氧氣體氛圍下使用矽靶材藉由脈衝DC濺射法沉積氧化矽。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。

【0306】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續沉積。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氬而沉積絕緣體212、絕緣體214及絕緣體216，並且可以降低在各沉積製程之間氬混入膜中。

【0307】接著，在絕緣體216中形成到達絕緣體214的開口。開口例如包括槽、狹縫等。有時將形成有開口的區域稱為開口部。在形成該開口時，可以使用濕蝕刻法，但是對微型加工來說乾蝕刻法是較佳的。作為絕緣體214，較佳為選擇在對絕緣體216進行蝕刻以形成槽時被用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體216使用氧化矽或氧氮化矽時，絕緣體214較佳為使用氮化矽、氧化鋁、氧化鉛。

【0308】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿（CCP：Capacitively Coupled Plasma）蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的一方施加不同的多個高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿（ICP：Inductively Coupled Plasma）蝕刻裝置等。

【0309】在形成開口之後，沉積成為導電體205a的導電膜。該導電膜較佳為包括具有抑制氧的透過的功能的導電體。例如，可以使用氮化鋁、氮化鎢、

氮化鈦等。或者，可以使用具有抑制氧透過的功能的導電體與鈮、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該導電膜。

【0310】在本實施方式中，作為成為導電體205a的導電膜沉積氮化鈦。藉由作為導電體205b的下層使用上述金屬氮化物，可以抑制由於絕緣體216等導電體205b被氧化。此外，即使作為導電體205b使用銅等容易擴散的金屬，也可以防止該金屬從該導電體205a向外方擴散。

【0311】接著，沉積成為導電體205b的導電膜。作為該導電膜，可以使用鈮、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。該導電膜的沉積可以使用電鍍法、濺射法、CVD法、MBE法、PLD法、ALD法等。在本實施方式中，作為該導電膜沉積鎢。

【0312】接著，藉由CMP處理去除成為導電體205a的導電膜及成為導電體205b的導電膜的一部分而使絕緣體216露出（參照圖10A至圖10D）。其結果是，只在開口部中殘留導電體205a及導電體205b。此外，有時藉由該CMP處理絕緣體216的一部分被去除。

【0313】接著，在絕緣體216及導電體205上沉積絕緣體222（參照圖11A至圖11D）。作為絕緣體222較佳為沉積包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉛中的一者或兩者的氧化物的絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。或者，較佳為使用鉛銻氧化物。包含鋁和鉛中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體222對氫及水具有阻擋性時，可以抑制電晶體200的周圍的結構體所包含的氫及水藉由絕緣體222擴散到電晶體200的內側，從而可以抑制氧化物230中的氧空位的生成。

【0314】可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣體222。在本實施方式中，作為絕緣體222利用ALD法沉積氧化鉛。尤其是，較佳為使用本發明的一個實施方式的氫濃度得到降低的氧化鉛的形成方法。

【0315】接著，較佳為進行熱處理。熱處理以250°C以上且650°C以下，較佳為以300°C以上且500°C以下，更佳為以320°C以上且450°C以下進行即可。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0316】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體222等吸收。

【0317】在本實施方式中，作為熱處理在沉積絕緣體222後以氮氣體與氧氣體的流量比為4:1且400°C的溫度進行1小時的處理。藉由進行該熱處理，可以去除絕緣體222所包含的水、氫等雜質。此外，在作為絕緣體222使用含鉛氧化物時，有時藉由進行該熱處理絕緣體222的一部分被晶化。此外，也可以在沉積絕緣體224之後等的時機進行熱處理。

【0318】接著，在絕緣體222上沉積絕緣膜224A（參照圖11A至圖11D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣膜224A。在本實施方式中，作為絕緣膜224A利用濺射法沉積氧化矽膜。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣膜224A中的氫濃度。絕

緣膜224A在後面製程中與氧化物230a接觸，所以如此那樣氬濃度得到降低是較佳的。

【0319】接著，在絕緣膜224A上依次沉積氧化膜230A以及氧化膜230B（參照圖11A至圖11D）。較佳為在不暴露於大氣環境的情況下連續地沉積氧化膜230A及氧化膜230B。藉由不暴露於大氣而進行沉積，由於可以防止來自大氣環境的雜質或水分附著於氧化膜230A及氧化膜230B上，所以可以保持氧化膜230A與氧化膜230B的介面附近的清潔。

【0320】氧化膜230A及氧化膜230B可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。藉由利用ALD法沉積氧化膜230A及氧化膜230B，對縱橫比大的槽或開口部也可以形成厚度均勻的膜，所以是較佳的。此外，藉由利用PEALD法，與熱ALD法相比可以以更低的溫度形成氧化膜230A及氧化膜230B，所以是較佳的。在本實施方式中，在氧化膜230A及氧化膜230B的沉積中利用濺射法。

【0321】例如，在利用濺射法沉積氧化膜230A以及氧化膜230B的情況下，作為濺射氣體使用氧或者氧和高貴氣體的混合氣體。藉由提高濺射氣體所包含的氧的比例，可以增加沉積的氧化膜中的過量氧。此外，在利用濺射法沉積上述氧化膜的情況下，例如可以使用上述In-M-Zn氧化物靶材等。

【0322】尤其是，在沉積氧化膜230A時，有時濺射氣體所包含的氧的一部分供應給絕緣體224。因此，該濺射氣體所包含的氧的比率可以為70%以上，較佳為80%以上，更佳為100%。

【0323】在使用濺射法形成氧化膜230B的情況下，藉由在包含在濺射氣體中的氧的比率超過30%且為100%以下，較佳為70%以上且100%以下的條件下進行沉積，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體可以得到比較高的可靠性。注意，本發明的一個實施方式不

侷限於此。在利用濺射法形成氧化膜230B的情況下，當在濺射氣體所包含的氧的比率設定為1%以上且30%以下，較佳為5%以上且20%以下的情況下進行沉積時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由在加熱基板的同時進行沉積，可以提高該氧化膜的結晶性。

【0324】在本實施方式中，利用濺射法使用In:Ga:Zn=1:3:4[原子個數比]的氧化物靶材沉積氧化膜230A。此外，利用濺射法使用In:Ga:Zn=4:2:4.1[原子個數比]的氧化物靶材、In:Ga:Zn=1:1:1[原子個數比]的氧化物靶材、In:Ga:Zn=1:1:1.2[原子個數比]的氧化物靶材或者In:Ga:Zn=1:1:2[原子個數比]的氧化物靶材沉積氧化膜230B。各氧化膜可以根據氧化物230a及氧化物230b所需的特性適當地選擇沉積條件及原子個數比來形成。

【0325】注意，較佳為藉由濺射法不暴露於大氣的方式沉積絕緣膜224A、氧化膜230A及氧化膜230B。例如，使用多室方式沉積裝置即可。由此，可以降低各沉積製程之間氫進入絕緣膜224A、氧化膜230A及氧化膜230B。

【0326】接著，較佳為進行熱處理。熱處理在氧化膜230A、氧化膜230B中不發生多晶化的溫度範圍內進行即可，可以在250°C以上且650°C以下，較佳為在400°C以上且600°C以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例設為20%左右即可。熱處理也可以在減壓狀態下進行。或者，作為熱處理也可以在氮氣體或惰性氣體氛圍下進行熱處理，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0327】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量為1ppb以下，較佳為0.1ppb以下，更

佳為0.05ppb以下即可。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜230A、氧化膜230B等吸收。

【0328】在本實施方式中，作為熱處理，在氮氣體與氧氣體的流量比為4:1且400°C的溫度的條件下進行1小時的處理。藉由這樣的包含氧氣體的熱處理可以減少氧化膜230A及氧化膜230B中的碳、水、氫等雜質。藉由如此減少膜中的雜質，氧化膜230B的結晶性得到提高，可以實現密度更高的緻密結構。因此，可以增大氧化膜230A及氧化膜230B中的結晶區域，可以降低氧化膜230A及氧化膜230B中的結晶區域的面內不均勻。因此，可以降低電晶體200的電特性的面內不均勻。

【0329】另外，藉由進行熱處理，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫轉移到絕緣體222而被絕緣體222吸收。換言之，絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫擴散到絕緣體222。因此，雖然絕緣體222的氫濃度增高，但絕緣體216、絕緣膜224A、氧化膜230A和氧化膜230B中的氫濃度都降低。

【0330】尤其是，絕緣膜224A被用作電晶體200的閘極絕緣體，氧化膜230A及氧化膜230B被用作電晶體200的通道形成區域。因此，包括氫濃度降低了的絕緣膜224A、氧化膜230A及氧化膜230B的電晶體200具有優異可靠性，所以是較佳的。

【0331】接著，在氧化膜230B上沉積導電膜242A（參照圖11A至圖11D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積導電膜242A。例如，作為導電膜242A利用濺射法沉積氮化鈮即可。此外，在沉積導電膜242A之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積導電膜242A。藉由進行這種處理，可以去除附著於氧化膜230B的表面的水分及氫，而且減少氧化膜230A、氧化膜230B中的水

分濃度及氫濃度。熱處理的溫度較佳為100°C以上且400°C以下。在本實施方式中，將熱處理的溫度設定為200°C。

【0332】接著，在導電膜242A上沉積絕緣膜271A（參照圖11A至圖11D）。絕緣膜271A可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積。作為絕緣膜271A，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，作為絕緣膜271A藉由濺射法沉積氧化鋁或氮化矽即可。或者，例如，作為絕緣膜271A也可以藉由濺射法沉積氮化矽膜及該氮化矽膜上的氧化矽膜。

【0333】較佳為藉由濺射法以不暴露於大氣的方式沉積導電膜242A及絕緣膜271A。例如，使用多室方式沉積裝置即可。由此，可以降低膜中的氫而沉積導電膜242A及絕緣膜271A，並且可以降低在各沉積製程之間氫混入膜中。此外，當在絕緣膜271A上形成硬遮罩時，成為該硬遮罩的膜也以不暴露於大氣的方式連續沉積即可。

【0334】接著，利用光微影法將絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A加工為島狀，形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B（參照圖12A至圖12D）。在此，以其至少一部分與導電體205重疊的方式形成絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B。此外，作為上述加工可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微細加工。另外，也可以在各自不同的條件下進行絕緣膜224A、氧化膜230A、氧化膜230B、導電膜242A及絕緣膜271A的加工。

【0335】注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，可以藉由該光阻遮罩進行蝕刻處理來將導電體、半導體或絕緣體等加工為所希望的形狀。例如，使用KrF準分子雷射、ArF準分子雷射、EUV（Extreme Ultraviolet：極紫

外) 光等對光阻劑進行曝光來形成光阻遮罩，即可。此外，也可以利用在基板和投影透鏡之間填滿液體（例如，水）的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0336】再者，也可以在光阻遮罩下使用由絕緣體或導電體構成的硬遮罩。當使用硬遮罩時，可以在導電膜242A上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對導電膜242A等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在導電膜242A等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定需要去除硬遮罩。在本實施方式中，將絕緣層271B用作硬遮罩。

【0337】在此，絕緣層271B被用作導電層242B的遮罩，如圖12B至圖12D所示，導電層242B在側面與頂面之間不具有彎曲面。由此，圖1B及圖1D所示的導電體242a及導電體242b的側面與頂面交叉的端部成為角狀。在導電體242的側面與頂面交叉的端部成為角狀時，與該端部具有曲面的情況相比，導電體242的剖面面積增大。由此，導電體242的電阻下降，從而可以增大電晶體200的通態電流。

【0338】另外，如圖12B至圖12D所示，絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面形狀也可以為錐形形狀。注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面傾斜地設置的形狀。例如，傾斜的側面和基板面所形成的角度（以下，有時稱為錐角）較佳

為小於 90° 。絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B例如以錐角為 60° 以上且小於 90° 的方式形成。在側面具有這樣的錐形形狀時，以後的製程中的絕緣體275等的覆蓋性得到提高，可以減少空洞等缺陷。

【0339】但是，不侷限於此，也可以採用絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面大致垂直於絕緣體222的頂面的結構。藉由採用這樣的結構，在設置多個電晶體200時可以實現小面積化及高密度化。

【0340】此外，有時在上述蝕刻製程中產生的副產物以層狀形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的側面。在此情況下，該層狀的副產物形成在絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B與絕緣體275間。因此，較佳為去除接觸於絕緣體222的頂面的該層狀的副產物。

【0341】接著，以覆蓋絕緣體224、氧化物230a、氧化物230b、導電層242B及絕緣層271B的方式沉積絕緣體275（參照圖13A至圖13D）。在此，絕緣體275較佳為與絕緣體222的頂面及絕緣體224的側面密接。絕緣體275可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體275較佳為使用抑制氧透過的功能的絕緣膜。例如，作為絕緣體275可以利用ALD法沉積氮化矽。或者，作為絕緣體275可以利用濺射法沉積氧化鋁且在其上利用PEALD法沉積氮化矽。在絕緣體275具有這種疊層結構時，抑制水、氫等雜質及氧的擴散的功能有時得到提高。

【0342】如此，可以由具有抑制氧擴散的功能的絕緣體275及絕緣層271B覆蓋氧化物230a、氧化物230b及導電層242B。由此，可以抑制在後面製程中氧從絕緣體280等直接擴散到絕緣體224、氧化物230a、氧化物230b及導電層242B中。

【0343】接著，在絕緣體275上沉積成為絕緣體280的絕緣膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該絕緣膜。例如，作為該絕緣膜藉由濺射法沉積氧化矽膜即可。藉由在含氧氛圍下使用濺射法沉積該絕緣膜，可以形成包含過量氧的絕緣體280。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體280中的氫濃度。此外，在沉積該絕緣膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地沉積該絕緣膜。藉由進行這種處理，可以去除附著於絕緣體275的表面等的水分及氫，而且減少氧化物230a、氧化物230b及絕緣體224中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0344】接著，藉由對成為絕緣體280的絕緣膜進行CMP處理，形成其頂面平坦的絕緣體280（參照圖13A至圖13D）。此外，也可以在絕緣體280上例如藉由濺射法沉積氮化矽，直到該氮化矽到達絕緣體280為止進行CMP處理。

【0345】接著，對絕緣體280的一部分、絕緣體275的一部分、絕緣層271B的一部分、導電層242B的一部分進行加工來形成到達氧化物230b的開口。該開口較佳為以與導電體205重疊的方式形成。藉由形成該開口，形成絕緣體271a、絕緣體271b、導電體242a、導電體242b（參照圖14A至圖14D）。

【0346】在此，如圖14B及圖14C所示，絕緣體280、絕緣體275、絕緣體271及導電體242的側面形狀有時為錐形形狀。另外，絕緣體280的錐角有時大於導電體242的錐角。另外，雖然在圖14A至圖14C中沒有示出，但是在形成上述開口時氧化物230b的頂部有時被去除。

【0347】此外，可以對絕緣體280的一部分、絕緣體275的一部分、絕緣層271B的一部分、導電層242B的一部分藉由乾蝕刻法或濕蝕刻法進行加工。利用乾蝕刻法的加工適合於微細加工。此外，該加工也可以以互不相同的條件進行。例如，也可以藉由乾蝕刻法對絕緣體280的一部分進行加工，藉由濕蝕刻

法對絕緣體275的一部分及絕緣層271B的一部分進行加工，藉由乾蝕刻法對導電層242B的一部分進行加工。

【0348】在此，有時發生如下：雜質附著於氧化物230a的側面、氧化物230b的頂面及側面、導電體242的側面以及絕緣體280的側面等；或者該雜質擴散到它們的內部。此外，也可以進行去除這些雜質的製程。另外，有時因上述乾蝕刻而在氧化物230b的表面上形成損傷區域。此外，也可以去除這樣的損傷區域。作為該雜質，可以舉出起因於如下成分等的雜質：絕緣體280、絕緣體275、絕緣層271B的一部分及導電層242B所包含的成分；包含於形成上述開口時使用的裝置所使用的構件中的成分；用於蝕刻的氣體或液體所包含的成分。作為該雜質，例如有鉛、鋁、矽、鉭、氟、氯等。

【0349】尤其是，鋁、矽等雜質有時導致氧化物230b的結晶性下降。因此，在氧化物230b的表面及其附近較佳為去除鋁、矽等雜質。此外，該雜質的濃度較佳為得到降低。例如，氧化物230b的表面及其附近的鋁原子的濃度可以為5.0原子%以下，較佳為2.0原子%以下，更佳為1.5原子%以下，進一步較佳為1.0原子%以下，尤其較佳為小於0.3原子%。

【0350】由於鋁、矽等雜質，在氧化物230b的結晶性低的區域中結晶結構的緻密度降低，所以產生大量 V_{OH} 而電晶體容易變成常開啟化。由此，較佳為減少或去除氧化物230b的結晶性低的區域。

【0351】相對於此，氧化物230b較佳為具有層狀的CAAC結構。尤其是，較佳為氧化物230b的汲極的下端部也具有CAAC結構。在此，在電晶體200中，導電體242a或導電體242b及其附近被用作汲極。換言之，導電體242a（導電體242b）的下端部附近的氧化物230b較佳為具有CAAC結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧化物230b的結晶性低的區域而使其具

有CAAC結構，可以進一步抑制電晶體200的電特性的變動。此外，可以進一步提高電晶體200的可靠性。

【0352】為了去除在上述蝕刻製程中附著於氧化物230b表面的雜質等，進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌（也可以稱為濕蝕刻處理）、使用電漿的電漿處理、使用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0353】作為濕式洗滌，可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸等而成的水溶液、純水或碳酸水等進行洗滌處理。或者，可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。此外，也可以適當地組合上述洗滌。

【0354】注意，在本說明書等中，有時將用純水稀釋氟化氫酸的水溶液稱為稀氟化氫酸且將用純水稀釋氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等可以根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整即可。稀氨水的氨濃度設定為0.01%以上且5%以下，較佳為設定為0.1%以上且0.5%以下即可。此外，稀氟化氫酸的氟化氫濃度設定為0.01ppm以上且100ppm以下，較佳為設定為0.1ppm以上且10ppm以下即可。

【0355】此外，作為超聲波洗滌較佳為使用200kHz以上的頻率，更佳為使用900kHz以上的頻率。藉由使用該頻率，可以降低對氧化物230b等造成的損傷。

【0356】此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氟化氫酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0357】作為上述洗滌處理，在本實施方式中，使用稀氨水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物230a、氧化物230b等的表面或者擴散到其內部的雜質。並且，可以提高氧化物230b的結晶性。

【0358】也可以在上述蝕刻或上述洗滌後進行熱處理。熱處理以100°C以上且450°C以下，較佳為以350°C以上且400°C以下進行即可。熱處理在氮氣體、惰性氣體或包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物230a及氧化物230b供應氧，從而可以減少氧空位。此外，藉由進行上述熱處理，可以提高氧化物230b的結晶性。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0359】接著，沉積絕緣膜252A（參照圖15A至圖15D）。絕緣膜252A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣膜252A較佳為利用ALD法沉積。如上所述，絕緣膜252A較佳為沉積得薄，需要將厚度不均勻性抑制為小。對此，ALD法是交替地導入前驅物及反應物（例如，氧化劑等）進行的沉積方法，由於膜的厚度可以根據反復該循環的次數進行調整，所以可以精密地調整厚度。另外，如圖15B及圖15C所示，絕緣膜252A需要以高覆蓋性沉積在絕緣體280等中形成的開口的底面及側面。尤其是，絕緣膜252A需要以高覆蓋性沉積在氧化物230的頂面及側面、導電體242的側面。由於可以在上述開口的底面及側面上沉積每一層的原子層，所以可以在該開口中以高覆蓋性沉積絕緣膜252A。

【0360】另外，當利用ALD法沉積絕緣膜252A時，作為氧化劑可以使用臭氧（O₃）、氧（O₂）、水（H₂O）等。藉由使用不包含氫的臭氧（O₃）、氧（O₂）等作為氧化劑，可以減少擴散到氧化物230b的氫。

【0361】在本實施方式中，作為絕緣膜252A藉由熱ALD法沉積氧化鋁。

【0362】接著，沉積絕緣膜250A（參照圖15A至圖15D）。在此，也可以在沉積絕緣膜250A之前進行熱處理，並且較佳的是，該熱處理在減壓下進行，以不暴露於大氣的方式連續沉積絕緣膜250A。此外，該熱處理較佳為在包含氧的氛圍下進行。藉由進行這種處理，可以去除附著於絕緣膜252A的表面等的水分及氫，而且減少氧化物230a、氧化物230b中的水分濃度及氫濃度。熱處理的溫度較佳為100°C以上且400°C以下。

【0363】可以利用濺射法、CVD法、PECVD法、MBE法、PLD法、ALD法等沉積絕緣膜250A。絕緣膜250A較佳為使用減少或去除氫原子的氣體的沉積方法沉積。由此，可以降低絕緣膜250A的氫濃度。絕緣膜250A在後面製程中成為隔著厚度較小的絕緣體252與氧化物230b相對的絕緣體250a，所以如此那樣氫濃度得到降低是較佳的。

【0364】在本實施方式中，作為絕緣膜250A藉由PECVD法沉積氧氮化矽。

【0365】接著，較佳為在含氧氛圍下進行微波處理。另外，在本說明書等中，微波是指具有300MHz以上且300GHz以下的頻率的電磁波。

【0366】圖15B至圖15D所示的點線表示微波、RF等高頻、氧電漿或氧自由基等。微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在此，將微波處理裝置的頻率設定為300MHz以上且300GHz以下，較佳為2.4GHz以上且2.5GHz以下，例如為2.45GHz即可。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率為1000W以上且10000W以下，較佳為2000W以上且5000W以下即可。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物230b中。

【0367】此外，上述微波處理較佳為在減壓下進行，壓力為10Pa以上且1000Pa以下，較佳為300Pa以上且700Pa以下即可。此外，處理溫度為750°C以下，較佳為500°C以下，例如為250°C左右即可。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。例如，處理溫度為100°C以上且750°C以下，較佳為300°C以上且500°C以下即可。

【0368】另外，例如，上述微波處理使用氧氣體及氬氣體進行即可。在此，氧流量比（ $O_2/(O_2+Ar)$ ）大於0%且為100%以下，較佳為大於0%且為50%以下，更佳為10%以上且40%以下，進一步較佳為10%以上且30%以下即可。如此，藉由在含氧氛圍下進行微波處理，可以降低區域230bc中的載子濃度。另外，藉由在微波處理中防止對處理室導入過多的氧，可以防止在區域230ba及區域230bb中載子濃度過度地降低。

【0369】如圖15B至圖15D所示，藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用於氧化物230b的導電體242a與導電體242b間的區域。此時，也可以將微波或RF等高頻照射到區域230bc。換言之，可以使該微波或RF等高頻、氧電漿等在圖2A所示的區域230bc中作用。藉由電漿、微波等的作用，可以使區域230bc的 V_oH 分開來從區域230bc去除氬。換言之，可以減少包含在區域230bc中的 V_oH 。因此，可以減少區域230bc中的氧空位及 V_oH 而降低載子濃度。此外，藉由對形成在區域230bc中的氧空位供應在上述氧電漿中產生的氧自由基或包含在絕緣體250中的氧，可以進一步降低區域230bc中的氧空位，由此可以降低載子濃度。

【0370】另一方面，在圖2A所示的區域230ba及區域230bb上設置導電體242a及導電體242b。在此，導電體242較佳為被用作在含氧氛圍下進行微波處理時保護免受微波、RF等高頻或氧電漿等的作用的遮蔽膜。由此，導電體242

較佳為具有遮蔽300MHz以上且300GHz以下，例如2.4GHz以上且2.5GHz以下的電磁波的功能。

【0371】如圖15B至圖15D所示，導電體242a及導電體242b遮蔽微波或RF等高頻、氧電漿等的作用，所以不作用於區域230ba及區域230bb。由此，藉由微波處理在區域230ba及區域230bb中不發生 V_{oH} 的下降及過多的氧的供應，所以可以防止載子濃度的降低。

【0372】另外，以與導電體242a及導電體242b的側面接觸的方式設置有具有氧阻擋性的絕緣體252。因此，可以抑制因微波處理而氧化膜形成在導電體242a及導電體242b的側面。

【0373】由於可以提高絕緣體252及絕緣體250a的膜品質，電晶體200的可靠性得到提高。

【0374】如上所述，可以在氧化物半導體的區域230bc中選擇性地去除氧空位及 V_{oH} 而使區域230bc成為i型或實質上i型。並且，可以抑制被用作源極區域或汲極區域的區域230ba及區域230bb被供應過多的氧而保持導電性。由此，可以抑制電晶體200的電特性變動而抑制在基板面內電晶體200的電特性不均勻。

【0375】另外，在微波處理中，有時由於微波與氧化物230b中的分子的電磁相互作用而對氧化物230b直接傳遞熱能量。有時因該熱能量而氧化物230b被加熱。有時將該熱處理稱為微波退火。藉由在含氧氛圍下進行微波處理，有時可以得到與氧退火相等的效果。另外，可認為：在氧化物230b包含氫時，上述熱能量傳遞到氧化物230b中的氫而被活性化的氫從氧化物230b釋放。

【0376】上述微波處理也可以在沉積絕緣膜252A之後進行。此外，也可以在沉積絕緣膜252A之後進行微波處理而不進行沉積絕緣膜250A之後的微波處理。

【0377】另外，當作為絕緣體250採用圖2B所示的兩層的疊層結構時，在沉積上述絕緣膜250A之後沉積成為絕緣體250b的絕緣膜即可。成為絕緣體250b的絕緣膜可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。成為絕緣體250b的絕緣膜較佳為使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體250a中的氧擴散到導電體260。換言之，可以抑制對氧化物230供應的氧量的減少。此外，可以抑制因包含在絕緣體250a中的氧導致的導電體260的氧化。成為絕緣體250b的絕緣膜可以使用與絕緣體222同樣的材料設置。例如，作為成為絕緣體250b的絕緣膜利用熱ALD法沉積氧化鉛即可。

【0378】注意，在絕緣體250具有圖2B所示的兩層疊層結構時，也可以在沉積絕緣膜250A之後進行上述微波處理（參照圖15A至圖15D）。另外，也可以在沉積將成為絕緣體250b的絕緣膜之後進行微波處理而不進行沉積絕緣膜250A後的微波處理。

【0379】另外，也可以在沉積絕緣膜252A、絕緣膜250A後以及沉積成為絕緣體250b的絕緣膜後的微波處理之後保持減壓狀態下進行熱處理。藉由進行這種處理，可以高效地去除絕緣膜252A中、絕緣膜250A中、成為絕緣體250b的絕緣膜中、氧化物230b中及氧化物230a中的氫。此外，氫的一部分有時被導電體242（導電體242a及導電體242b）吸雜。此外，也可以反復在進行微波處理之後保持減壓狀態進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除絕緣膜252A中、絕緣膜250A中、成為絕緣體250b的絕緣膜中、氧化物230b中及氧化物230a中的氫。注意，熱處理溫度較佳為300°C以上且500°C以下。上述微波處理，亦即，微波退火也可以兼作該熱處理。在藉由微波退火氧化物230b等充分地加熱時，也可以不進行該熱處理。

【0380】此外，藉由進行微波處理而改變絕緣膜252A、絕緣膜250A及成為絕緣體250b的絕緣膜的膜品質，可以抑制氫、水、雜質等的擴散。由此，可以抑制因成為導電體260的導電膜的沉積等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體252擴散到氧化物230b、氧化物230a等。

【0381】接著，沉積絕緣膜254A（參照圖16A至圖16D）。絕緣膜254A可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積。與絕緣膜252A同樣，絕緣膜254A較佳為利用ALD法沉積。藉由利用ALD法，可以以高覆蓋性沉積較薄的絕緣膜254A。在本實施方式中，作為絕緣膜254A利用PEALD法沉積氮化矽。

【0382】接著，依次沉積成為導電體260a的導電膜及成為導電體260b的導電膜。成為導電體260a的導電膜及成為導電體260b的導電膜可以藉由濺射法、CVD法、MBE法、PLD法或ALD法等沉積。在本實施方式中，利用ALD法作為成為導電體260a的導電膜沉積氮化鈦，利用CVD法作為成為導電體260b的導電膜沉積鎢。

【0383】接著，藉由利用CMP處理直到絕緣體280露出為止對絕緣膜252A、絕緣膜250A、絕緣膜254A、成為導電體260a的導電膜及成為導電體260b的導電膜進行拋光，來形成絕緣體252、絕緣體250、絕緣體254及導電體260（導電體260a及導電體260b）（參照圖17A至圖17D）。由此，絕緣體252以覆蓋到達氧化物230b的開口的方式配置。此外，導電體260隔著絕緣體252、絕緣體250及絕緣體254以填充上述開口的方式配置。

【0384】接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以400°C的溫度進行1小時的處理。藉由該熱處理，可以減少絕緣體250及絕緣體280中的水分濃度及氫濃度。此外，在上述熱處理之後，以不暴露於大氣的方式連續地進行絕緣體282的沉積。

【0385】接著，在絕緣體252、絕緣體250、絕緣體254、導電體260及絕緣體280上形成絕緣體282（參照圖17A至圖17D）。絕緣體282可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體282較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282中的氫濃度。

【0386】在本實施方式中，作為絕緣體282在包含氧氣體氛圍下使用鋁靶材藉由脈衝DC濺射法沉積氧化鋁。藉由使用脈衝DC濺射法，可以使厚度更均勻而提高濺射速率及膜品質。另外，將對基板施加的RF功率設定為 $1.86\text{W}/\text{cm}^2$ 以下。較佳為 $0\text{W}/\text{cm}^2$ 以上且 $0.62\text{W}/\text{cm}^2$ 以下。藉由降低RF功率，可以抑制注入到絕緣體280中的氧量。或者，也可以形成具有兩層的疊層結構的絕緣體282。此時，將對基板施加的RF功率設定為 $0\text{W}/\text{cm}^2$ 來形成絕緣體282的下層，將對基板施加的RF功率設定為 $0.62\text{W}/\text{cm}^2$ 來形成絕緣體282的上層。

【0387】另外，藉由使用濺射法在含氧氛圍下沉積絕緣體282，可以在進行沉積的同時對絕緣體280添加氧。由此，可以使絕緣體280包含過量氧。此時，較佳為在加熱基板的同時沉積絕緣體282。

【0388】接著，藉由光微影法在絕緣體282上形成蝕刻遮罩，直到使絕緣體214的頂面露出為止對絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分、絕緣體222的一部分及絕緣體216的一部分進行加工（參照圖18A至圖18D）。在進行該加工時，可以使用濕蝕刻，但是對微型加工來說乾蝕刻是較佳的。

【0389】接著，也可以進行熱處理。熱處理以 250°C 以上且 650°C 以下的溫度，較佳為以 350°C 以上且 600°C 以下的溫度進行即可。另外，該熱處理較佳為以低於沉積氧化膜230B後進行的熱處理溫度進行。此外，熱處理在氮氣體或惰

性氣體氛圍下進行。藉由進行該熱處理，添加到絕緣體280的氧的一部分經過絕緣體250等而擴散到氧化物230。

【0390】藉由進行該熱處理，可以從因加工絕緣體282、絕緣體280、絕緣體275、絕緣體222及絕緣體216而形成的絕緣體280的側面向外部釋放包含在絕緣體280中的氧及鍵合於該氧的氫。注意，鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的不需的氧以及氫。

【0391】並且，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕緣體252。絕緣體252具有氧阻擋性，因此可以減少過多的氧擴散到氧化物230。由此，可以以避免過多的氧的供應的方式將氧供應到區域230bc及其附近。由此，可以在抑制過多的氧導致導電體242的側面的氧化的同時減少形成在區域230bc中的氧空位及 V_{oH} 。因此，可以提高電晶體200的電特性及可靠性。

【0392】另一方面，當使電晶體200高密度集成化時，有時相對於一個電晶體200的絕緣體280的體積過小。此時，在上述熱處理中，擴散到氧化物230的氧之量顯著少。當在氧含量不十分的氧化絕緣體（例如，絕緣體250等）接觸的狀態下對氧化物230進行加熱時，構成氧化物230的氧有可能脫離。但是，在本實施方式所示的電晶體200中，在氧化物230的與導電體260重疊的區域中，以與氧化物230的頂面及側面接觸的方式設置有絕緣體252。因為絕緣體252具有氧阻擋性，所以上述熱處理中也可以減少氧從氧化物230脫離。由此，可以減少形成在區域230bc中的氧空位及 V_{oH} 。因此，可以提高電晶體200的電特性及可靠性。

【0393】如上所述，在根據本實施方式的半導體裝置中，在絕緣體280所供應的氧量較多的情況和絕緣體280所供應的氧量較少的情況下，都可以形成

具有良好的電特性及高可靠性的電晶體。因此，可以提供一種基板面內的電晶體200的電特性不均勻得到抑制的半導體裝置。

【0394】接著，在絕緣體282上形成絕緣體283（參照圖19A至圖19D）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積絕緣體283。絕緣體283較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體283中的氫濃度。此外，絕緣體283也可以採用多層結構。例如，可以藉由濺射法沉積氮化矽，並在該氮化矽上藉由ALD法沉積氮化矽。藉由使用阻擋性高的絕緣體283及絕緣體214包圍電晶體200，可以防止水分及氫從外部進入。

【0395】接著，在絕緣體283上形成將成為絕緣體274的絕緣膜。該絕緣膜可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。在本實施方式中，作為該絕緣膜利用CVD法沉積氧化矽。

【0396】接著，藉由使用CMP處理直到絕緣體283露出為止對將成為絕緣體274的絕緣膜進行拋光，來使該絕緣膜的頂面平坦來形成絕緣體274（參照圖19A至圖19D）。有時藉由該CMP處理絕緣體283的頂面的一部分被去除。

【0397】接著，在絕緣體274及絕緣體283上形成絕緣體285（參照圖20A至圖20D）。絕緣體285可以藉由濺射法、CVD法、MBE法、PLD法、ALD法等沉積。絕緣體285較佳為使用濺射法沉積。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體285中的氫濃度。

【0398】在本實施方式中，作為絕緣體285藉由濺射法沉積氧化矽。

【0399】接著，在絕緣體271、絕緣體275、絕緣體280、絕緣體282、絕緣體283及絕緣體285中形成到達導電體242的開口（參照圖20A及圖20B）。在形成該開口時，可以利用光微影法。注意，在圖20A中該開口在俯視時的形狀為

圓形，但是不侷限於此。例如，在俯視時，該開口也可以具有橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

【0400】接著，沉積將成為絕緣體241a及絕緣體241b的絕緣膜，並對該絕緣膜進行各向異性蝕刻來形成絕緣體241a及絕緣體241b（參照圖20B）。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該絕緣膜。作為該絕緣膜，較佳為使用具有抑制氧的透過的功能的絕緣膜。例如，較佳為藉由ALD法沉積氧化鋁膜，在其上使用PEALD法沉積氮化矽膜。氮化矽對氫具有高阻擋性，所以是較佳的。

【0401】此外，作為對成為絕緣體241a及絕緣體241b的絕緣膜進行的各向異性蝕刻，例如可以採用乾蝕刻法等。藉由在開口的側壁部設置絕緣體241a及絕緣體241b，可以抑制來自外部的氧的透過，並防止接下來要形成的導電體240a及導電體240b的氧化。此外，可以防止包含在絕緣體280等中的水、氫等雜質擴散到導電體240a及導電體240b。

【0402】接著，形成成為導電體240a及導電體240b的導電膜。該導電膜較佳為具有包含具有抑制水、氫等雜質的透過的功能的導電體的疊層結構。例如，可以具有氮化鋁、氮化鈦等與鎢、鉬、銅等的疊層。可以利用濺射法、CVD法、MBE法、PLD法或ALD法等沉積該導電膜。

【0403】接著，藉由進行CMP處理，去除成為導電體240a及導電體240b的導電膜的一部分，使絕緣體285的頂面露出。其結果是，上述導電膜只殘留在上述開口中，由此可以形成其頂面平坦的導電體240a及導電體240b（參照圖20A至圖20D）。注意，有時由於該CMP處理而絕緣體285的頂面的一部分被去除。

【0404】接著，沉積成為導電體246a及導電體246b的導電膜。可以利用濺射法、CVD法、MBE法、PLD法、ALD法等沉積該導電膜。

【0405】接著，藉由光微影法對成為導電體246a及導電體246b的導電膜進行加工，來形成與導電體240a的頂面接觸的導電體246a及與導電體240b的頂面接觸的導電體246b。此時，導電體246a及導電體246b與絕緣體285不重疊的區域的絕緣體285的一部分有時被去除。

【0406】藉由上述製程，可以製造包括圖1A至圖1D所示的電晶體200的半導體裝置。如圖10A至圖20D所示，藉由使用本實施方式所示的半導體裝置的製造方法，可以製造電晶體200。

【0407】

<微波處理裝置>

以下，說明可以在上述半導體裝置的製造方法中使用的微波處理裝置。

【0408】首先，參照圖21至圖24對製造半導體裝置等時雜質混入較少的製造裝置的結構進行說明。

【0409】圖21示意性地示出單片式多室製造裝置2700的俯視圖。製造裝置2700包括：具備收納基板的盒2761和進行基板對準的對準機2762的大氣側基板供應室2701；從大氣側基板供應室2701傳送基板的大氣側基板傳送室2702；進行基板的搬入且將室內的壓力從大氣壓切換為減壓或從減壓切換為大氣壓的負載鎖定室2703a；進行基板的搬出且將室內的壓力從減壓切換為大氣壓或從大氣壓切換為減壓的卸載閉鎖室2703b；在真空中進行基板的傳送的傳送室2704；處理室2706a；處理室2706b；處理室2706c；以及處理室2706d。

【0410】此外，大氣側基板傳送室2702與負載鎖定室2703a以及卸載閉鎖室2703b連接，負載鎖定室2703a以及卸載閉鎖室2703b與傳送室2704連接，傳送室2704與處理室2706a、處理室2706b、處理室2706c以及處理室2706d連接。

【0411】在各室之間的連接部設置有閘閥GV，由此除了大氣側基板供應室2701及大氣側基板傳送室2702以外，各室可以獨立地保持為真空狀態。在大

氣側基板傳送室2702中設置有傳送機器人2763a，並且在傳送室2704中設置有傳送機器人2763b。藉由利用傳送機器人2763a及傳送機器人2763b可以在製造裝置2700中傳送基板。

【0412】傳送室2704及各處理室的背壓（全壓）例如為 $1 \times 10^{-4} \text{Pa}$ 以下，較佳為 $3 \times 10^{-5} \text{Pa}$ 以下，更佳為 $1 \times 10^{-5} \text{Pa}$ 以下。傳送室2704及各處理室的質量電荷比（ m/z ）是18的氣體分子（原子）的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。此外，傳送室2704及各處理室的 m/z 是28的氣體分子（原子）的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。傳送室2704及各處理室的 m/z 是44的氣體分子（原子）的分壓例如為 $3 \times 10^{-5} \text{Pa}$ 以下，較佳為 $1 \times 10^{-5} \text{Pa}$ 以下，更佳為 $3 \times 10^{-6} \text{Pa}$ 以下。

【0413】傳送室2704及各處理室內的全壓及分壓可以使用電離真空計、質量分析器等測量。

【0414】另外，傳送室2704及各處理室較佳為具有外部洩漏或內部洩漏少的結構。例如，傳送室2704的洩漏率為 $1 \times 10^0 \text{Pa/min}$ 以下，較佳為 $5 \times 10^{-1} \text{Pa/min}$ 以下。另外，各處理室的洩漏率為 $1 \times 10^{-1} \text{Pa/min}$ 以下，較佳為 $5 \times 10^{-2} \text{Pa/min}$ 以下。

【0415】洩漏率從利用電離真空計、質量分析器等測量的全壓及分壓導出即可。例如，從利用渦輪分子泵等真空泵開始抽空後經過10分鐘時的全壓以及閥關閉後經過10分鐘時的全壓導出即可。注意，上述開始抽空後經過10分鐘時的全壓可以是多次測量該全壓時的平均值。

【0416】洩漏率取決於外部洩漏及內部洩漏。外部洩漏是指由於微小的孔或密封不良等，氣體從真空系統的外部流入的現象。內部洩漏起因於來自真空系統中的閥等隔板的洩漏或來自內部構件的釋放氣體。為了將洩漏率設定為上述數值以下，需要從外部洩漏及內部洩漏的兩個方面採取措施。

【0417】例如，較佳為使用金屬墊片對傳送室2704及各處理室的開閉部分進行密封。金屬墊片較佳為使用由氟化鐵、氧化鋁或氧化鉻覆蓋的金屬。金屬墊片的緊密性比O形環高，因此可以降低外部洩漏。藉由利用由氟化鐵、氧化鋁、氧化鉻等覆蓋鈍態的金屬，可以抑制從金屬墊片釋放的包含雜質的釋放氣體，由此可以降低內部洩漏。

【0418】作為構成製造裝置2700的構件，使用包含雜質的釋放氣體少的鋁、鉻、鈦、鎢、鎳或鈇。另外，也可以使用上述包含雜質的釋放氣體少的金屬覆蓋含有鐵、鉻及鎳等的合金。含有鐵、鉻及鎳等的合金具有剛性，耐熱且適於加工。在此，藉由進行拋光等減少構件表面上的凹凸以縮小表面積，可以減少釋放氣體。

【0419】或者，也可以使用氟化鐵、氧化鋁、氧化鉻等覆蓋上述製造裝置2700的構件。

【0420】製造裝置2700的構件較佳為儘量只由金屬構成，例如當設置由石英等構成的觀察窗（viewing window）等時，為了抑制釋放氣體，較佳為由其厚度薄的氟化鐵、氧化鋁或氧化鉻等覆蓋觀察窗的表面。

【0421】雖然存在於傳送室2704及各處理室內的附著物附著於內壁等而不影響到傳送室2704及各處理室的壓力，但是該附著物成為對傳送室2704及各處理室進行排氣時產生的氣體釋放的原因。因此，雖然洩漏率與排氣速度不相關，但是使用排氣能力高的泵儘量地使存在於傳送室2704及各處理室內的附著物脫離並預先進行排氣是十分重要的。為了促進附著物的脫離，也可以對傳送室2704及各處理室進行烘烤。藉由進行烘烤，可以將附著物的脫離速度提高到10倍左右。烘烤以100°C以上且450°C以下進行即可。此時，藉由在將惰性氣體導入傳送室2704及各處理室的同時去除附著物，可以進一步提高僅藉由排氣不容易脫離的水等的脫離速度。此外，藉由對導入的惰性氣體以與烘烤溫度相同

程度的溫度進行加熱，可以進一步提高附著物的脫離速度。這裡，作為惰性氣體較佳為使用高貴氣體。

【0422】此外，較佳為藉由導入被加熱的高貴氣體等惰性氣體或氧等提高傳送室2704及各處理室內的壓力，並在經過一定時間之後再次對傳送室2704及各處理室進行排氣處理。可以由被加熱的氣體的導入使傳送室2704及各處理室內的附著物脫離，由此可以減少存在於傳送室2704及各處理室內的雜質。有效的是將該處理反復進行2次以上且30次以下，較佳為5次以上且15次以下。明確地說，藉由導入40°C以上且400°C以下，較佳為50°C以上且200°C以下的惰性氣體或氧等來將傳送室2704及各處理室內的壓力設定為0.1Pa以上且10kPa以下，較佳為1Pa以上且1kPa以下，更佳為5Pa以上且100Pa以下，並將保持壓力的期間設定為1分鐘以上且300分鐘以下，較佳為5分鐘以上且120分鐘以下，即可。然後，對傳送室2704及各處理室進行排氣5分鐘以上且300分鐘以下，較佳為10分鐘以上且120分鐘以下。

【0423】接著，使用圖22所示的剖面示意圖說明處理室2706b及處理室2706c。

【0424】處理室2706b及處理室2706c例如是能夠對被處理物進行微波處理的處理室。注意，處理室2706b與處理室2706c的不同之處僅在於進行微波處理時的氛圍。因為處理室2706b和處理室2706c的其他結構相同，所以下面一併說明。

【0425】處理室2706b及處理室2706c包括縫隙天線板2808、電介質板2809、基板支架2812以及排氣口2819。此外，在處理室2706b及處理室2706c的外部等設置有氣體供應源2801、閥2802、高頻產生器2803、波導管2804、模式轉換器2805、氣體管2806、波導管2807、匹配器（matching box）2815、高頻電源2816、真空泵2817以及閥2818。

【0426】高頻產生器2803藉由波導管2804與模式轉換器2805連接。模式轉換器2805藉由波導管2807與縫隙天線板2808連接。縫隙天線板2808與電介質板2809接觸地配置。此外，氣體供應源2801藉由閥2802與模式轉換器2805連接。並且，由經過模式轉換器2805、波導管2807及電介質板2809的氣體管2806對處理室2706b及處理室2706c導入氣體。此外，真空泵2817具有藉由閥2818及排氣口2819從處理室2706b及處理室2706c排出氣體等的功能。此外，高頻電源2816藉由匹配器2815與基板支架2812連接。

【0427】基板支架2812具有保持基板2811的功能。例如，基板支架2812具有對基板2811進行靜電卡盤或機械卡盤的功能。此外，基板支架2812具有由高頻電源2816供應功率的電極的功能。此外，基板支架2812在其內部包括加熱機構2813並具有對基板2811進行加熱的功能。

【0428】作為真空泵2817，可以使用例如乾燥泵、機械增壓泵、離子泵、鈦昇華泵、低溫泵或渦輪分子泵等。此外，除了真空泵2817以外，還可以使用低溫冷阱。當使用低溫泵及低溫冷阱時可以高效地排出水，這是特別較佳的。

【0429】作為加熱機構2813，例如使用利用電阻發熱體等進行加熱的加熱機構即可。或者，還可以使用利用被加熱的氣體等介質的熱傳導或熱輻射來進行加熱的加熱機構。例如，可以使用GRTA（Gas Rapid Thermal Annealing：氣體快速熱退火）或LRTA（Lamp Rapid Thermal Annealing：燈快速熱退火）等的RTA（Rapid Thermal Annealing：快速熱退火）。GRTA利用高溫氣體進行熱處理。作為氣體使用惰性氣體。

【0430】此外，氣體供應源2801可以藉由質量流量控制器與精製器連接。作為氣體，較佳為使用露點為-80℃以下，較佳為-100℃以下的氣體。例如，可以使用氧氣體、氮氣體及高貴氣體（氬氣等）。

【0431】作為電介質板2809例如使用氧化矽（石英）、氧化鋁（alumina）或氧化釔（yttria）等即可。此外，也可以在電介質板2809的表面進一步形成有其他保護層。作為保護層可以使用氧化鎂、氧化鈦、氧化鉻、氧化鋅、氧化鉛、氧化鋇、氧化鋁或氧化釔等。因為電介質板2809暴露於後述的高密度電漿2810的特別高密度區域中，所以藉由設置保護層可以減輕損傷。其結果是，可以抑制進行處理時的微粒的增加等。

【0432】高頻產生器2803具有例如產生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高頻產生器2803所產生的微波藉由波導管2804傳送到模式轉換器2805。在模式轉換器2805中，將被傳送的TE模式的微波轉換為TEM模式的微波。然後，該微波藉由波導管2807傳送到縫隙天線板2808。在縫隙天線板2808中設置有多個縫隙，微波透過該縫隙及電介質板2809。然後，在電介質板2809的下方產生電場而可以生成高密度電漿2810。高密度電漿2810包括根據從氣體供應源2801供應的氣體種類的離子及自由基。例如，高密度電漿2810包括氧自由基等。

【0433】此時，藉由利用在高密度電漿2810中生成的離子及自由基可以改善基板2811上的膜等的品質等。此外，有時較佳為使用高頻電源2816對基板2811一側施加偏壓。作為高頻電源2816，例如可以使用13.56MHz、27.12MHz等頻率的RF（Radio Frequency）電源。藉由對基板一側施加偏壓，可以高效地使高密度電漿2810中的離子到達基板2811上的膜等的開口部的深部。

【0434】例如，藉由從氣體供應源2801導入氧，可以在處理室2706b或處理室2706c內進行使用高密度電漿2810的氧自由基處理。

【0435】接著，使用圖23所示的剖面示意圖說明處理室2706a及處理室2706d。

【0436】處理室2706a及處理室2706d例如是能夠對被處理物照射電磁波的處理室。注意，處理室2706a與處理室2706d的不同之處僅在於電磁波的種類。因為處理室2706a和處理室2706d的其他結構大多是相同的，所以下面一併說明。

【0437】處理室2706a及處理室2706d包括一個或多個燈2820、基板支架2825、氣體導入口2823以及排氣口2830。此外，在處理室2706a及處理室2706d的外部等設置有氣體供應源2821、閥2822、真空泵2828以及閥2829。

【0438】氣體供應源2821藉由閥2822與氣體導入口2823連接。真空泵2828藉由閥2829與排氣口2830連接。燈2820與基板支架2825相對地配置。基板支架2825具有保持基板2824的功能。此外，基板支架2825在其內部包括加熱機構2826並具有對基板2824進行加熱的功能。

【0439】作為燈2820，例如可以使用具有放射可見光或紫外線光等的電磁波的功能的光源。例如，可以使用具有放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波長區域中具有峰值的電磁波的功能的光源。

【0440】例如，作為燈2820，可以使用鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的光源。

【0441】例如，從燈2820放射的電磁波的一部分或全部被基板2824抽吸，由此可以改善基板2824上的膜等的品質。例如，可以生成或減少缺陷、或者可以去除雜質。此外，在對基板2824進行加熱的同時生成或降低缺陷、或者去除雜質的情況下，可以高效地生成或降低缺陷、或者可以去除雜質等。

【0442】或者，例如，也可以利用從燈2820放射的電磁波使基板支架2825發熱，由此對基板2824進行加熱。在此情況下，不需要在基板支架2825的內部包括加熱機構2826。

【0443】真空泵2828可參照關於真空泵2817的記載。此外，加熱機構2826可參照關於加熱機構2813的記載。此外，氣體供應源2821可參照關於氣體供應源2801的記載。

【0444】可用於本實施方式的微波處理裝置不侷限於上述微波處理裝置，可以使用圖24所示的微波處理裝置2900。微波處理裝置2900包括石英管2901、排氣口2819、氣體供應源2801、閥2802、高頻產生器2803、波導管2804、氣體管2806、真空泵2817及閥2818。另外，微波處理裝置2900在石英管2901內包括支撐多個基板（2811_1至2811_n，n是2以上的整數）的基板支架2902。另外，微波處理裝置2900也可以在石英管2901的外側包括加熱單元2903。

【0445】由高頻產生器2803產生的微波藉由波導管2804照射到設置在石英管2901內的基板。真空泵2817藉由閥2818與排氣口2819連接，可以調整石英管2901內部的壓力。另外，氣體供應源2801藉由閥2802與氣體管2806連接，可以對石英管2901內導入所希望的氣體。另外，藉由加熱單元2903可以將石英管2901內的多個基板加熱到所希望的溫度。或者，也可以藉由加熱單元2903加熱從氣體供應源2801供應的氣體。藉由微波處理裝置2900，可以對多個基板同時進行熱處理和微波處理。另外，可以在加熱多個基板之後進行微波處理。另外，可以在對多個基板進行微波處理之後進行熱處理。

【0446】可以將基板2811_1至基板2811_n都設為形成半導體裝置或記憶體裝置的處理基板，也可以將基板2811_1至基板2811_n的一部分基板設為偽基板。例如，也可以將基板2811_1及基板2811_n設為偽基板且將基板2811_2至基板2811_n-1設為處理基板。另外，也可以將基板2811_1、基板2811_2、基板2811_n-1及基板2811_n設為偽基板且將基板2811_3至基板2811_n-2設為處理基板。藉由使用偽基板，可以在微波處理或熱處理時多個處理基板均勻地被處理而可以降低處理基板間的不均勻，所以是較佳的。例如，藉由將偽基板配置在

最接近於高頻產生器2803及波導管2804的處理基板上，可以抑制該處理基板直接暴露於微波，所以是較佳的。

【0447】藉由使用上述製造裝置，可以抑制雜質混入到被處理物並可以改善膜品質。

【0448】

<半導體裝置的變形例子>

以下，使用圖6A至圖9D說明本發明的一個實施方式的半導體裝置的一個例子。

【0449】各圖式中的A是半導體裝置的俯視圖。各圖式中的B是沿著各圖式中的A中的點劃線A1-A2的部分的剖面圖。各圖式中的C是沿著各圖式中的A中的點劃線A3-A4的部分的剖面圖。各圖式中的D是沿著各圖式中的A中的點劃線A5-A6的部分的剖面圖。為了明確起見，在各圖式中的A的俯視圖中省略部分組件。

【0450】注意，在各圖式中的A至D所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0451】

<半導體裝置的變形例子1>

圖6A至圖6D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖6A至圖6D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的不同之處在於絕緣體271及絕緣體283的每一個具有兩層疊層結構。

【0452】絕緣體271a包括絕緣體271a1以及絕緣體271a1上的絕緣體271a2。絕緣體271b包括絕緣體271b1以及絕緣體271b1上的絕緣體271b2。

第100頁，共 155 頁(發明說明書)

【0453】絕緣體271a1及絕緣體271b1較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體271a1及絕緣體271b1較佳為具有抑制氧擴散的功能。由此，可以防止包含在絕緣體280中的氧擴散到導電體242a及導電體242b。因此，可以抑制包含在絕緣體280中的氧導致導電體242a及導電體242b被氧化使得電阻率增大而通態電流減少。

【0454】絕緣體271a2及絕緣體271b2被用作用來殘留絕緣體271a1及絕緣體271b1的保護層。在使將成為導電體242a及導電體242b的導電膜以及將成為氧化物230b的氧化膜等加工為島狀之後去除硬遮罩時，有將成為絕緣體271a1及絕緣體271b1的絕緣層被去除的擔憂。於是，藉由在上述硬遮罩與將成為絕緣體271a1及絕緣體271b1的絕緣層之間設置將成為絕緣體271a2及絕緣體271b2的絕緣層，可以殘留將成為絕緣體271a1及絕緣體271b1的絕緣層。例如，在作為上述硬遮罩使用鎢時，較佳為作為絕緣體271a2及絕緣體271b2使用氧化矽等。

【0455】絕緣體283包括絕緣體283a及絕緣體283a上的絕緣體283b。絕緣體283a及絕緣體283b較佳為使用相同的材料以不同的方法形成。例如，較佳為作為絕緣體283a利用濺射法沉積氮化矽且作為絕緣體283b利用ALD法沉積氮化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體282a中的氫濃度。再者，在利用濺射法沉積的膜中形成針孔或斷開等的情況下，可以使用覆蓋性優異的利用ALD法沉積的膜填埋重疊於針孔或斷開等的部分。

【0456】注意，如圖6B所示，有時絕緣體283b的頂面的一部分被去除。此外，有時難以明確檢測絕緣體283a及絕緣體283b的邊界。

【0457】絕緣體283a及絕緣體283b不侷限於由相同的材料構成的疊層結構，也可以具有由不同材料構成的疊層結構。

【0458】

<半導體裝置的變形例子2>

圖7A至圖7D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖7A至圖7D所示的半導體裝置的與圖1A至圖1D所示的半導體裝置不同之處在於：沒有設置絕緣體282。因此，在圖7A至圖7D所示的半導體裝置中，絕緣體283與導電體260的頂面、絕緣體280的頂面、絕緣體254的最上部、絕緣體250的最上部及絕緣體252的最上部接觸。

【0459】例如，在利用圖15所示的微波處理等可以將十分的氧供應到氧化物230時，即使是不進行設置絕緣體282的情況下的向絕緣體280的氧供應，可以使區域230bc實質i型化。在此情況下，如圖7A至圖7D所示，藉由採用不設置絕緣體282的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0460】

<半導體裝置的變形例子3>

圖8A至圖8D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖8A至圖8D所示的半導體裝置的與圖1A至圖1D所示的半導體裝置不同之處在於：設置有氧化物243（氧化物243a、氧化物243b）。氧化物243a設置在氧化物230b和導電體242a之間，氧化物243b設置在氧化物230b和導電體242b之間。在此，氧化物243a較佳為與氧化物230b的頂面及導電體242a的底面接觸。另外，氧化物243b較佳為與氧化物230b的頂面及導電體242b的底面接觸。

【0461】氧化物243較佳為具有抑制氧透過的功能。藉由在被用作源極電極或汲極電極的導電體242與氧化物230b之間配置具有抑制氧透過的功能的氧化物243，導電體242與氧化物230b之間的電阻被減少，所以是較佳的。藉由採用這樣的結構，有時可以提高電晶體200的電特性、場效移動率及可靠性。

【0462】作為氧化物243也可以使用包含元素M的金屬氧化物。尤其是，作為元素M較佳為使用鋁、鎵、釔或錫。氧化物243的元素M的濃度較佳為比氧化

物230b高。此外，作為氧化物243也可以使用氧化鎵。此外，作為氧化物243也可以使用In-M-Zn氧化物等金屬氧化物。明確而言，用於氧化物243的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的In與元素M的原子個數比。此外，氧化物243的厚度較佳為0.5nm以上且5nm以下，更佳為1nm以上且3nm以下，進一步較佳為1nm以上且2nm以下。此外，氧化物243較佳為具有結晶性。在氧化物243具有結晶性的情況下，可以適當地抑制氧化物230中的氧的釋放。例如，在氧化物243具有六方晶等結晶結構的情況下，有時可以抑制氧化物230中的氧的釋放。

【0463】

<半導體裝置的變形例子4>

圖9A至圖9D所示的半導體裝置是圖1A至圖1D所示的半導體裝置的變形例子。圖9A至圖9D所示的半導體裝置與圖1A至圖1D所示的半導體裝置的不同之處在於絕緣體283與絕緣體212的頂面的一部分接觸。因此，電晶體200配置在由絕緣體283及絕緣體212密封的區域中。藉由上述結構，可以抑制包含在上述密封的區域外的氫混入上述密封的區域中。另外，在圖9A至圖9D所示的電晶體200中，絕緣體212、絕緣體283具有單層的結構，但是本發明不侷限於此。例如，絕緣體212、絕緣體283也可以都具有兩層以上的疊層結構。

【0464】電晶體200等OS電晶體的因被照射放射線而引起的電特性變動小，亦即，對於放射線的耐受性高，因此可以在有可能入射放射線的環境下也適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器等中的半導體裝置的電晶體。作為放射線，例如可以舉出X射線及中子輻射等。另外，宇宙空間例如是指高度100km以上的地方，但是本說明書中記載的宇宙空間也可以包括熱層、中間層及平流層。

【0465】或者，例如，可以將OS電晶體用作構成設置在核電站以及放射性廢物的處理場或處置場的工作機器人中的半導體裝置的電晶體。尤其是，可以適當地用作構成如下半導體裝置的電晶體：該半導體裝置設置在反應堆設施的排除、核燃料或燃料碎片的取出、放射性物質較多的空間處的實地考察等時遠端操作的遠端操作機器人中。

【0466】

<半導體裝置的應用例子>

以下，使用圖25說明本發明的一個實施方式的半導體裝置的一個例子。

【0467】圖25A示出半導體裝置500的俯視圖。在圖25A中，平行於電晶體200的通道長度方向的方向是x軸，垂直於x軸的方向是y軸。另外，圖25B是沿著圖25A中的點劃線A1-A2的部分的剖面圖，該剖面圖相當於電晶體200的通道長度方向的剖面圖。圖25C是沿著圖25A中的點劃線A3-A4的剖面圖，該剖面圖相當於開口區域400及其附近的剖面圖。注意，在圖25A的俯視圖中，為了明確起見，省略部分組件。

【0468】注意，在圖25A至圖25C所示的半導體裝置中，對具有與構成<半導體裝置的結構例子>所示的半導體裝置的組件相同的功能的結構附加相同元件符號。注意，本節中的構成半導體裝置的材料可以使用在<半導體裝置的結構例子>中詳細說明的材料。

【0469】圖25A至圖25C所示的半導體裝置500是圖1A至圖1D所示的半導體裝置的變形例子。圖25A至圖25C所示的半導體裝置500的與圖1A至圖1D所示的半導體裝置不同之處在於：絕緣體282及絕緣體280形成有開口區域400。另外，與圖1A至圖1D所示的半導體裝置不同之處在於：以圍繞多個電晶體200的方式形成有密封部265。

【0470】半導體裝置500包括排列為矩陣狀的多個電晶體200及多個開口區域400。另外，在y軸方向上延伸地設置有被用作電晶體200的閘極電極的多個導電體260。開口區域400形成在不與氧化物230及導電體260重疊的區域中。另外，以圍繞多個電晶體200、多個導電體260及多個開口區域400的方式形成有密封部265。注意，電晶體200、導電體260及開口區域400的數量、配置以及尺寸不侷限於圖25所示的結構，根據半導體裝置500的設計適當地設定即可。

【0471】如圖25B及圖25C所示，密封部265以圍繞多個電晶體200、絕緣體216、絕緣體222、絕緣體275、絕緣體280及絕緣體282的方式設置。換言之，絕緣體283以覆蓋絕緣體216、絕緣體222、絕緣體275、絕緣體280及絕緣體282的方式設置。另外，在密封部265，絕緣體283與絕緣體214的頂面接觸。另外，在密封部265的上方，絕緣體283和絕緣體285之間設置有絕緣體274。絕緣體274的頂面高度與絕緣體283的最上面的高度大致一致。另外，作為絕緣體274，可以使用與絕緣體280同樣的絕緣體。

【0472】藉由採用這樣的結構，可以由絕緣體283、絕緣體214及絕緣體212圍繞多個電晶體200。在此，絕緣體283、絕緣體214及絕緣體212中的一個或多個較佳為被用作氬阻擋絕緣膜。由此，可以抑制包含在密封部265的區域之外的氬進入密封部265的區域中。

【0473】如圖25C所示，在開口區域400中，絕緣體282具有開口部。另外，在開口區域400中，絕緣體280也可以具有與絕緣體282的開口部重疊的槽部。絕緣體280的槽部的深度最深為使絕緣體275的頂面露出的程度即可，例如，可以為絕緣體280的最大厚度的1/4以上且1/2以下左右。

【0474】另外，如圖25C所示，絕緣體283在開口區域400的內側與絕緣體282的側面、絕緣體280的側面及絕緣體280的頂面接觸。另外，在開口區域400中，有時絕緣體274的一部分以嵌入形成於絕緣體283中的凹部的方式形成。此

時，形成在開口區域400中的絕緣體274的頂面高度與絕緣體283的最上面的高度有時大致一致。

【0475】在形成有這樣的開口區域400且在絕緣體282的開口部絕緣體280露出的狀態下進行熱處理，由此可以在對氧化物230供應氧的同時從開口區域400將包含在絕緣體280中的氧的一部分擴散到外部。由此，可以從包含藉由加熱而脫離的氧的絕緣體280將十分的氧供應到氧化物半導體層中的被用作通道形成區域的區域及其附近，並且可以防止被供應過多的氧。

【0476】此時，可以將包含在絕緣體280中的氫鍵合到氧，將其經過開口區域400釋放到外部。鍵合於氧的氫被釋放為水。因此，可以減少包含在絕緣體280中的氫，可以減少包含在絕緣體280中的氫進入氧化物230。

【0477】另外，在圖25A中，俯視的開口區域400的形狀大致為長方形，但是本發明不侷限於此。例如，俯視的開口區域400的形狀也可以是長方形、橢圓形、圓形、菱形或組合這些形狀而成的形狀。另外，開口區域400的面積及配置間距可以根據包括電晶體200的半導體裝置的設計適當地設定。例如，在電晶體200的密度低的區域中，擴大開口區域400的面積或縮小開口區域400的配置間距即可。另外，例如，在電晶體200的密度高的區域中，縮小開口區域400的面積或增大開口區域400的配置間距即可。

【0478】根據本發明的一個實施方式可以提供一種新穎電晶體。根據本發明的一個實施方式可以提供一種電晶體特性的不均勻小的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種具有良好的電特性的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種可靠性良好的半導體裝置。此外，根據本發明的一個實施方式可以提供一種通態電流高的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種場效移動率高的半導體裝置。此外，根據本發明的一個實施方式的可以提供一種頻率特性良好的半導體裝

置。此外，根據本發明的一個實施方式可以提供一種能夠實現微型化或高積體化的半導體裝置。此外，根據本發明的一個實施方式可以提供一種低功耗的半導體裝置。

【0479】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0480】

實施方式2

在本實施方式中，參照圖26至圖30說明半導體裝置的一個實施方式。

【0481】

[記憶體裝置1]

圖26示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。在本發明的一個實施方式的半導體裝置中，電晶體200設置在電晶體300的上方，電容器100設置在電晶體300及電晶體200的上方。此外，作為電晶體200，可以使用上述實施方式所說明的電晶體200。

【0482】電晶體200是其通道形成在包含氧化物半導體的半導體層中的電晶體。因為電晶體200的關態電流低，所以藉由將其用於記憶體裝置，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低記憶體裝置的功耗。

【0483】在圖26所示的半導體裝置中，佈線1001與電晶體300的源極電連接，佈線1002與電晶體300的汲極電連接。此外，佈線1003與電晶體200的源極和汲極中的一個電連接，佈線1004與電晶體200的第一閘極電連接，佈線1006與電晶體200的第二閘極電連接。再者，電晶體300的閘極及電晶體200的源極和汲極中的另一個與電容器100的一個電極電連接，佈線1005與電容器100的另一個電極電連接。

【0484】此外，藉由將圖26所示的記憶體裝置配置為矩陣狀，可以構成記憶單元陣列。

【0485】

<電晶體300>

電晶體300設置在基板311上，並包括：被用作閘極的導電體316、被用作閘極絕緣體的絕緣體315、由基板311的一部分構成的半導體區域313以及被用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體300可以是p通道型或n通道型。

【0486】在此，在圖26所示的電晶體300中，形成通道的半導體區域313（基板311的一部分）具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316可以使用調整功函數的材料。因為利用半導體基板的凸部，所以這種電晶體300也被稱為FIN型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情况，但是也可以對SOI基板進行加工來形成具有凸部的半導體膜。

【0487】注意，圖26所示的電晶體300的結構只是一個例子，不侷限於上述結構，根據電路結構或驅動方法使用適當的電晶體即可。

【0488】

<電容器100>

電容器100設置在電晶體200的上方。電容器100包括被用作第一電極的導電體110、被用作第二電極的導電體120及被用作介電質的絕緣體130。在此，絕緣體130較佳為使用可被用作上述實施方式所示的絕緣體283的絕緣體。

【0489】此外，例如，也可以同時形成設置在導電體240上的導電體112及導電體110。此外，導電體112被用作與電容器100、電晶體200或電晶體300電連接的插頭或者佈線。

【0490】在圖26中，導電體112及導電體110具有單層結構，但是不侷限於該結構，也可以具有兩層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成與具有阻擋性的導電體以及導電性高的導電體之間的緊密性高的導電體。

【0491】此外，絕緣體130例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛等，並以疊層或單層設置。

【0492】例如，絕緣體130較佳為使用氧氮化矽等絕緣耐應力高的材料和高介電常數（high-k）材料的疊層結構。藉由採用該結構，電容器100可以包括高介電常數（high-k）的絕緣體來確保充分的電容，並可以包括絕緣耐應力高的絕緣體來提高絕緣耐應力，從而可以抑制電容器100的靜電破壞。

【0493】注意，作為高介電常數（high-k）材料（相對介電常數高的材料），有氧化鎵、氧化鉛、氧化鋇、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0494】另一方面，作為絕緣耐應力高的材料（相對介電常數低的材料），有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。

【0495】

<佈線層>

在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。在此，在具有插頭或佈線的功能的導電體中，有時使用同一符號表示多個結構。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0496】例如，在電晶體300上，作為層間膜依次層疊地設置有絕緣體320、絕緣體322、絕緣體324及絕緣體326。此外，與電容器100或電晶體200電連接的導電體328及導電體330等填埋於絕緣體320、絕緣體322、絕緣體324及絕緣體326中。此外，導電體328及導電體330被用作插頭或佈線。

【0497】此外，被用作層間膜的絕緣體可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體322的頂面的平坦性，也可以藉由利用化學機械拋光（CMP）法等平坦化處理實現平坦化。

【0498】另外，也可以在絕緣體326及導電體330上設置佈線層。例如，在圖26中，依次層疊有絕緣體350、絕緣體352及絕緣體354。此外，在絕緣體350、絕緣體352及絕緣體354中形成有導電體356。導電體356被用作插頭或佈線。

【0499】同樣地，在絕緣體210、絕緣體212、絕緣體214及絕緣體216中填充有導電體218及構成電晶體200的導電體（導電體205）等。此外，導電體218被用作與電容器100或電晶體300電連接的插頭或佈線。再者，導電體120及絕緣體130上設置有絕緣體150。

【0500】在此，與上述實施方式所示的絕緣體241同樣，以與被用作插頭的導電體218的側面接觸的方式設置絕緣體217。絕緣體217以與形成在絕緣體210、絕緣體212、絕緣體214及絕緣體216中的開口的內壁接觸的方式設置。換言之，絕緣體217設置在導電體218與絕緣體210、絕緣體212、絕緣體214及絕

緣體216之間。導電體205可以與導電體218並行形成，所以有時以與導電體205的側面接觸的方式形成絕緣體217。

【0501】作為絕緣體217，例如可以使用氮化矽、氧化鋁或氮氧化矽等絕緣體。絕緣體217以與絕緣體210、絕緣體212、絕緣體214及絕緣體222接觸的方式設置，所以可以抑制水、氫等雜質從絕緣體210或絕緣體216等藉由導電體218混入氧化物230。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，可以防止包含在絕緣體210或絕緣體216中的氧被導電體218吸收。

【0502】絕緣體217可以使用與絕緣體241同樣的方法形成。例如，使用PEALD法沉積氮化矽，使用各向異性蝕刻形成到達導電體356的開口即可。

【0503】作為能夠被用作層間膜的絕緣體，有具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0504】例如，藉由將相對介電常數低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0505】例如，絕緣體150、絕緣體210、絕緣體352及絕緣體354等較佳為具有相對介電常數低的絕緣體。例如，該絕緣體較佳為含有添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。或者，該絕緣體較佳為具有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽和樹脂的疊層結構。由於氧化矽及氧氮化矽具有熱穩定性，因此藉由將其與樹脂組合，可以實現具有熱穩定性且相對介電常數低的疊層結構。作為樹脂，例如可以舉出聚酯、聚烯烴、聚醯胺（尼龍、芳香族聚醯胺等）、聚醯亞胺、聚碳酸酯或丙烯酸樹脂等。

【0506】此外，藉由使用具有抑制氫等雜質及氧透過的功能的絕緣體圍繞使用氧化物半導體的電晶體，可以使電晶體的電特性穩定。因此，作為絕緣體214、絕緣體212及絕緣體350等，使用具有抑制氫等雜質及氧的透過的功能的絕緣體，即可。

【0507】作為具有抑制氫等雜質及氧透過的功能的絕緣體，例如可以以單層或疊層使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、銻、鍺、釷、銦、釷、釷或釷的絕緣體。明確而言，作為具有抑制氫等雜質及氧透過的功能的絕緣體，可以使用氧化鋁、氧化鎂、氧化銻、氧化鍺、氧化釷、氧化銦、氧化釷、氧化釷、氧化釷等金屬氧化物、氮氧化矽、氮化矽等。

【0508】作為能夠用於佈線、插頭的導電體可以使用包含選自鋁、鉻、銅、銀、金、鉑、鈦、鎳、鈦、鉬、鎢、鉛、鈳、鈳、錳、鎂、銦、銦以及鈳等的金屬元素中的一種以上的材料。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

【0509】例如，作為導電體328、導電體330、導電體356、導電體218及導電體112等，可以以單層或疊層使用由上述材料形成的金屬材料、合金材料、金屬氮化物材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，較佳為使用鎢。或者，較佳為使用鋁、銅等低電阻導電材料形成。藉由使用低電阻導電材料可以降低佈線電阻。

【0510】

<設置有氧化物半導體的層的佈線或插頭>

注意，在將氧化物半導體用於電晶體200時，有時在氧化物半導體附近設置具有過量氧區域的絕緣體。在此情況下，較佳為在該具有過量氧區域的絕緣

體和設置於該具有過量氧區域的絕緣體的導電體之間設置具有阻擋性的絕緣體。

【0511】例如，在圖26中，較佳為在具有過量氧的絕緣體280與導電體240之間設置絕緣體241。藉由使絕緣體241與絕緣體222、絕緣體282及絕緣體283接觸地設置，電晶體200可以具有由具有阻擋性的絕緣體密封的結構。

【0512】也就是說，藉由設置絕緣體241，可以抑制絕緣體280所具有的過量氧被導電體240吸收。此外，藉由具有絕緣體241，可以抑制作為雜質的氫經過導電體240擴散到電晶體200。

【0513】此外，作為絕緣體241，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣材料。例如，較佳為使用氮化矽、氮氧化矽、氧化鋁或氧化鉛等。尤其是，氮化矽對氫具有高阻擋性，所以是較佳的。此外，例如還可以使用氧化鎂、氧化鎵、氧化鋅、氧化釷、氧化鈾、氧化釷、氧化釷等的金屬氧化物等。

【0514】此外，如上述實施方式所示，電晶體200也可以採用由絕緣體212、絕緣體214、絕緣體282及絕緣體283密封的結構。藉由採用上述結構，可以降低包含在絕緣體274、絕緣體150等中的氫混入到絕緣體280等中。

【0515】在此，導電體240貫通絕緣體283及絕緣體282，導電體218貫通絕緣體214、絕緣體212，並且，如上所述，絕緣體241與導電體240接觸地設置，絕緣體217與導電體218接觸地設置。由此，可以減少藉由導電體240及導電體218混入絕緣體212、絕緣體214、絕緣體282及絕緣體283的內側的氫。如此，可以由絕緣體212、絕緣體214、絕緣體282、絕緣體283、絕緣體241及絕緣體217密封電晶體200，而可以減少包含在絕緣體274等中的氫等雜質從外側混入。

【0516】

<切割線>

下面，對當將大面積基板按每個半導體元件分割而得到晶片形狀的多個半導體裝置時設置的切割線（有時也稱為分割線、分離線或截斷線）進行說明。作為分割方法，例如，有時，首先在基板中形成用來分離半導體元件的槽（切割線）之後，在切割線處截斷，得到被分離（被分割）的多個半導體裝置。

【0517】在此，例如，如圖26所示，較佳為以絕緣體283和絕緣體214接觸的區域重疊於切割線的方式進行設計。也就是說，在設置在包括多個電晶體200的記憶單元的邊緣的成為切割線的區域附近，在絕緣體282、絕緣體280、絕緣體275、絕緣體222及絕緣體216中設置開口。

【0518】也就是說，在設置於絕緣體282、絕緣體280、絕緣體275、絕緣體222及絕緣體216的開口中，絕緣體214與絕緣體283接觸。

【0519】此外，例如，也可以在絕緣體282、絕緣體280、絕緣體275、絕緣體222、絕緣體216及絕緣體214中形成開口。藉由採用這種結構，在設置於絕緣體282、絕緣體280、絕緣體275、絕緣體222、絕緣體216及絕緣體214的開口中，絕緣體212與絕緣體283接觸。此時，也可以使用相同材料及相同方法形成絕緣體212及絕緣體283。藉由使用相同的材料及相同的方法形成絕緣體212和絕緣體283，可以提高緊密性。例如，較佳為使用氮化矽。

【0520】藉由採用該結構，可以由絕緣體212、絕緣體214、絕緣體282及絕緣體283包圍電晶體200。絕緣體212、絕緣體214、絕緣體282和絕緣體283中的至少一個由於具有抑制氧、氫及水的擴散的功能，所以即使將基板按每個形成有本實施方式所示的半導體元件的電路區域分割而加工為多個晶片，也可以防止從截斷的基板的側面方向混入氫或水等雜質且該雜質擴散到電晶體200。

【0521】此外，藉由採用該結構，可以防止絕緣體280中的過量氧擴散到外部。因此，絕緣體280中的過量氧高效地被供應到電晶體200中的形成通道的

氧化物中。由於該氧，而可以減少電晶體200中的形成通道的氧化物的氧空位。由此，可以使電晶體200中的形成通道的氧化物成為缺陷態密度低且具有穩定的特性的氧化物半導體。也就是說，可以在抑制電晶體200的電特性變動的同時提高可靠性。

【0522】注意，在圖26所示的記憶體裝置中作為電容器100的形狀採用平面型，但是本實施方式所示的記憶體裝置不侷限於此。例如，如圖27所示，作為電容器100的形狀也可以採用圓柱型。圖27所示的記憶體裝置的絕緣體150下方的結構與圖26所示的半導體裝置相同。

【0523】圖27所示的電容器100包括絕緣體130上的絕緣體150、絕緣體150上的絕緣體142、配置在形成於絕緣體150及絕緣體142的開口中的導電體115、導電體115及絕緣體142上的絕緣體145、絕緣體145上的導電體125、導電體125及絕緣體145上的絕緣體152。在此，在形成於絕緣體150及絕緣體142的開口中配置導電體115、絕緣體145及導電體125的至少一部分。

【0524】導電體115被用作電容器100的下部電極，導電體125被用作電容器100的上部電極，絕緣體145被用作電容器100的介電質。電容器100具有在絕緣體150及絕緣體142的開口中不僅在底面上而且在側面上上部電極與下部電極隔著介電質對置的結構，因此可以增加單位面積的靜電電容。該開口的深度越深，電容器100的靜電電容越大。如此，藉由增加電容器100的單位面積的靜電電容，可以推進半導體裝置的微型化或高積體化。

【0525】作為絕緣體152，可以使用能夠被用作絕緣體280的絕緣體。此外，作為絕緣體142，較佳為使用被用作形成絕緣體150的開口時的蝕刻停止層並可以用於絕緣體214的絕緣體。

【0526】形成在絕緣體150及絕緣體142中的開口的俯視時的形狀可以為四角形、四角形以外的多角形形狀、其角部呈弧形的多角形形狀或橢圓等圓形形

狀。在此，在俯視時較佳為該開口與電晶體200重疊的面積大。藉由採用這種結構，可以縮減包括電容器100及電晶體200的半導體裝置的佔有面積。

【0527】導電體115以與形成在絕緣體142及絕緣體150中的開口接觸的方式配置。導電體115的頂面較佳為與絕緣體142的頂面大致一致。此外，導電體115的底面藉由絕緣體130的開口與導電體110接觸。導電體115較佳為藉由ALD法或CVD法等沉積，例如使用可用於導電體205的導電體即可。

【0528】絕緣體145以覆蓋導電體115及絕緣體142的方式配置。例如，較佳為藉由ALD法或CVD法等沉積絕緣體145。作為絕緣體145，例如使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋯、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛等，並且可以採用疊層結構或單層結構。例如，作為絕緣體145，可以使用依次層疊有氧化鋯、氧化鋁及氧化鋯的絕緣膜。

【0529】此外，絕緣體145較佳為使用氧氮化矽等絕緣耐應力高的材料或高介電常數（high-k）材料。或者，也可以使用絕緣耐應力高的材料及高介電常數（high-k）材料的疊層結構。

【0530】注意，作為高介電常數（high-k）材料（相對介電常數高的材料），有氧化鎵、氧化鉛、氧化鋯、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物、含有矽及鉛的氮化物等。藉由具有這樣high-k材料，即使使絕緣體145變厚也可以充分確保電容器100的靜電電容。藉由使絕緣體145變厚，可以抑制在導電體115與導電體125之間產生的洩漏電流。

【0531】另一方面，作為絕緣耐應力高的材料，有氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽、樹脂等。例如，可以使用依次層疊有藉由PEALD法

第116頁，共 155 頁(發明說明書)

沉積的氮化矽 (SiN_x)、藉由PEALD法沉積的氧化矽 (SiO_x)、藉由PEALD法沉積的氮化矽 (SiN_x) 的絕緣膜。或者，可以使用依次層疊有氧化鋯、藉由ALD法沉積的氧化矽、氧化鋯的絕緣膜。藉由使用這樣的絕緣耐應力高的絕緣體，絕緣耐應力提高而可以抑制電容器100的靜電破壞。

【0532】導電體125以填埋形成在絕緣體142及絕緣體150中的開口的方式配置。此外，導電體125藉由導電體140及導電體153與佈線1005電連接。導電體125較佳為藉由ALD法或CVD法等沉積，例如使用可用於導電體205的導電體即可。

【0533】此外，導電體153設置在絕緣體154上且被絕緣體156覆蓋。導電體153可以使用可用於導電體112的導電體，絕緣體156可以使用可用於絕緣體152的絕緣體。在此，導電體153與導電體140的頂面接觸，並且被用作電容器100、電晶體200或電晶體300的端子。

【0534】

[記憶體裝置2]

圖28示出根據本發明的一個實施方式的半導體裝置（記憶體裝置）的一個例子。

【0535】

<記憶體器件的結構例子>

圖28是包括記憶體器件290的半導體裝置的剖面圖。圖28所示的記憶體器件290除了圖1A至圖1D所示的電晶體200以外還包括電容器件292。圖28相當於電晶體200的通道長度方向的剖面圖。

【0536】電容器件292包括導電體242b、設置在導電體242b上的絕緣體271b、以與絕緣體271b的頂面、絕緣體271b的側面及導電體242b的側面接觸的方式設置的絕緣體275以及絕緣體275上的導電體294。就是說，電容器件292構

第117頁，共 155 頁(發明說明書)

成MIM（Metal-Insulator-Metal：金屬-絕緣體-金屬）電容器。此外，電容器件292所包括的一對電極的一方，亦即，導電體242b可以兼作電晶體的源極電極。另外，電容器件292所包括的介電質層可以兼作設置在電晶體中的保護層，亦即，絕緣體271及絕緣體275。因此，電容器件292的製程也可以使用電晶體的製程的一部分，所以可以得到一種生產率高的半導體裝置。此外，電容器件292所包括的一對電極的一方，亦即，導電體242b兼作電晶體的源極電極，所以可以減小配置電晶體、電容器件的面積。

【0537】此外，作為導電體294，例如使用可用於導電體242的材料即可。

【0538】

<記憶體器件的變形例子>

以下使用圖29A、圖29B及圖30說明與在上述<記憶體器件的結構例子>中示出的半導體裝置不同的包括根據本發明的一個實施方式的電晶體200及電容器件292的半導體裝置的一個例子。注意，在圖29A、圖29B及圖30所示的半導體裝置中，對具有與構成在上述實施方式及<記憶體器件的結構例子>中示出的半導體裝置（參照圖28）的結構相同功能的結構附加相同符號。此外，在本節中，電晶體200及電容器件292的構成材料可以使用在上述實施方式及<記憶體器件的結構例子>中詳細說明的材料。此外，雖然在圖29A、圖29B及圖30等中使用圖28所示的記憶體器件，但是不侷限於此。

【0539】

<<記憶體器件的變形例子1>>

以下，使用圖29A說明包括根據本發明的一個實施方式的電晶體200a、電晶體200b、電容器件292a及電容器件292b的半導體裝置600的一個例子。

【0540】圖29A是包括電晶體200a、電晶體200b、電容器件292a及電容器件292b的半導體裝置600的通道長度方向上的剖面圖。在此，電容器件292a包

括：導電體242a；導電體242a上的絕緣體271a；與絕緣體271a的頂面、絕緣體271a的側面及導電體242a的側面接觸的絕緣體275；以及絕緣體275上的導電體294a。另外，電容器件292b包括：導電體242b；導電體242b上的絕緣體271b；與絕緣體271b的頂面、絕緣體271b的側面及導電體242b的側面接觸的絕緣體275；以及絕緣體275上的導電體294b。

【0541】如圖29A所示，半導體裝置600具有以點劃線A3-A4為對稱軸的軸對稱的結構。導電體242c兼作電晶體200a的源極電極和汲極電極中的一個以及電晶體200b的源極電極和汲極電極中的一個。此外，在導電體242c上設置絕緣體271c。此外，被用作插頭的導電體240用來使被用作佈線的導電體246與電晶體200a及電晶體200b連接。如此，藉由作為兩個電晶體、兩個電容器件、佈線以及插頭的連接關係採用上述結構，可以提供一種可以實現微型化或高積體化的半導體裝置。

【0542】電晶體200a、電晶體200b、電容器件292a及電容器件292b的各結構及效果可以參照圖28所示的半導體裝置的結構例子。

【0543】

<<記憶體器件的變形例子2>>

以上，作為半導體裝置的結構例子示出電晶體200a、電晶體200b、電容器件292a及電容器件292b，但是本實施方式所示的半導體裝置不侷限於此。例如，如圖29B所示，也可以採用半導體裝置600及具有與半導體裝置600同樣的結構的半導體裝置藉由電容部連接的結構。在本說明書中，將包括電晶體200a、電晶體200b、電容器件292a及電容器件292b的半導體裝置稱為單元。電晶體200a、電晶體200b、電容器件292a及電容器件292b的結構可以參照上述電晶體200a、電晶體200b、電容器件292a及電容器件292b的記載。

【0544】圖29B是包括電晶體200a、電晶體200b、電容器件292a及電容器件292b的半導體裝置600及具有與半導體裝置600同樣的結構的單元藉由電容部連接的情況的剖面圖。

【0545】如圖29B所示，被用作半導體裝置600所包括的電容器件292b的一個電極的導電體294b兼作具有與半導體裝置600同樣的結構的半導體裝置601所包括的電容器件的一個電極。此外，雖然未圖示，但是被用作半導體裝置600所包括的電容器件292a的一個電極的導電體294a兼作在半導體裝置600的左側，亦即，在圖29B的A1方向上相鄰的半導體裝置的電容器件的一個電極。此外，在半導體裝置601的右側，亦即，圖29B的A2方向上的單元也具有相同結構。換言之，可以構成單元陣列（也可以稱為記憶體器件層）。藉由採用上述單元陣列的結構，可以減小相鄰單元的間隔，由此可以減小單元陣列的投影面積，而可以實現高積體化。此外，藉由將圖29B所示的單元陣列的結構配置為矩陣狀，可以構成矩陣狀的單元陣列。

【0546】如上所述，藉由以本實施方式所示的結構形成電晶體200a、電晶體200b、電容器件292a及電容器件292b，可以減小單元的面積，而可以實現包括單元陣列的半導體裝置的微型化或高積體化。

【0547】此外，除了將上述單元陣列配置為平面狀之外還可以層疊上述單元陣列。圖30示出層疊有n層的單元陣列610的結構的剖面圖。如圖30所示，藉由層疊多個單元陣列（單元陣列610_1至單元陣列610_n），可以集成地配置單元而無需增大單元陣列的佔有面積。也就是說，可以構成3D單元陣列。

【0548】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0549】

實施方式3

在本實施方式中，參照圖31A、圖31B以及圖32A至圖32H，對根據本發明的一個實施方式的使用將氧化物用於半導體的電晶體（以下有時稱為OS電晶體）及電容器的記憶體裝置（以下有時稱為OS記憶體裝置）進行說明。OS記憶體裝置是至少包括電容器和控制電容器的充放電的OS電晶體的記憶體裝置。因為OS電晶體的關態電流極低所以OS記憶體裝置具有優良的保持特性，從而可以被用作非揮發性記憶體。

【0550】

<記憶體裝置的結構例子>

圖31A示出OS記憶體裝置的結構的一個例子。記憶體裝置1400包括週邊電路1411及記憶單元陣列1470。週邊電路1411包括行電路1420、列電路1430、輸出電路1440及控制邏輯電路1460。

【0551】列電路1430例如包括列解碼器、預充電電路、感測放大器及寫入電路等。預充電電路具有對佈線進行預充電的功能。感測放大器具有放大從記憶單元讀出的資料信號的功能。注意，上述佈線是連接到記憶單元陣列1470所包括的記憶單元的佈線，下面描述其詳細內容。被放大的資料信號作為資料信號RDATA藉由輸出電路1440輸出到記憶體裝置1400的外部。此外，行電路1420例如包括行解碼器、字線驅動器電路等，並可以選擇要存取的行。

【0552】對記憶體裝置1400從外部供應作為電源電壓的低電源電壓（VSS）、週邊電路1411用高電源電壓（VDD）及記憶單元陣列1470用高電源電壓（VIL）。此外，對記憶體裝置1400從外部輸入控制信號（CE、WE、RES）、位址信號ADDR及資料信號WDATA。位址信號ADDR被輸入到行解碼器及列解碼器，資料信號WDATA被輸入到寫入電路。

【0553】控制邏輯電路1460對從外部輸入的控制信號（CE、WE、RES）進行處理來生成行解碼器及列解碼器的控制信號。控制信號CE是晶片賦能信號，控制信號WE是寫入賦能信號，並且控制信號RES是讀出賦能信號。控制邏輯電路1460所處理的信號不侷限於此，根據需要而輸入其他控制信號即可。

【0554】記憶單元陣列1470包括配置為行列狀的多個記憶單元MC及多個佈線。注意，連接記憶單元陣列1470和行電路1420的佈線的個數取決於記憶單元MC的結構、包括在一個列中的記憶單元MC的個數等。此外，連接記憶單元陣列1470和列電路1430的佈線的個數取決於記憶單元MC的結構、包括在一個行中的記憶單元MC的個數等。

【0555】此外，雖然在圖31A中示出在同一平面上形成週邊電路1411和記憶單元陣列1470的例子，但是本實施方式不侷限於此。例如，如圖31B所示，也可以以重疊於週邊電路1411的一部分上的方式設置記憶單元陣列1470。例如，也可以採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構。

【0556】在圖32A至圖32H中說明能夠適合用於上述記憶單元MC的記憶單元的結構例子。

【0557】

[DOSRAM]

圖32A至圖32C示出DRAM的記憶單元的電路結構例子。在本說明書等中，有時將使用1OS電晶體1電容器型記憶單元的DRAM稱為DOSRAM（Dynamic Oxide Semiconductor Random Access Memory，動態氧化物半導體隨機存取記憶體）。圖32A所示的記憶單元1471包括電晶體M1及電容器CA。此外，電晶體M1包括閘極（有時稱為頂閘極）及背閘極。

【0558】電晶體M1的第一端子與電容器CA的第一端子連接，電晶體M1的第二端子與佈線BIL連接，電晶體M1的閘極與佈線WOL連接，電晶體M1的背閘極與佈線BGL連接。電容器CA的第二端子與佈線LL連接。

【0559】佈線BIL被用作位元線，佈線WOL被用作字線。佈線LL被用作用來對電容器CA的第二端子施加指定的電位的佈線。在寫入資料和讀出資料時，佈線LL可以為接地電位，也可以為低位準電位。佈線BGL被用作用來對電晶體M1的背閘極施加電位的佈線。藉由對佈線BGL施加任意電位，可以增加或減少電晶體M1的臨界電壓。

【0560】在此，圖32A所示的記憶單元1471對應於圖28所示的記憶體裝置。就是說，電晶體M1對應於電晶體200，電容器CA對應於電容器件292。

【0561】此外，記憶單元MC不侷限於記憶單元1471，而可以改變其電路結構。例如，記憶單元MC也可以採用如圖32B所示的記憶單元1472那樣的電晶體M1的背閘極不與佈線BGL連接，而與佈線WOL連接的結構。此外，例如，記憶單元MC也可以是如圖32C所示的記憶單元1473那樣的由單閘極結構的電晶體，亦即，不包括背閘極的電晶體M1構成的記憶單元。

【0562】在將上述實施方式所示的半導體裝置用於記憶單元1471等的情況下，作為電晶體M1可以使用電晶體200，作為電容器CA可以使用電容器100。藉由作為電晶體M1使用OS電晶體，可以使電晶體M1的關態電流為極低。換言之，因為可以由電晶體M1長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。或者，還可以不進行記憶單元的更新工作。此外，由於關態電流極低，因此可以將多值資料或類比資料保持在記憶單元1471、記憶單元1472、記憶單元1473中。

【0563】此外，在DOSRAM中，在如此那樣地採用以重疊於記憶單元陣列1470下的方式設置感測放大器的結構時，可以縮短位元線。由此，位元線電容減小，從而可以減少記憶單元的儲存電容。

【0564】

[NOSRAM]

圖32D至圖32G示出2電晶體1電容器的增益單元型記憶單元的電路結構例子。圖32D所示的記憶單元1474包括電晶體M2、電晶體M3、電容器CB。此外，電晶體M2包括頂閘極（有時簡稱為閘極）及背閘極。在本說明書等中，有時將包括將OS電晶體用於電晶體M2的增益單元型記憶單元的記憶體裝置稱為NOSRAM（Nonvolatile Oxide Semiconductor RAM，非揮發性氧化物半導體RAM）。

【0565】電晶體M2的第一端子與電容器CB的第一端子連接，電晶體M2的第二端子與佈線WBL連接，電晶體M2的閘極與佈線WOL連接，電晶體M2的背閘極與佈線BGL連接。電容器CB的第二端子與佈線CAL連接。電晶體M3的第一端子與佈線RBL連接，電晶體M3的第二端子與佈線SL連接，電晶體M3的閘極與電容器CB的第一端子連接。

【0566】佈線WBL被用作寫入位元線，佈線RBL被用作讀出位元線，佈線WOL被用作字線。佈線CAL被用作用來對電容器CB的第二端子施加指定的電位的佈線。在寫入資料和讀出資料時，較佳為對佈線CAL施加高位準電位。另外，在保持資料時，較佳為對佈線CAL施加低位準電位。佈線BGL被用作用來對電晶體M2的背閘極施加電位的佈線。藉由對佈線BGL施加任意電位，可以增加或減少電晶體M2的臨界電壓。

【0567】在此，圖32D所示的記憶單元1474對應於圖26及圖27所示的記憶體裝置。就是說，電晶體M2對應於電晶體200，電容器CB對應於電容器100，

第124頁，共 155 頁(發明說明書)

電晶體M3對應於電晶體300，佈線WBL對應於佈線1003，佈線WOL對應於佈線1004，佈線BGL對應於佈線1006，佈線CAL對應於佈線1005，佈線RBL對應於佈線1002，佈線SL對應於佈線1001。

【0568】此外，記憶單元MC不侷限於記憶單元1474，而可以適當地改變其電路結構。例如，記憶單元MC也可以採用如圖32E所示的記憶單元1475那樣的電晶體M2的背閘極不與佈線BGL連接，而與佈線WOL連接的結構。此外，例如，記憶單元MC也可以是如圖32F所示的記憶單元1476那樣的由單閘極結構的電晶體，亦即，不包括背閘極的電晶體M2構成的記憶單元。此外，例如，記憶單元MC也可以具有如圖32G所示的記憶單元1477那樣的將佈線WBL和佈線RBL組合為一個佈線BIL的結構。

【0569】在將上述實施方式所示的半導體裝置用於記憶單元1474等的情況下，作為電晶體M2可以使用電晶體200，作為電晶體M3可以使用電晶體300，作為電容器CB可以使用電容器100。藉由作為電晶體M2使用OS電晶體，可以使電晶體M2的關態電流為極低。由此，因為可以由電晶體M2長時間保持寫入的資料，所以可以降低記憶單元的更新頻率。或者，還可以不進行記憶單元的更新工作。此外，由於關態電流極低，因此可以將多值資料或類比資料保持在記憶單元1474中。記憶單元1475至記憶單元1477也是同樣的。

【0570】此外，電晶體M3也可以是在通道形成區域中包含矽的電晶體（以下有時稱為Si電晶體）。Si電晶體的導電型可以是n通道型或p通道型。Si電晶體的場效移動率有時比OS電晶體高。因此，作為被用作讀出電晶體的電晶體M3，也可以使用Si電晶體。此外，藉由將Si電晶體用於電晶體M3，可以層疊於電晶體M3上地設置電晶體M2，從而可以減少記憶單元的佔有面積，並可以實現記憶體裝置的高積體化。

【0571】此外，電晶體M3也可以是OS電晶體。在將OS電晶體用於電晶體M2、電晶體M3時，在記憶單元陣列1470中可以只使用n型電晶體構成電路。

【0572】此外，圖32H示出3電晶體1電容器的增益單元型記憶單元的一個例子。圖32H所示的記憶單元1478包括電晶體M4至電晶體M6及電容器CC。電容器CC是適當地設置的。記憶單元1478與佈線BIL、佈線RWL、佈線WWL、佈線BGL及佈線GNDL電連接。佈線GNDL是供應低位準電位的佈線。此外，也可以將記憶單元1478電連接到佈線RBL、佈線WBL，而不與佈線BIL電連接。

【0573】電晶體M4是包括背閘極的OS電晶體，該背閘極與佈線BGL電連接。此外，也可以使電晶體M4的背閘極和閘極互相電連接。或者，電晶體M4也可以不包括背閘極。

【0574】此外，電晶體M5、電晶體M6各自可以是n通道型Si電晶體或p通道型Si電晶體。或者，電晶體M4至電晶體M6也可以都是OS電晶體。在此情況下，可以在記憶單元陣列1470中只使用n型電晶體構成電路。

【0575】在將上述實施方式所示的半導體裝置用於記憶單元1478時，作為電晶體M4可以使用電晶體200，作為電晶體M5、電晶體M6可以使用電晶體300，作為電容器CC可以使用電容器100。藉由作為電晶體M4使用OS電晶體，可以使電晶體M4的關態電流為極低。

【0576】注意，本實施方式所示的週邊電路1411及記憶單元陣列1470等的結構不侷限於上述結構。此外，也可以根據需要改變、去除或追加這些電路及連接到該電路的佈線、電路元件等的配置或功能。

【0577】以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而實施。

【0578】

實施方式4

在本實施方式中，參照圖33A和圖33B說明安裝有本發明的半導體裝置的晶片1200的一個例子。在晶片1200上安裝有多個電路（系統）。如此，在一個晶片上集成有多個電路（系統）的技術有時被稱為系統晶片（System on Chip：SoC）。

【0579】如圖33A所示，晶片1200包括CPU1211、GPU1212、一個或多個類比運算部1213、一個或多個記憶體控制器1214、一個或多個介面1215、一個或多個網路電路1216等。

【0580】在晶片1200上設置有凸塊（未圖示），該凸塊如圖33B所示那樣與封裝基板1201的第一面連接。此外，在封裝基板1201的第一面的背面設置有多個凸塊1202，該凸塊1202與主機板1203連接。

【0581】此外，也可以在主機板1203上設置有DRAM1221、快閃記憶體1222等的記憶體裝置。例如，可以將上述實施方式所示的DOSRAM應用於DRAM1221。此外，例如，可以將上述實施方式所示的NOSRAM應用於快閃記憶體1222。

【0582】CPU1211較佳為具有多個CPU核心。此外，GPU1212較佳為具有多個GPU核心。此外，CPU1211和GPU1212可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片1200上設置有CPU1211和GPU1212共同使用的記憶體。可以將上述NOSRAM或DOSRAM應用於該記憶體。此外，GPU1212適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為GPU1212設置使用本發明的氧化物半導體的影像處理電路或積和運算電路，可以以低功耗執行影像處理及積和運算。

【0583】此外，因為在同一晶片上設置有CPU1211和GPU1212，所以可以縮短CPU1211和GPU1212之間的佈線，並可以以高速進行從CPU1211到GPU1212的資料傳送、CPU1211及GPU1212所具有的記憶體之間的資料傳送以及GPU1212中的運算結束之後的從GPU1212到CPU1211的運算結果傳送。

【0584】類比運算部1213具有A/D（類比/數位）轉換電路和D/A（數位/類比）轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0585】記憶體控制器1214具有被用作DRAM1221的控制器的電路及被用作快閃記憶體1222的介面的電路。

【0586】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用USB（Universal Serial Bus：通用序列匯流排）、HDMI（High-Definition Multimedia Interface：高清晰度多媒體介面）（註冊商標）等。

【0587】網路電路1216具有LAN（Local Area Network：區域網路）等網路電路。此外，還可以具有網路安全用電路。

【0588】上述電路（系統）可以經同一製程形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製程，可以以低成本製造晶片1200。

【0589】可以將包括設置有具有GPU1212的晶片1200的封裝基板1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0590】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式（可攜帶）遊戲機等可攜式電子裝置。此外，藉

由利用使用GPU1212的積和運算電路，可以執行深度神經網路（DNN）、卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器、深度波茲曼機（DBM）、深度置信網路（DBN）等方法，由此可以將晶片1200用作AI晶片，或者，可以將GPU模組1204用作AI系統模組。

【0591】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0592】

實施方式5

本實施方式示出安裝有上述實施方式所示的記憶體裝置等的電子構件及電子裝置的一個例子。

【0593】

<電子構件>

首先，參照圖34A和圖34B對組裝有記憶體裝置720的電子構件的例子進行說明。

【0594】圖34A示出電子構件700及安裝有電子構件700的基板（電路板704）的立體圖。圖34A所示的電子構件700在模子711內包括記憶體裝置720。在圖34A中，省略電子構件700的一部分以表示其內部。電子構件700在模子711的外側包括連接盤（land）712。連接盤712電連接於電極焊盤713，電極焊盤713藉由引線714電連接於記憶體裝置720。電子構件700例如安裝於印刷電路板702上。藉由組合多個該電子構件並使其分別在印刷電路板702上電連接，由此完成電路板704。

【0595】記憶體裝置720包括驅動電路層721及記憶體電路層722。

【0596】圖34B示出電子構件730的立體圖。電子構件730是SiP（System in Package：系統封裝）或MCM（Multi Chip Module：多晶片封裝）的一個例子。在電子構件730中，封裝基板732（印刷電路板）上設置有插板（interposer）731，插板731上設置有半導體裝置735及多個記憶體裝置720。

【0597】電子構件730示出將記憶體裝置720用作高頻寬記憶體（HBM：High Bandwidth Memory）的例子。此外，半導體裝置735可以使用CPU、GPU、FPGA等積體電路（半導體裝置）。

【0598】封裝基板732可以使用陶瓷基板、塑膠基板、玻璃環氧基板等。插板731可以使用矽插板、樹脂插板等。

【0599】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板（rewiring substrate）”或“中間基板”。此外，有時藉由在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV（Through Silicon Via：矽通孔）作為貫通電極。

【0600】作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

【0601】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0602】此外，在使用矽插板的SiP或MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝（2.5D安裝），其中多個積體電路橫著排放並配置於插板上。

【0603】此外，也可以與電子構件730重疊地設置散熱器（散熱板）。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置720與半導體裝置735的高度一致。

【0604】為了將電子構件730安裝在其他的基板上，也可以在封裝基板732的底部設置電極733。圖34B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA（Ball Grid Array：球柵陣列）的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA（Pin Grid Array：針柵陣列）的安裝。

【0605】電子構件730可以藉由各種安裝方式安裝在其他基板上，而不侷限於BGA及PGA。例如，可以採用SPGA（Staggered Pin Grid Array：交錯針柵陣列）、LGA（Land Grid Array：地柵陣列）、QFP（Quad Flat Package：四面扁平封裝）、QFJ（Quad Flat J-leaded package：四側J形引腳扁平封裝）或QFN（Quad Flat Non-leaded package：四側無引腳扁平封裝）等安裝方法。

【0606】以上，本實施方式所示的結構、方法等可以與本實施方式所示的其他結構、方法、其他實施方式所示的結構、方法等適當地組合而實施。

【0607】

實施方式6

在本實施方式中，說明使用上述實施方式所示的半導體裝置的記憶體裝置的應用例子。上述實施方式所示的半導體裝置例如可以應用於各種電子裝置（例如，資訊終端、電腦、智慧手機、電子書閱讀器、數位相機（也包括攝影機）、錄影再現裝置、導航系統等）的記憶體裝置。注意，在此，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如伺服器系統。或者，上述實施方式所示的半導體裝置應用於記憶卡（例如，SD卡）、USB記憶體、SSD（固態硬碟）等各種卸除式存放裝置。圖35A至圖35E示意性地示出卸除式存放裝置的幾個結構例子。例如，上述實施方式所示的半導體裝置加工為被封裝的記憶體晶片並用於各種記憶體裝置或卸除式記憶體。

【0608】圖35A是USB記憶體的示意圖。USB記憶體1100包括外殼1101、蓋子1102、USB連接器1103及基板1104。基板1104被容納在外殼1101中。例如，基板1104上安裝有記憶體晶片1105及控制器晶片1106。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1105等。

【0609】圖35B是SD卡的外觀示意圖，圖35C是SD卡的內部結構的示意圖。SD卡1110包括外殼1111、連接器1112及基板1113。基板1113被容納在外殼1111中。例如，基板1113上安裝有記憶體晶片1114及控制器晶片1115。藉由在基板1113的背面一側也設置記憶體晶片1114，可以增大SD卡1110的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板1113。由此，藉由主機裝置與SD卡1110之間的無線通訊，可以進行記憶體晶片1114的資料的讀出及寫入。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1114等。

【0610】圖35D是SSD的外觀示意圖，圖35E是SSD的內部結構的示意圖。SSD1150包括外殼1151、連接器1152及基板1153。基板1153被容納在外殼1151中。例如，基板1153上安裝有記憶體晶片1154、記憶體晶片1155及控制器晶片1156。記憶體晶片1155為控制器晶片1156的工作記憶體，例如，可以使用

DOSRAM晶片。藉由在基板1153的背面一側也設置記憶體晶片1154，可以增大SSD1150的容量。可以將上述實施方式所示的半導體裝置組裝於記憶體晶片1154等。

【0611】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

【0612】

實施方式7

根據本發明的一個實施方式的半導體裝置可以應用於如CPU、GPU等處理器或晶片。圖36A至圖36H示出具有根據本發明的一個實施方式的如CPU、GPU等處理器或晶片的電子裝置的具體例子。

【0613】

<電子裝置及系統>

根據本發明的一個實施方式的GPU或晶片可以安裝在各種各樣的電子裝置。作為電子裝置的例子，例如除了電視機、用於桌上型或筆記本式資訊終端等的顯示器、數位看板（Digital Signage）、彈珠機等大型遊戲機等具有較大的螢幕的電子裝置以外，還可以舉出數位相機、數位攝影機、數位相框、電子書閱讀器、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置等。此外，藉由將根據本發明的一個實施方式的GPU或晶片設置在電子裝置中，可以使電子裝置具備人工智慧。

【0614】本發明的一個實施方式的電子裝置也可以包括天線。藉由使用天線接收信號，可以在顯示部上顯示影像或資訊等。此外，在電子裝置包括天線及二次電池時，可以將天線用於非接觸電力傳送。

【0615】本發明的一個實施方式的電子裝置也可以包括感測器（該感測器具有測定如下因素的功能：力、位移、位置、速度、加速度、角速度、轉速、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）。

【0616】本發明的一個實施方式的電子裝置可以具有各種功能。例如，可以具有如下功能：將各種資訊（靜態影像、動態圖片、文字影像等）顯示在顯示部上的功能；觸控面板的功能；顯示日曆、日期或時間等的功能；執行各種軟體（程式）的功能；進行無線通訊的功能；讀出儲存在存儲介質中的程式或資料的功能；等。圖36A至圖36H示出電子裝置的例子。

【0617】

[資訊終端]

圖36A示出資訊終端之一的行動電話機（智慧手機）。資訊終端5100包括外殼5101及顯示部5102，作為輸入介面在顯示部5102中具備觸控面板，並且在外殼5101上設置有按鈕。

【0618】藉由將本發明的一個實施方式的晶片應用於資訊終端5100，可以執行利用人工智慧的應用程式。作為利用人的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部5102上的應用程式、識別由使用者輸入到顯示部5102所具備的觸控面板的文字或圖形等來將該文字或該圖形顯示在顯示部5102上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

【0619】圖36B示出筆記本式資訊終端5200。筆記本式資訊終端5200包括資訊終端主體5201、顯示部5202及鍵盤5203。

【0620】與上述資訊終端5100同樣，藉由將本發明的一個實施方式的晶片應用於筆記本式資訊終端5200，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表

自動生成軟體等。此外，藉由使用筆記本式資訊終端5200，可以研發新穎的人工智慧。

【0621】注意，在上述例子中，圖36A及圖36B分別示出智慧手機及筆記本式資訊終端作為電子裝置的例子，但是也可以應用智慧手機及筆記本式資訊終端以外的資訊終端。作為智慧手機及筆記本式資訊終端以外的資訊終端，例如可以舉出PDA（Personal Digital Assistant：個人數位助理）、桌上型資訊終端、工作站等。

【0622】

[遊戲機]

圖36C示出作為遊戲機的一個例子的可攜式遊戲機5300。可攜式遊戲機5300包括外殼5301、外殼5302、外殼5303、顯示部5304、連接部5305及操作鍵5306等。可以將外殼5302及外殼5303從外殼5301拆卸。藉由將設在外殼5301中的連接部5305安裝到其他外殼（未圖示），可以將輸出到顯示部5304的影像輸出到其他視頻顯示裝置（未圖示）。此時，外殼5302及外殼5303分別可以被用作操作部。由此，多個遊戲玩者可以同時玩遊戲。可以將上述實施方式所示的晶片嵌入到設置在外殼5301、外殼5302及外殼5303的基板的晶片等。

【0623】另外，圖36D示出遊戲機之一的固定式遊戲機5400。固定式遊戲機5400以無線或有線連接有控制器5402。

【0624】藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300及固定式遊戲機5400等遊戲機，可以實現低功耗的遊戲機。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0625】再者，藉由將本發明的一個實施方式的GPU或晶片應用於可攜式遊戲機5300，可以實現具備人工智慧的可攜式遊戲機5300。

第135頁，共 155 頁(發明說明書)

【0626】遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機5300，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0627】此外，當使用可攜式遊戲機5300玩需要多個遊戲玩者的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0628】雖然圖36C及圖36D示出可攜式遊戲機及固定式遊戲機作為遊戲機的一個例子，但是應用本發明的一個實施方式的GPU或晶片的遊戲機不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的遊戲機，例如可以舉出設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0629】

[大型電腦]

可以將本發明的一個實施方式的GPU或晶片應用於大型電腦。

【0630】圖36E示出作為大型電腦的一個例子的超級電腦5500。圖36F示出超級電腦5500所包括的機架（rack mount）式電腦5502。

【0631】超級電腦5500包括機架5501及多個機架式電腦5502。注意，多個電腦5502容納在機架5501中。另外，電腦5502設有多個基板5504，在該基板上可以安裝上述實施方式所說明的GPU或晶片。

【0632】超級電腦5500主要是適合於科學計算的大型電腦。科學計算需要以高速進行龐大的運算，因此功耗大且晶片的發熱高。藉由將本發明的一個實施方式的GPU或晶片應用於超級電腦5500，可以實現低功耗的超級電腦。此

外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路及模組帶來的負面影響。

【0633】在圖36E及圖36F中，作為大型電腦的一個例子示出超級電腦，然而應用本發明的一個實施方式的GPU或晶片的大型電腦不侷限於此。作為應用本發明的一個實施方式的GPU或晶片的大型電腦，例如可以舉出提供服務的電腦（伺服器）、大型通用電腦（主機）等。

【0634】

[移動體]

本發明的一個實施方式的GPU或晶片可以應用於作為移動體的汽車及汽車的駕駛席周邊。

【0635】圖36G是示出移動體的一個例子的汽車內部的前擋風玻璃周邊的圖。圖36G示出安裝在儀表板的顯示面板5701、顯示面板5702、顯示面板5703以及安裝在支柱的顯示面板5704。

【0636】藉由顯示速度表、轉速計、行駛距離、燃料表、排檔狀態、空調的設定，顯示面板5701至顯示面板5703可以提供各種資訊。此外，使用者可以根據喜好適當地改變顯示面板所顯示的顯示內容及佈局等，可以提高設計性。顯示面板5701至顯示面板5703還可以用作照明設備。

【0637】藉由將由設置在汽車的攝像裝置（未圖示）拍攝的影像顯示在顯示面板5704上，可以彌補被支柱遮擋的視野（死角）。也就是說，藉由顯示由設置在汽車外側的攝像裝置拍攝的影像，可以彌補死角，從而可以提高安全性。此外，藉由顯示彌補看不到的部分的影像，可以更自然、更舒適地確認安全。顯示面板5704還可以用作照明設備。

【0638】因為可以將本發明的一個實施方式的GPU或晶片用作人工智慧的組件，例如可以將該晶片用於汽車的自動駕駛系統。該晶片也可以用於進行導

航、危險預測等的系統。此外，也可以在顯示面板5701至顯示面板5704上顯示導航、危險預測等資訊。

【0639】雖然在上述例子中作為移動體的一個例子說明了汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的晶片，以提供利用人工智慧的系統。

【0640】

[電器產品]

圖36H示出電器產品的一個例子的電冷藏冷凍箱5800。電冷藏冷凍箱5800包括外殼5801、冷藏室門5802及冷凍室門5803等。

【0641】藉由將本發明的一個實施方式的晶片應用於電冷藏冷凍箱5800，可以實現具備人工智慧的電冷藏冷凍箱5800。藉由利用人工智慧，可以使電冷藏冷凍箱5800具有基於儲存在電冷藏冷凍箱5800中的食品或該食品的消費期限等自動生成功能表的功能、根據所儲存的食物自動調整電冷藏冷凍箱5800的溫度的功能。

【0642】作為電器產品的一個例子說明了電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0643】在本實施方式中說明的電子裝置、該電子裝置的功能、人工智慧的應用例子以及其效果等可以與其他的電子裝置的記載適當地組合而實施。

【0644】以上，本實施方式所示的結構、方法等的至少一部分可以與本說明書所記載的其他實施方式及其他實施例等適當地組合而實施。

實施例

【0645】在本實施例中，製造包括相當於圖6A至圖6D所示的電晶體的多個電晶體的樣本，對該電晶體的結構、該電晶體所包括的金屬氧化物的結晶性、該電晶體的電特性及該電晶體的頻率特性進行評價。

【0646】

[樣本的製造]

包括在樣本中的電晶體的結構可以援用圖6A至圖6D。注意，作為包括在樣本中的電晶體的設計值，通道長度為20nm，通道寬度為20nm。

【0647】下面說明樣本的製造方法。注意，製造方法的詳細內容可以參考實施方式1。

【0648】絕緣體212使用厚度為60nm的氮化矽。絕緣體212使用矽靶材藉由脈衝DC濺射法沉積。

【0649】絕緣體214使用厚度為40nm的氧化鋁。絕緣體214使用鋁靶材藉由脈衝DC濺射法沉積。

【0650】絕緣體216使用厚度為130nm的氧化矽。絕緣體216使用矽靶材藉由脈衝DC濺射法沉積。

【0651】絕緣體212、絕緣體214及絕緣體216使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【0652】導電體205a使用利用金屬CVD法沉積的氮化鈦膜形成。導電體205b使用利用金屬CVD法沉積的鎢膜形成。

【0653】絕緣體222使用藉由ALD法沉積的厚度為20nm的氧化鋁。

【0654】絕緣體224使用藉由濺射法沉積的厚度為20nm的氧化矽形成。

【0655】氧化物230a使用藉由DC濺射法沉積的厚度為10nm的In-Ga-Zn氧化物形成。注意，在沉積將成為氧化物230a的氧化膜時使用In：Ga：Zn=1：3：4[原子個數比]的氧化物靶材。

【0656】氧化物230b使用藉由DC濺射法沉積的厚度為15nm的In-Ga-Zn氧化物形成。注意，在沉積將成為氧化物230b的氧化膜時使用In：Ga：Zn=1：1：1.2[原子個數比]的氧化物靶材。

【0657】導電體242a及導電體242b使用利用濺射法沉積的厚度為20nm的氮化鈮膜形成。注意，將成為導電體242a及導電體242b的導電膜使用金屬鈮靶材在含氮的氛圍下沉積。

【0658】絕緣體271a1及絕緣體271b1使用厚度為5nm的氮化矽膜形成。此外，絕緣體271a2及絕緣體271b2使用氧化矽膜形成。注意，該氮化矽膜及該氧化矽膜使用多室型濺射裝置以不暴露於大氣的方式連續沉積。

【0659】絕緣體275使用藉由ALD法沉積的厚度為5nm的氮化矽。

【0660】絕緣體280使用藉由濺射法沉積的氧化矽。

【0661】絕緣體252使用利用ALD法沉積的厚度為1nm的氧化鋁膜形成。此外，絕緣體250使用利用ALD法沉積的厚度為3nm的氧化矽膜形成。另外，絕緣體254使用利用ALD法沉積的厚度為3nm的氮化矽膜形成。

【0662】導電體260a使用藉由金屬CVD法沉積的厚度為5nm的氮化鈦膜形成。此外，導電體260b使用藉由金屬CVD法沉積的鎢膜形成。

【0663】絕緣體282使用氧化鋁。絕緣體282使用鋁靶材藉由脈衝DC濺射法沉積。

【0664】絕緣體283a使用藉由濺射法沉積的厚度為20nm的氮化矽。此外，絕緣體283b使用藉由ALD法沉積的厚度為5nm的氮化矽。

【0665】絕緣體274使用藉由CVD法沉積的氧氮化矽。此外，絕緣體285使用藉由濺射法沉積的厚度為50nm的氧化矽。

【0666】絕緣體241a及絕緣體241b都使用第一絕緣體及第二絕緣體的疊層體。第一絕緣體使用藉由ALD法沉積的氧化鋁膜形成，第二絕緣體使用藉由ALD法沉積的氮化矽膜形成。

【0667】導電體240a及導電體240b都使用氮化鈦膜及該氮化鈦膜上的鎢膜的疊層膜形成。注意，該氮化鈦膜及該鎢膜藉由CVD法沉積。

【0668】藉由上述製程，製造包括電晶體的樣本。

【0669】圖37A至圖37C是所試作的電晶體的結構的示意圖。圖37A是該電晶體的鳥瞰圖，圖37B是該電晶體的通道長度方向的剖面圖，圖37C是該電晶體的通道寬度方向的剖面圖。該電晶體具有與上述實施方式所示的電晶體200相同的結構，包括頂閘極電極（Top gate electrode（TGE））、頂閘極絕緣層（TGI）、背閘極電極（Back gate electrode（BGE））、背閘極絕緣層（Back gate insulator（BGI））、被用作源極或汲極的電極（S/D electrode）等。此外，該電晶體在通道形成區域含有具有CAAC結構的In-Ga-Zn氧化物（CAAC-IGZO）。注意，In-Ga-Zn氧化物與被用作源極或汲極的電極的疊層結構具有加工為島狀（Island）的結構。

【0670】注意，圖37A至圖37C所示的頂閘極電極（Top Gate Electrode）對應於導電體260a及導電體260b，背閘極電極（Back Gate Electrode）對應於導電體205，背閘極絕緣層（Back gate insulator）對應於絕緣體222及絕緣體224，被用作源極或汲極的電極（S/D Electrode）對應於導電體242a或導電體242b，包括CAAC-IGZO的活性層（也稱為半導體層）對應於氧化物230。此外，頂閘極絕緣層（TGI）對應於絕緣體252、絕緣體250及絕緣體254。

【0671】在包括在所製造的樣本中的電晶體中，包括CAAC-IGZO的活性層的厚度為25nm，頂閘極絕緣層的物理厚度為7nm。

【0672】

[平面觀察影像]

對加工絕緣體280的一部分等形成到達氧化物230b的開口之後的樣本拍攝了平面SEM影像。注意，在平面SEM影像的拍攝中使用由愛德萬測試公司製造的“E3310-SE02 WAFER MVM-SEM”。

【0673】圖38A示出所拍攝的平面SEM影像。注意，平面SEM影像的一部分對應於圖14A所示的俯視圖。此外，圖38B示出圖38A中以實線的矩形示出的區域的平面SEM影像的放大圖。圖38A以箭頭示出頂閘極（Top Gate）。注意，圖38A的箭頭所示的區域也可以說是藉由蝕刻設置的開口（Gate Trench Etching）。此外，圖38B的箭頭所示的區域是通道形成區域（Channel）。

【0674】

[剖面觀察影像]

對所製造的樣本藉由日立高新技術公司製造的“HD-2700”拍攝了剖面STEM影像。圖39A示出所製造的樣本的通道長度方向的剖面STEM影像，圖39B示出所製造的樣本的通道寬度方向的剖面STEM影像。圖39A是沿著圖38B中的A1-A2的虛線的部分的剖面圖，圖39B是沿著圖38B中的B1-B2的虛線的部分的剖面圖。注意，在圖39A及圖39B中，不對部分結構（例如，絕緣體271及絕緣體275等）附加符號。

【0675】注意，在圖39A及圖39B中，根據剖面STEM影像的觀察結果測量各組件的長度。從使用圖39A測量的結果可知，包括在樣本中的電晶體的通道長度方向的閘極長度（圖4A所示的寬度 L_g ）為6.7nm。此外，從使用圖39B測量的結果可知，包括在樣本中的氧化物230a及氧化物230b的介面的通道寬度方向的長度為29.3nm。

【0676】圖39C示出氧化物230b的通道形成區域及其附近的剖面STEM影像。注意，圖39C是圖39A的放大圖。在圖39C所示的剖面STEM影像中觀察到晶格像。

【0677】此外，在圖39C的點劃線所示的區域中，藉由進行快速傅立葉變換（FFT：Fast Fourier Transform）處理取得FFT圖案。注意，藉由進行FFT處理得到的FFT圖案具有反映了與電子繞射圖案同樣的倒格空間資訊的圖案。當對CAAC-OS沿垂直於其c軸的方向進行剖面STEM影像拍攝時，有可能在FFT影像中觀察到強度較高的兩個斑點。該兩個斑點的強度表示CAAC-OS的晶化程度，而連接該兩個斑點的線段的角度表示CAAC-OS的晶體配向。

【0678】圖39D示出所取得的FFT圖案。在圖39D所示的FFT圖案中，觀察到強度高的兩個點（圖39D的箭頭所示的點）。可以從連接該兩個點的線段的角度可確認到氧化物230b為CAAC-OS。

【0679】

[電特性評價]

對包括在所製造的樣本中的電晶體的電特性進行評價。這裡，作為電特性，測量Id-Vg特性。在Id-Vg特性的測量中，將汲極電壓Vd設定為0.1V或1.2V，將源極電壓Vs及背閘極電壓Vbg設定為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。

【0680】圖40A示出包括在所製造的樣本中的電晶體的Id-Vg特性。在圖40A中，第一縱軸及第二縱軸表示每通道寬度1 μ m的汲極電流（Drain current），橫軸表示閘極-源極間電壓（Vg）[V]。注意，左側的縱軸（第一縱軸）以對數刻度（Log）表示，單位為[A/ μ m]。右側的縱軸（第二縱軸）以線性刻度（Linear）表示，單位為[μ A/ μ m]。此外，在圖40A中，以實線示出汲極

電壓 V_d 為1.2V時的汲極電流 I_d （對數刻度），以虛線示出汲極電壓 V_d 為1.2V時的汲極電流 I_d （線性刻度）。

【0681】從圖40A可確認到包括在所製造的樣本中的電晶體具有常關閉特性且具有開關特性。明確而言，汲極電壓 V_d 為1.2V時的 V_{th} 為0.28V，SS為172mV/dec.， g_m 為3.8 μ S。注意，在本實施例中， V_{th} 定義為汲極電流 I_d 為1pA時的閘極-源極間電壓 V_g 。此外，SS為次臨界值斜率。此外， g_m 為互導。

【0682】圖40B示出與圖40A中示出其 I_d - V_g 特性的電晶體不同的電晶體的 I_d - V_g 特性。在圖40B中，左側的縱軸（第一縱軸）表示汲極電流（ I_d ）[A]，右側的縱軸（第二縱軸）表示場效移動率（ μ_{FE} ）[cm²/Vs]，橫軸表示 V_g [V]。此外，在圖40B中，實線表示汲極電壓 V_d 為1.2V時的汲極電流 I_d ，點劃線表示汲極電壓 V_d 為0.1V時的汲極電流 I_d ，虛線表示場效移動率。注意，場效移動率從將汲極電壓 V_d 設定為1.2V而測量的值算出。

【0683】從圖40A及圖40B可確認到包括在所製造的樣本中的電晶體示出良好的電特性。

【0684】接著，在所製造的樣本中，測量100mm²範圍內的三十六個電晶體的 I_d - V_g 特性而評價 V_{th} 的偏差。

【0685】圖41示出 V_{th} 的正態概率分佈圖。在圖41中，橫軸表示 V_{th} [V]，縱軸表示推定累積概率（%）。注意，作為推定累積概率（也稱為累積相對頻率）的計算方法舉出中位秩法、平均秩法、對稱樣本累積分佈法以及Kaplan-Meier法，可以適當地選擇即可。在本實施例中，使用中位秩法算出推定累積概率。

【0686】從圖41可知異常值的兩個電晶體以外的三十四個電晶體的 V_{th} 的標準差（ σ ）大約為134mV。

【0687】此外，作為電特性測量 I_d - V_d 特性。在 I_d - V_d 特性的測量中，將頂閘極電壓 V_g 設定為1.0V、1.2V、1.4V、1.6V、1.8V或2.0V，將源極電壓 V_s 及背閘極電壓 V_{bg} 設定為0V，對汲極電壓 V_d 從0V至2.5V以0.05V步驟進行掃描。該測量在室溫環境下進行。

【0688】圖47示出包括在所製造的樣本中的電晶體的 I_d - V_d 特性。在圖47中，縱軸表示每個通道寬度 $1\mu\text{m}$ 的汲極電流（Drain current） $[\mu\text{A}/\mu\text{m}]$ ，橫軸表示汲極-源極間電壓（ V_d ） $[\text{V}]$ 。

【0689】在本實施例中，製造通道長度方向的閘極長度及通道寬度方向的長度與上述樣本不同的多個樣本（樣本A1至樣本A3）。明確而言，樣本A1的通道長度方向的閘極長度為9.9nm。樣本A2的通道長度方向的閘極長度為14.3nm。樣本A3的通道長度方向的閘極長度為17.9nm。注意，上述樣本（通道長度方向的閘極長度為9.9nm，通道寬度方向的長度為32.6nm的樣本）稱為樣本A0。

【0690】注意，在樣本A0至樣本A3中，電晶體的結構（用於氧化物230及導電體260等的材料、形成方法等）相同。

【0691】圖42示出標繪出包括在樣本A0至樣本A3的每一個中的電晶體的 V_{th} 的圖。在圖42中，縱軸表示 $V_{th}[\text{V}]$ ，橫軸表示通道長度方向的閘極長度（Gate Length） $[\text{nm}]$ 。

【0692】從圖42確認不到 V_{th} 的通道長度方向的閘極長度 L_g 依賴性。因此可知，在本實施例中製造的電晶體，亦即，OS電晶體不容易產生短通道效應。

【0693】在本實施例中使用圖43A所示的電路進行電流測量。

【0694】如圖43A所示，佈線2000與電晶體M30的源極和汲極中的一個電連接，佈線2001與電晶體M30的閘極電連接，佈線2002與讀出電路R10的一個電連接。電晶體M30的源極和汲極中的另一個與節點FN電連接，讀出電路R10

的另一個端子與節點FN電連接，電晶體M22的源極和汲極中的一個與節點FN電連接。此外，佈線2003與電晶體M22的閘極電連接，佈線2004與電晶體M22的源極和汲極中的另一個電連接，佈線2005與電晶體M22的背閘極電連接。

【0695】電晶體M30是寫入用電晶體，電晶體M22是保持特性測量對象的電晶體。雖然圖43A中電晶體M22是一個電晶體，但是電晶體M22是將20000個包括在樣本A1中的電晶體（通道長度為9.9nm且通道寬度為32.6nm的電晶體）並列連接而成的電晶體。

【0696】接著，說明導出汲極電流值的方法。對佈線2001設定電位以使電晶體M30處於導通狀態，對佈線2000供應電位1.2V，將電荷積蓄在節點FN中來將電位設定為1.2V。然後，對佈線2001供應-3V的電位，使電晶體M30處於關閉狀態。將佈線2004的電位設定為0V且將佈線2005的電位設定為-3V，以使電晶體M22處於關閉狀態。與電晶體M22的閘極電連接的佈線2003的電位為-1.5V。保持上述狀態一定時間，在讀出電路R10讀出節點FN的電位的時間變化，從所讀出的值導出汲極電流值。藉由使用圖43A所示的電路可知關態電流值。

【0697】圖43B示出85°C、100°C及125°C的溫度環境下測量的關態電流 I_{off} 的測量結果。圖43B的橫軸示出溫度的倒數的1000倍的值（ $1000/T$ ）[1/K]，縱軸以對數示出每一個電晶體的關態電流 I_{off} [A/FET]。

【0698】從圖43B可知在85°C的溫度環境下每一個電晶體的關態電流 I_{off} 為5.3zA/FET，關態電流 I_{off} 充分小。

【0699】

[頻率特性]

對包括在所製造的樣本中的電晶體的頻率特性進行測量。明確而言，對該電晶體的通道長度的截止頻率及最大振盪頻率進行測量。在頻率特性的測量中，汲極電壓 V_d 為2.5V，頂閘極電壓 V_g 為1.5V。此外，測量在室溫環境下（在

第146頁，共 155 頁(發明說明書)

此，27°C的溫度環境下）進行。此外，使1000個該電晶體並聯連接進行測量。在此，對兩個電晶體的頻率特性進行測量。在第一電晶體中，通道長度方向的閘極長度為6.7nm，通道寬度方向的長度為29.3nm。在第二電晶體中，通道長度方向的閘極長度為9.9nm，通道寬度方向的長度為32.6nm。

【0700】圖44A示出頻率特性的測量環境。圖44A所示的測量裝置（Measurement equipments）包括網路分析儀（network analyzer）、直流電源（DC Power）以及探測器（Prober）。在頻率特性的測量中，作為網路分析儀準備由Keysight製造的N5247A。此外，作為直流電源準備第一直流電源（由ADCMT製造的6242）、第二直流電源（由ADCMT製造的6241A）以及第三直流電源（由kenwood製造的PW18-1.8AQ）。此外，作為探測器的探頭（PROBE HEAD）準備由FORMFACTOR製造的I67-A-GSG-100。注意，兩個探頭分別與網路分析儀的埠（port1、port2）連接。此外，網路分析儀的port1藉由網路分析儀與用來向port1供應電力的第一直流電源連接，該網路分析儀的port2藉由網路分析儀與用來向port2供應功率的第二直流電源連接。再者，與第三直流電源（BackGate）連接的一個探針接觸於後面說明的TEG。

【0701】在頻率特性的測量中準備三種TEG。圖44B示出所準備的TEG。如圖44B所示，準備DUT（Device Under Test）、OPEN及SHORT的三種TEG。圖44B示出三種TEG的電路圖以及DUT的平面圖及其放大圖。

【0702】SHORT用來去除串聯成分（Removal of series impedance）。此外，OPEN用來去除並聯成分（Removal of parallel impedance）。由此，測量焊盤等的寄生成分除外（de-embedding）而只抽出電晶體的頻率特性。

【0703】藉由網路分析儀測量S參數，從得到的S參數計算出截止頻率 f_T 、最大振盪頻率 f_{max} 。將截止頻率 f_T 定義為：電流放大率或藉由外推得到的電流放

大率是1時的頻率。電流放大率是H矩陣的非對角元，可以使用S參數以如下數學式（1）表示。

【0704】

[數學式1]

$$H_{21} = \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \quad (1)$$

【0705】將最大振盪頻率 $f_{\max}$ 定義為：功率放大率或藉由外推得到的功率放大率是1時的頻率。功率放大率可以使用最大有效功率增益（maximum available power gain）或最大單向功率增益（maximum unilateral power gain）。

【0706】最大有效功率增益MAG以如下數學式（2）表示。

【0707】

[數學式2]

$$\text{MAG} = \frac{|S_{21}|}{|S_{12}|} \left(K - \sqrt{K^2 - 1} \right) \quad (2)$$

【0708】在數學式（2）中，K為穩定係數（也稱為K因數），以如下數學式（3）表示。

【0709】

[數學式3]

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (3)$$

【0710】注意，可以在K大於1時使用以數學式（2）表示的最大有效功率增益MAG。換言之，在K小於1時，最大有效功率增益MAG不能以數學式（2）定義。在K小於1時，可以使用最大穩定增益MSG。最大穩定增益MSG以如下數學式（4）表示。

【0711】

[數學式4]

$$MSG = \frac{|S_{21}|}{|S_{12}|} \tag{4}$$

【0712】最大單向功率增益Ug以如下數學式（5）表示。

【0713】

[數學式5]

$$Ug = \frac{|S_{21}/S_{12} - 1|^2}{2K|S_{21}/S_{12}| - 2\text{Re}(S_{21}/S_{12})} \tag{5}$$

【0714】在本實施例中，最大振盪頻率f_{max}使用最大有效功率增益MAG及最大穩定增益MSG算出。

【0715】圖45A及圖48A示出上述第一電晶體（通道長度方向的閘極長度為6.7nm，通道寬度方向的長度為29.3nm）的截止頻率的測量結果。在圖45A及圖48A中，縱軸表示電流增益（ | H21 | ）[dB]，橫軸表示頻率（Frequency）[GHz]。此外，圖45A及圖48A所示的實線表示對於頻率的電流增益的實測，圖45A及圖48A所示的虛線表示對於頻率的電流增益的實測的外推。電流放大率為1，亦即，電流增益 | H21 | 為0dB的頻率藉由外推求出，得到截止頻率f_t。注意，在圖45A及圖48A中，對於頻率的電流增益的實測的標繪範圍不同。

【0716】圖48B示出最大振盪頻率的測量結果。在圖48B中，縱軸表示電流增益（Gain）[dB]，橫軸表示頻率（Frequency）[GHz]。在小於22GHz的頻率中示出最大穩定增益MSG的值，在大於22GHz的頻率中示出最大有效功率增益MAG的值。此外，求出功率放大率為1，亦即，增益為0dB的頻率得到最大振盪頻率f_{max}。

【0717】從測量結果估計出上述第一電晶體（通道長度方向的閘極長度為6.7nm，通道寬度方向的長度為29.3nm）的截止頻率f_t為119GHz，第二電晶體的最大振盪頻率f_{max}為14.7GHz。此外，估計出上述第二電晶體（通道長度方向

的閘極長度為9.9nm，通道寬度方向的長度為32.6nm）的截止頻率 f_T 為124GHz。

【0718】由此可確認到，包括在所製造的樣本中的電晶體微型且具有良好的電特性。此外，該電晶體具有優良的頻率特性。

【0719】在圖45B中，橫軸標繪出閘極長度（gate length）[nm]，縱軸標繪出截止頻率 f_T [GHz]。圖45B的四角點表示對於在本實施例中製造的電晶體的閘極長度的截止頻率的測量結果。注意，圖45B的四角點以外的點（圓點、叉點、星號、菱形點、三角點及十字點）參考被報告的電晶體及市售的電晶體的截止頻率的測量結果表示。

【0720】在圖46中，橫軸標繪出報告的年，縱軸標繪出閘極長度（gate length）[nm]。圖46的四角點是在本實施例中製造的電晶體的閘極長度（this work）。注意，圖46的圓點是參考過去本公司試作的電晶體或被報告的電晶體的閘極長度表示的。

【0721】

[電晶體的閘極長度依賴性]

在本節中，說明電晶體的閘極長度依賴性。明確而言，製造電晶體的閘極長度及通道寬度不同的樣本評價電晶體的電特性。

【0722】包括在所製造的樣本中的電晶體的結構除了閘極長度及通道寬度以外與上述[樣本的製造]中說明的電晶體的結構相同。在本節中，製造八個電晶體（電晶體901至電晶體908）。

【0723】在電晶體901、902、903、904中，通道長度分別為6nm、11nm、16nm、21nm，通道寬度（設計值）都為20nm。在電晶體905、906、907、908中，通道長度分別為36nm、41nm、56nm、66nm，通道寬度（設計值）都為60nm。

【0724】對上述八個電晶體的電特性進行評價。在此，作為電特性，測量 I_d - V_g 特性。在 I_d - V_g 特性的測量中，將汲極電壓 V_d 設定為0.1V或1.2V，將源極電壓 V_s 及背閘極電壓 V_{bg} 設定為0V，對汲極電壓 V_d 從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。

【0725】圖49A至圖49D、圖50A至圖50D示出所製造的電晶體的 I_d - V_g 特性。在圖49A至圖49D、圖50A至圖50D中，左側的縱軸（第一縱軸）表示汲極電流（ I_d ）[A]，右側的縱軸（第二橫軸）表示場效移動率（ μ_{FE} ）[cm^2/Vs]，橫軸表示 V_g [V]。此外，在圖49A至圖49D、圖50A至圖50D中，實線表示汲極電壓 V_d 為1.2V時的汲極電流 I_d ，點劃線表示汲極電壓 V_d 為0.1V時的汲極電流 I_d ，虛線表示場效移動率。注意，場效移動率從將汲極電壓 V_d 設定為1.2V而測量的值算出。

【0726】圖49A至圖49D分別是電晶體901至電晶體904的 I_d - V_g 特性，圖50A至圖50D分別是電晶體905至電晶體908的 I_d - V_g 特性。從圖49A至圖49D、圖50A至圖50D可知在所製造的電晶體中可以得到良好的開關特性。

【0727】

[電晶體的疊層]

如在實施方式2中說明那樣，可以層疊包括OS電晶體的單元陣列。也就是說，可以層疊OS電晶體（也稱為OSFET）。在本節中，製造層疊OSFET的樣本評價包括在各層中的OS電晶體的電特性。

【0728】圖51示出所製造的樣本的結構的示意圖。如圖51所示，樣本具有層疊有兩層包括OSFET的層。注意，在第一層（1st-layer）與第二層（2nd-layer）之間設置中繼層（Relay Layer）。

【0729】第一層及第二層的每一個所包括的OS電晶體（OSFET）包括氧化物半導體（OS）、源極電極及汲極電極（S/D）、第一閘極電極（TGE）、第

一閘極絕緣體（TGI）、第二閘極電極（BGE）及第二閘極絕緣體（BGI）。注意，第一層及第二層的每一個所包括的OSFET的結構可以參照圖2B所示的電晶體200的結構例子。

【0730】此外，中繼層中設置有中繼佈線（Relay wiring），中繼佈線藉由插頭（Via）與第一層的OSFET所包括的源極電極和汲極電極中的一個電連接。

【0731】對包括在所製造的樣本中的電晶體的電特性進行評價。這裡，作為電特性，測量Id-Vg特性。在Id-Vg特性的測量中，將汲極電壓Vd設定為0.1V或1.2V，將源極電壓Vs及背閘極電壓Vbg設定為0V，對頂閘極電壓Vg從-4V到+4V以0.1V步驟進行掃描。該測量在室溫環境下進行。注意，Id-Vg特性在形成第二層之後進行測量。

【0732】圖52A及圖52B示出電晶體的Id-Vg特性。在圖52A及圖52B中，左側的縱軸（第一縱軸）表示汲極電流（Id）[A]，右側的縱軸（第二縱軸）表示場效移動率（ μ_{FE} ）[cm²/Vs]，橫軸表示Vg[V]。此外，在圖52A及圖52B中，實線表示汲極電壓Vd為1.2V時的汲極電流Id，點劃線表示汲極電壓Vd為0.1V時的汲極電流Id，虛線表示場效移動率。注意，場效移動率從將汲極電壓Vd設定為1.2V而測量的值算出。注意，圖52A是第二層的OSFET的Id-Vg特性，圖52B是第一層的OSFET的Id-Vg特性。

【0733】從所測量的Id-Vg特性算出漂移電壓（Vsh）、次臨界擺幅值（S值）、通態電流（Ion）。漂移電壓（Vsh）定義為：在電晶體的汲極電流（Id）-閘極電壓（Vg）曲線中，曲線上的傾斜度最大的點的切線與Id=1pA的直線交叉的Vg。表1示出第二層的OSFET的Vsh、S值及Ion，表2示出第一層的OSFET的Vsh、S值及Ion。

【0734】

[表1]

Vsh	中央值	0.55 V
	偏差(σ)	57 mV
S值	中央值	105 mV/dec.
Ion	中央值	2.8 μ A

【0735】

[表2]

Vsh	中央值	0.56 V
	偏差(σ)	80 mV
S值	中央值	96 mV/dec.
Ion	中央值	0.8 μ A

【0736】從圖52A及圖52B以及表1及表2可確認到包括在所製造的樣本中的電晶體具有良好的電特性。

【0737】本實施例所示的構成、結構或方法等可以與其他實施方式等所示的構成、結構或方法等適當地組合而使用。

【符號說明】

【0738】

FN:節點、M22:電晶體、M30:電晶體、R10:讀出電路、100:電容器、110:導電體、112:導電體、115:導電體、120:導電體、125:導電體、130:絕緣體、140:導電體、142:絕緣體、145:絕緣體、150:絕緣體、152:絕緣體、153:導電體、154:絕緣體、156:絕緣體、200:電晶體、200a:電晶體、200b:電晶體、205:導電體、205a:導電體、205b:導電體、210:絕緣體、212:絕緣體、214:絕緣體、216:絕緣體、217:絕緣體、218:導電體、222:絕緣體、224:絕緣體、224A:絕緣膜、230:氧化物、230a:氧化物、230A:氧化膜、230b:氧化物、230B:氧化膜、230ba:區域、230bb:區域、230bc:區域、240:導電體、240a:導電體、240b:導電體、241:絕緣

體、241a:絕緣體、241b:絕緣體、242:導電體、242a:導電體、242a1:導電體、
 242a2:導電體、242A:導電膜、242b:導電體、242b1:導電體、242b2:導電體、
 242B:導電層、242c:導電體、243:氧化物、243a:氧化物、243b:氧化物、244a:
 層、244b:層、246:導電體、246a:導電體、246b:導電體、250:絕緣體、250a:絕
 緣體、250A:絕緣膜、250b:絕緣體、252:絕緣體、252A:絕緣膜、254:絕緣體、
 254A:絕緣膜、256:絕緣體、260:導電體、260a:導電體、260b:導電體、265:密封
 部、271:絕緣體、271a:絕緣體、271A:絕緣膜、271b:絕緣體、271B:絕緣層、
 271c:絕緣體、274:絕緣體、275:絕緣體、280:絕緣體、282:絕緣體、282a:絕緣
 體、282b:絕緣體、283:絕緣體、283a:絕緣體、283b:絕緣體、285:絕緣體、290:
 記憶體器件、292:電容器件、292a:電容器件、292b:電容器件、294:導電體、
 294a:導電體、294b:導電體、300:電晶體、311:基板、313:半導體區域、314a:低
 電阻區域、314b:低電阻區域、315:絕緣體、316:導電體、320:絕緣體、322:絕緣
 體、324:絕緣體、326:絕緣體、328:導電體、330:導電體、350:絕緣體、352:絕
 緣體、354:絕緣體、356:導電體、400:開口區域、500:半導體裝置、600:半導體
 裝置、601:半導體裝置、610:單元陣列、610_n:單元陣列、610_1:單元陣列、
 700:電子構件、702:印刷電路板、704:電路板、711:模子、712:連接盤、713:電
 極焊盤、714:引線、720:記憶體裝置、721:驅動電路層、722:記憶體電路層、
 730:電子構件、731:插板、732:封裝基板、733:電極、735:半導體裝置、901:電
 晶體、902:電晶體、903:電晶體、904:電晶體、905:電晶體、906:電晶體、907:
 電晶體、908:電晶體、1001:佈線、1002:佈線、1003:佈線、1004:佈線、1005:佈
 線、1006:佈線、1100:USB記憶體、1101:外殼、1102:蓋子、1103:USB連接器、
 1104:基板、1105:記憶體晶片、1106:控制器晶片、1110:SD卡、1111:外殼、
 1112:連接器、1113:基板、1114:記憶體晶片、1115:控制器晶片、1150:SSD、
 1151:外殼、1152:連接器、1153:基板、1154:記憶體晶片、1155:記憶體晶片、

1156:控制器晶片、1200:晶片、1201:封裝基板、1202:凸塊、1203:主機板、
 1204:GPU模組、1211:CPU、1212:GPU、1213:類比運算部、1214:記憶體控制
 器、1215:介面、1216:網路電路、1221:DRAM、1222:快閃記憶體、1400:記憶體
 裝置、1411:週邊電路、1420:行電路、1430:列電路、1440:輸出電路、1460:控制
 邏輯電路、1470:記憶單元陣列、1471:記憶單元、1472:記憶單元、1473:記憶單
 元、1474:記憶單元、1475:記憶單元、1476:記憶單元、1477:記憶單元、1478:記
 憶單元、2000:佈線、2001:佈線、2002:佈線、2003:佈線、2004:佈線、2005:佈
 線、2700:製造裝置、2701:大氣側基板供應室、2702:大氣側基板傳送室、
 2703a:負載鎖定室、2703b:卸載閉鎖室、2704:傳送室、2706a:處理室、2706b:處
 理室、2706c:處理室、2706d:處理室、2761:盒、2762:對準機、2763a:傳送機器
 人、2763b:傳送機器人、2801:氣體供應源、2802:閥、2803:高頻產生器、2804:
 波導管、2805:模式轉換器、2806:氣體管、2807:波導管、2808:縫隙天線板、
 2809:電介質板、2810:高密度電漿、2811:基板、2811_n:基板、2811_n-1:基板、
 2811_n-2:基板、2811_1:基板、2811_2:基板、2811_3:基板、2812:基板支架、
 2813:加熱機構、2815:匹配器、2816:高頻電源、2817:真空泵、2818:閥、2819:
 排氣口、2820:燈、2821:氣體供應源、2822:閥、2823:氣體導入口、2824:基板、
 2825:基板支架、2826:加熱機構、2828:真空泵、2829:閥、2830:排氣口、2900:
 微波處理裝置、2901:石英管、2902:基板支架、2903:加熱單元、5100:資訊終
 端、5101:外殼、5102:顯示部、5200:筆記本式資訊終端、5201:主體、5202:顯示
 部、5203:鍵盤、5300:可攜式遊戲機、5301:外殼、5302:外殼、5303:外殼、
 5304:顯示部、5305:連接部、5306:操作鍵、5400:固定式遊戲機、5402:控制器、
 5500:超級電腦、5501:機架、5502:電腦、5504:基板、5701:顯示面板、5702:顯
 示面板、5703:顯示面板、5704:顯示面板、5800:電冷藏冷凍箱、5801:外殼、
 5802:冷藏室門、5803:冷凍室門

【發明申請專利範圍】

【請求項1】一種包括電晶體的半導體裝置，

其中，該電晶體包括：

氧化物；

該氧化物上的第一導電體及第二導電體；

該第一導電體及該第二導電體上的具有開口的第一絕緣體；

該第一絕緣體所具有的開口內的第二絕緣體；

該第二絕緣體上的第三絕緣體；

該第三絕緣體上的第四絕緣體；以及

該第四絕緣體上的第三導電體，

該第一絕緣體所具有的開口包括與該氧化物重疊的區域，

該第三導電體包括隔著該第二絕緣體、該第三絕緣體及該第四絕緣體與該氧化物重疊的區域，

該第二絕緣體包括與該氧化物的頂面及該第一絕緣體所具有的開口的側壁接觸的區域，

該第二絕緣體包括其厚度比該第三絕緣體小的區域，

該第四絕緣體與該第三絕緣體相比不容易透過氧，

並且，在該電晶體的通道長度方向的剖面中，該第三導電體包括寬度為3nm以上且15nm以下的區域。

【請求項2】一種包括電晶體的半導體裝置，

其中，該電晶體包括：

氧化物；

該氧化物上的第一導電體及第二導電體；

該第一導電體及該第二導電體上的具有開口的第一絕緣體；
該第一絕緣體所具有的開口內的第二絕緣體；
該第二絕緣體上的第三絕緣體；
該第三絕緣體上的第四絕緣體；以及
該第四絕緣體上的第三導電體，
該第一絕緣體所具有的開口包括與該氧化物重疊的區域，
該第三導電體包括隔著該第二絕緣體、該第三絕緣體及該第四絕緣體
與該氧化物重疊的區域，
該第二絕緣體包括與該氧化物的頂面及該第一絕緣體所具有的開口的
側壁接觸的區域，
該第二絕緣體包括其厚度比該第三絕緣體小的區域，
該第四絕緣體與該第三絕緣體相比不容易透過氧，
在該電晶體的通道長度方向的剖面中，該第三導電體包括寬度為3nm以
上且15nm以下的區域，
並且，在該電晶體的通道長度方向的剖面中，該第一導電體的下端部
與該第二導電體的下端部之間的距離為10nm以上且小於40nm。

【請求項3】一種包括電晶體的半導體裝置，

其中，該電晶體包括：

氧化物；

該氧化物上的第一導電體及第二導電體；

該第一導電體及該第二導電體上的具有開口的第一絕緣體；

該第一絕緣體所具有的開口內的第二絕緣體；

該第二絕緣體上的第三絕緣體；

該第三絕緣體上的第四絕緣體；

第2頁，共 4 頁(發明申請專利範圍)

該第四絕緣體上的第三導電體；以及

第五絕緣體，

該第一絕緣體所具有的開口包括與該氧化物重疊的區域，

該第三導電體包括隔著該第二絕緣體、該第三絕緣體及該第四絕緣體與該氧化物重疊的區域，

該第二絕緣體包括與該氧化物的頂面及該第一絕緣體所具有的開口的側壁接觸的區域，

該第二絕緣體包括其厚度比該第三絕緣體小的區域，

該第四絕緣體與該第三絕緣體相比不容易透過氧，

在該電晶體的通道長度方向的剖面中，該第三導電體包括寬度為3nm以上且15nm以下的區域，

該第五絕緣體設置在該第一導電體及該第二導電體與該第一絕緣體之間，

該第五絕緣體包括與該第一絕緣體所具有的開口重疊的開口，

該第五絕緣體與該第三絕緣體相比不容易透過氧，

該第五絕緣體包括與該氧化物的側面、該第一導電體的側面及該第二導電體的側面接觸的區域，

該第二絕緣體包括與該第五絕緣體所具有的開口的側壁接觸的區域，

該氧化物包含銮、鋅以及選自鎵、鋁和錫中的一個或多個，

該氧化物具有結晶，

並且，該結晶的c軸大致垂直於該氧化物的表面或被形成面。

【請求項4】如請求項1至3中任一項之半導體裝置，

其中該第三導電體是第四導電體及該第四導電體上的第五導電體的疊層體，

並且該第一導電體、該第二導電體及該第五導電體都包含金屬及氮。

【請求項5】如請求項4之半導體裝置，

其中該電晶體包括第一層及第二層，

該第一層位於該第一導電體與該第二絕緣體之間，

該第二層位於該第二導電體與該第二絕緣體之間，

該第一層的通道長度方向的長度比該寬度小，

該第二層的通道長度方向的長度比該寬度小，

並且該第一層及該第二層都包含該金屬及氧。

【請求項6】如請求項1至5中任一項之半導體裝置，

其中該第三導電體的底面包括平坦的區域，

並且該寬度是該平坦的區域的寬度。

【請求項7】如請求項1至5中任一項之半導體裝置，

其中該第三導電體具有曲率中心位於該第三導電體內的圓弧狀的底面，

並且該寬度是包括該曲率中心且平行於該氧化物的底面的直線與該第三導電體重疊的區域的寬度。

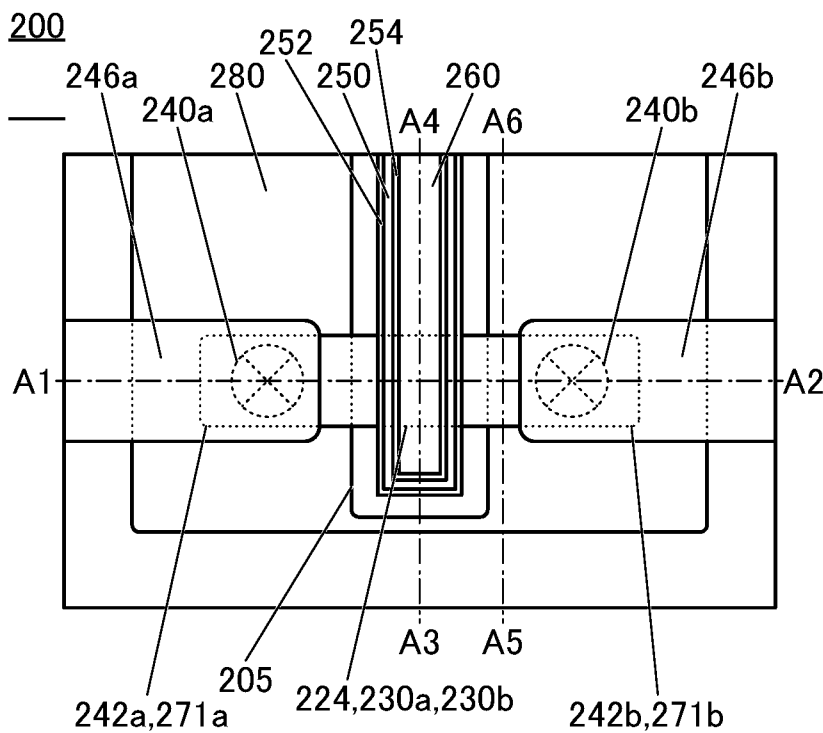
【請求項8】如請求項1至7中任一項之半導體裝置，

其中該氧化物包括該氧化物的與該第三導電體重疊的區域的厚度比該氧化物的與該第一導電體重疊的區域的厚度小的區域。

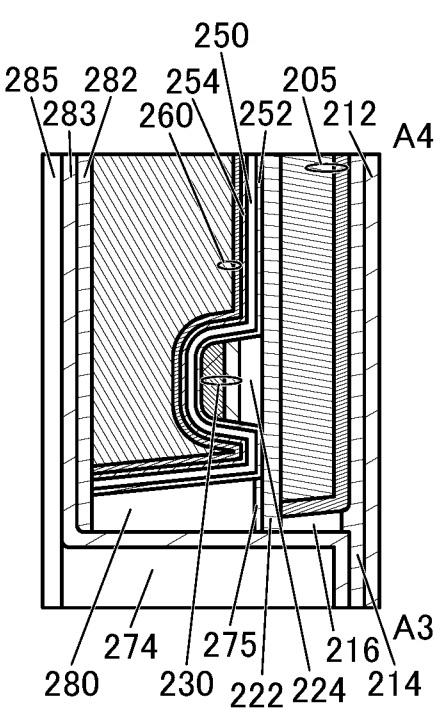
【請求項9】如請求項1至8中任一項之半導體裝置，

其中該電晶體的截止頻率在室溫環境下為100GHz以上。

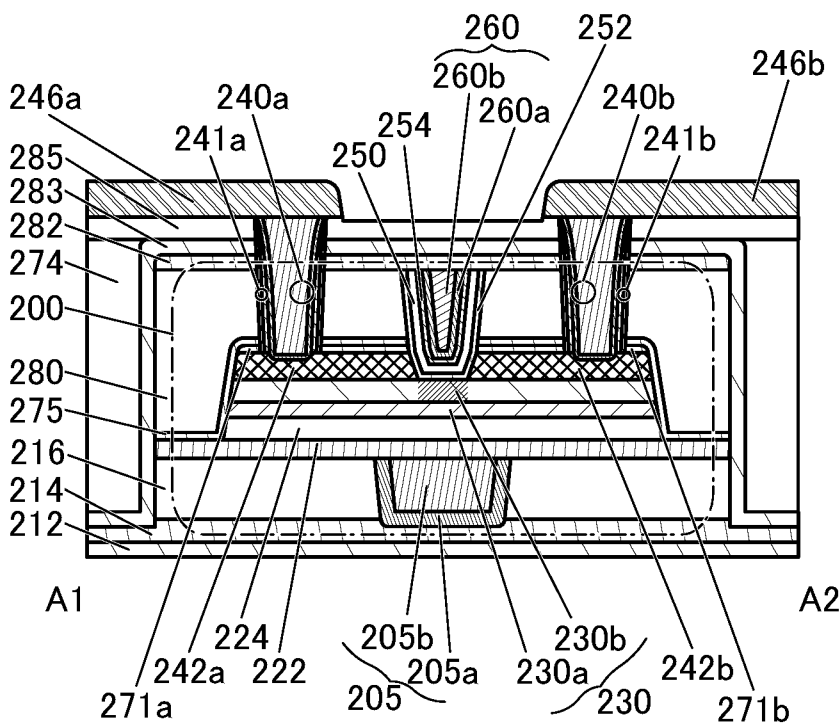
【發明圖式】



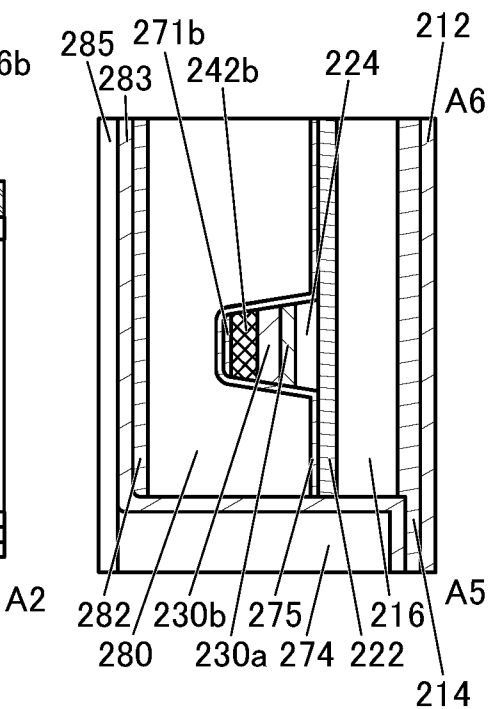
【圖1A】



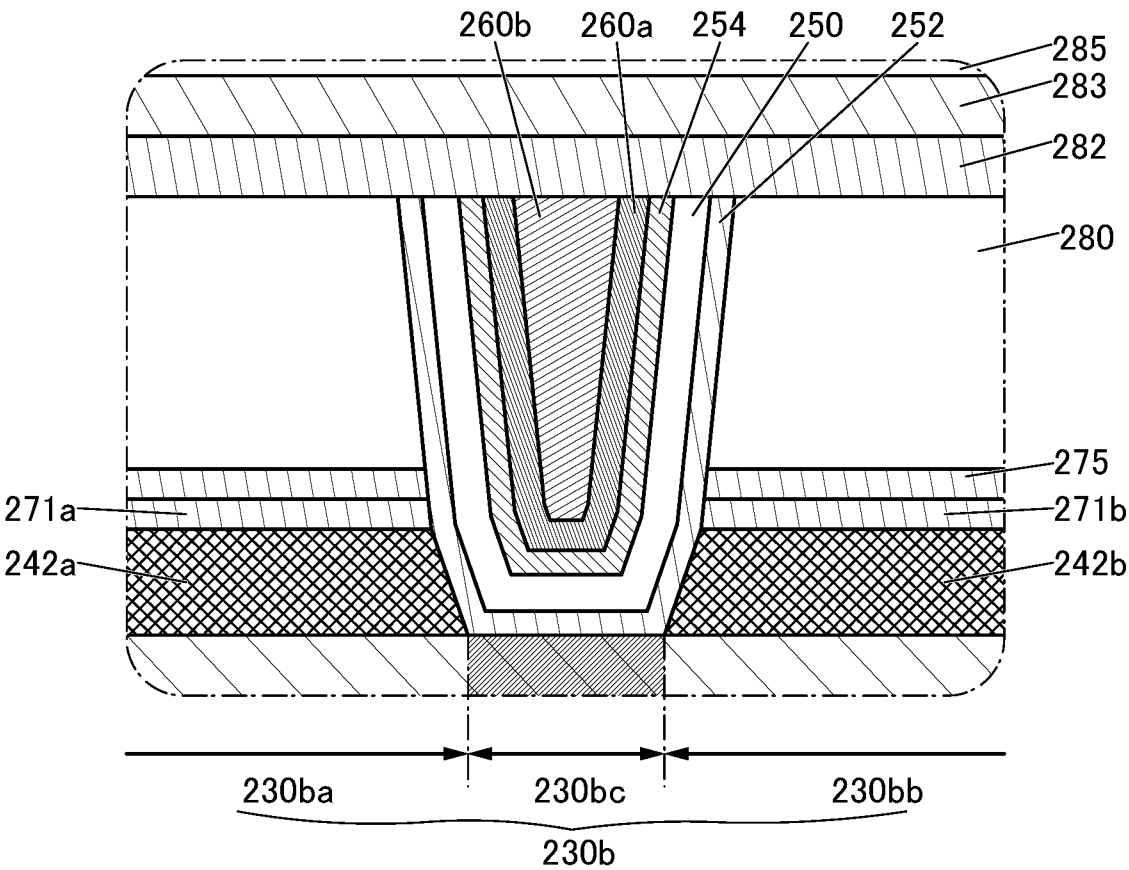
【圖1C】



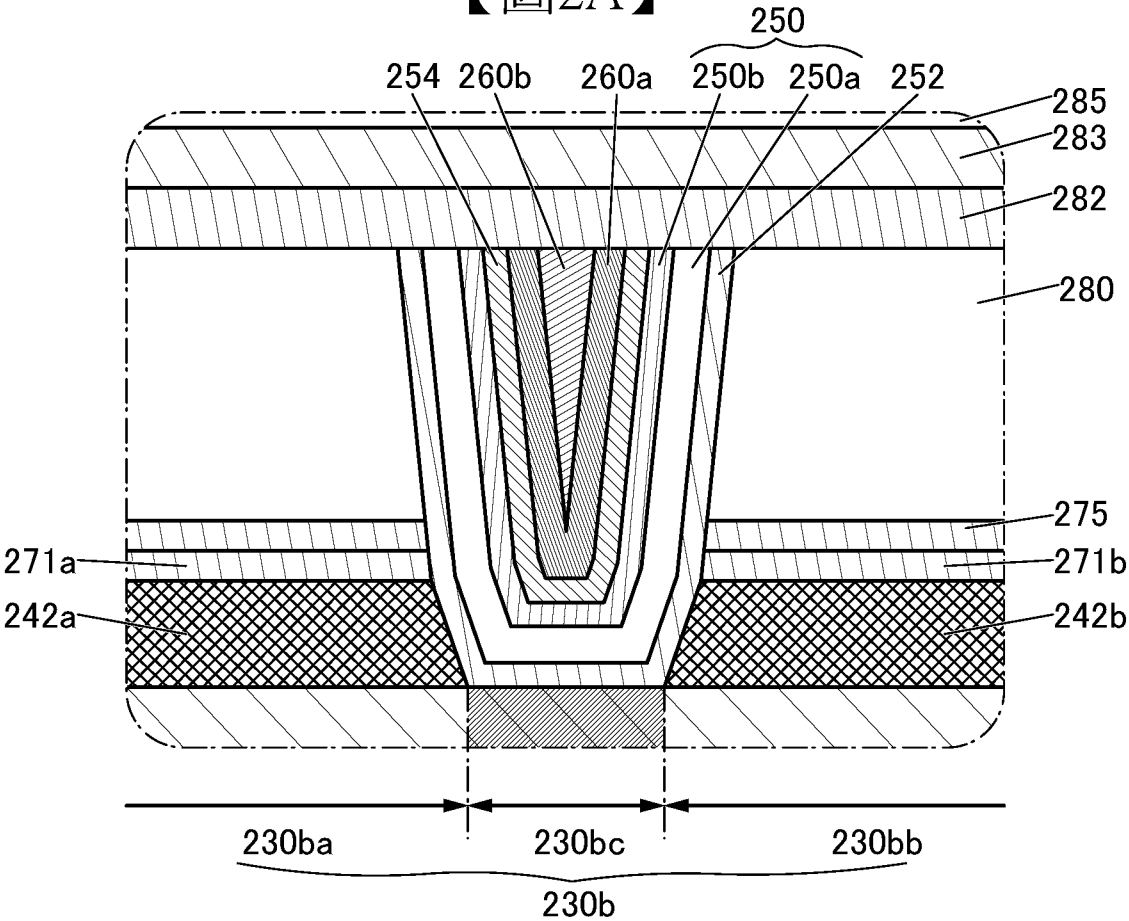
【圖1B】



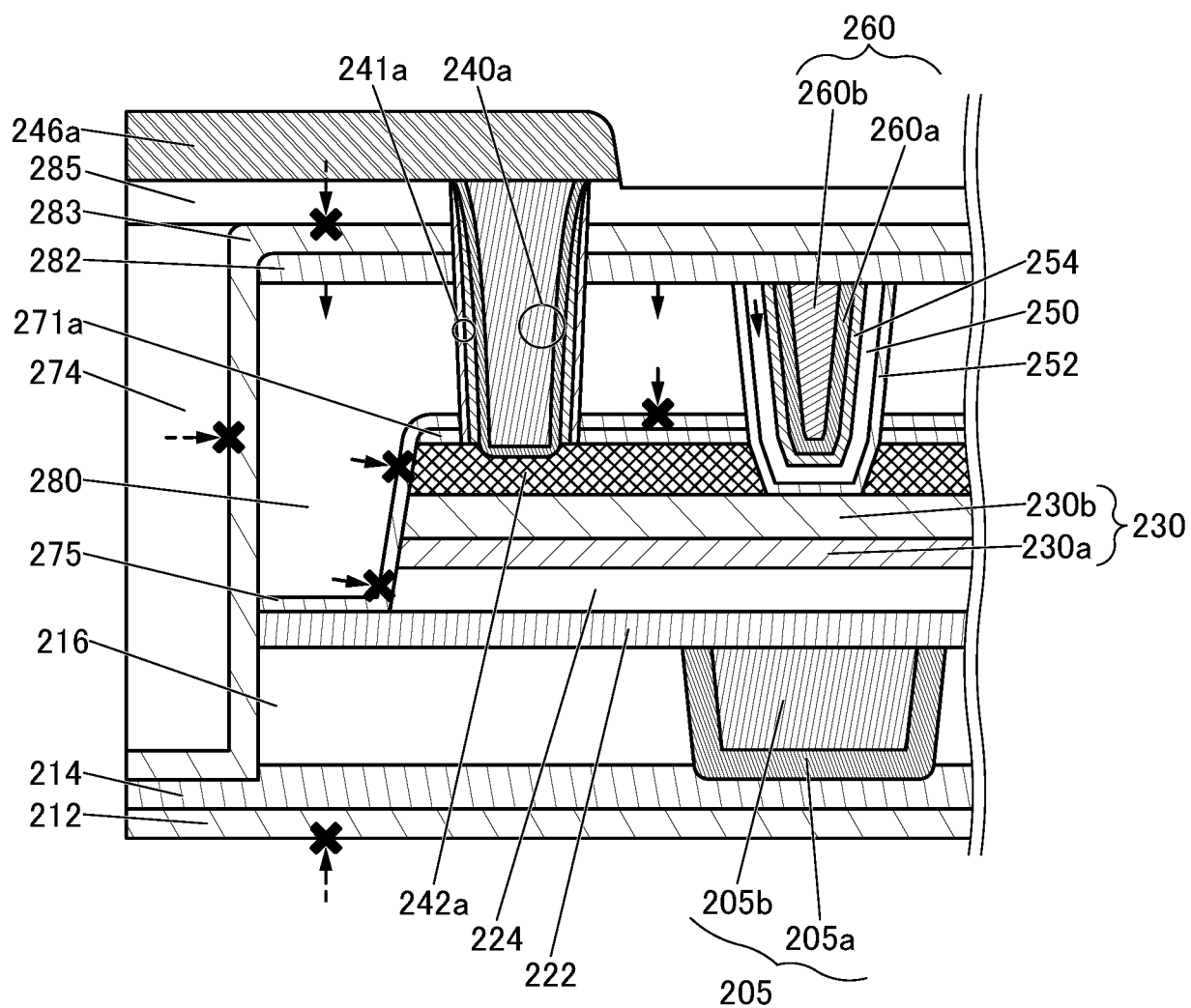
【圖1D】



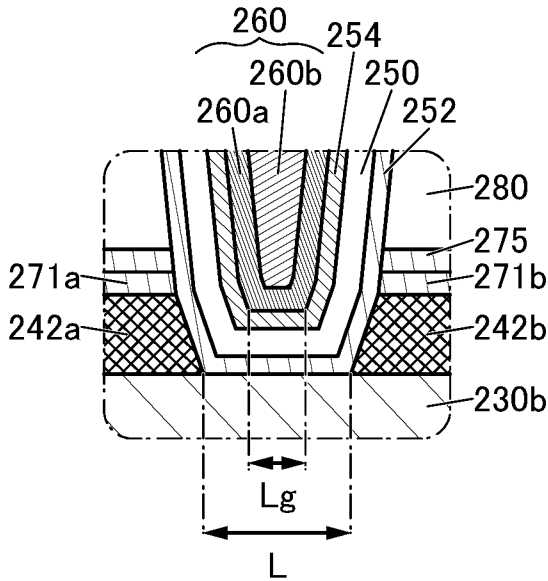
【圖2A】



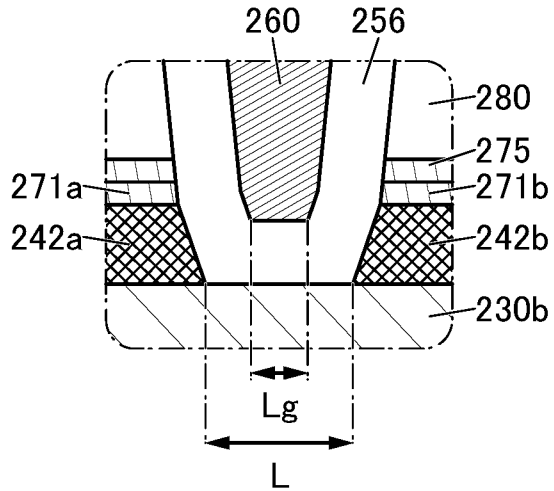
【圖2B】



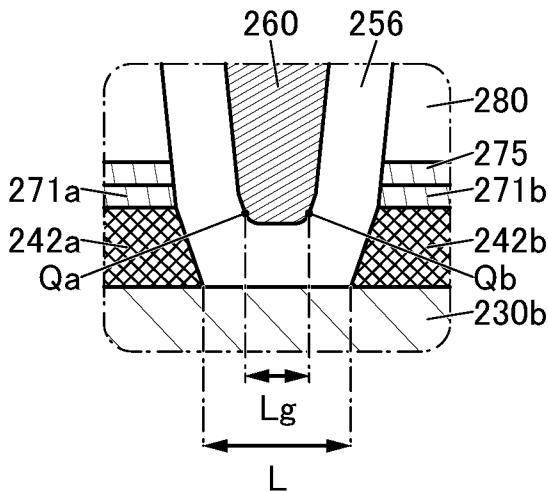
【圖3】



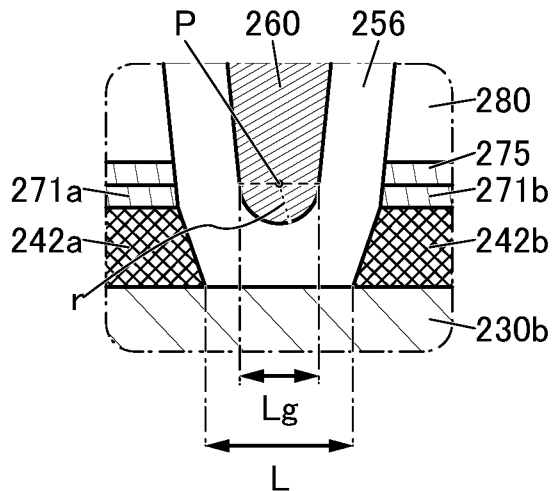
【圖4A】



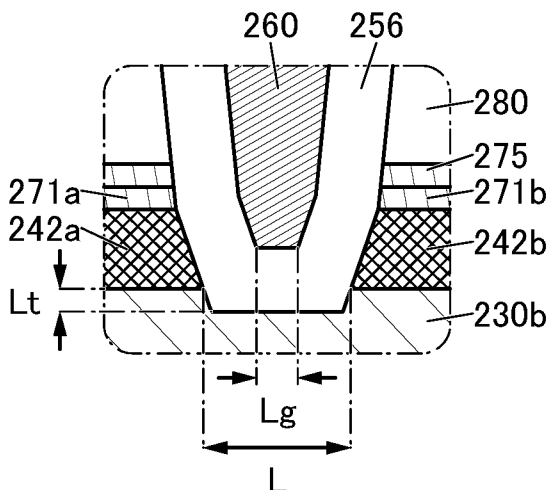
【圖4B】



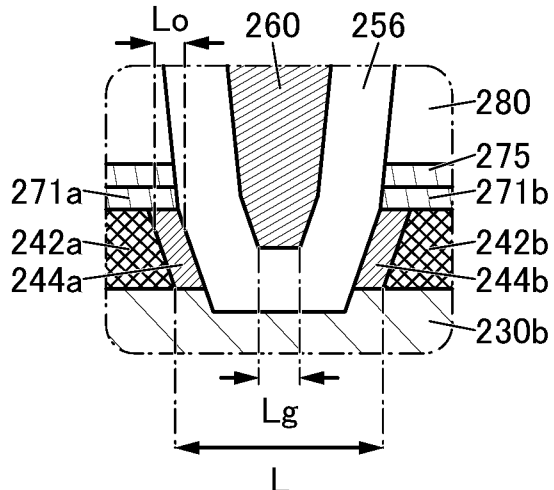
【圖4C】



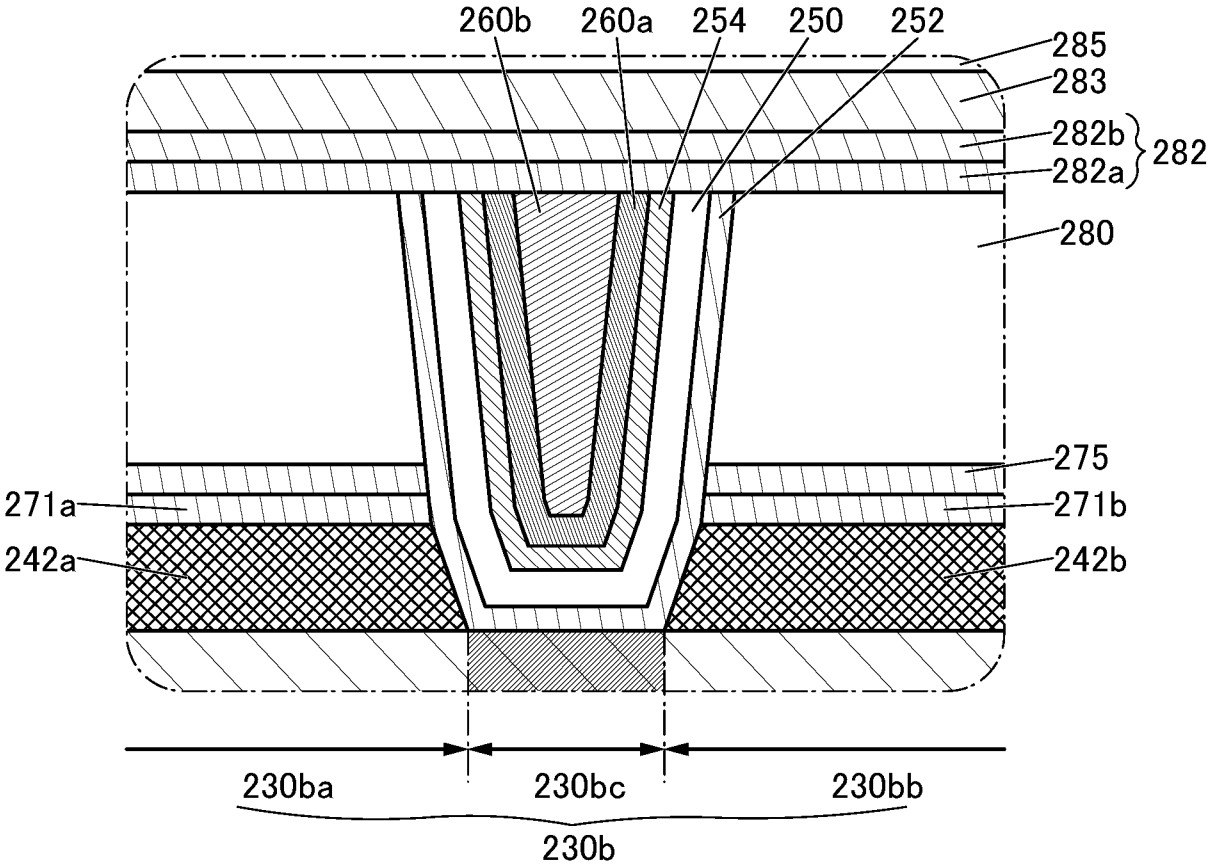
【圖4D】



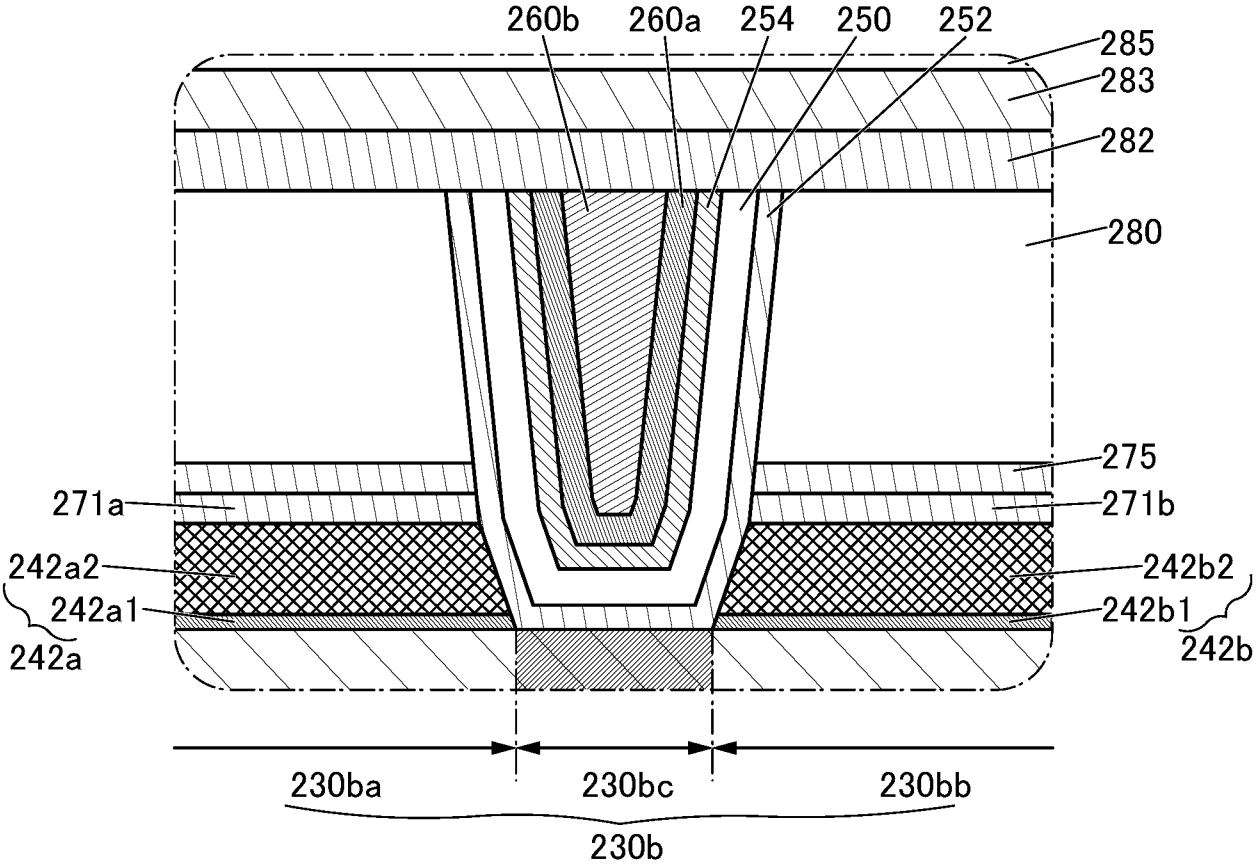
【圖4E】



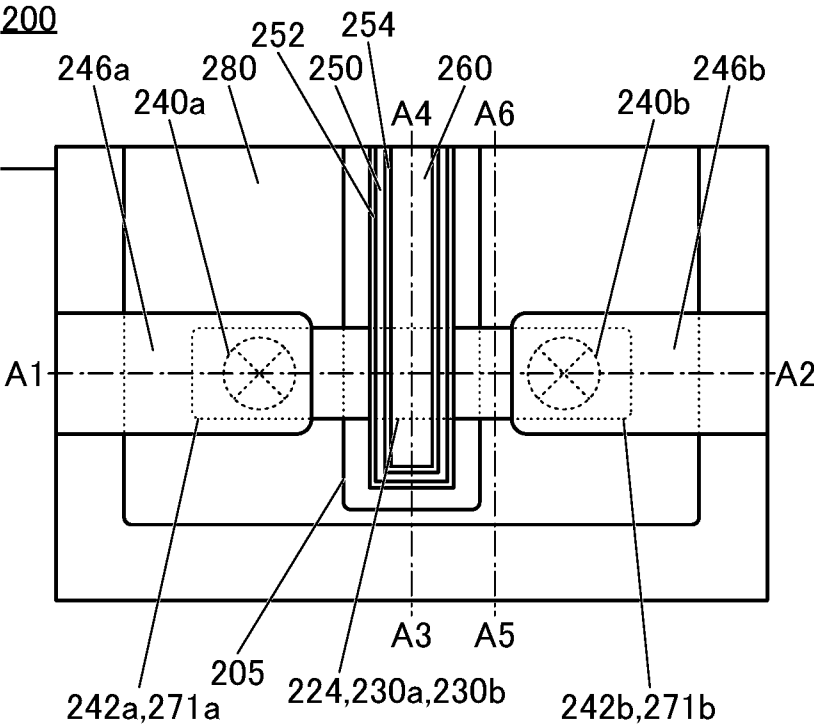
【圖4F】



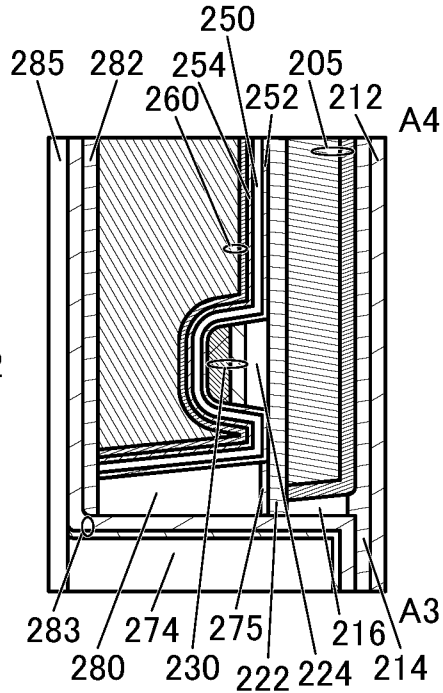
【圖5A】



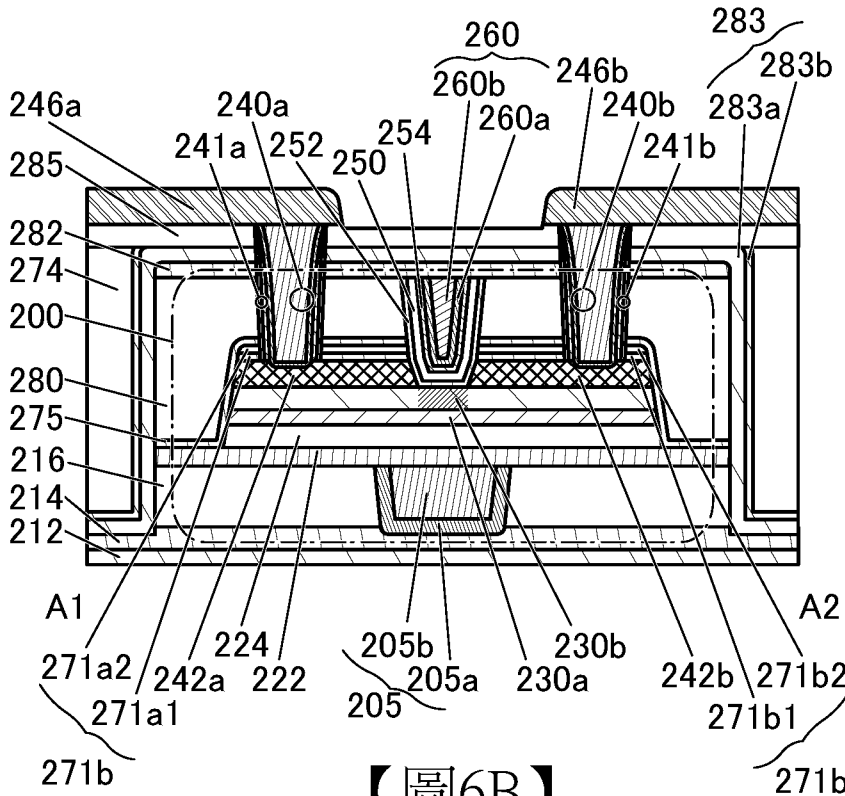
【圖5B】



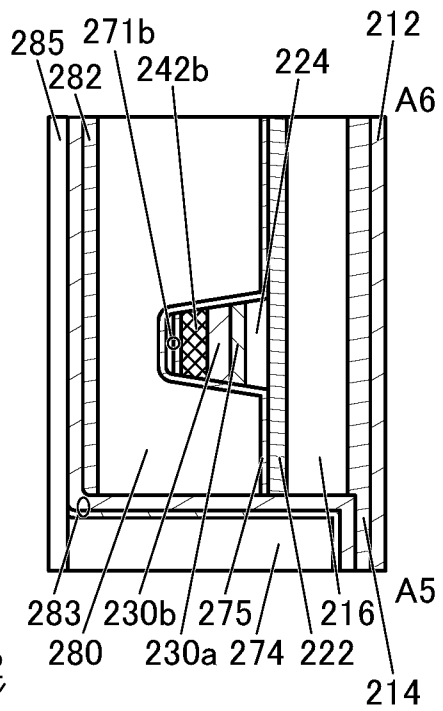
【圖6A】



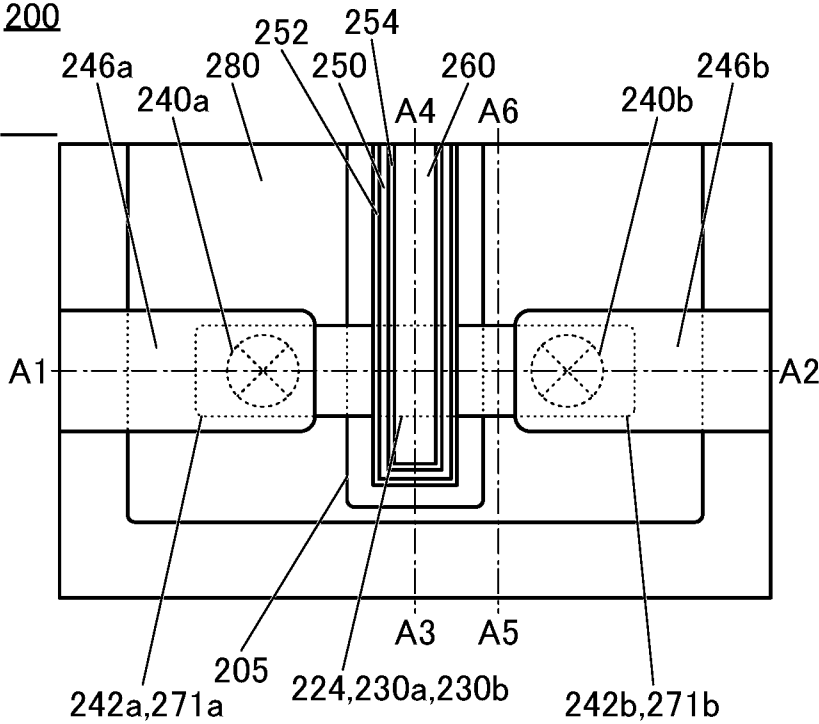
【圖6C】



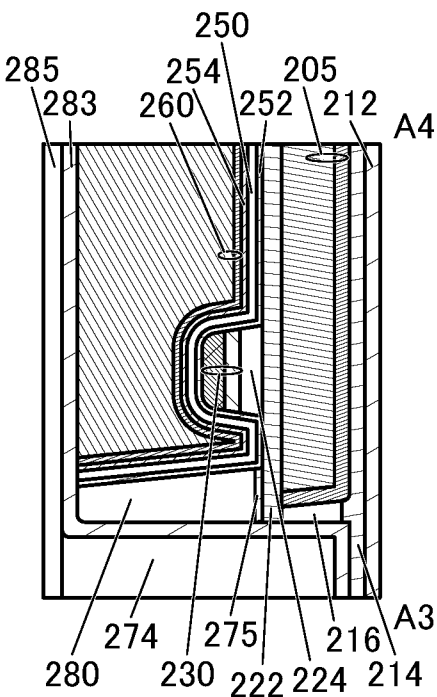
【圖6B】



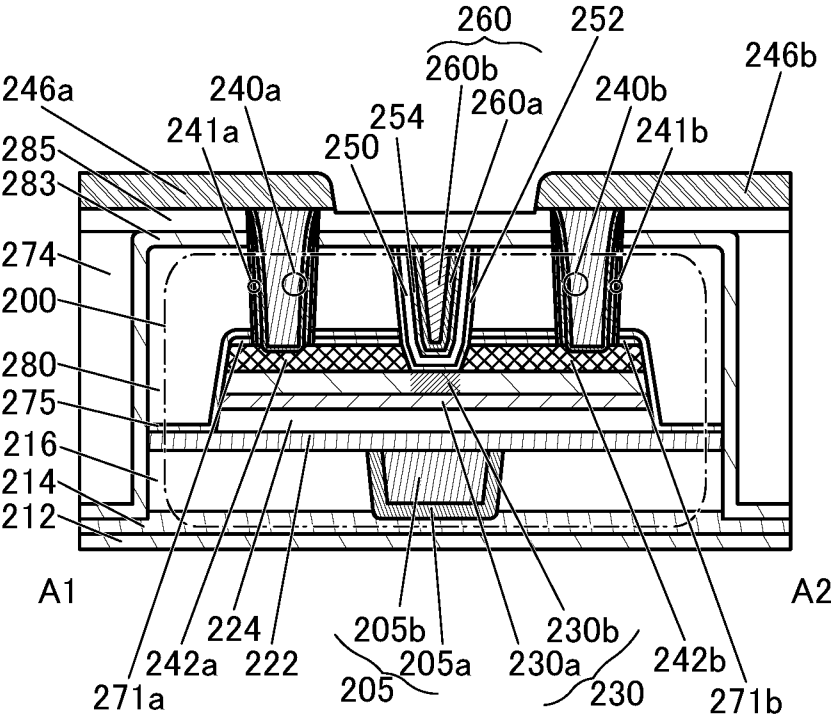
【圖6D】



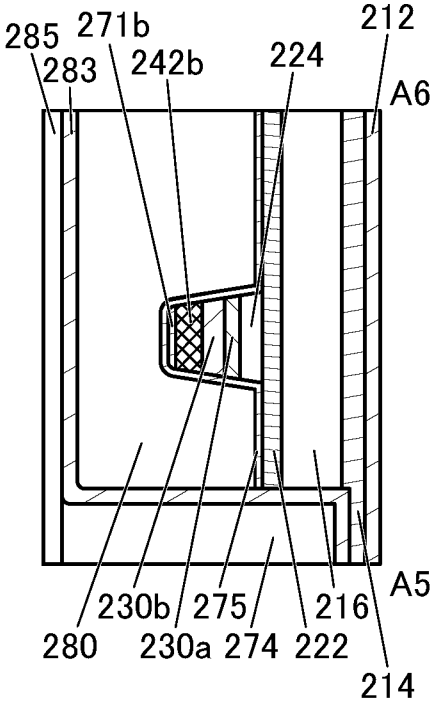
【圖7A】



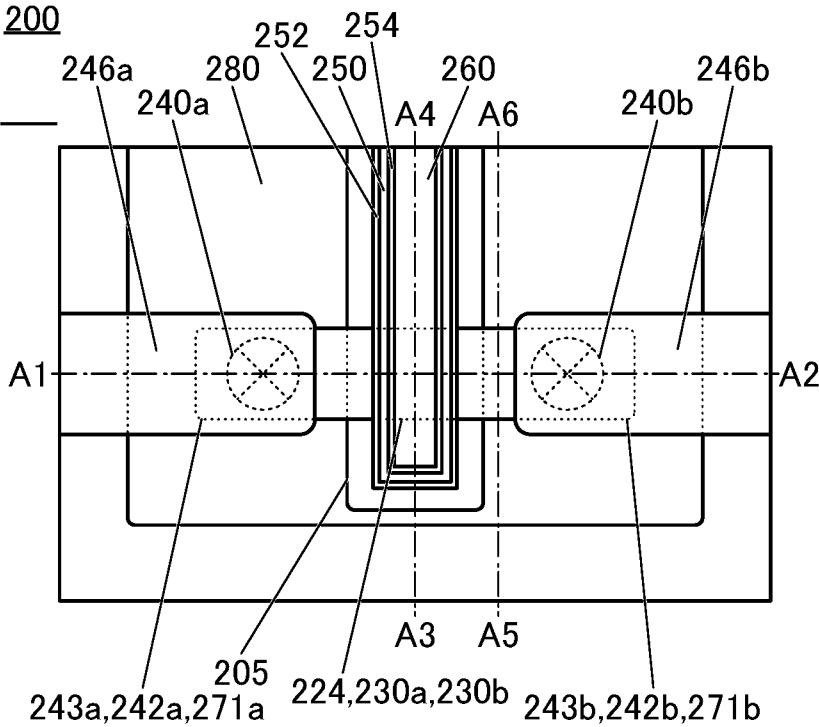
【圖7C】



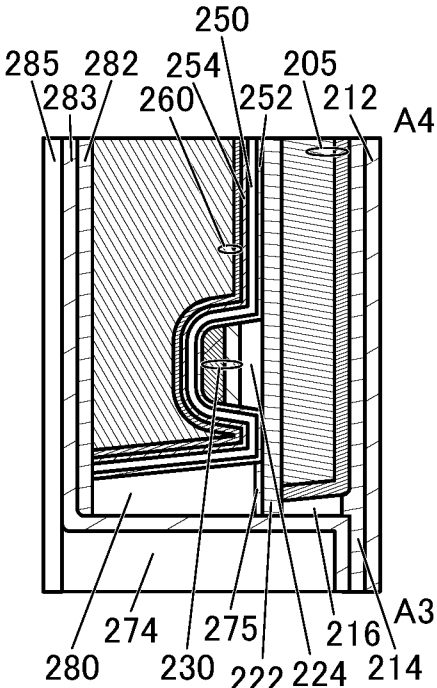
【圖7B】



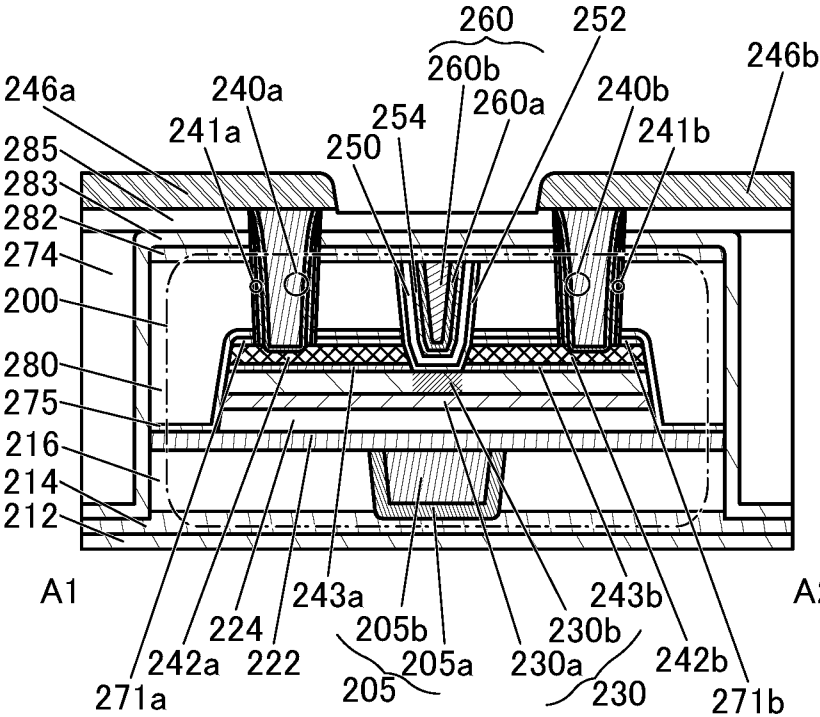
【圖7D】



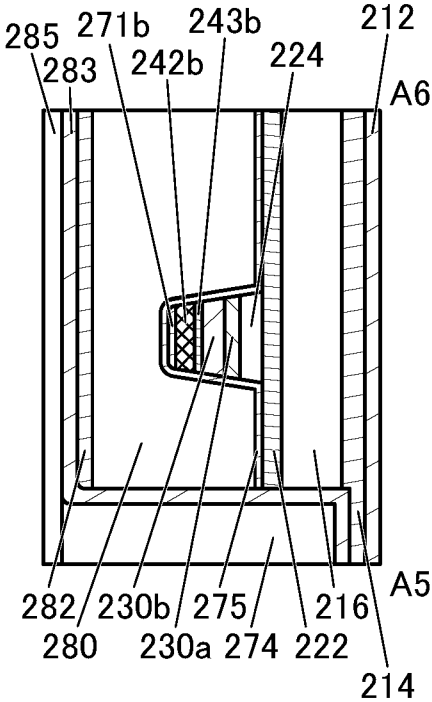
【圖8A】



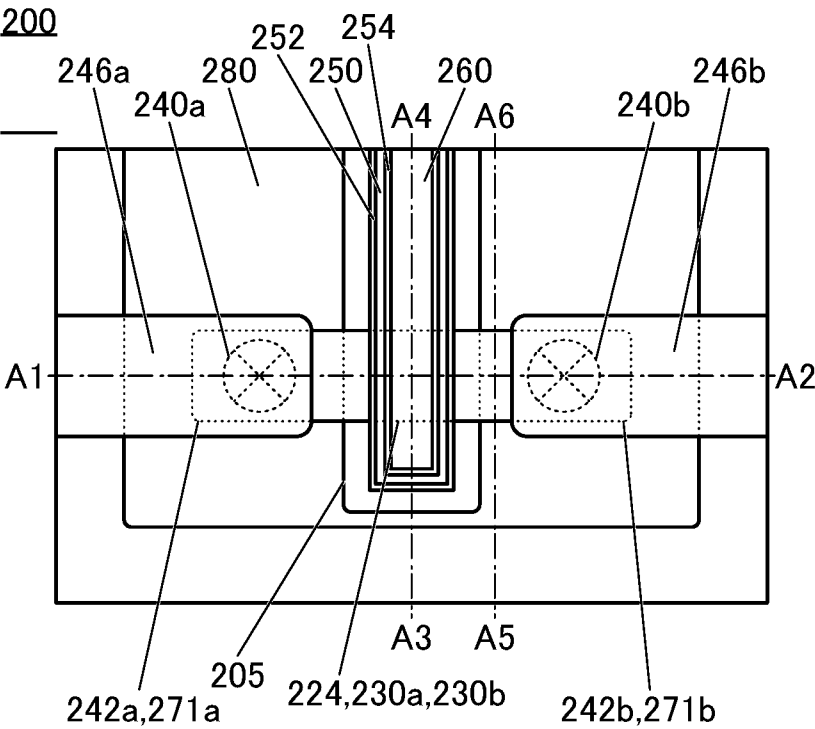
【圖8C】



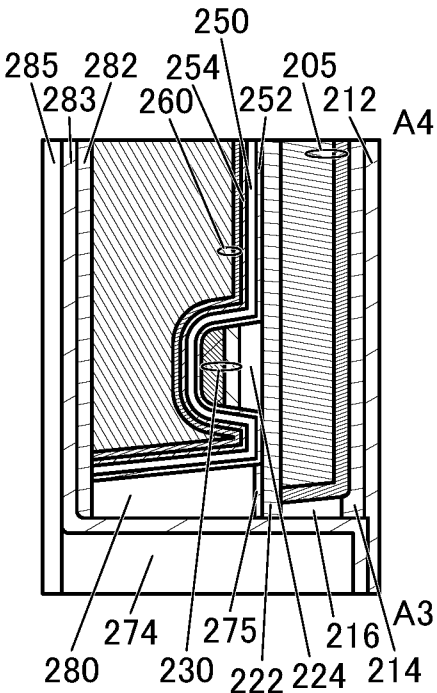
【圖8B】



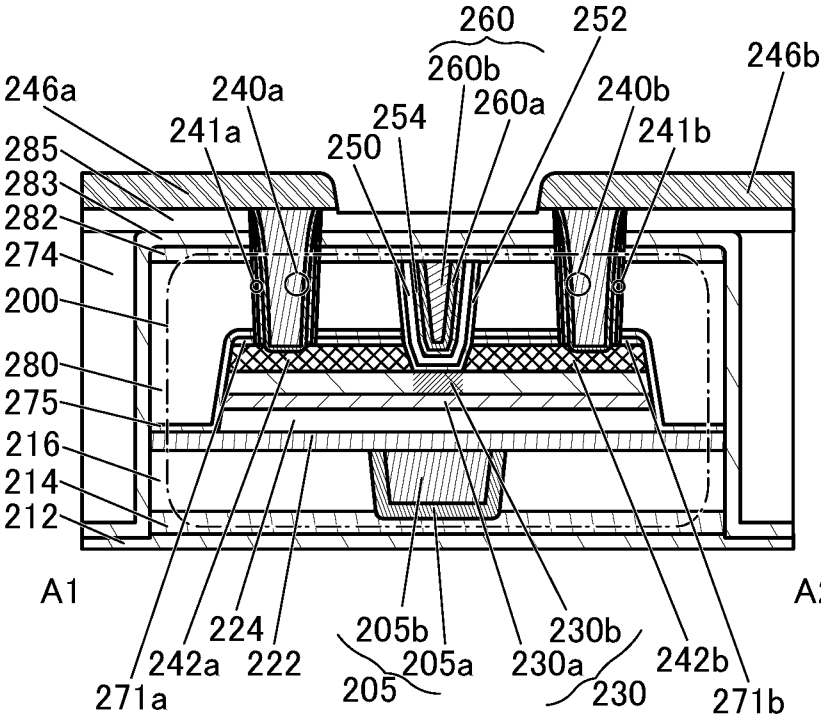
【圖8D】



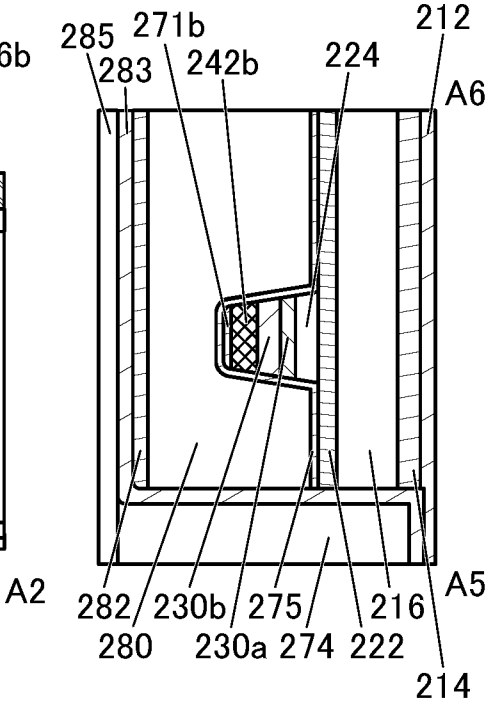
【圖9A】



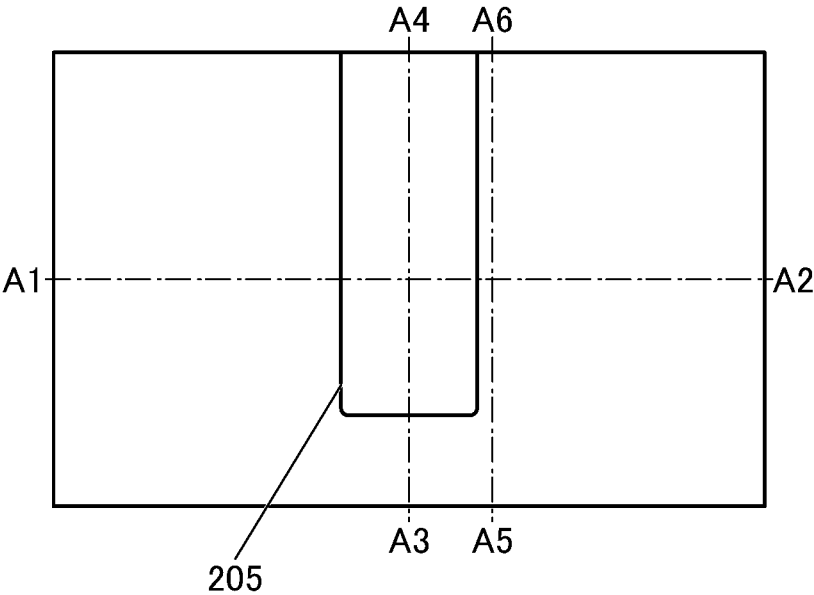
【圖9C】



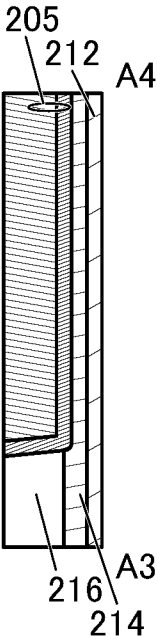
【圖9B】



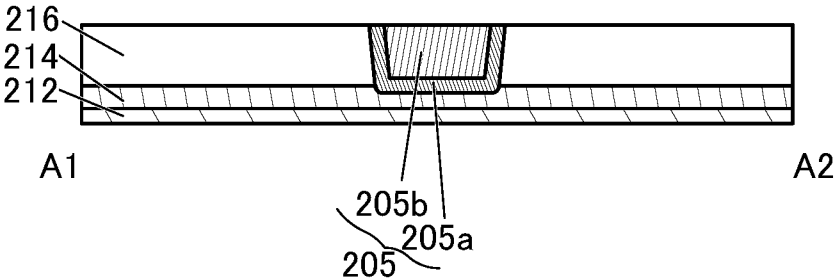
【圖9D】



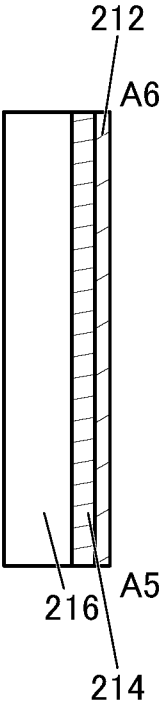
【圖10A】



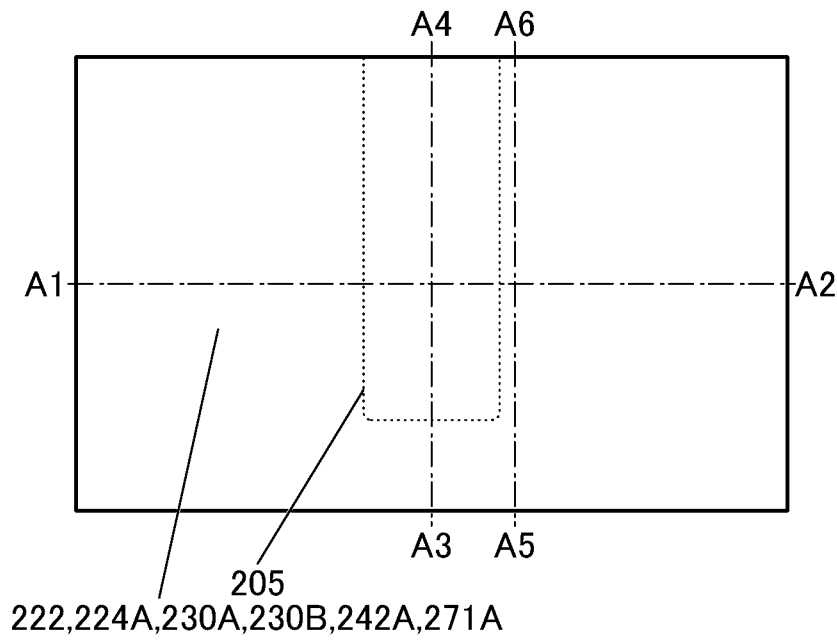
【圖10C】



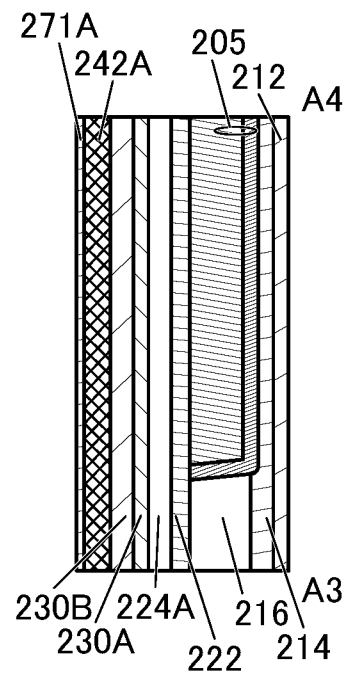
【圖10B】



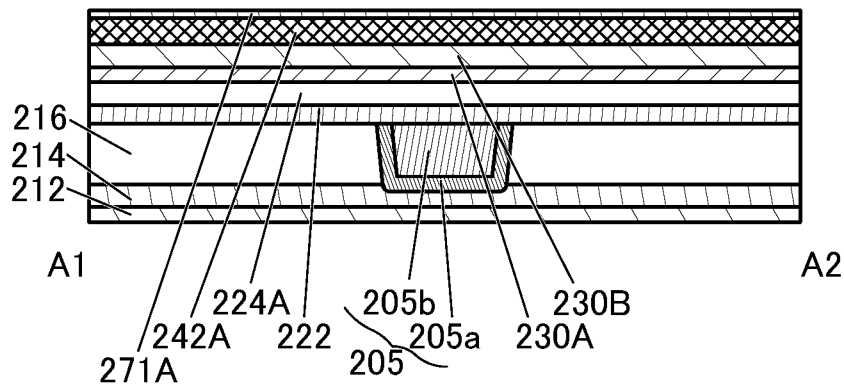
【圖10D】



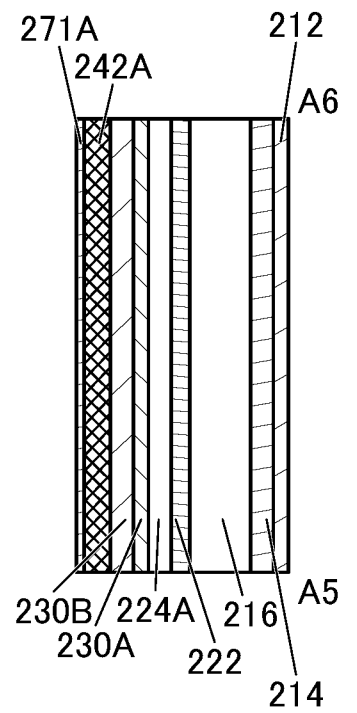
【圖11A】



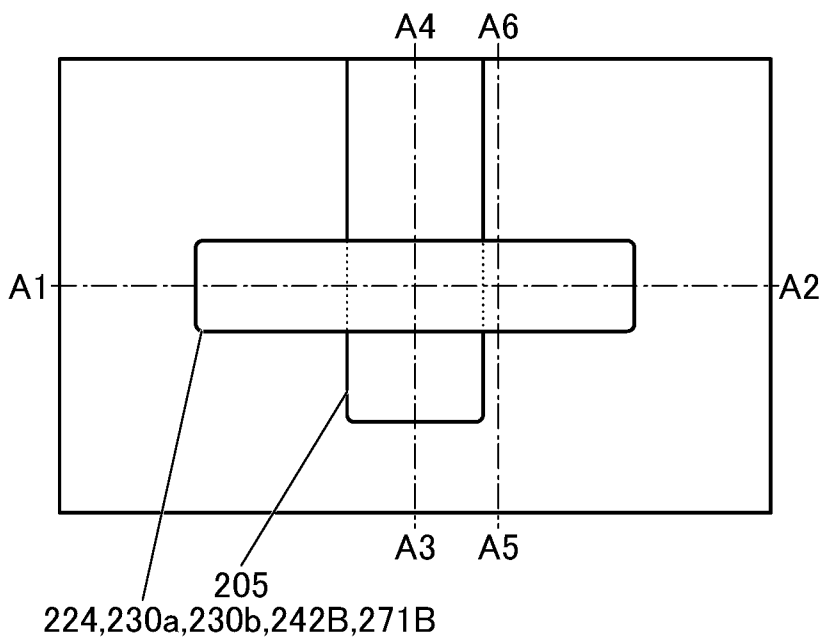
【圖11C】



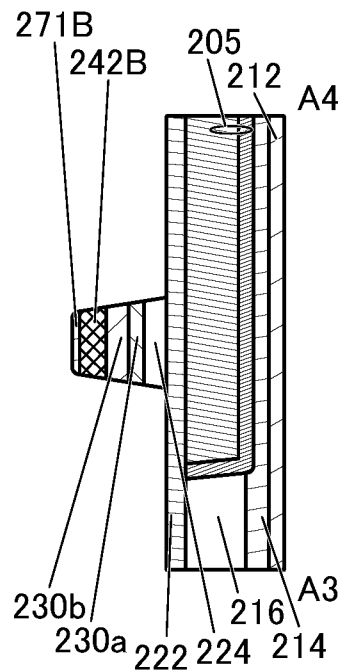
【圖11B】



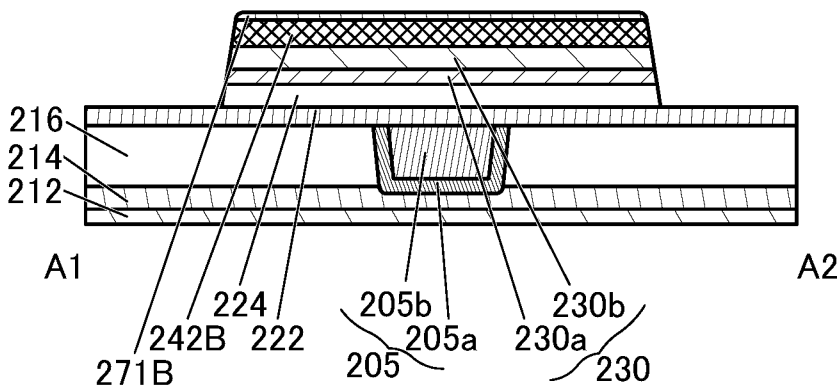
【圖11D】



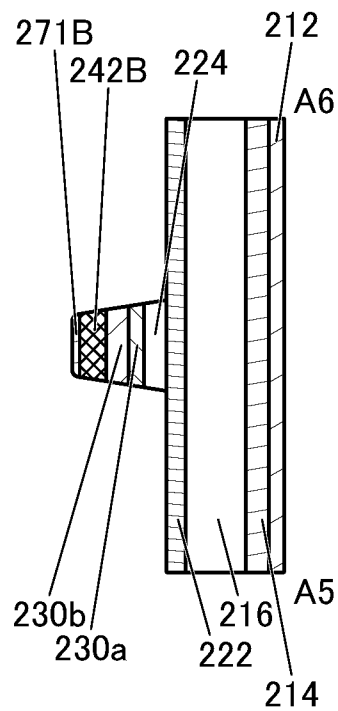
【圖12A】



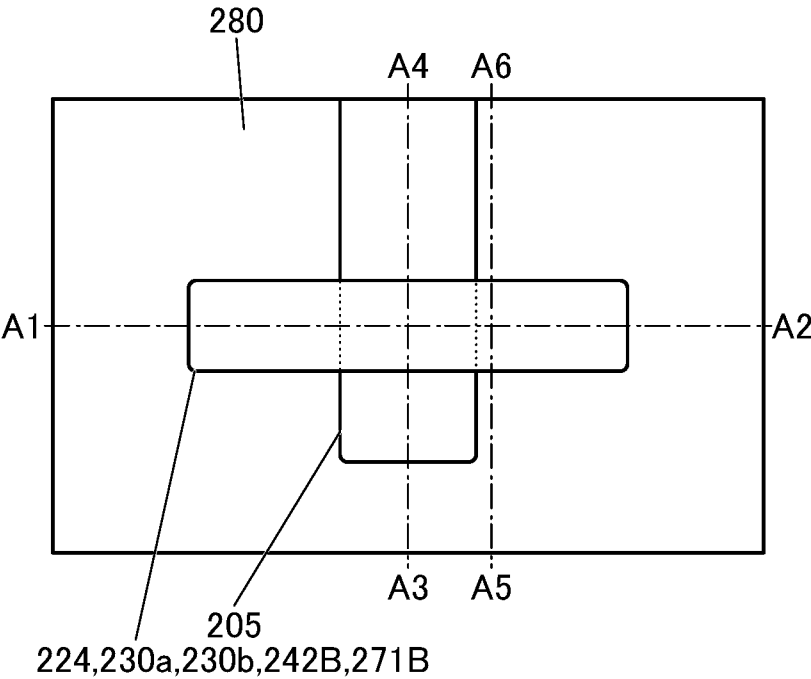
【圖12C】



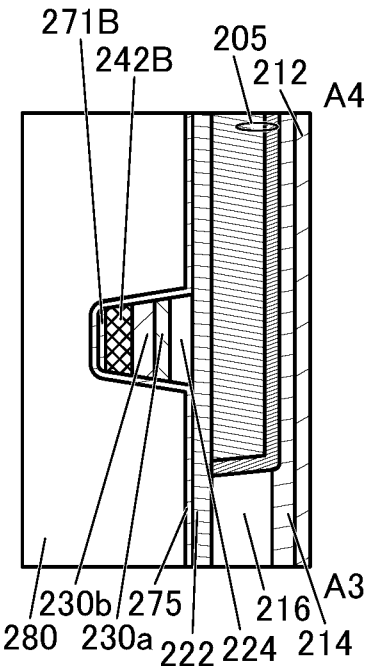
【圖12B】



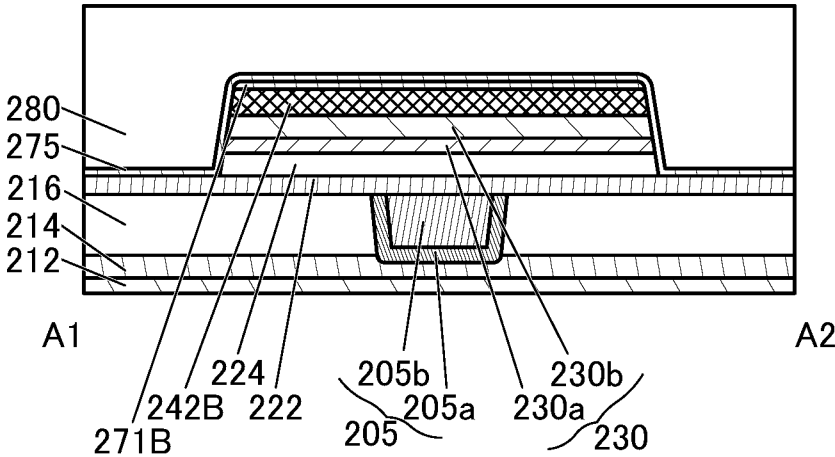
【圖12D】



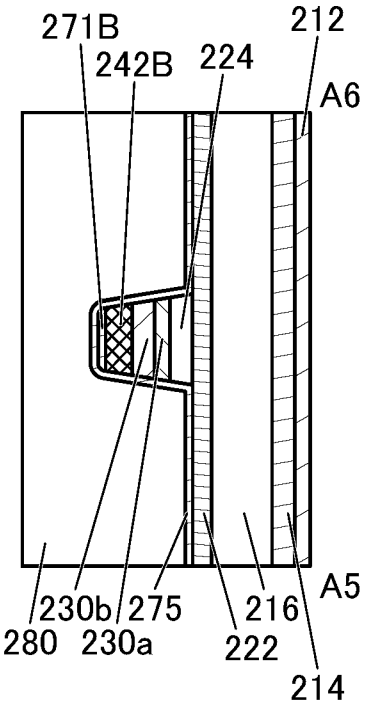
【圖13A】



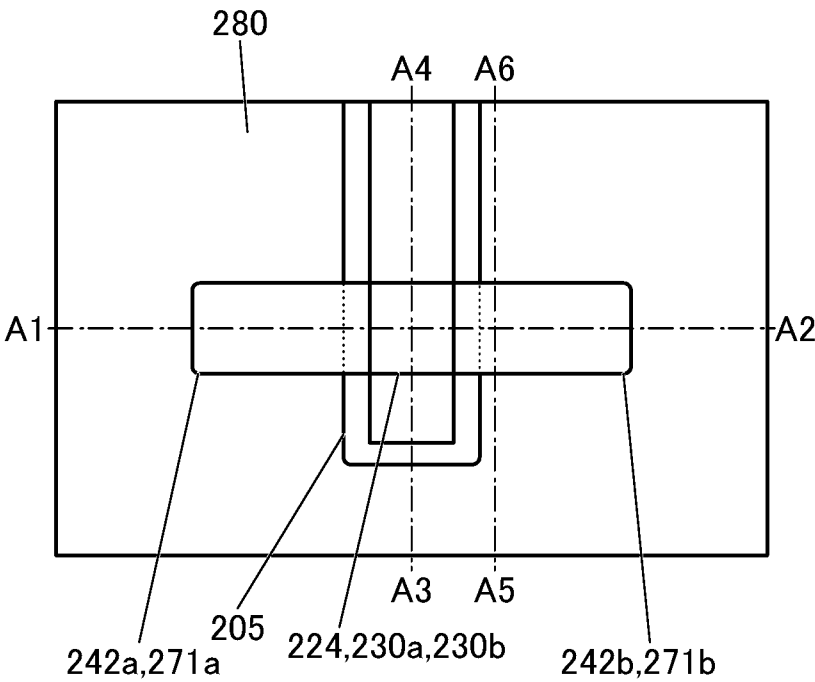
【圖13C】



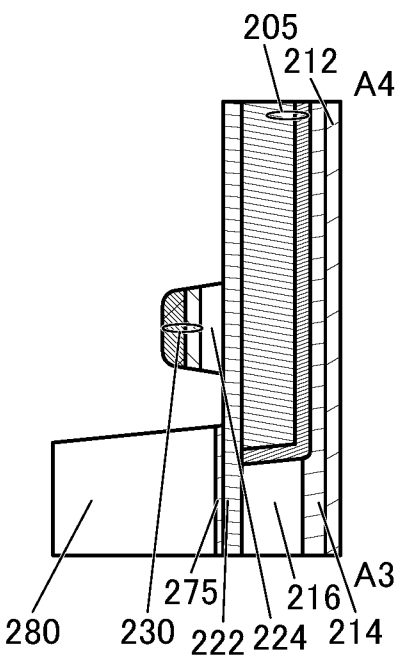
【圖13B】



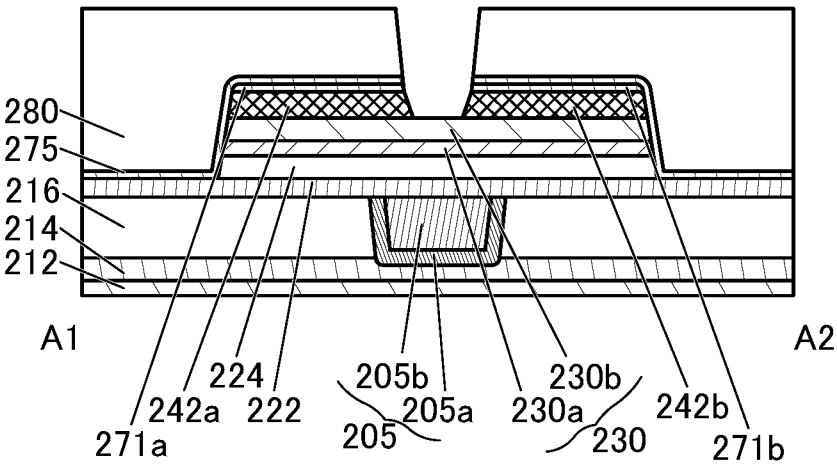
【圖13D】



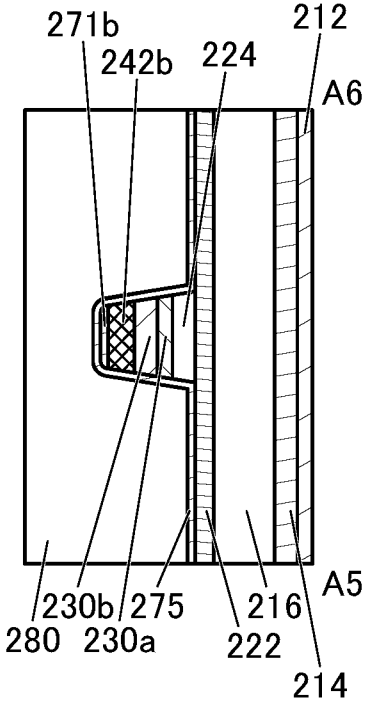
【圖14A】



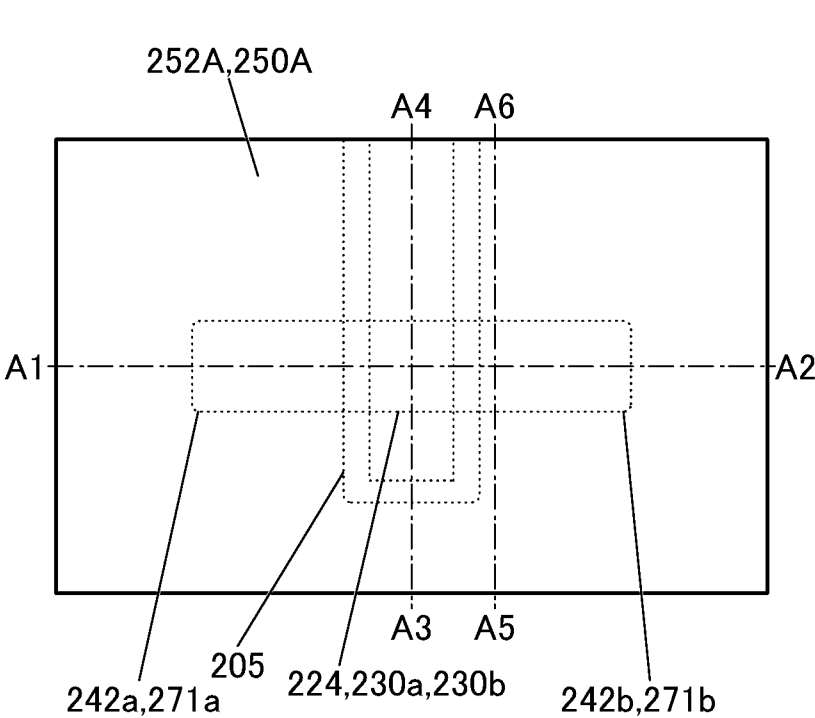
【圖14C】



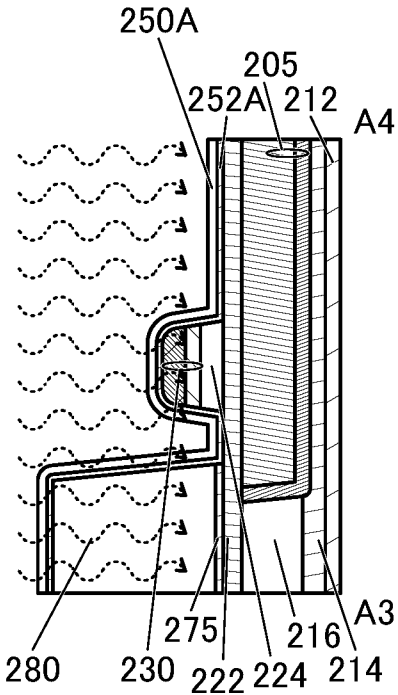
【圖14B】



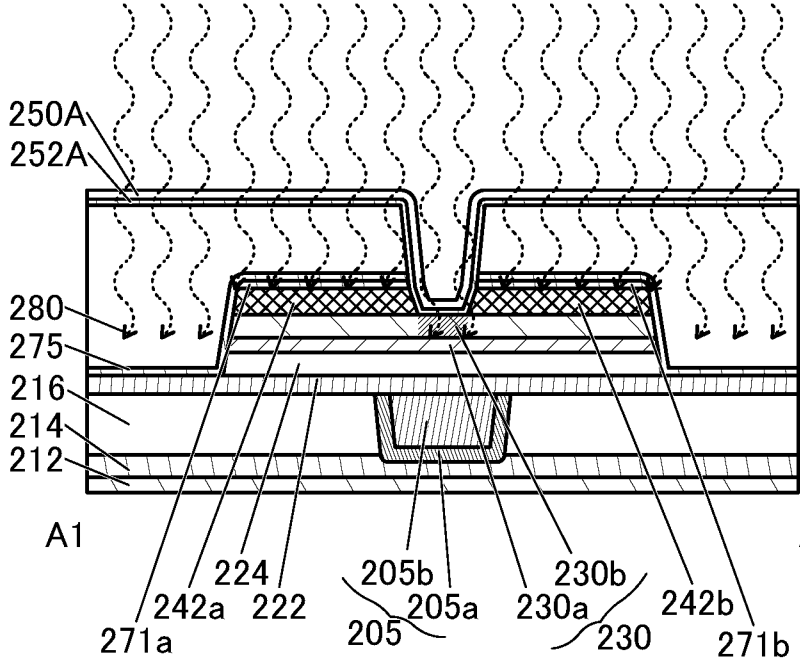
【圖14D】



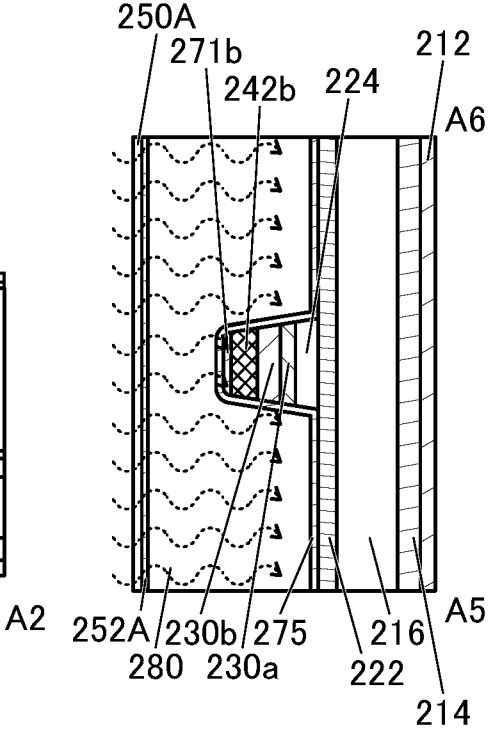
【圖15A】



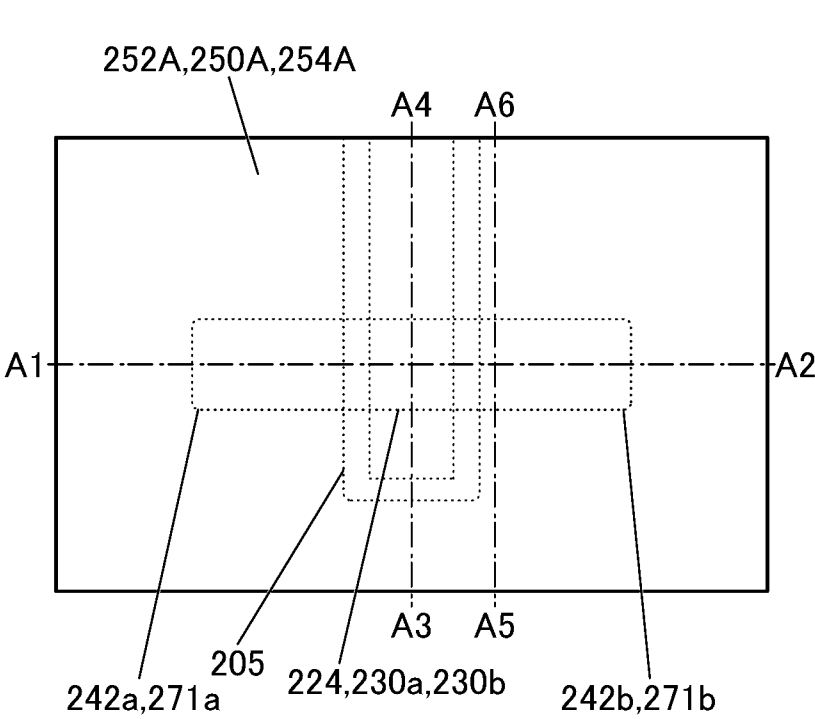
【圖15C】



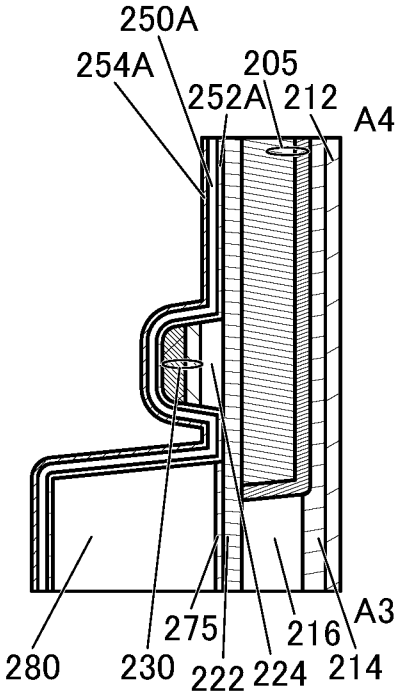
【圖15B】



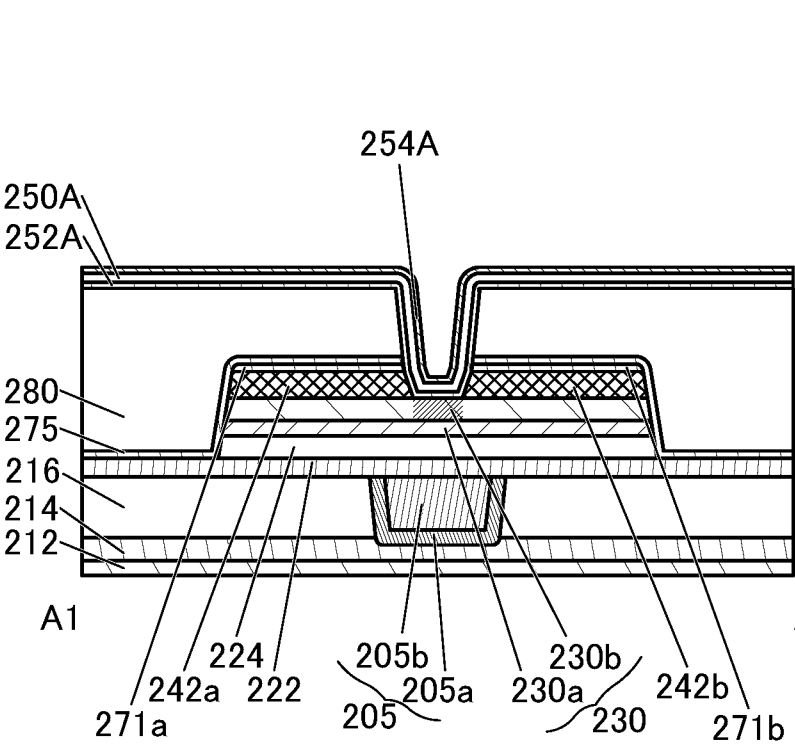
【圖15D】



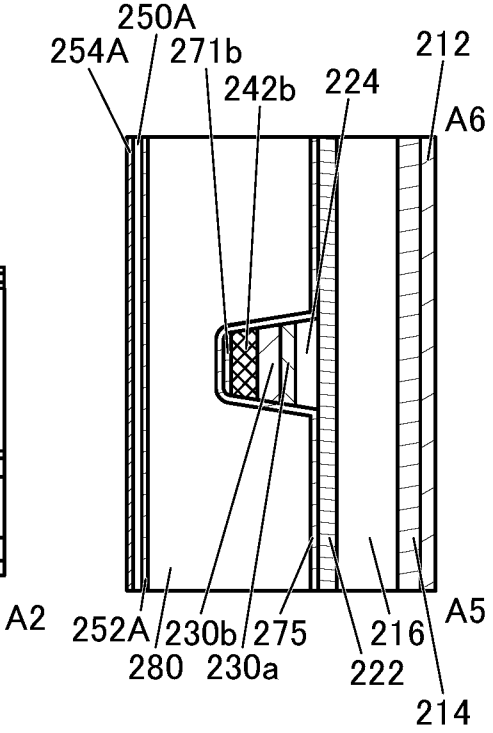
【圖16A】



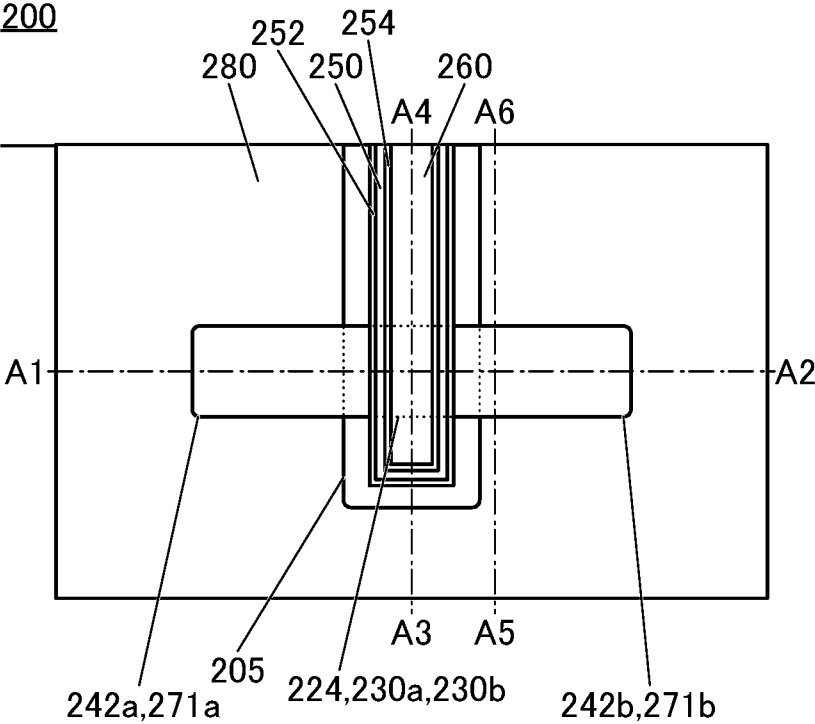
【圖16C】



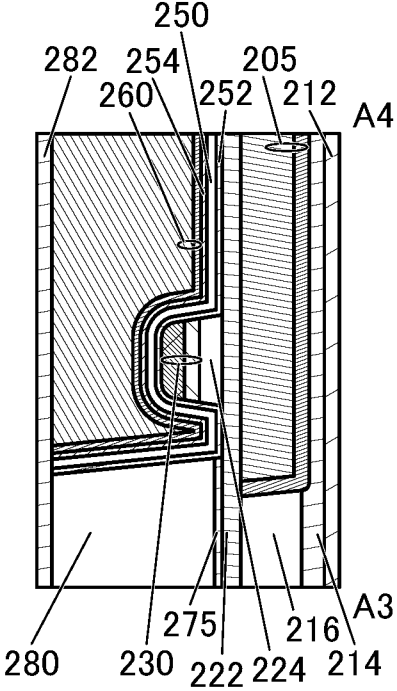
【圖16B】



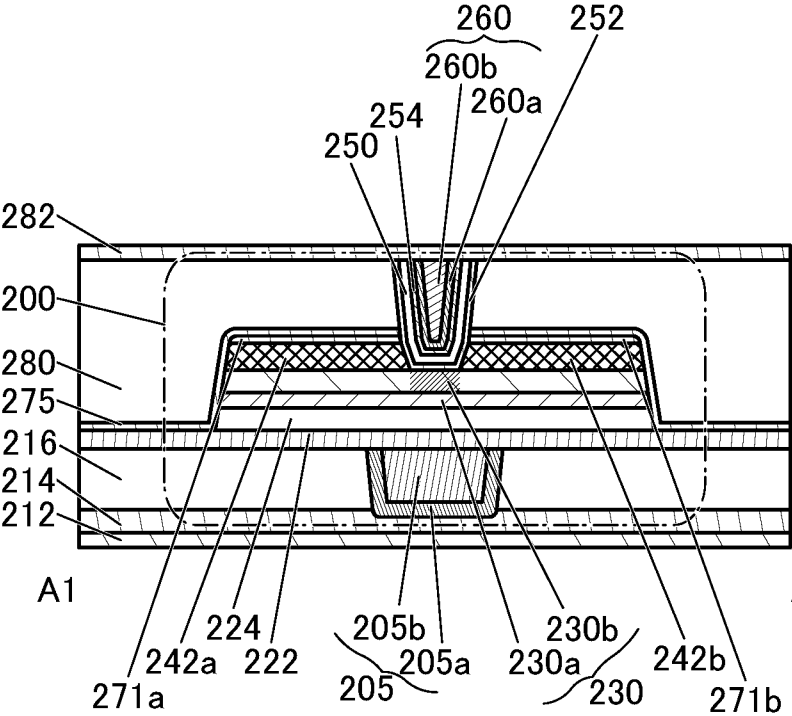
【圖16D】



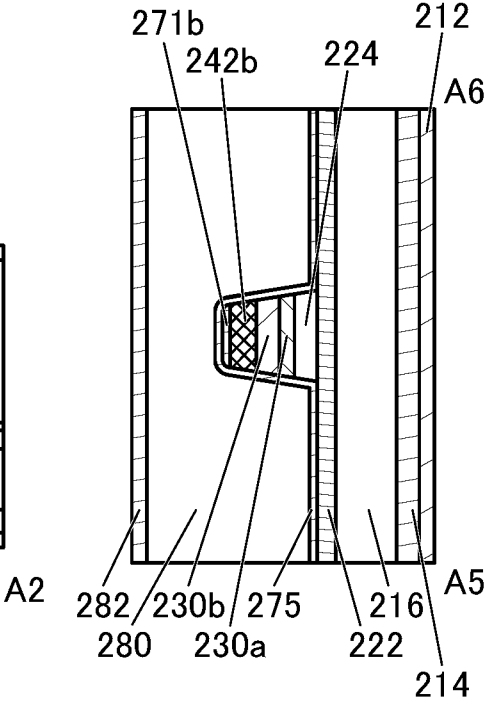
【圖17A】



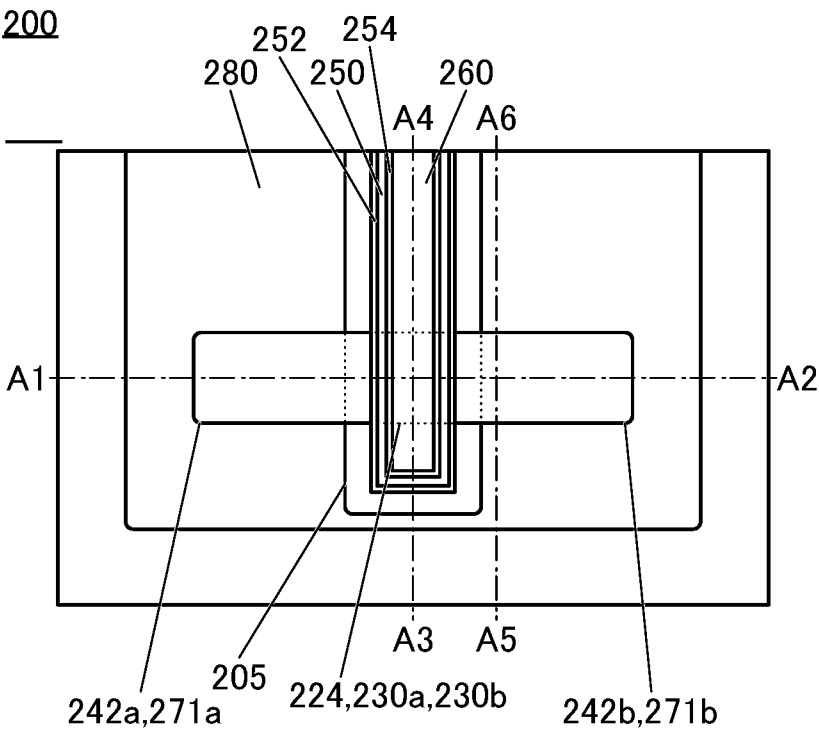
【圖17C】



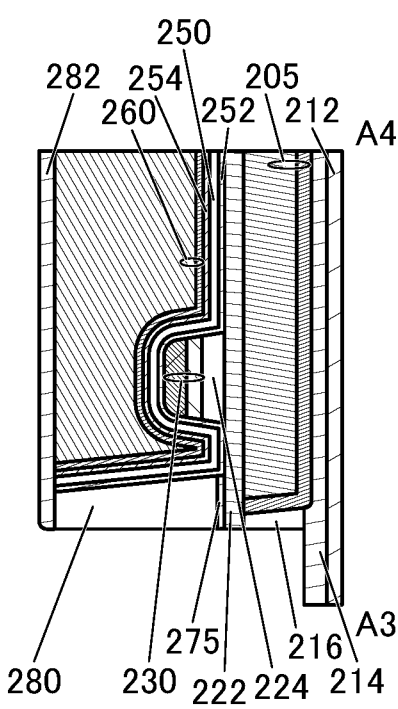
【圖17B】



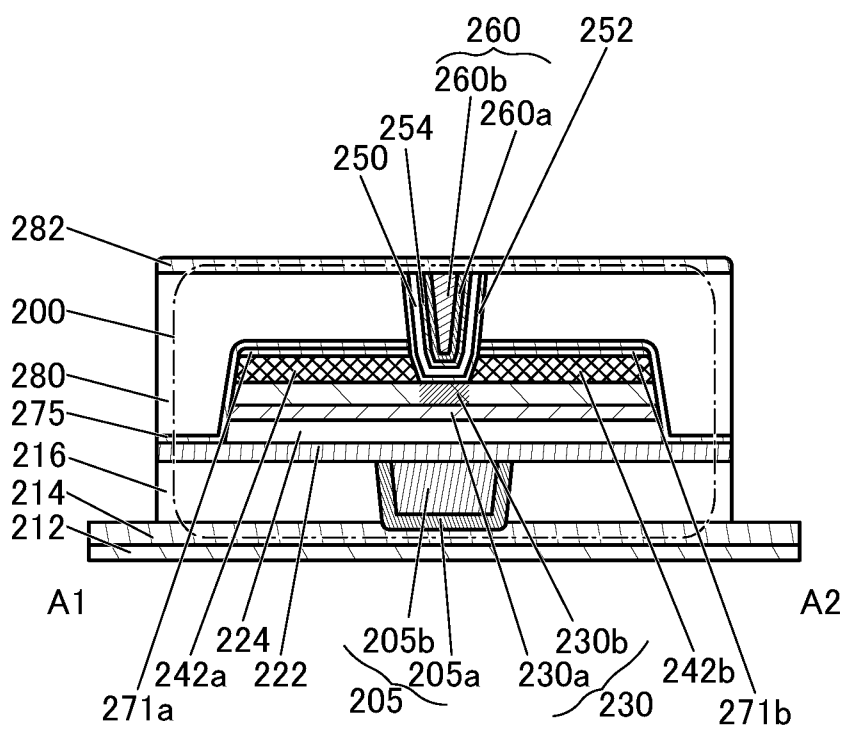
【圖17D】



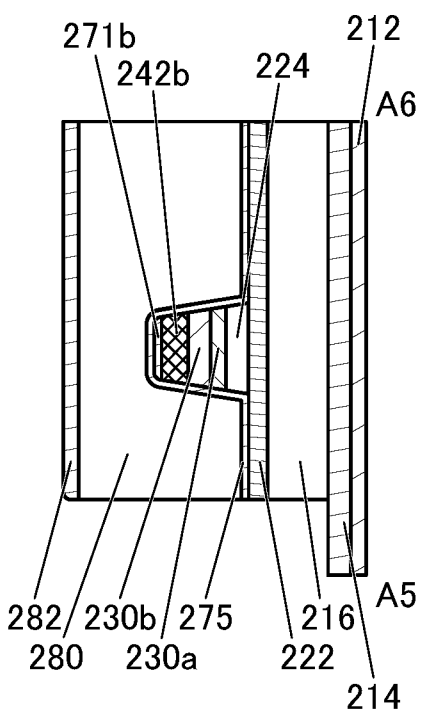
【圖18A】



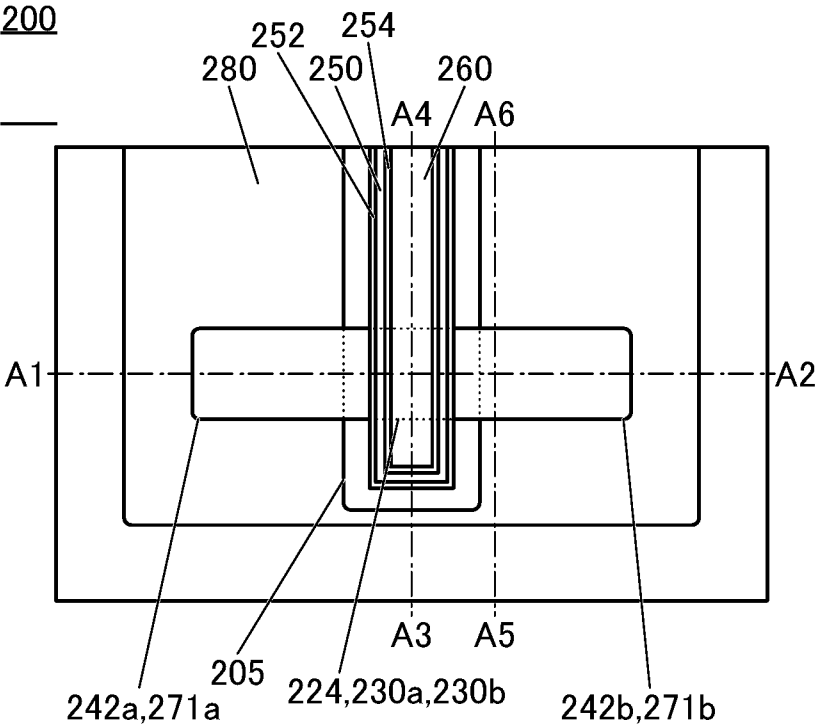
【圖18C】



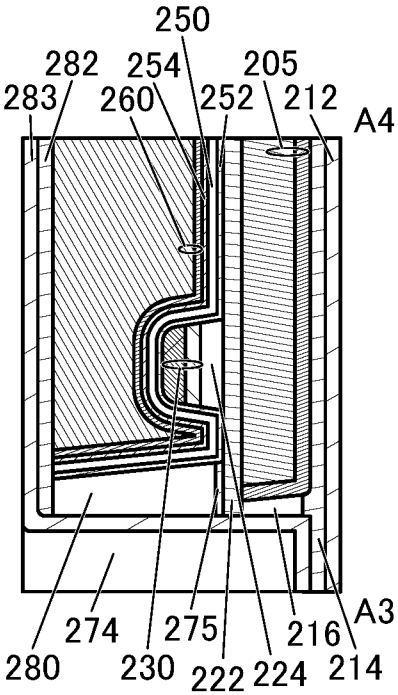
【圖18B】



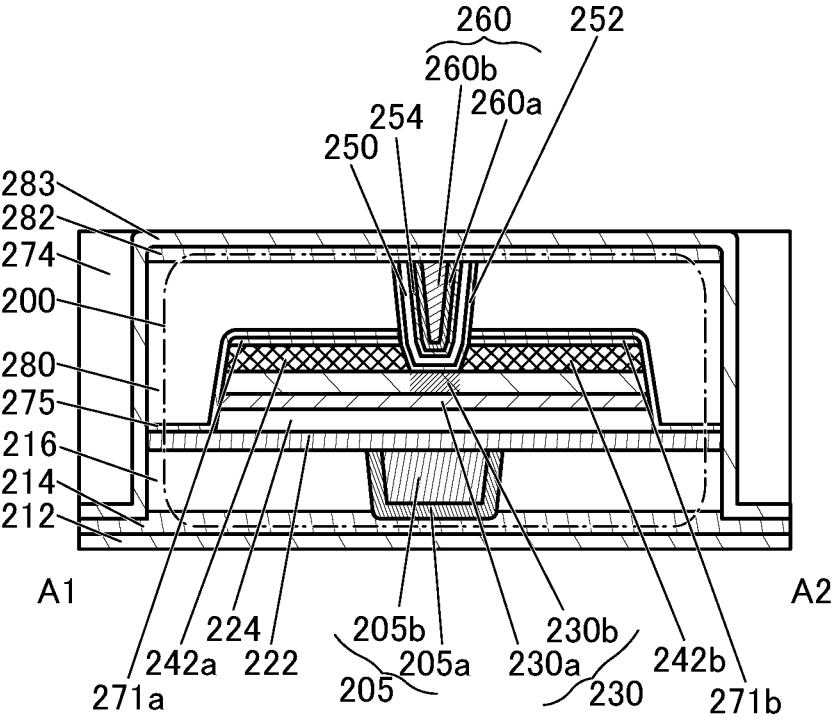
【圖18D】



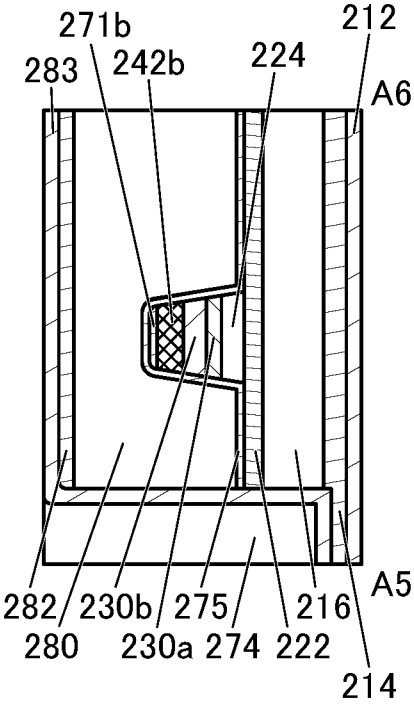
【圖19A】



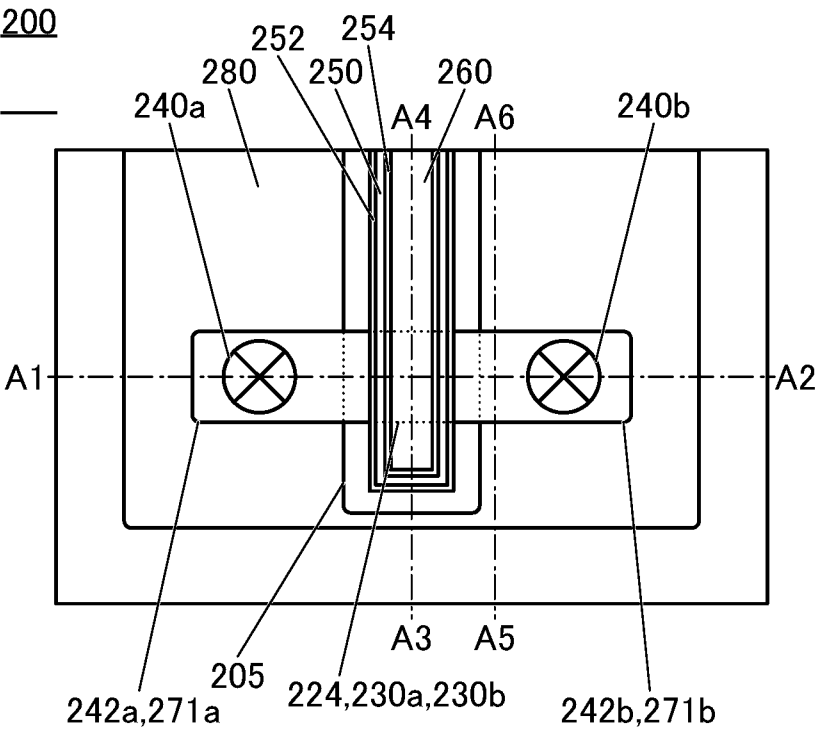
【圖19C】



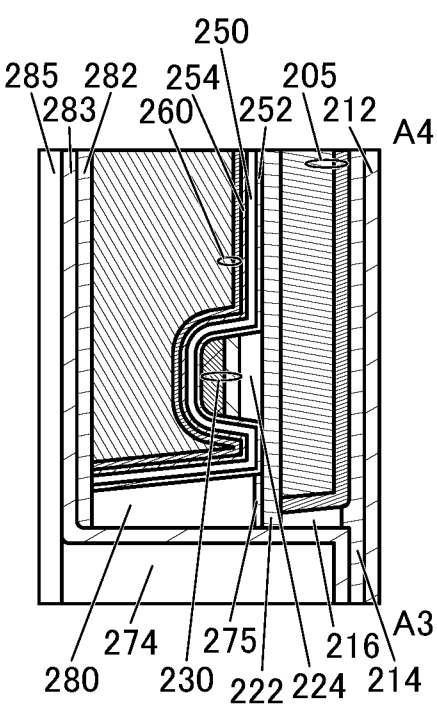
【圖19B】



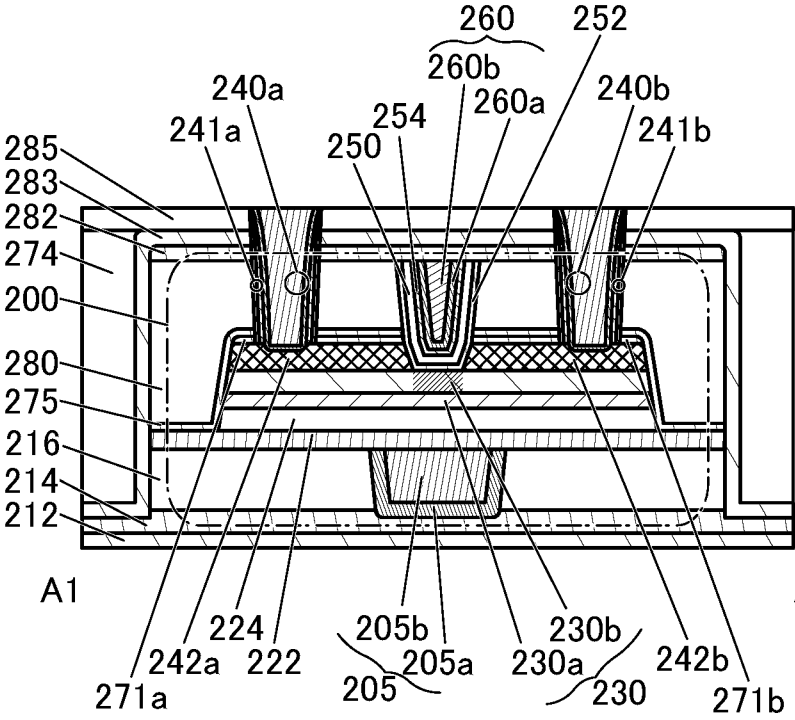
【圖19D】



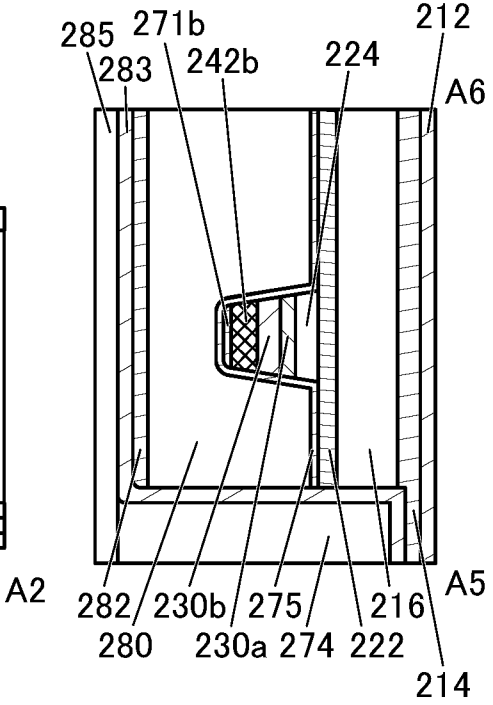
【圖20A】



【圖20C】

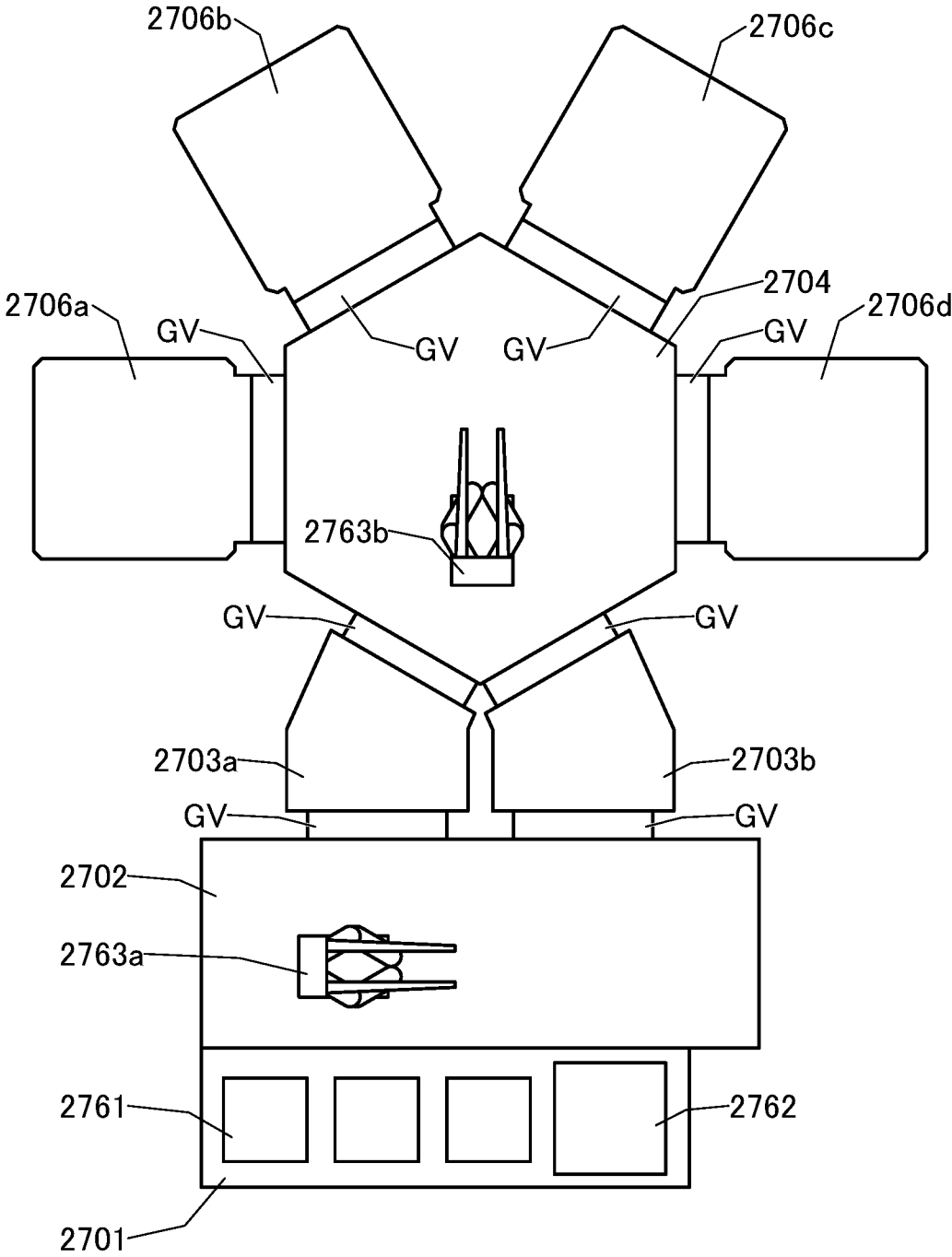


【圖20B】

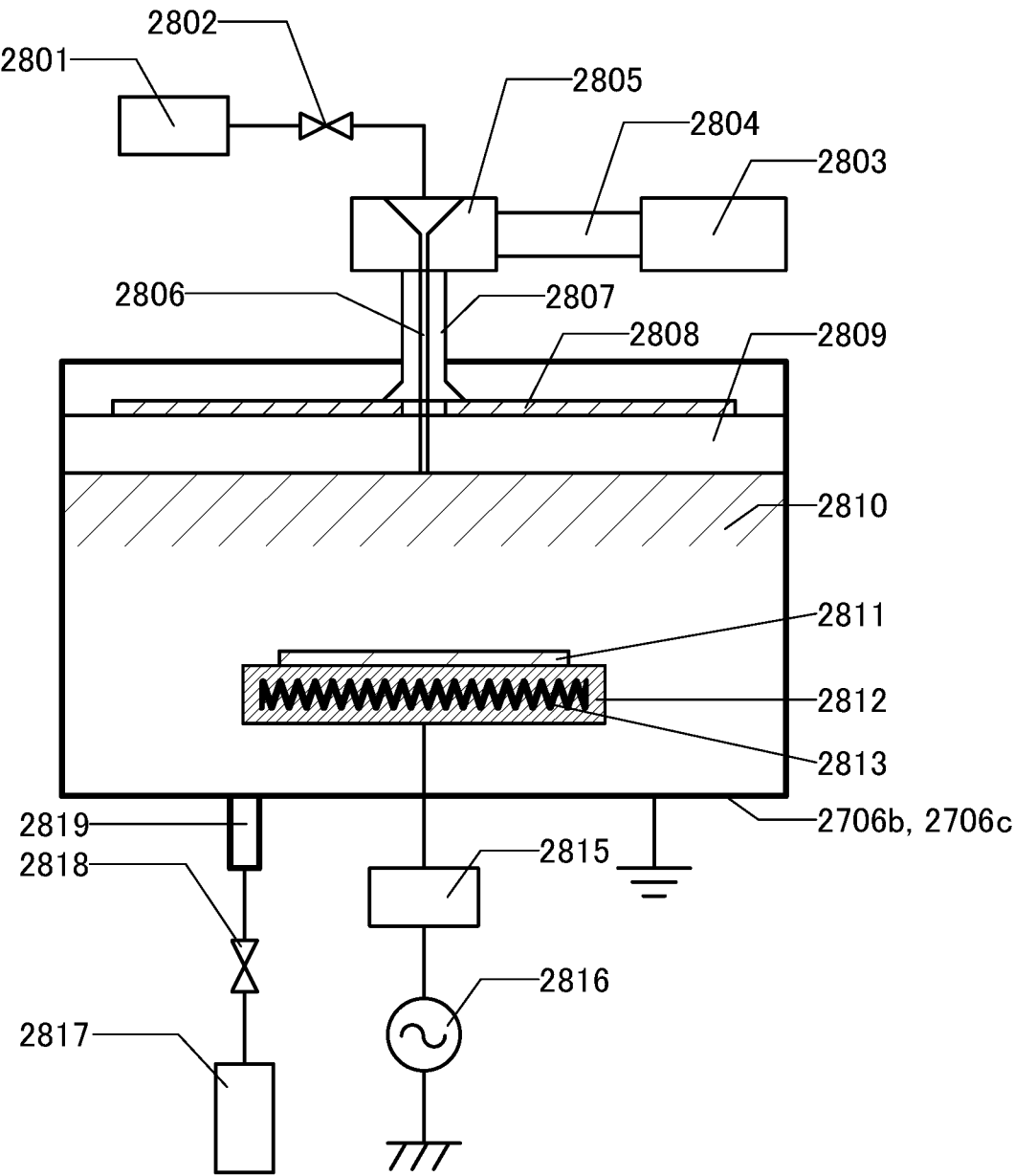


【圖20D】

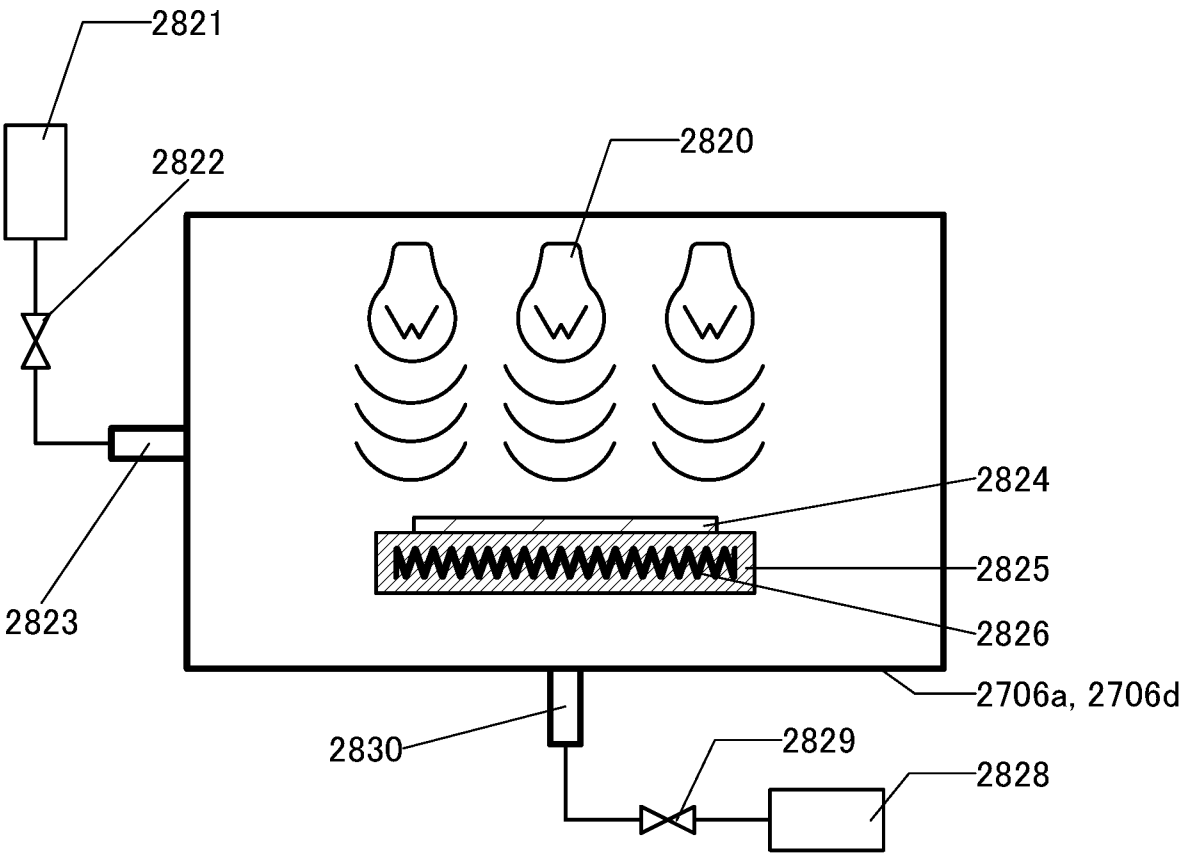
2700



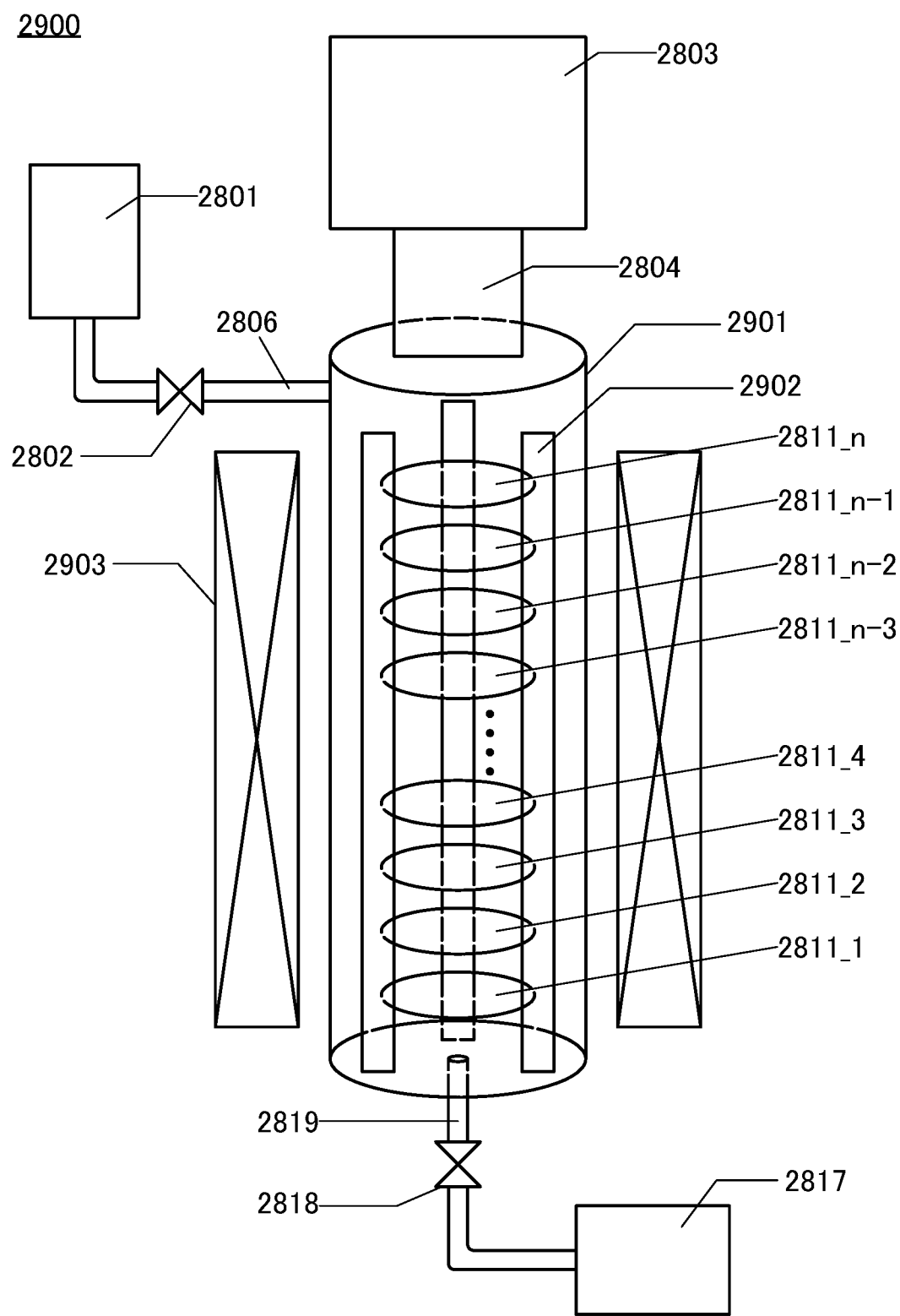
【圖21】



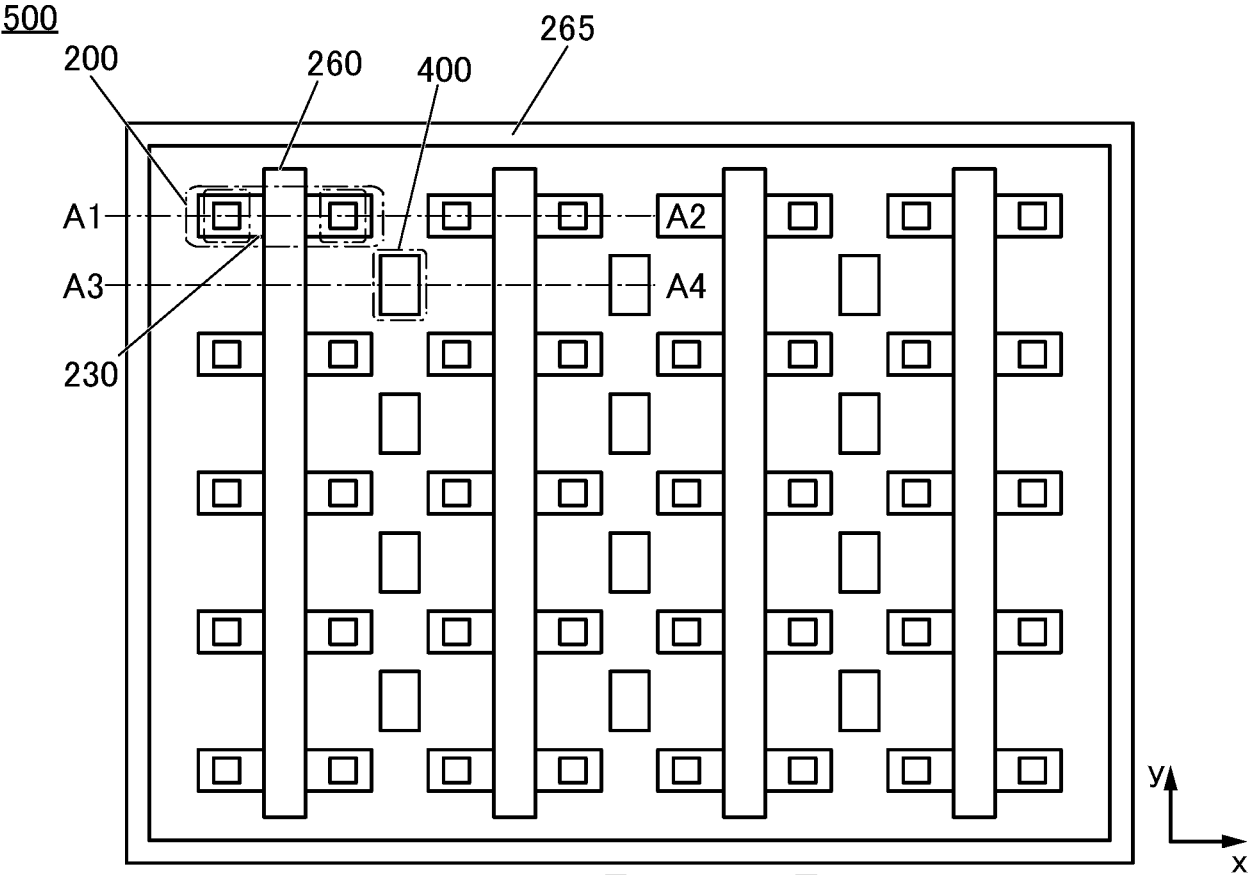
【圖22】



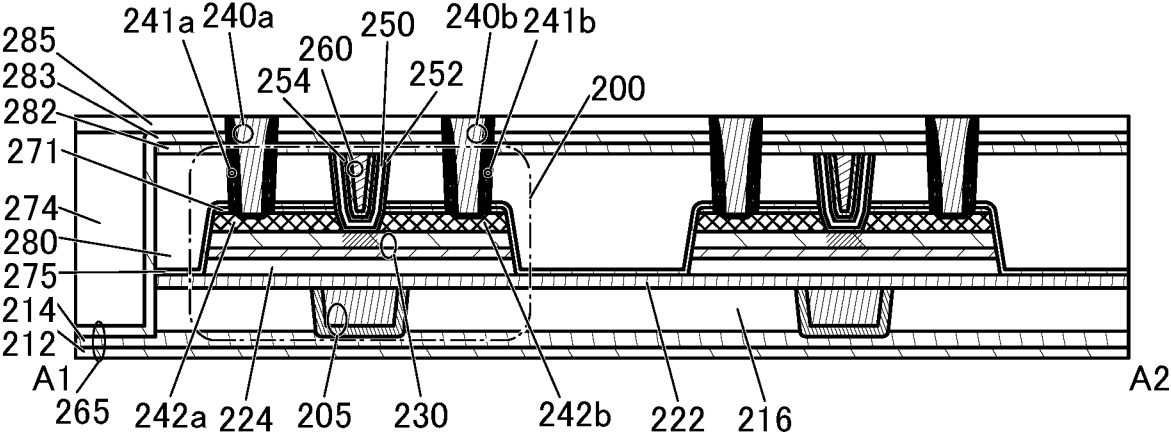
【圖23】



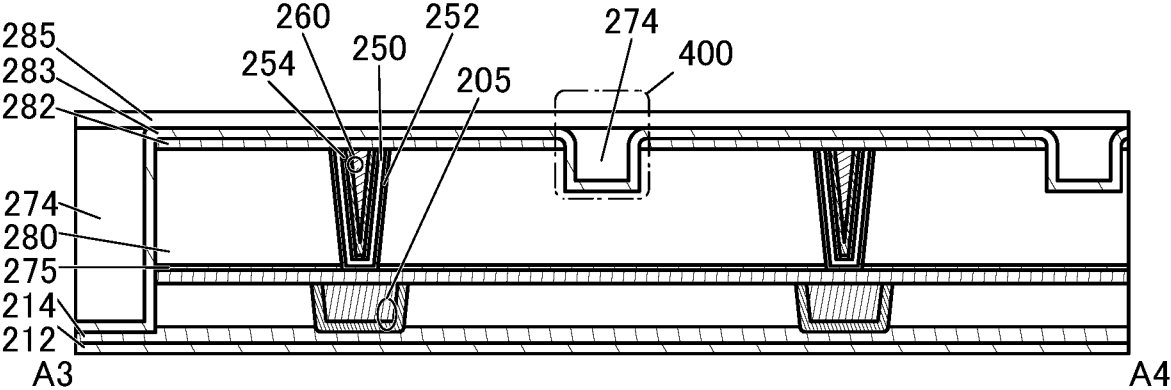
【圖24】



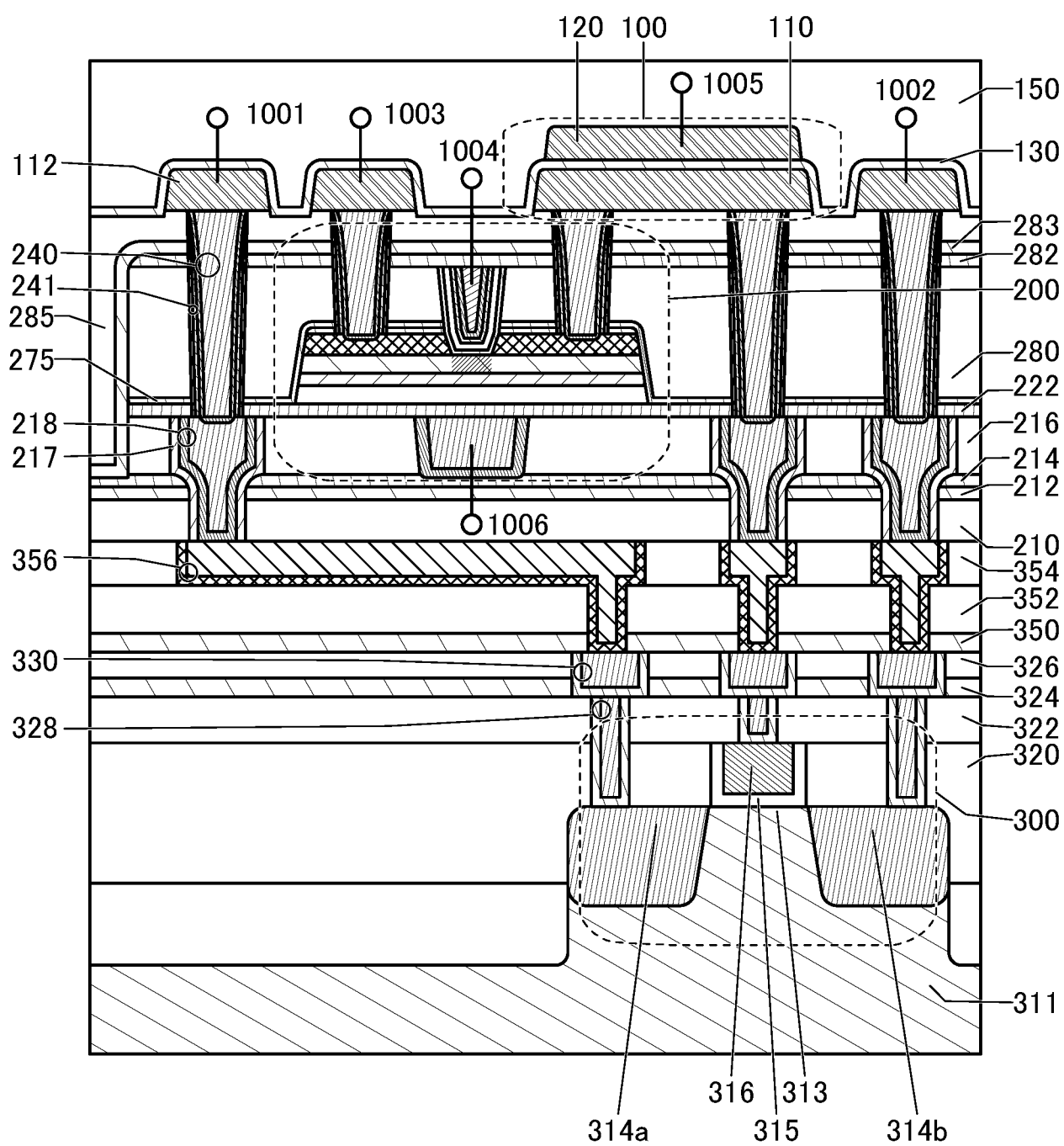
【圖25A】



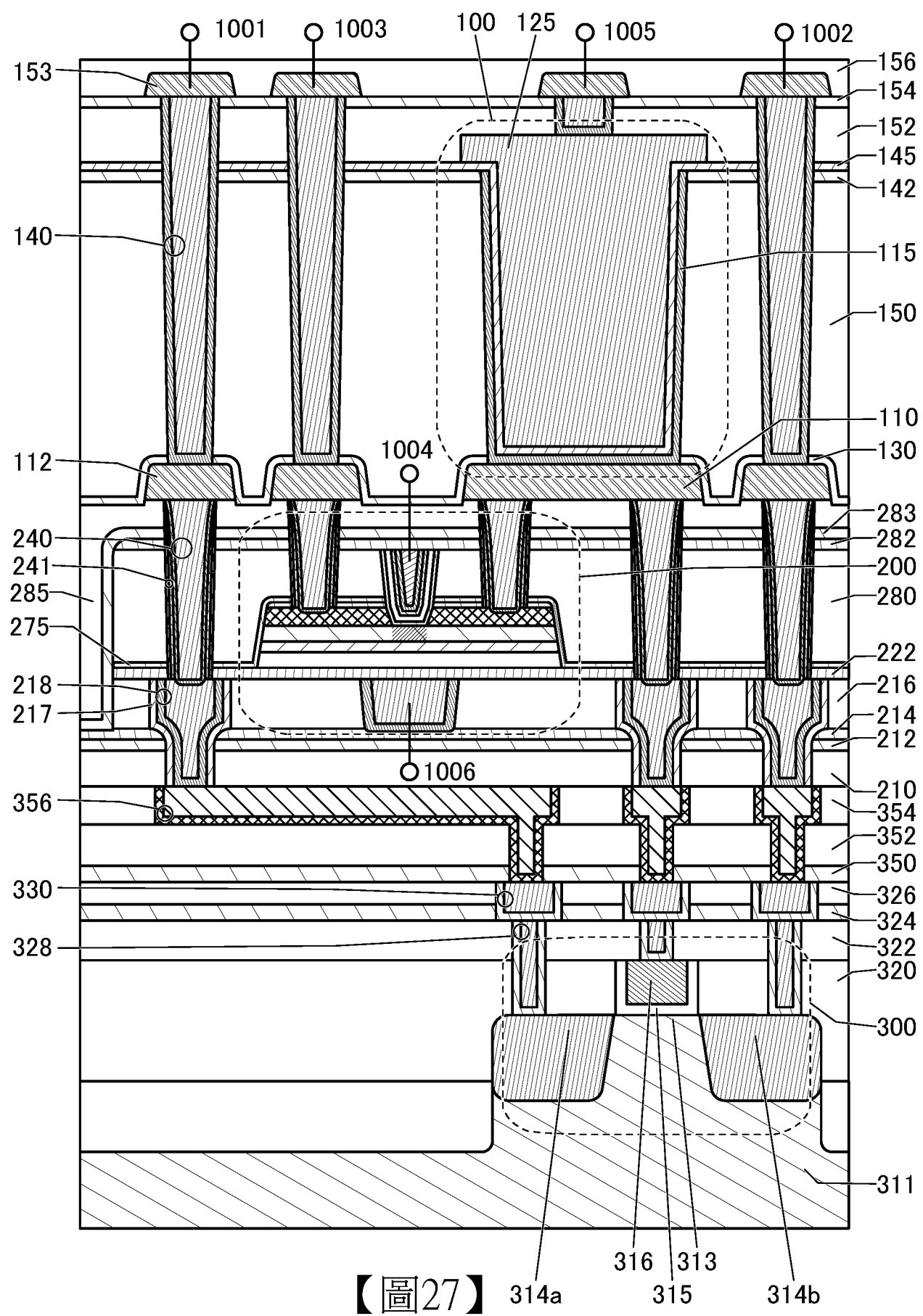
【圖25B】



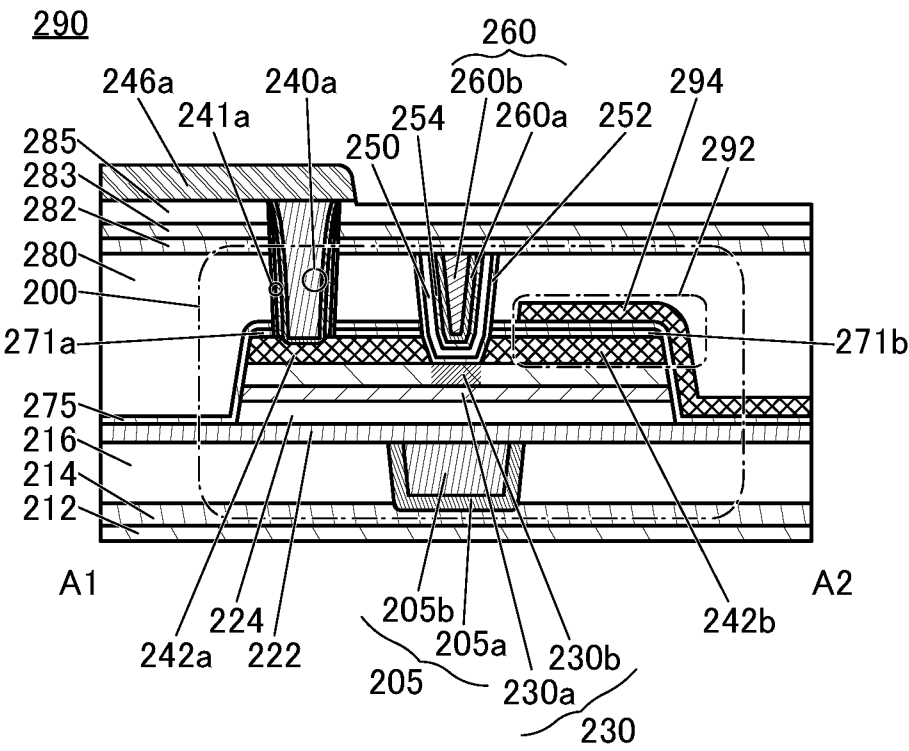
【圖25C】



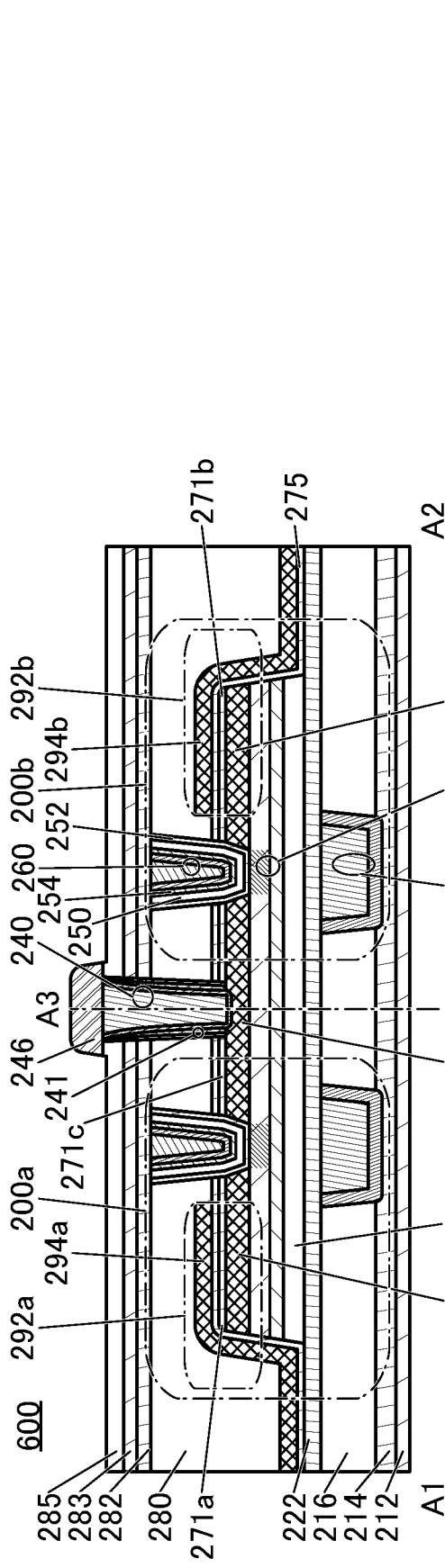
【圖26】



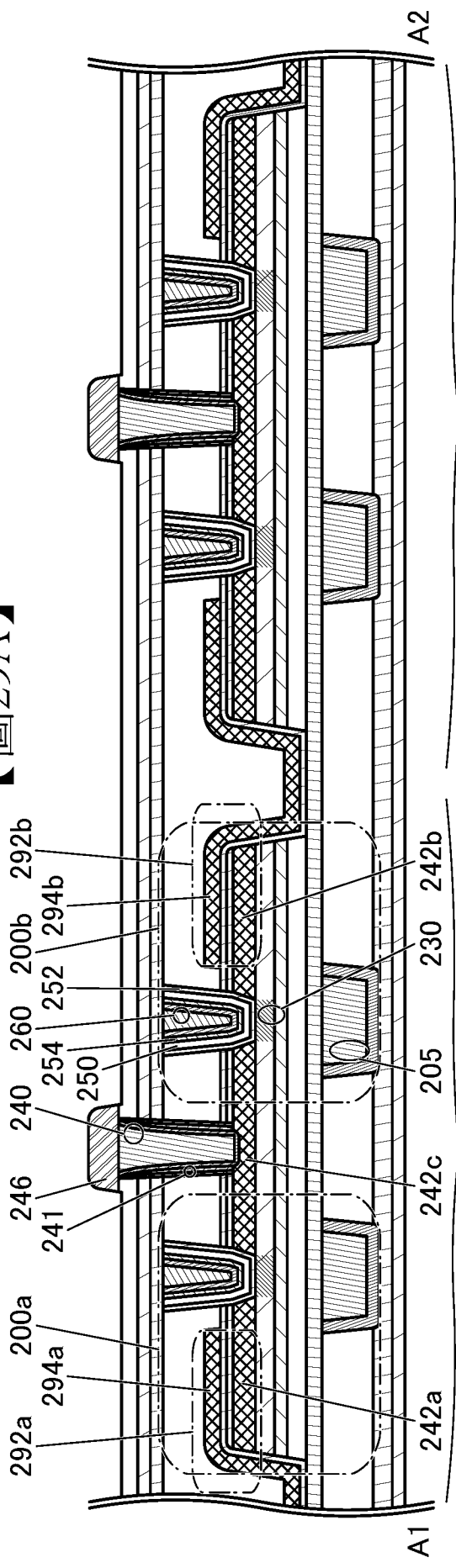
【圖27】



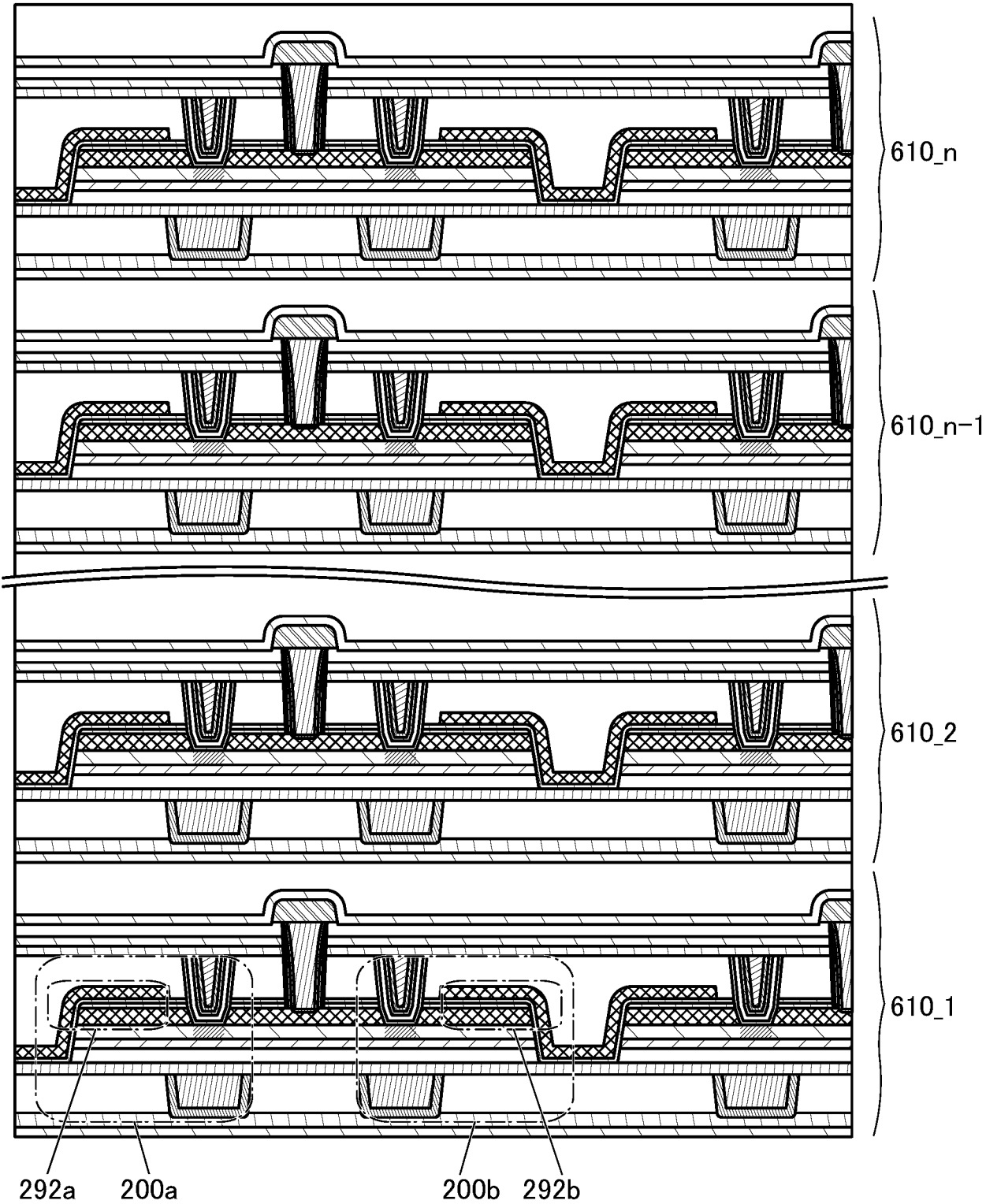
【圖28】



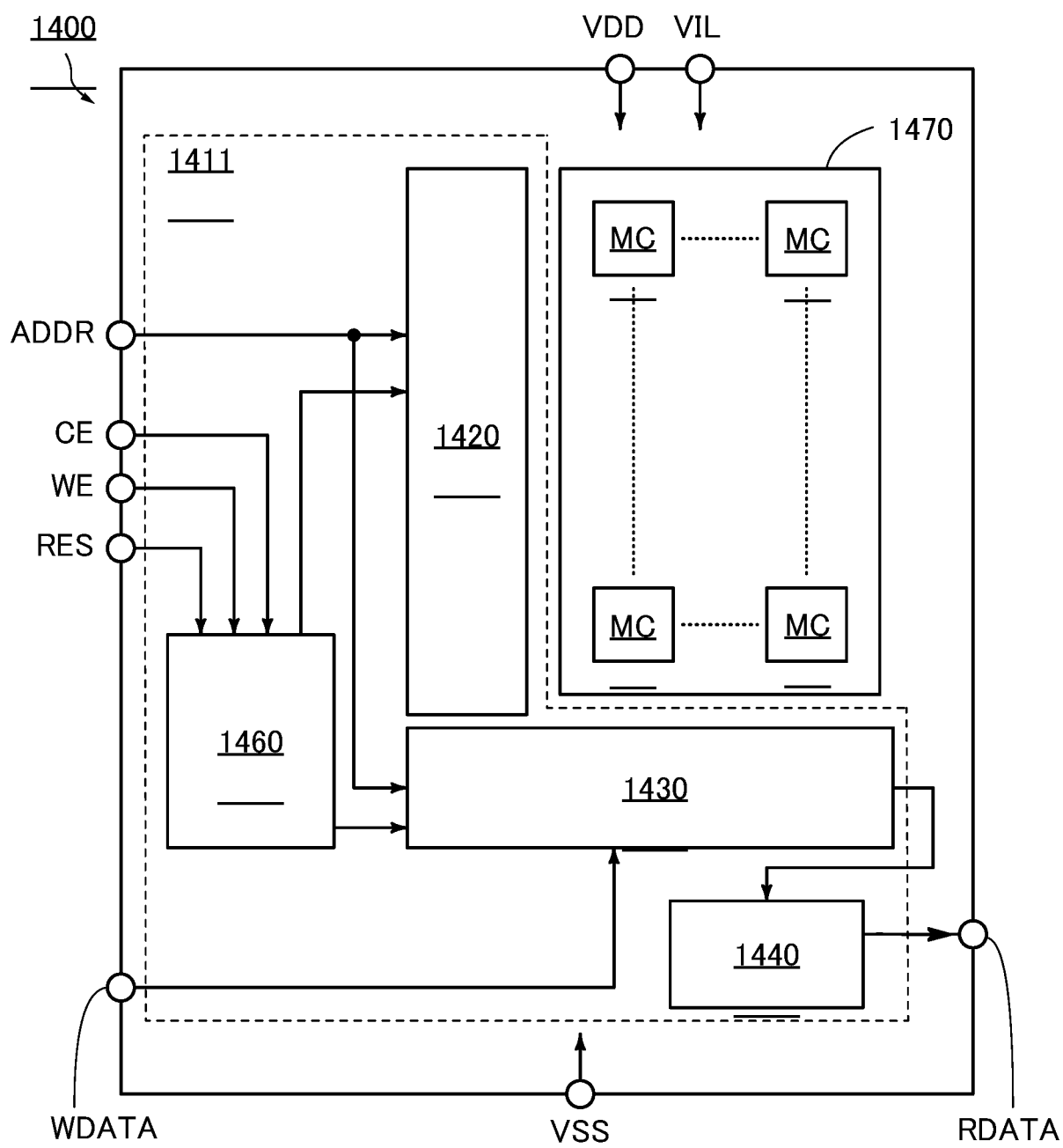
【圖29A】



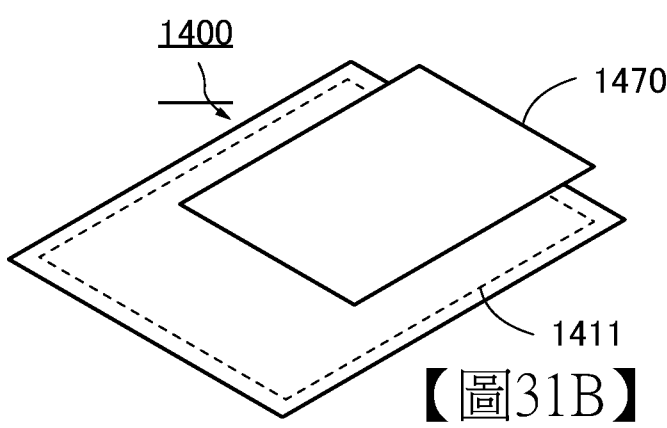
【圖29B】



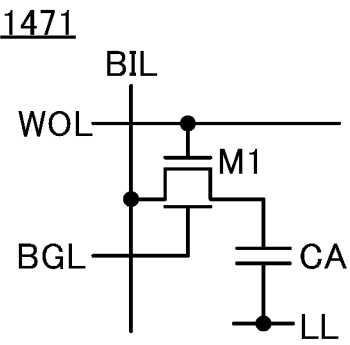
【圖30】



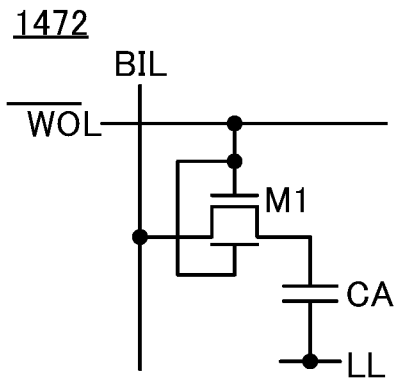
【圖31A】



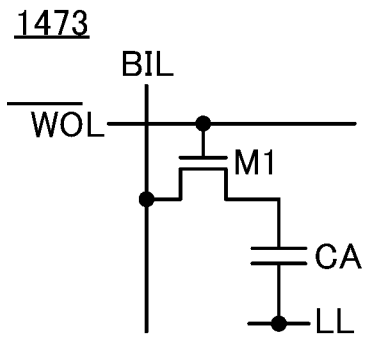
【圖31B】



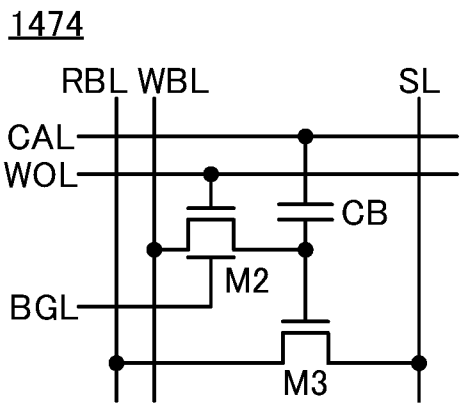
【圖32A】



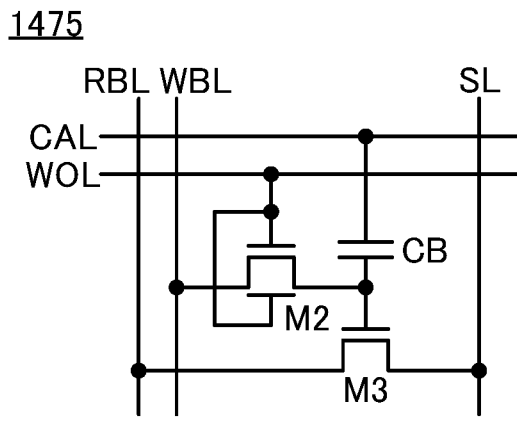
【圖32B】



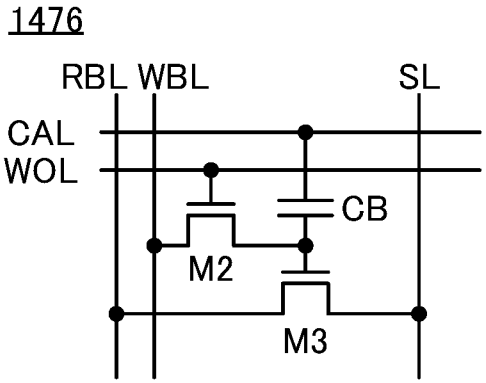
【圖32C】



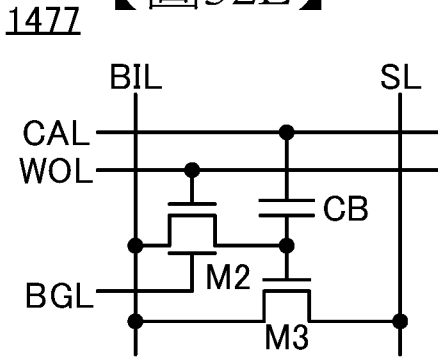
【圖32D】



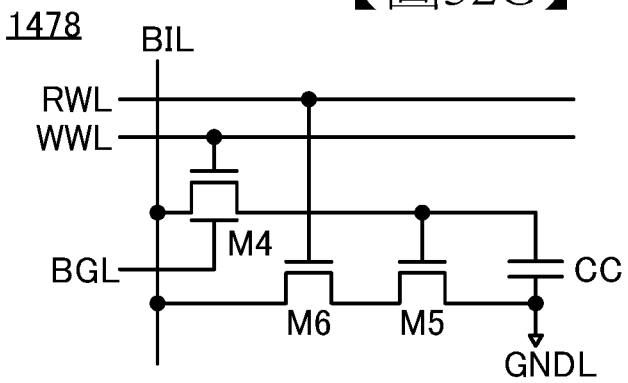
【圖32E】



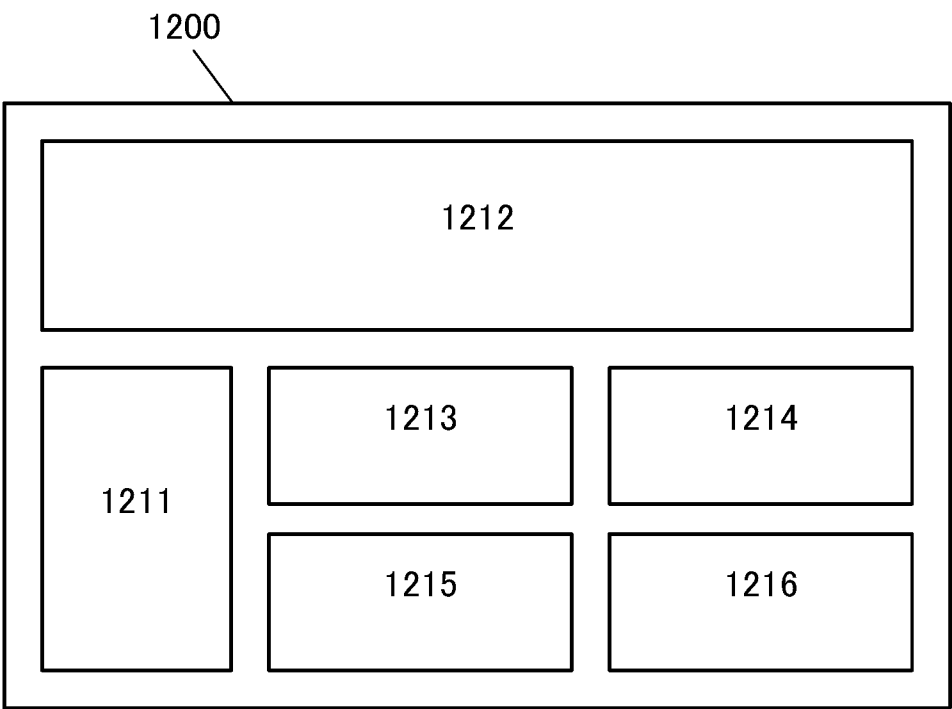
【圖32F】



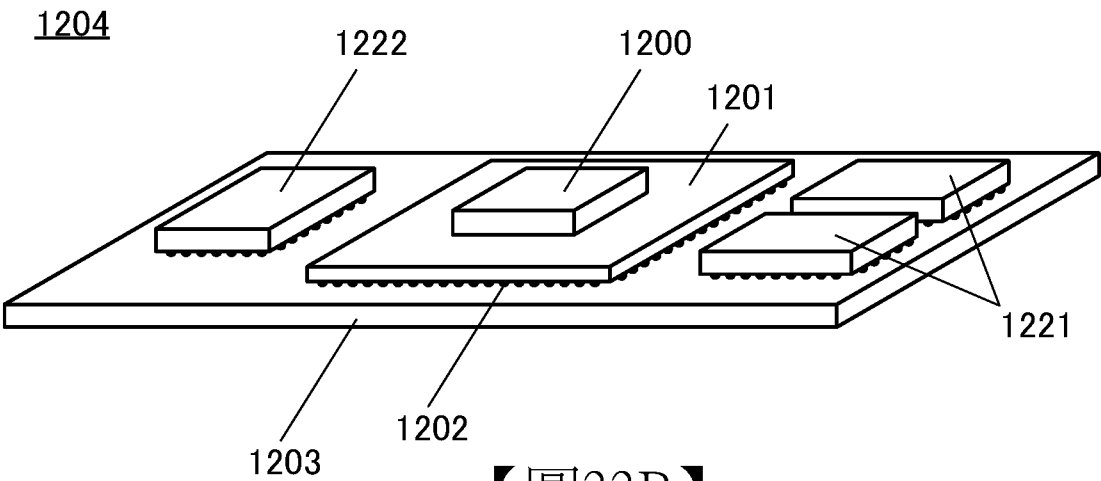
【圖32G】



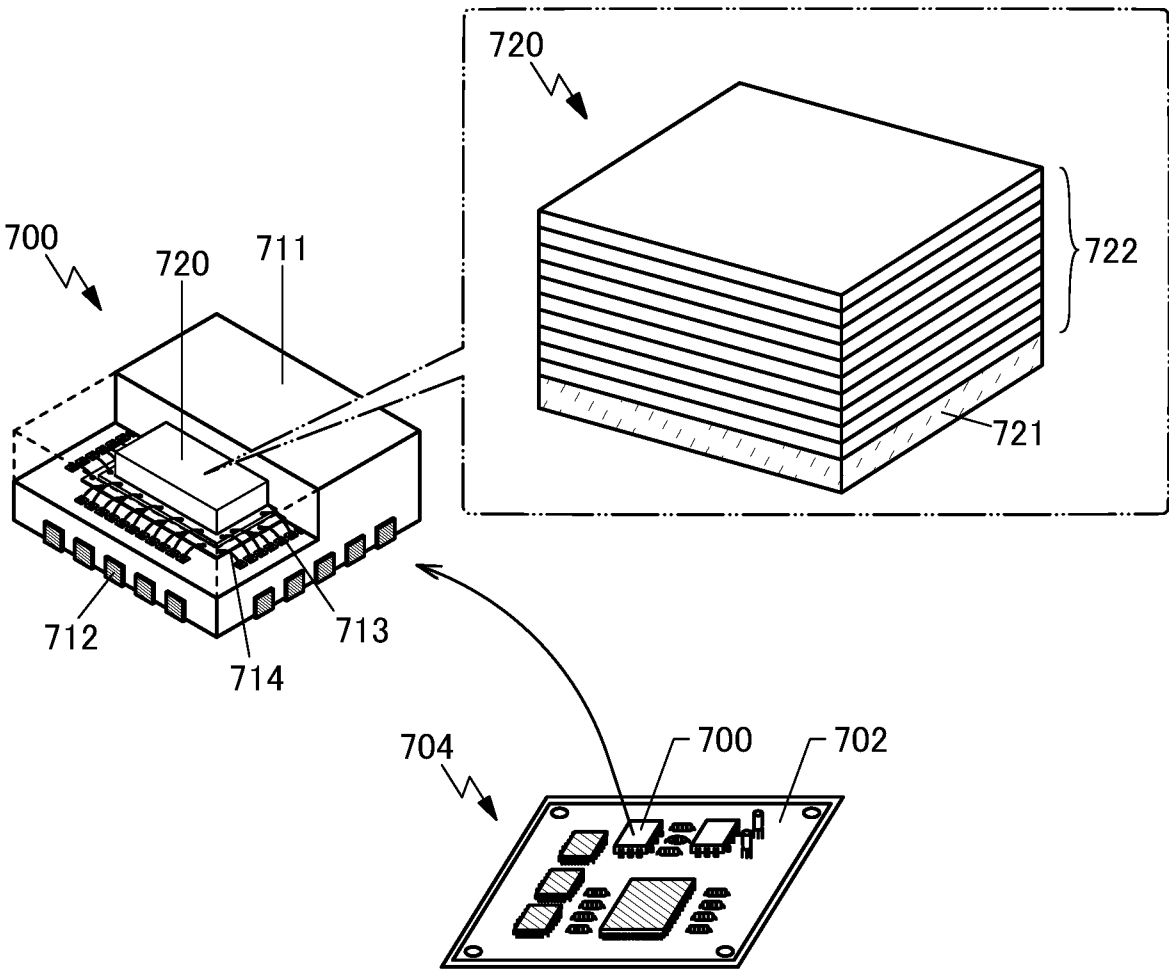
【圖32H】



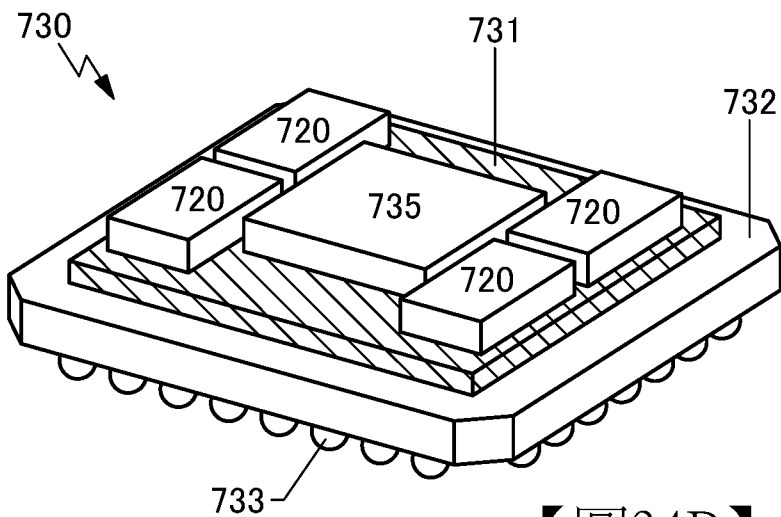
【圖33A】



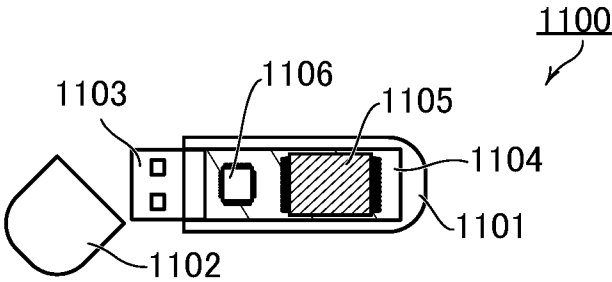
【圖33B】



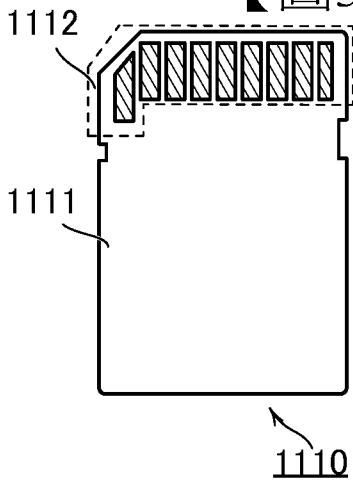
【圖34A】



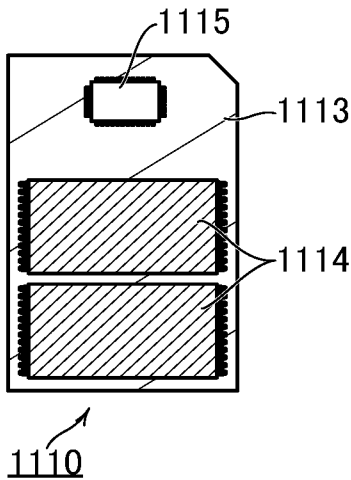
【圖34B】



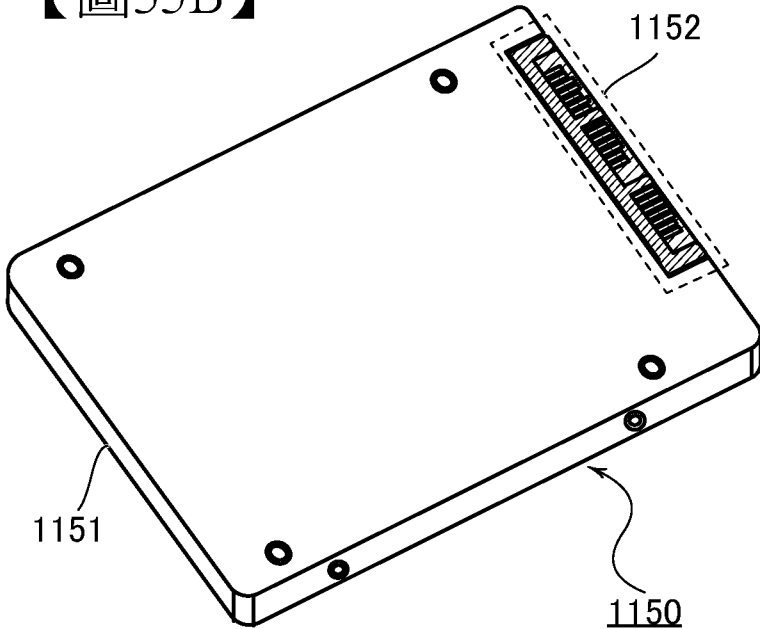
【圖35A】



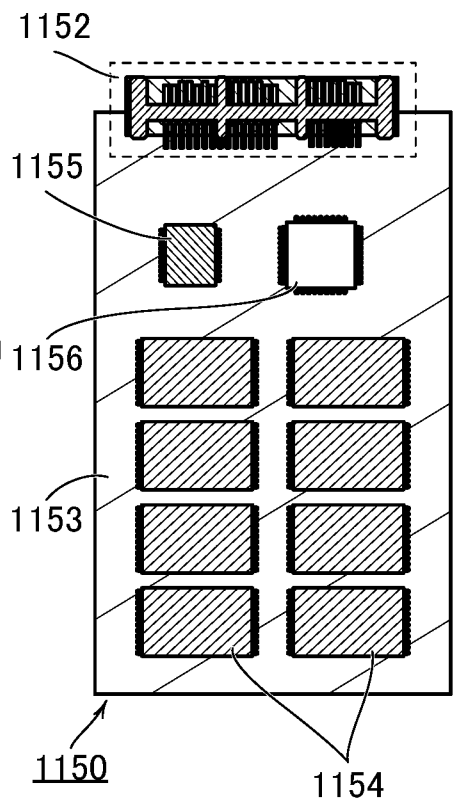
【圖35B】



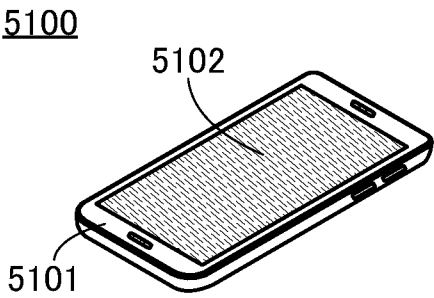
【圖35C】



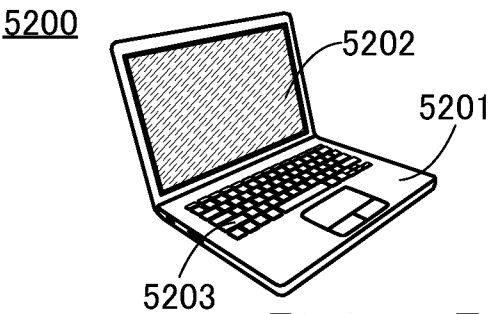
【圖35D】



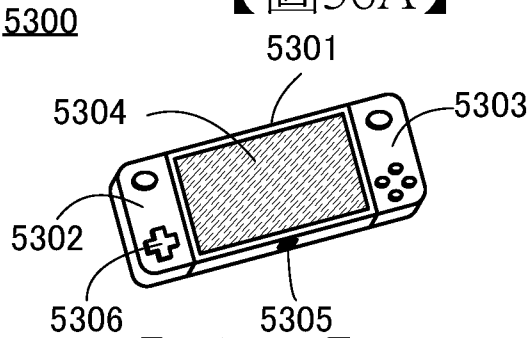
【圖35E】



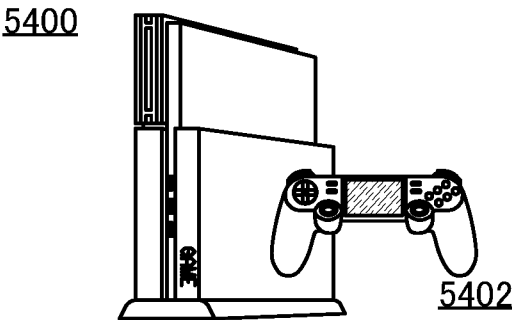
【圖36A】



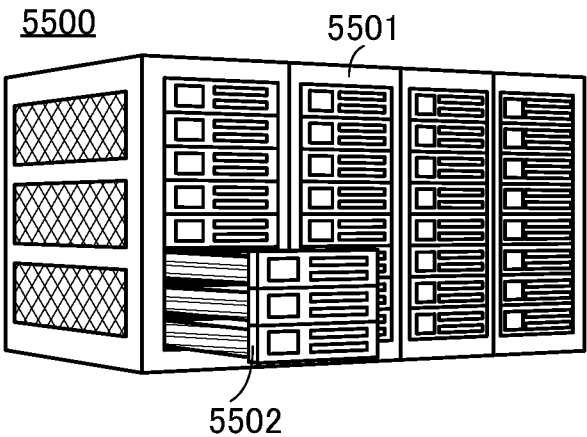
【圖36B】



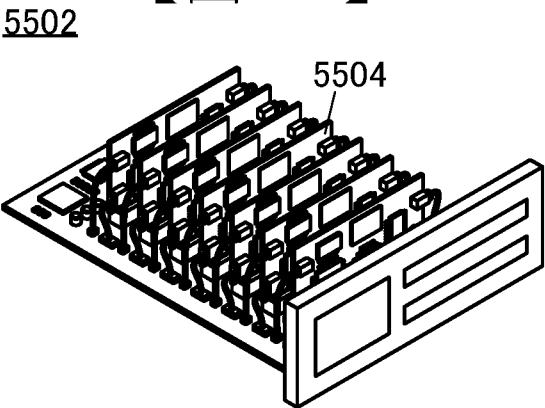
【圖36C】



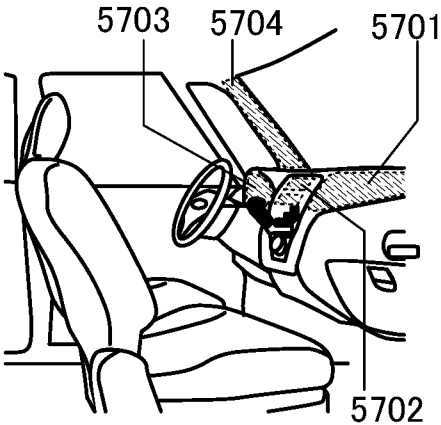
【圖36D】



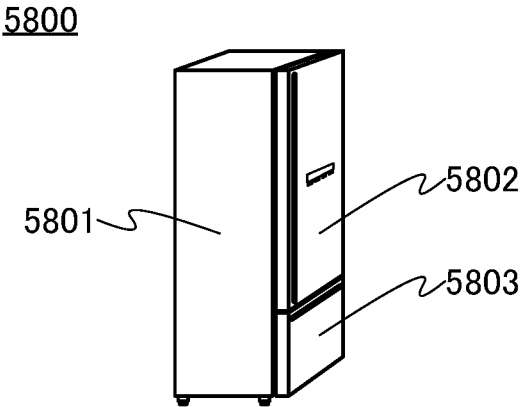
【圖36E】



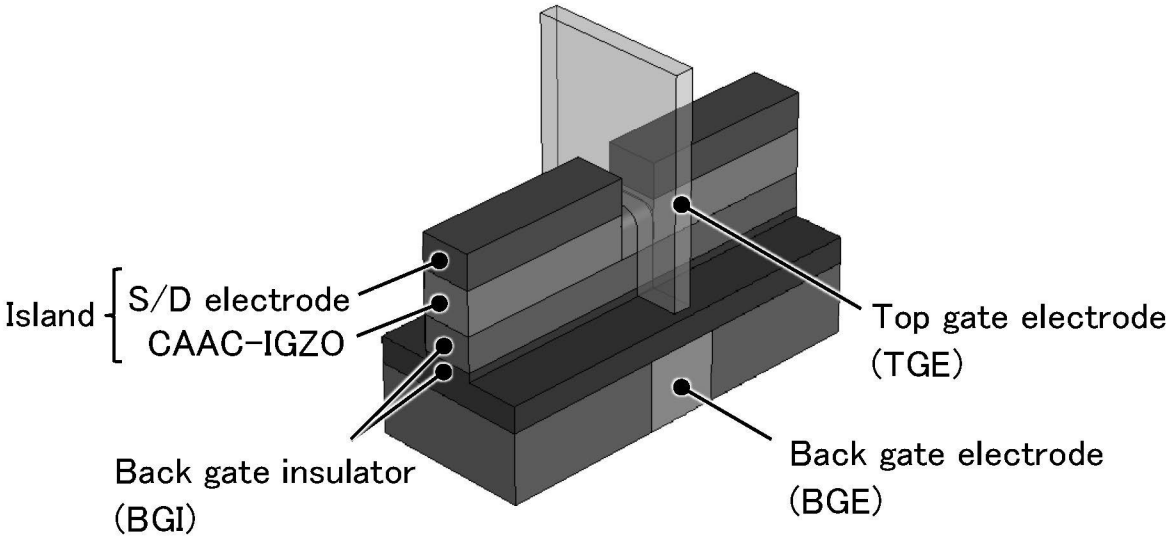
【圖36F】



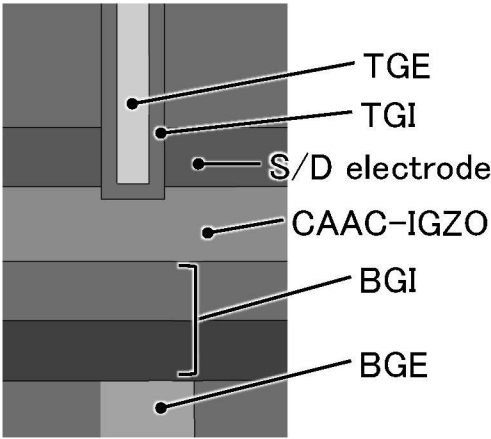
【圖36G】



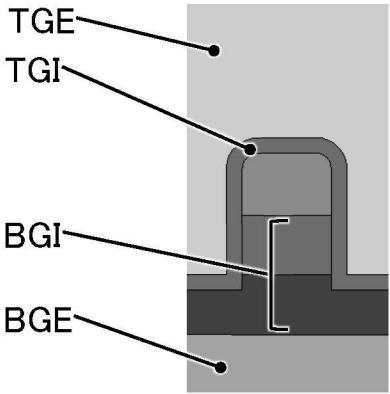
【圖36H】



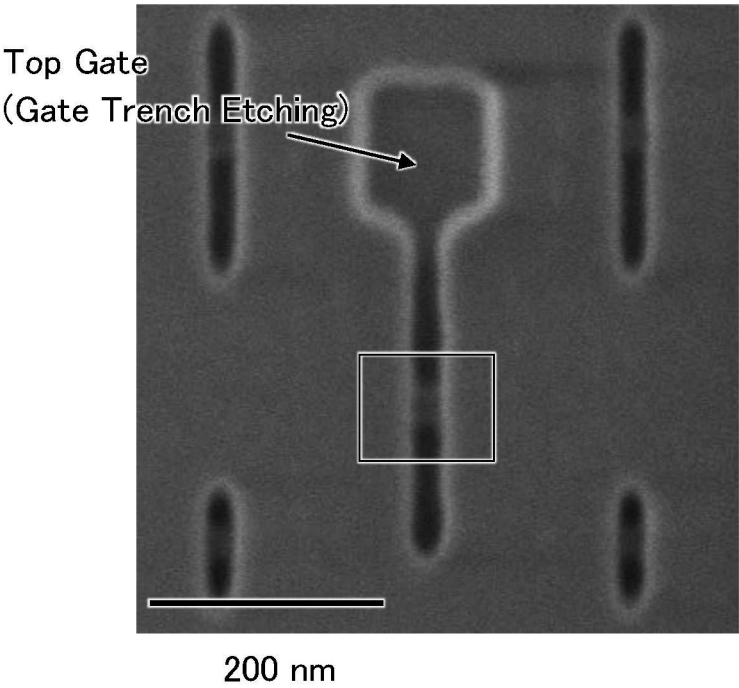
【圖37A】



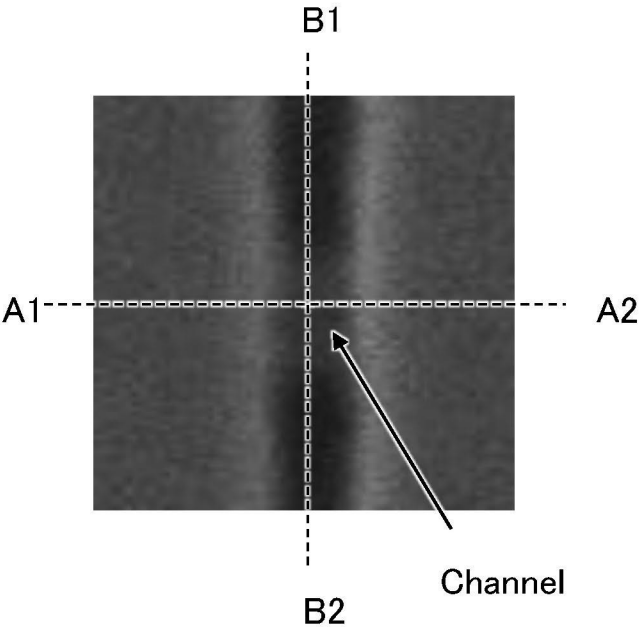
【圖37B】



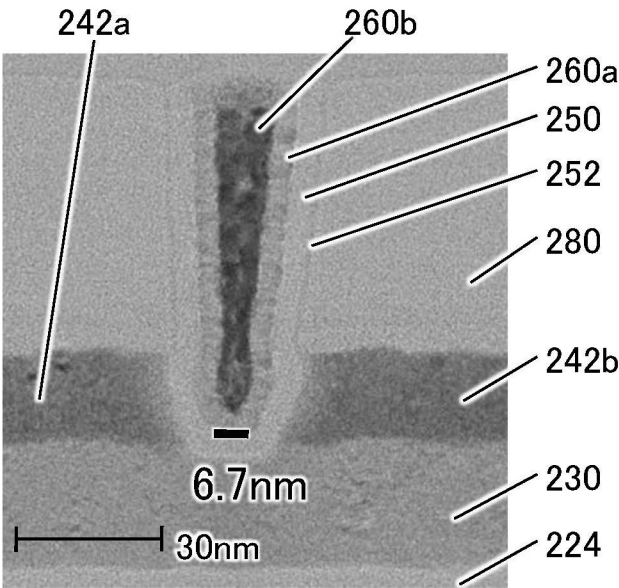
【圖37C】



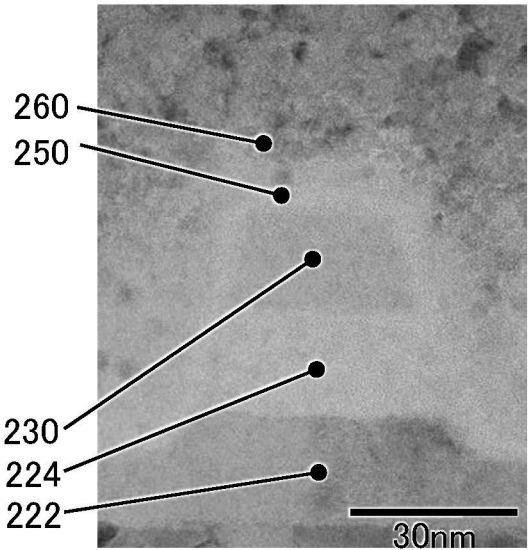
【圖38A】



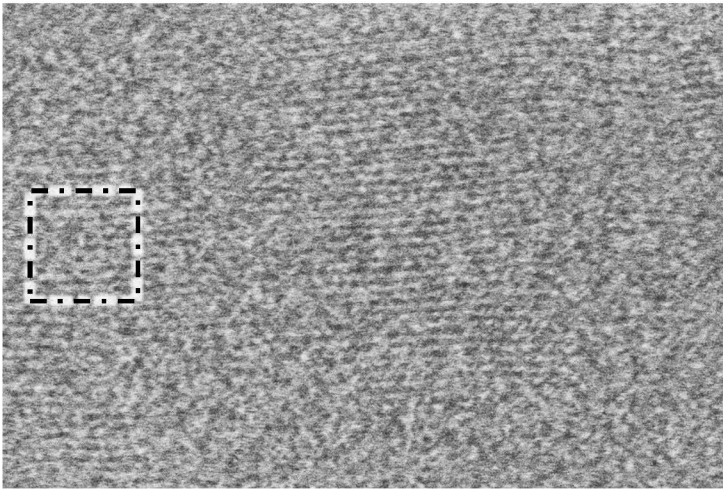
【圖38B】



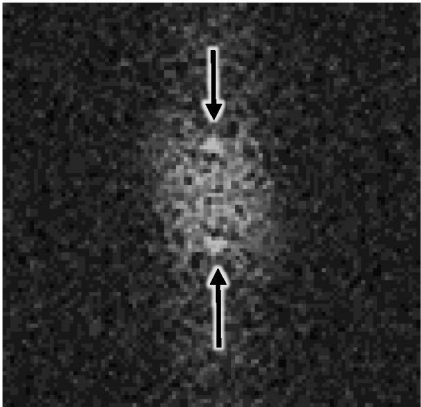
【圖39A】



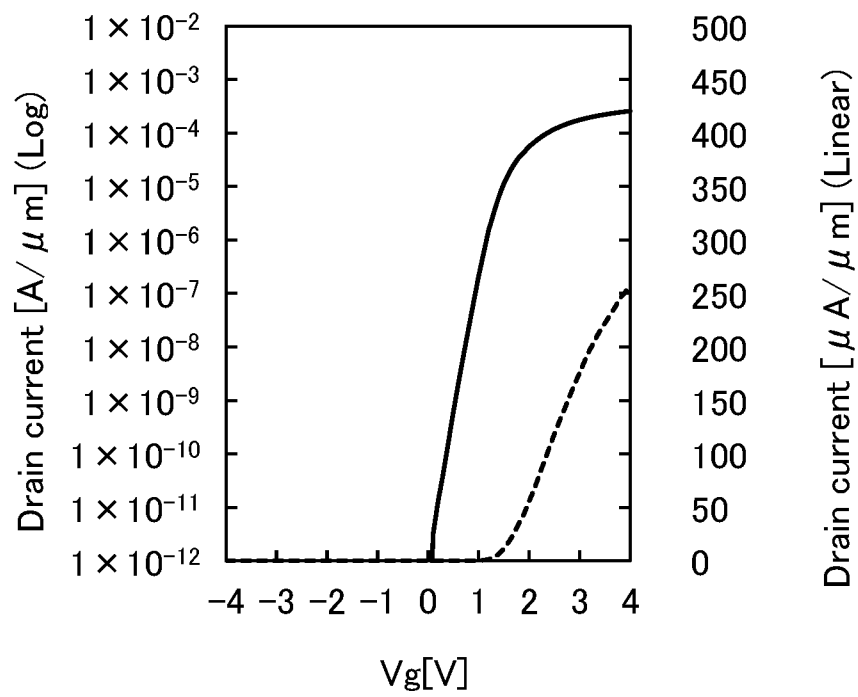
【圖39B】



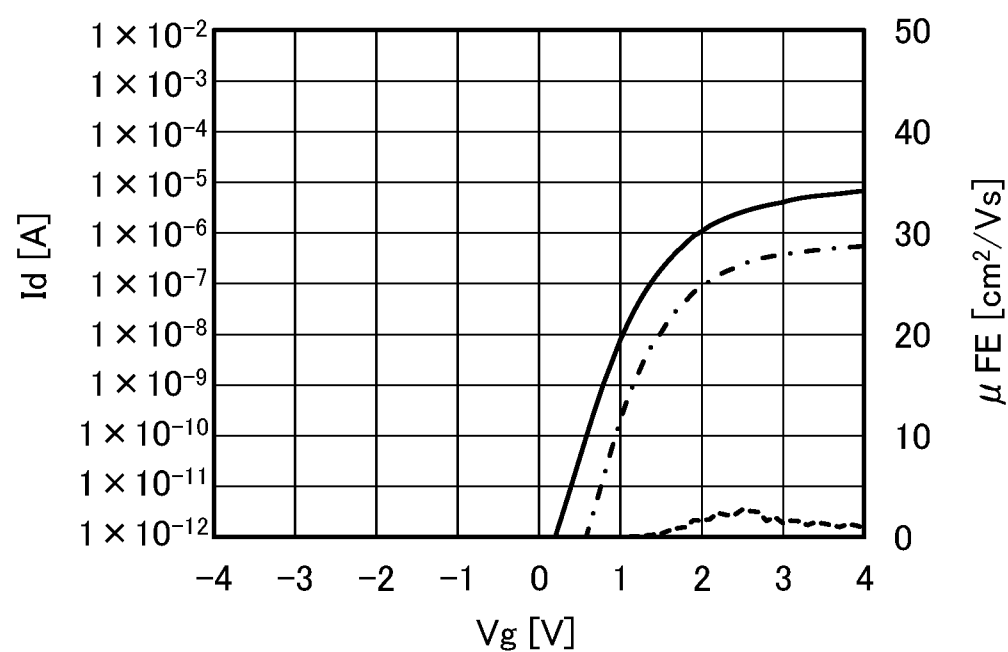
【圖39C】



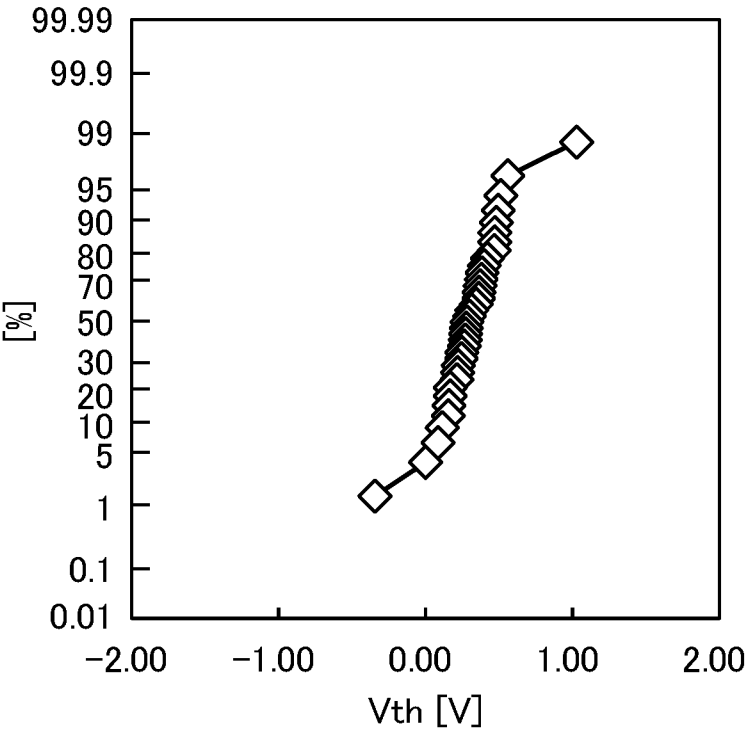
【圖39D】



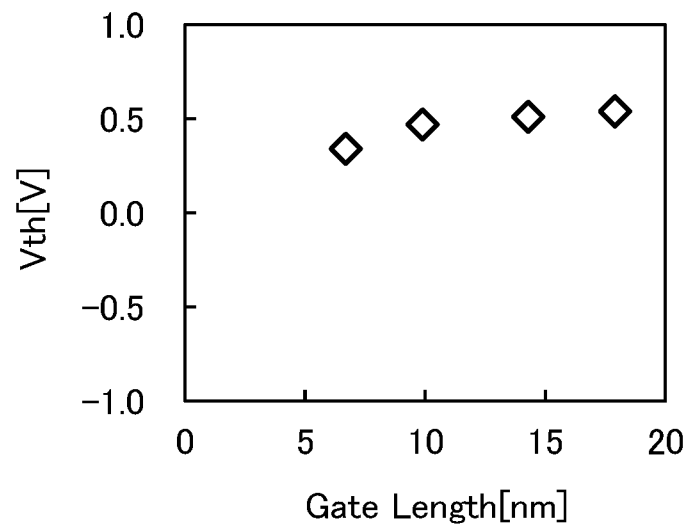
【圖40A】



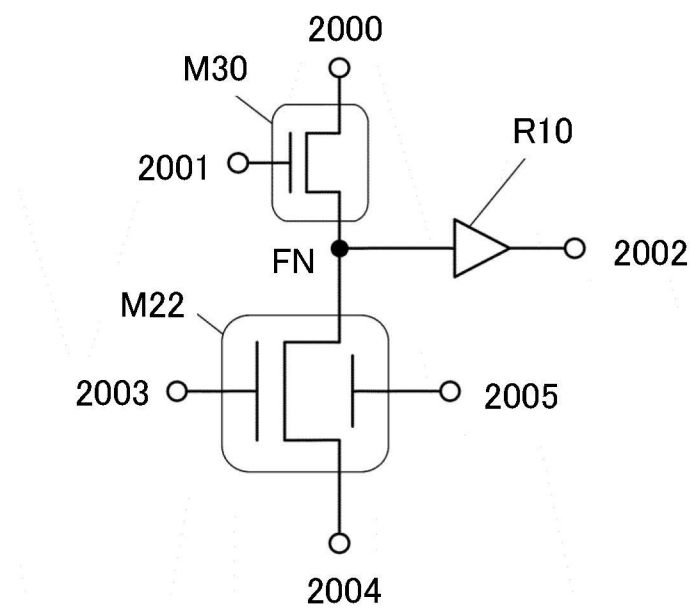
【圖40B】



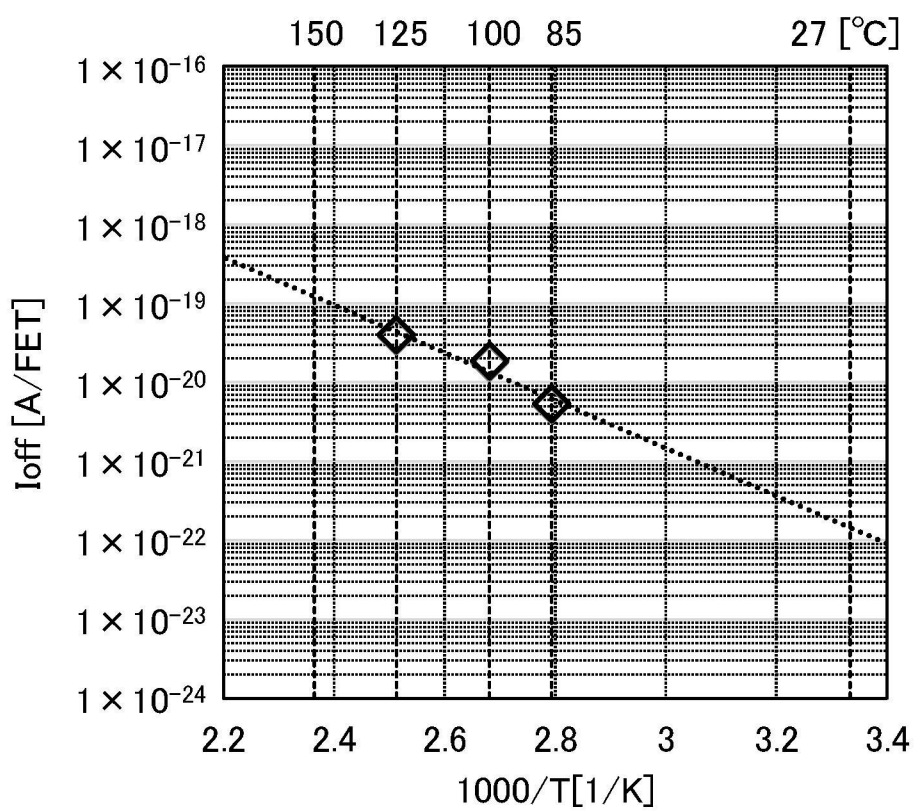
【圖41】



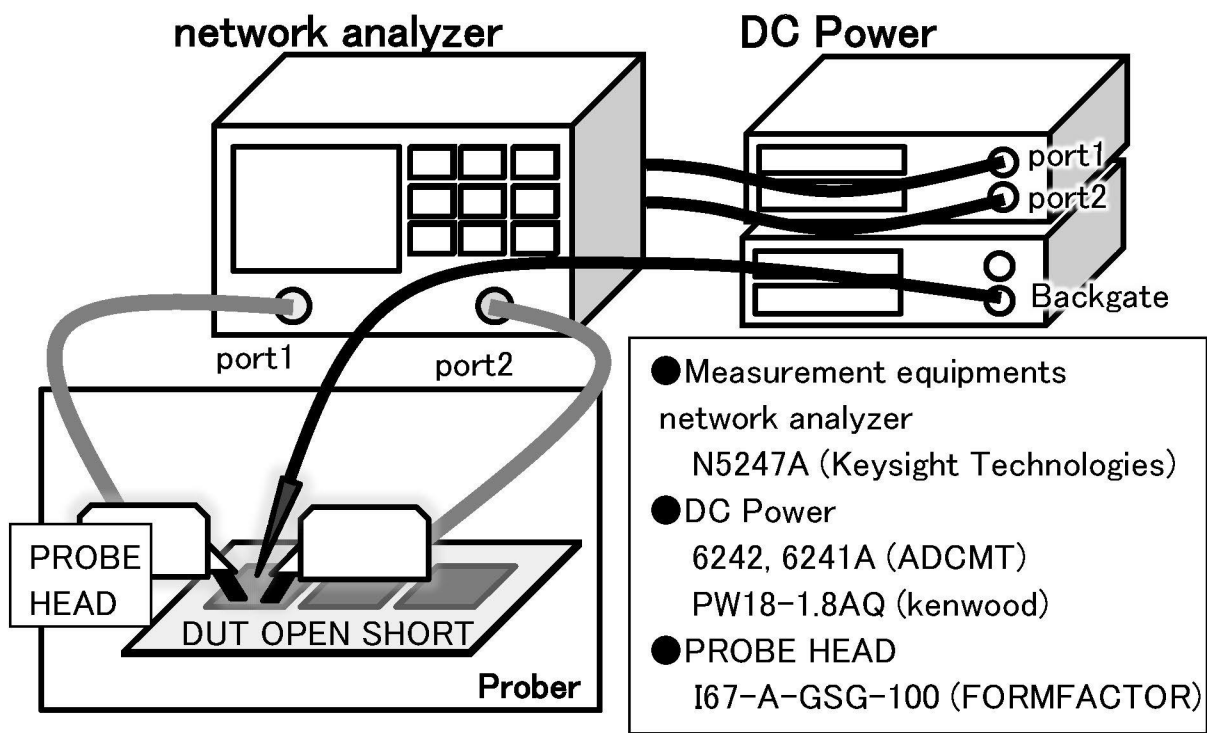
【圖42】



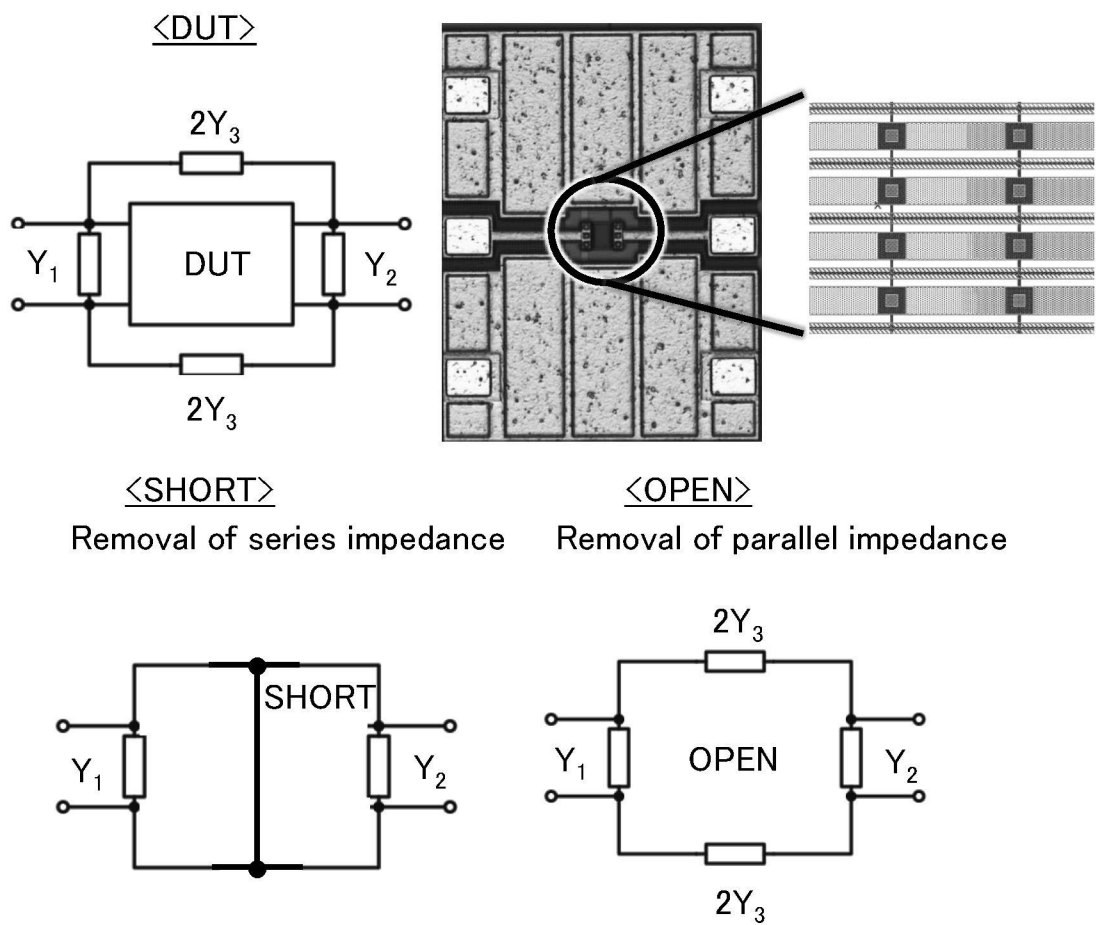
【圖43A】



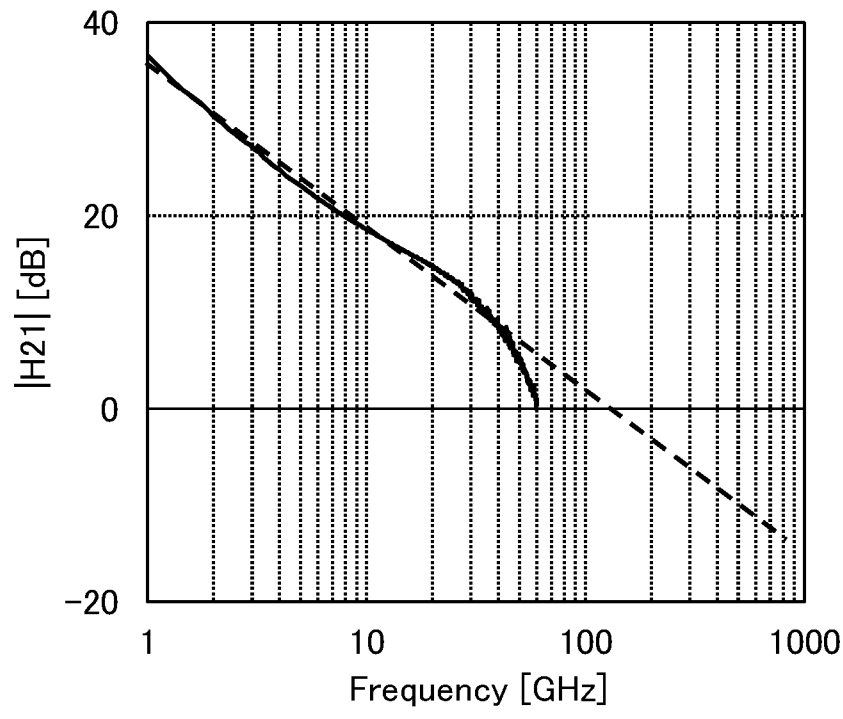
【圖43B】



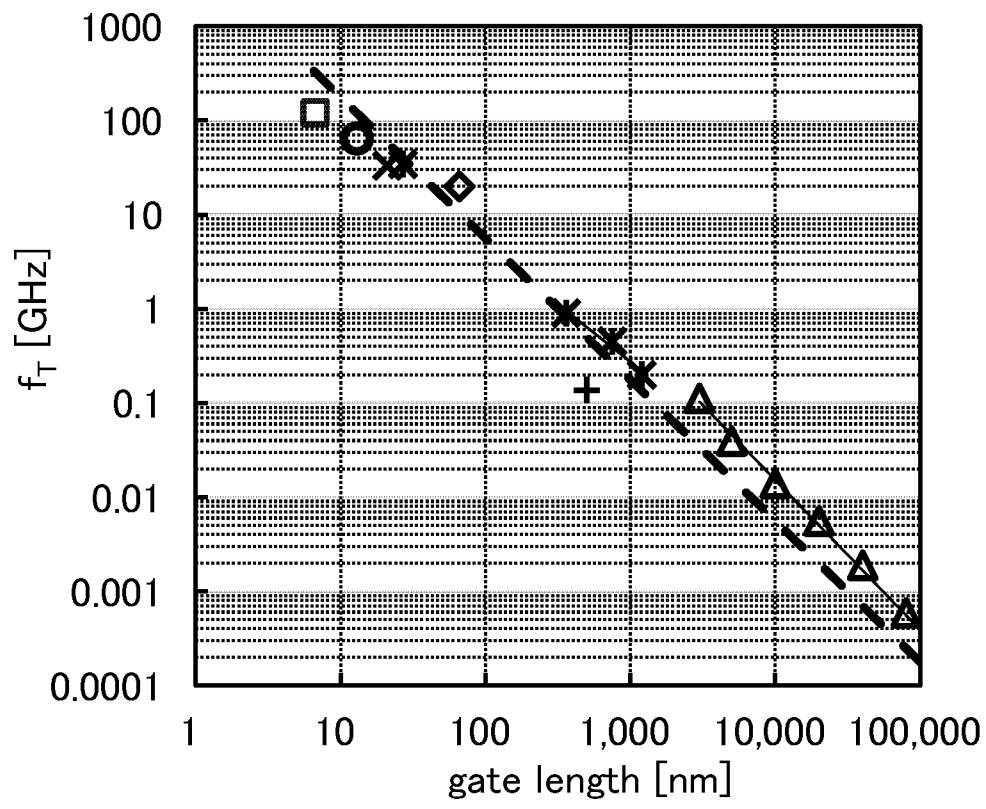
【圖44A】



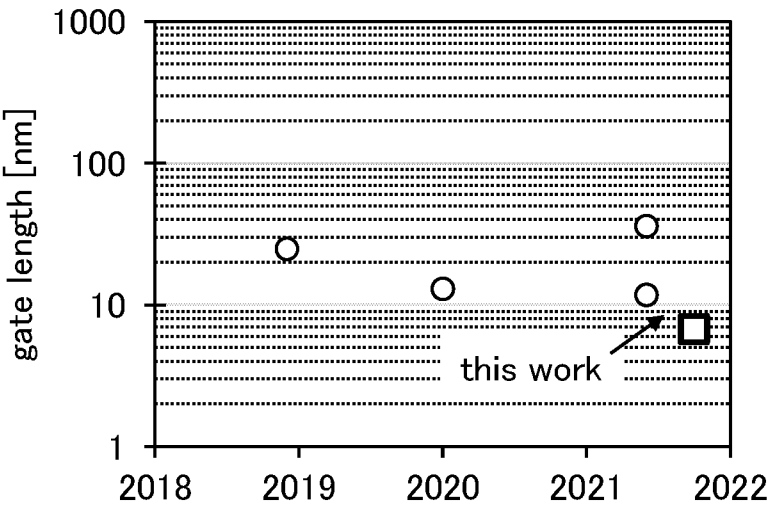
【圖44B】



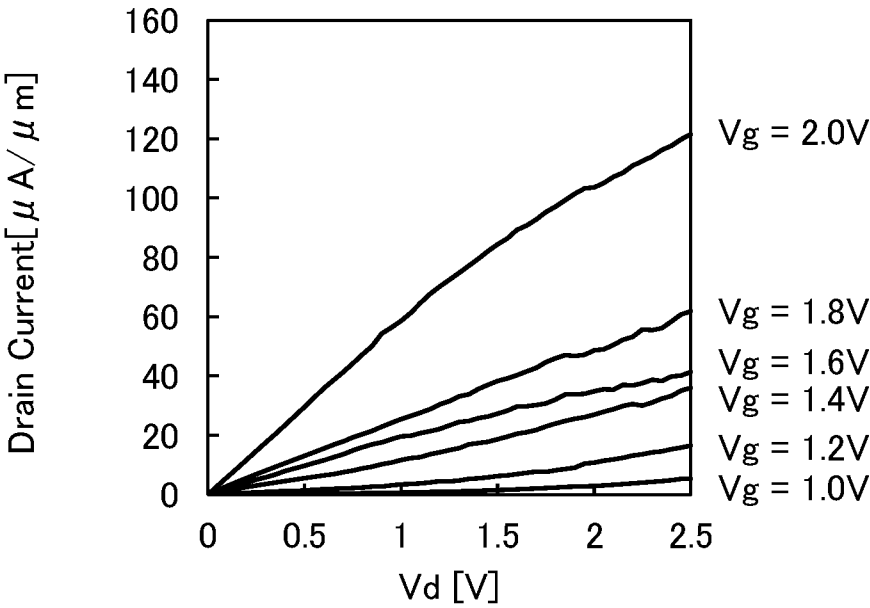
【圖45A】



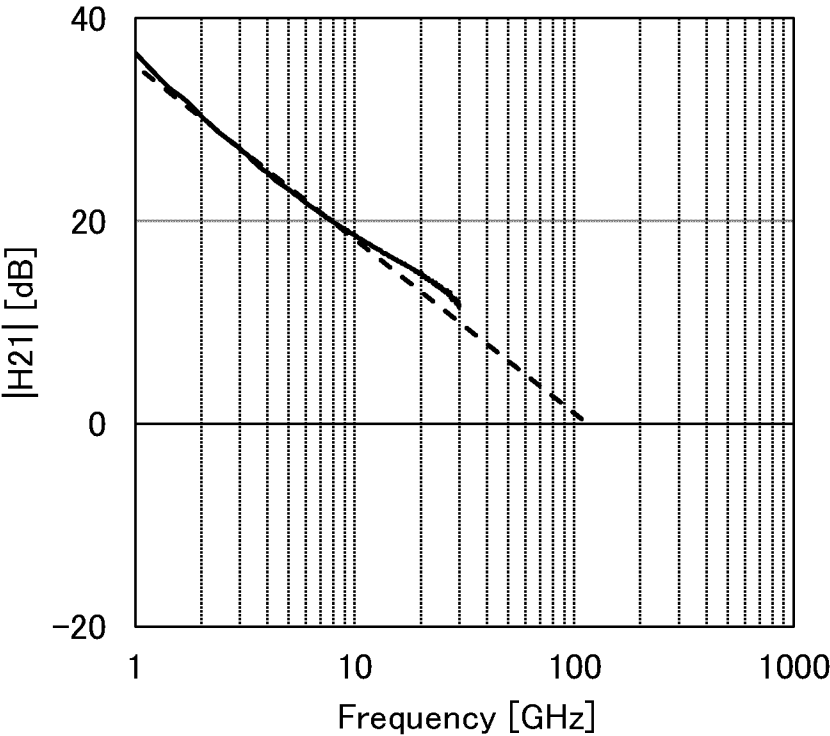
【圖45B】



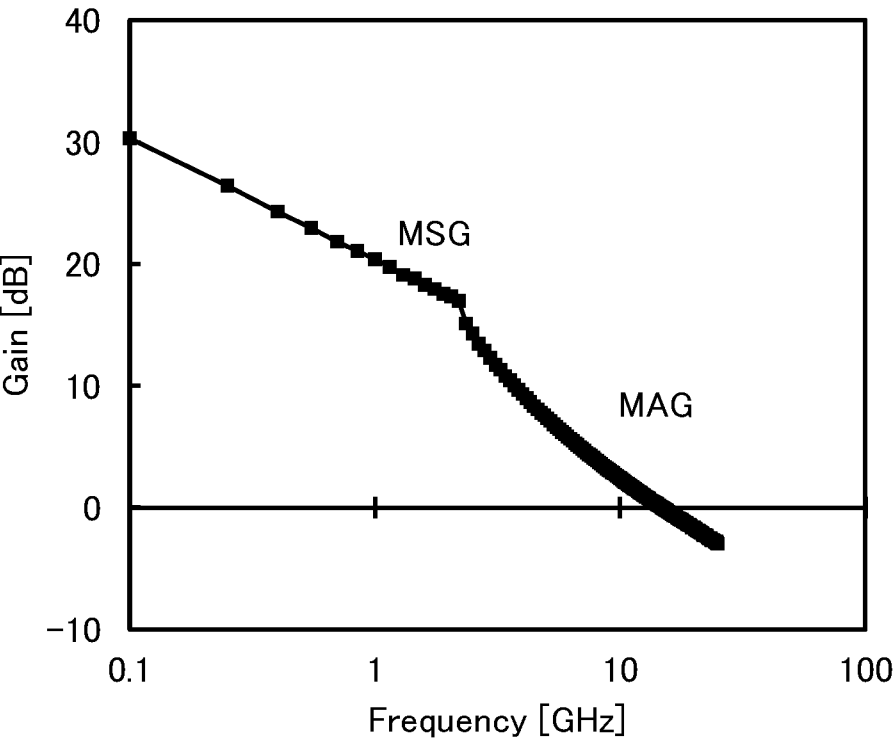
【圖46】



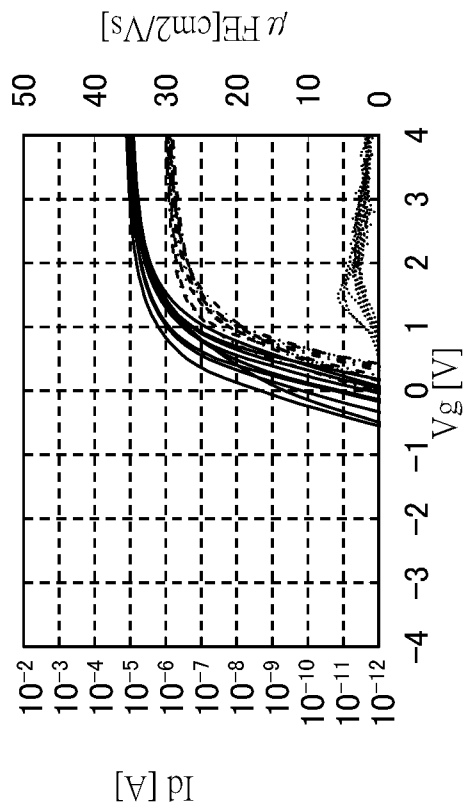
【圖47】



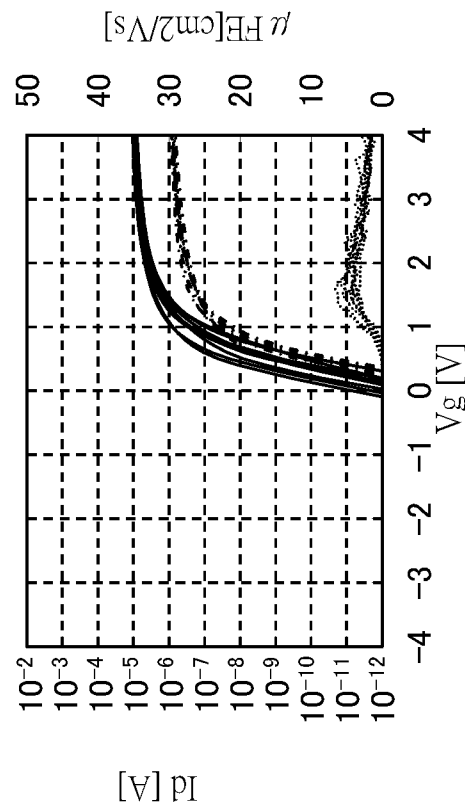
【圖48A】



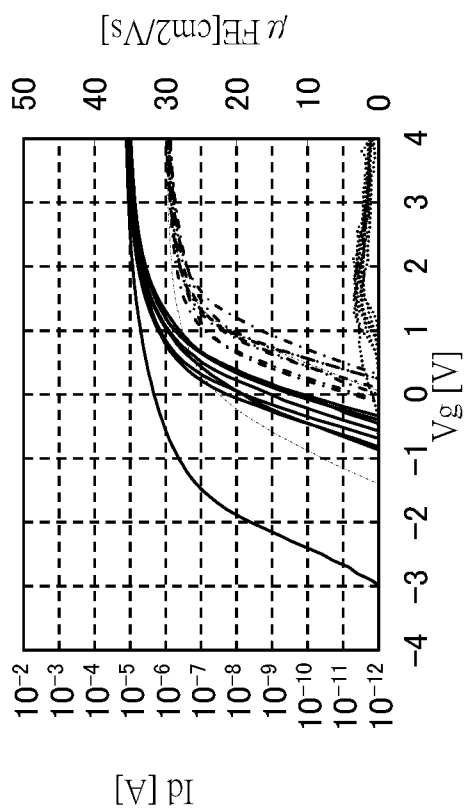
【圖48B】



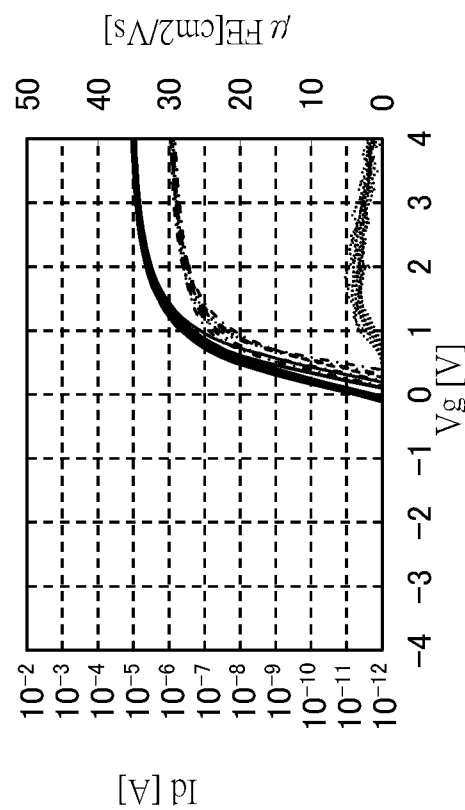
【圖49A】



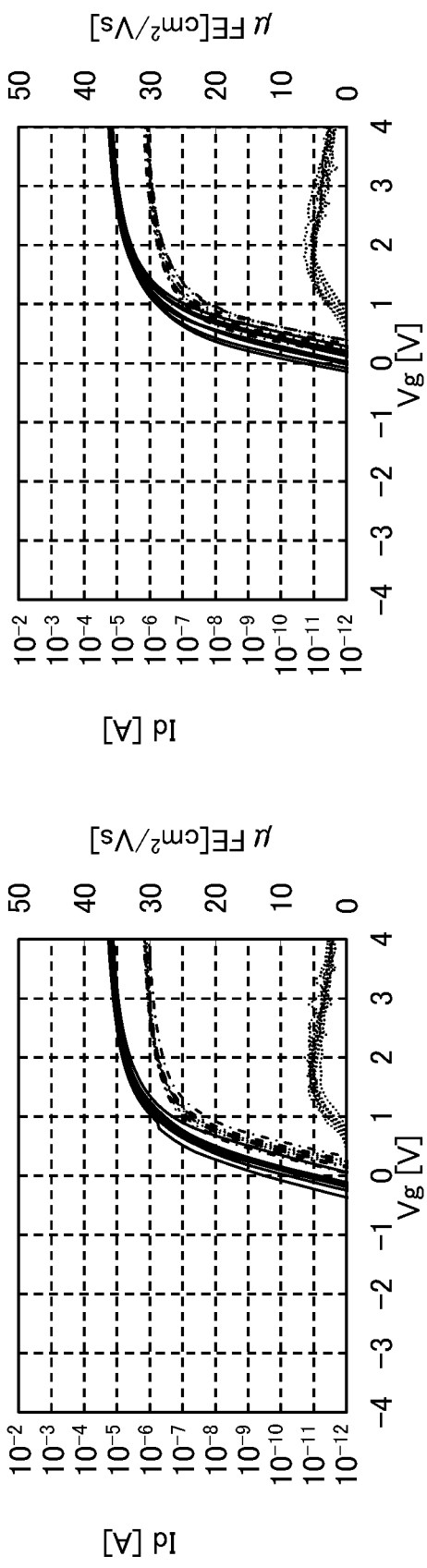
【圖49B】



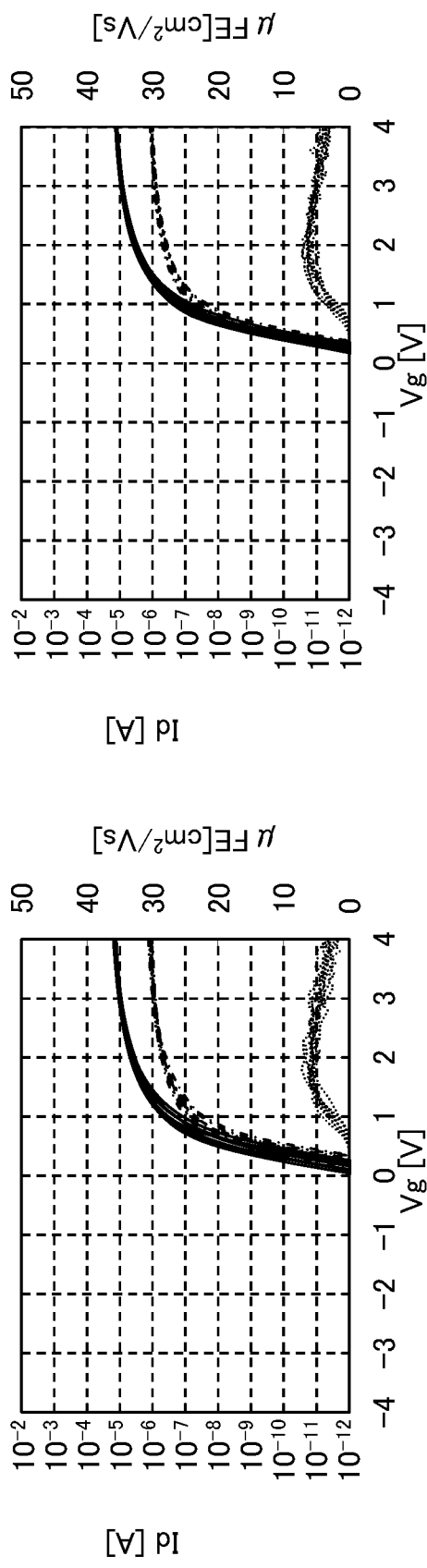
【圖49C】



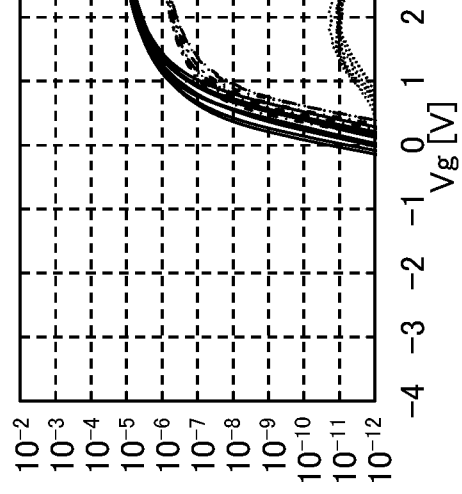
【圖49D】



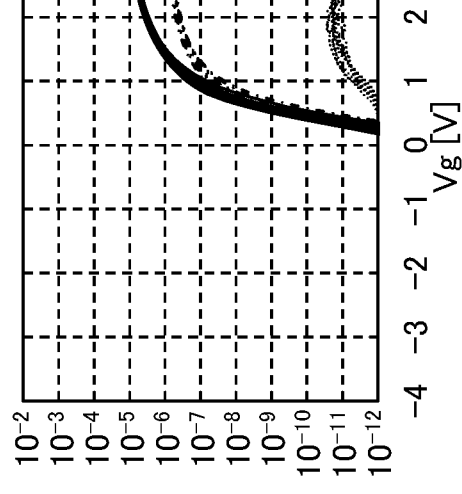
【圖50A】



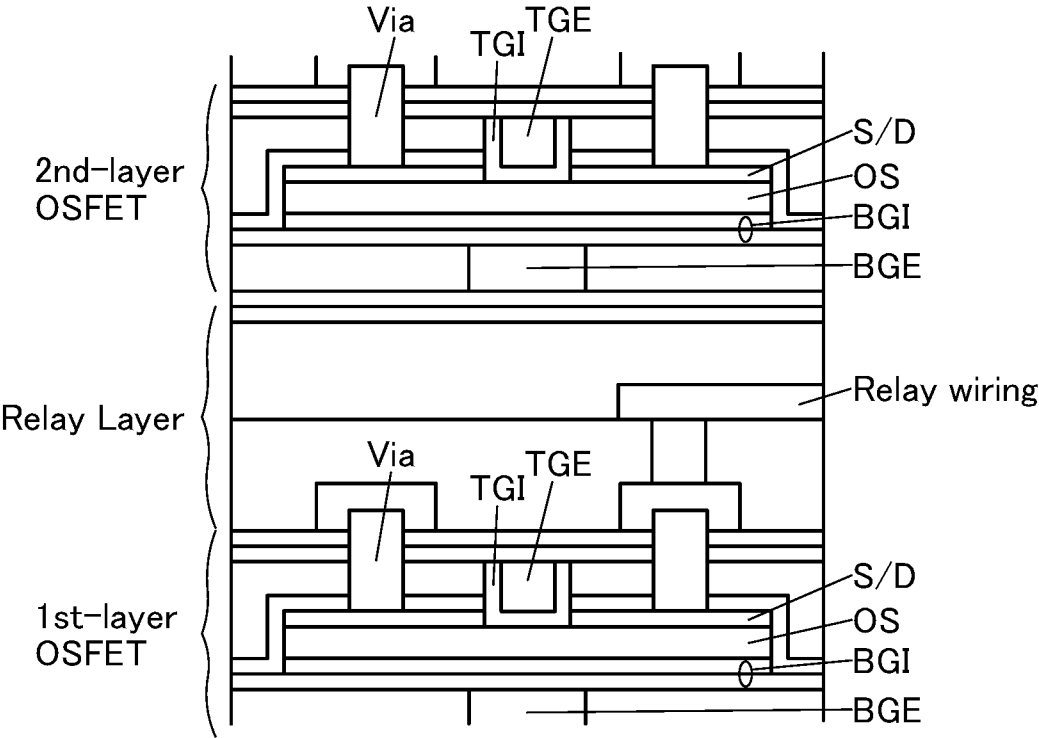
【圖50C】



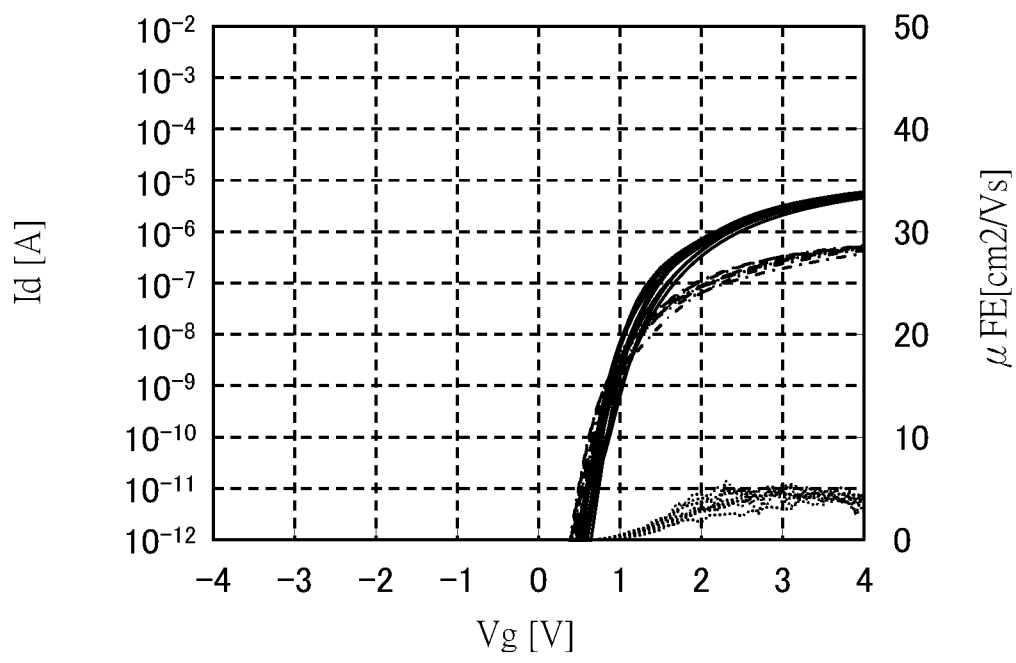
【圖50B】



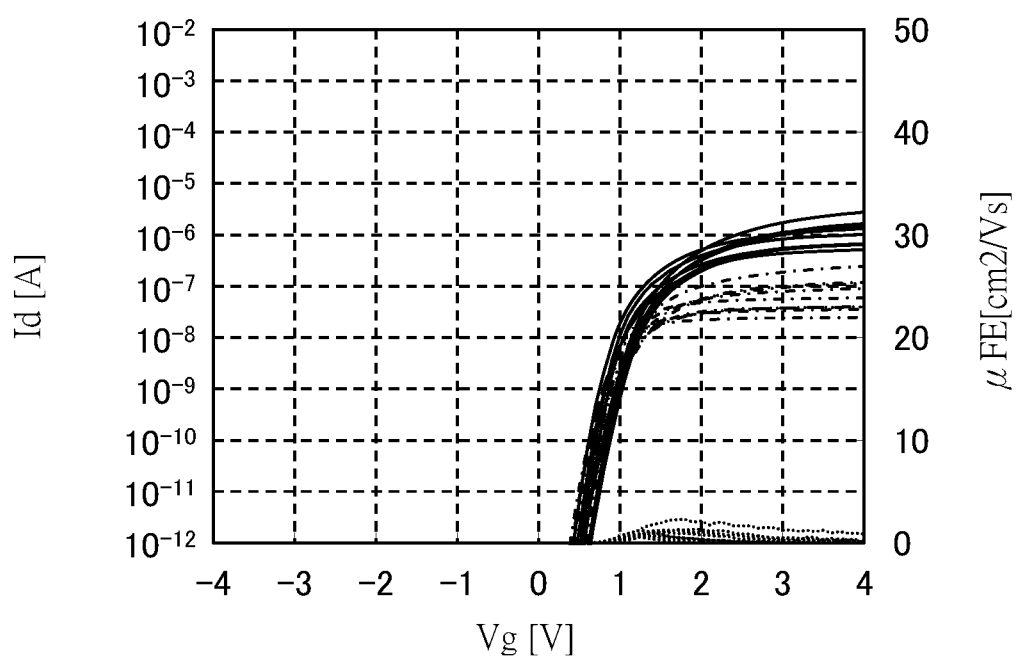
【圖50D】



【圖51】



【圖52A】



【圖52B】