

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成23年2月10日(2011.2.10)

【公表番号】特表2010-515423(P2010-515423A)

【公表日】平成22年5月6日(2010.5.6)

【年通号数】公開・登録公報2010-018

【出願番号】特願2009-544197(P2009-544197)

【国際特許分類】

H 0 2 M 3/07 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

G 1 1 C 13/00 (2006.01)

G 1 1 C 11/4074 (2006.01)

【F I】

H 0 2 M 3/07

H 0 1 L 27/08 3 2 1 B

H 0 1 L 27/04 G

G 1 1 C 13/00 A

G 1 1 C 11/34 3 5 4 F

【手続補正書】

【提出日】平成22年12月17日(2010.12.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

直列接続された複数の方向性ポンプ段を含む第1の多段式チャージポンプ回路を備え、前記第1の多段式チャージポンプ回路は、第1の出力電圧を生成するために独立して動作可能であり、

直列接続された複数の方向性ポンプ段を含む第2の多段式チャージポンプ回路をさらに備え、

前記第2の多段式チャージポンプ回路は、第2の出力電圧を生成するために独立して動作可能であり、

あるときには、各々が独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を協働して生成するために、前記第1の多段式チャージポンプ回路を前記第2の多段式チャージポンプ回路へ結合するための手段をさらに備え、

前記第1の出力電圧、前記第2の出力電圧、および前記協調的な出力電圧のうちの1つは、前記第1の出力電圧、前記第2の出力電圧、および前記協調的な出力電圧のうちの他の1つとは極性が反対である、回路。

【請求項2】

前記第1の多段式チャージポンプ回路は、第1の動作モードにおいて、前記第1のチャージポンプ回路の第1の出力ノードに正電圧を生成するよう構成可能であり、第2の動作

モードにおいて、前記第 1 のチャージポンプ回路の第 2 の出力ノードに負電圧を生成するよう構成可能である、請求項 1 に記載の回路。

【請求項 3】

第 1 および第 2 の電圧ノードと、

前記第 1 の多段式チャージポンプ回路の一方の端部を、あるときには前記第 1 の電圧ノードへ結合し、またあるときには前記第 1 の出力ノードへ結合する第 1 のスイッチ回路と

、
前記第 1 の多段式チャージポンプ回路の他方の端部を、あるときには前記第 2 の電圧ノードへ結合し、またあるときには前記第 2 の出力ノードへ結合する第 2 のスイッチ回路とをさらに備える、請求項 2 に記載の回路。

【請求項 4】

第 3 の電圧ノードと、

第 3 の出力ノードと、

前記第 2 の多段式チャージポンプ回路の一方の端部を、あるときには前記第 3 の電圧ノードへ結合し、またあるときには前記第 3 の出力ノードへ結合する第 3 のスイッチ回路と

、
前記第 2 の多段式チャージポンプ回路の他方の端部を、あるときは前記第 1 および第 2 の電圧ノードの一方に結合し、またあるときには前記第 1 および第 2 の出力ノードの他方に結合する第 4 のスイッチ回路とをさらに備える、請求項 3 に記載の回路。

【請求項 5】

前記第 1 および第 2 の多段式チャージポンプ回路は、独立して動作する場合、両方が、異なる大きさの正電圧または異なる大きさの負電圧を生成する、請求項 1 ~ 4 のいずれかに記載の回路。

【請求項 6】

第 1 の動作モードにおいては、前記第 1 および第 2 の多段式チャージポンプ回路は、前記協調的な出力電圧を生成するために協働し、

第 2 の動作モードにおいては、前記第 1 および第 2 の多段式チャージポンプ回路は、独立して動作し、一方は正の出力電圧を生成するとともに他方は負の出力電圧を生成する、請求項 1 ~ 4 のいずれかに記載の回路。

【請求項 7】

ワードラインおよびビットライン、および前記ワードラインおよびビットラインに対して前記チャージポンプ回路に応答するサポート回路を有するメモリアレイをさらに備え、前記第 1 の動作モードにおいては、前記協調的な出力電圧が前記ワードラインおよびビットラインのうちの特定のものと結合され、

前記第 2 の動作モードにおいては、前記正の出力電圧および負の出力電圧の一方が、前記ワードラインのうちの特定のものと結合され、前記正の出力電圧および負の出力電圧の他方が、前記ビットラインのうちの特定のものと結合される、請求項 6 に記載の回路。

【請求項 8】

前記メモリアレイは、

受動素子メモリセルを含む、請求項 7 に記載の回路。

【請求項 9】

方法であって、

第 1 の動作モードにおいて、第 1 の多段式チャージポンプ回路の出力ノードに正電圧を生成するステップと、

第 2 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の他の出力ノードに負電圧を生成するステップと、

あるときには、第 2 の多段式チャージポンプ回路を、前記第 1 および第 2 の多段式チャージポンプ回路が各々独立して動作することによって生成できる電圧または電流よりも大きな電圧または電流を有する協調的な出力電圧を生成するために、前記第 1 の多段式チャージポンプ回路と協働するように結合するステップと、

またあるときには、前記第 1 および第 2 のチャージポンプ回路が各々個別の出力電圧を生成するように、前記第 1 および第 2 のチャージポンプ回路を独立して動作するステップとを備える、方法。

【請求項 10】

前記第 1 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の第 1 の端部を、第 1 の電圧ノードに結合し、前記第 1 の多段式チャージポンプ回路の第 2 の端部を、前記第 1 の多段式チャージポンプ回路の第 2 の出力ノードに結合するステップと、

前記第 2 の動作モードにおいて、前記第 1 の多段式チャージポンプ回路の第 2 の端部を、第 2 の電圧ノードに結合し、前記第 1 の多段式チャージポンプ回路の第 1 の端部を、前記第 1 の多段式チャージポンプ回路の第 1 の出力ノードに結合するステップとをさらに備える、請求項 9 に記載の方法。

【請求項 11】

前記第 1 および第 2 の動作モードのいずれか一方において、前記第 1 および第 2 の多段式チャージポンプ回路は、それぞれの端部が並列に結合され、

前記協働は、このような協働がない場合よりも、前記協調的な出力電圧に対してより大きい出力電流をもたらす、請求項 9 に記載の方法。

【請求項 12】

前記第 1 および第 2 の動作モードのいずれか一方において、前記第 1 および第 2 の多段式チャージポンプ回路は、その端部が直列に結合され、

前記協働は、このような協働がない場合よりも、前記協調的な出力電圧に対してより大きい出力電圧をもたらす、請求項 9 に記載の方法。

【請求項 13】

前記第 1 および第 2 の動作モードの他方において、前記第 1 および第 2 の多段式チャージポンプ回路は独立して動作し、両方が、異なる大きさの正電圧または異なる大きさの負電圧を生成する、請求項 11 または 12 に記載の方法。

【請求項 14】

前記第 1 の動作モードにおいて、前記第 1 および第 2 の多段式チャージポンプ回路は、前記協調的な出力電圧を生成するために協働し、

前記第 2 の動作モードにおいて、前記第 1 および第 2 の多段式チャージポンプ回路は、独立して動作し、一方は正の出力電圧を生成するとともに他方は負の出力電圧を生成する、請求項 9、11 および 12 のいずれかに記載の方法。

【請求項 15】

前記第 1 の動作モードにおいて、前記協調的な出力電圧を、メモリアレイのワードラインおよびビットラインのうちの特定のものに結合するステップと、

前記第 2 の動作モードにおいて、前記正の出力電圧および負の出力電圧の一方を、前記ワードラインのうちの特定のものと結合し、前記正の出力電圧および負の出力電圧の他方を、前記ビットラインのうちの特定のものと結合するステップとをさらに備える、請求項 14 に記載の方法。