

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-203962

(P2012-203962A)

(43) 公開日 平成24年10月22日(2012.10.22)

(51) Int.Cl.

G11C 13/00 (2006.01)

F I

G11C 13/00 150
G11C 13/00 120A

テーマコード (参考)

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2011-68220 (P2011-68220)
(22) 出願日 平成23年3月25日 (2011.3.25)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100092820
弁理士 伊丹 勝
(74) 代理人 100106389
弁理士 田村 和彦
(72) 発明者 佐々木 貴彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

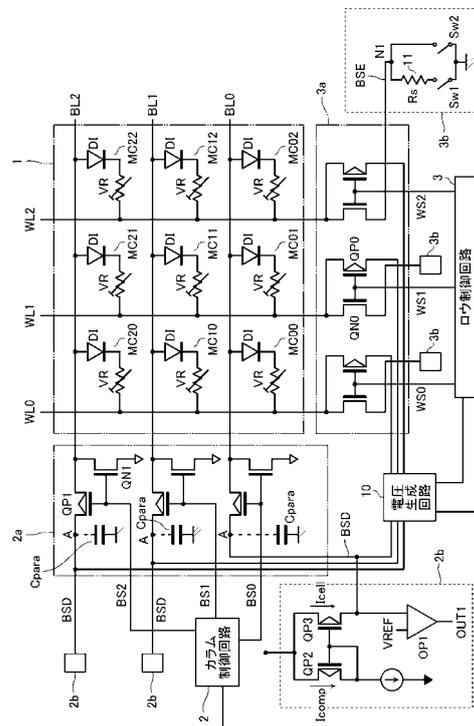
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】 誤リセット動作やメモリセルの破壊を防止して安定的な動作を可能にする不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、第1の配線と、第2の配線と、第1及び第2の配線の間接続され可変抵抗素子を備えたメモリセルを配列してなるメモリセルアレイと、第1の配線及び第2の配線を介してメモリセルの動作に必要な電圧を印加する制御回路と、第1の配線に接続されメモリセルに流れる電流を所定の制限値に制限する電流制限回路と第2の配線に接続可能に構成されメモリセルに対する動作の種類に応じて第2の配線に流れる電流を抑制する電流抑制回路とを有する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

第 1 の配線と、第 2 の配線と、前記第 1 及び第 2 の配線の間接続され可変抵抗素子を備えたメモリセルを配列してなるメモリセルアレイと、

前記第 1 の配線及び前記第 2 の配線を介して前記メモリセルの動作に必要な電圧を印加する制御回路と、

前記第 1 の配線に接続され前記メモリセルに流れる電流を所定の制限値に制限する電流制限回路と

前記第 2 の配線に接続可能に構成され前記メモリセルに対する動作の種類に応じて前記第 2 の配線に流れる電流を抑制する電流抑制回路と

を有することを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記制御回路は、1 の前記第 2 の配線に接続される複数のメモリセルに対し同時に所定の動作を実行可能に構成された請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記電流抑制回路は、

接地端子と前記第 2 の配線とを電気的に接続し第 1 の抵抗値を有する第 1 の電流経路と

、

接地端子と前記第 2 の配線とを電気的に接続し第 2 の抵抗値を有する第 2 の電流経路と

、

前記第 1 の電流経路及び前記第 2 の電流経路を選択的に導通状態に切り替えるスイッチ回路と

を有することを特徴とする請求項 1 乃至 2 に記載の不揮発性半導体記憶装置。

20

【請求項 4】

前記第 2 の配線と前記電流抑制回路との間に接続され、前記第 2 の配線が選択される場合に導通状態に切り替えられる転送トランジスタを備えたことを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 2 の配線と所定の電圧を供給する電圧端子との間に接続され前記第 2 の配線が選択される場合に導通状態に切り替えられる転送トランジスタを備え、

30

前記電流抑制回路は、前記転送トランジスタのゲートに供給する電圧を制御することにより前記第 2 の配線に流れる電流を抑制するように構成された

ことを特徴とする請求項 1 乃至 2 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、可変抵抗素子をメモリセルに使用した抵抗変化型メモリが提案されている。可変抵抗素子としては、カルコゲナイド化合物の結晶/アモルファス化の状態変化によって抵抗値を変化させる相変化メモリ素子、トンネル磁気抵抗効果による抵抗変化を用いる MRAM 素子、導電性ポリマーで抵抗素子が形成されるポリマー強誘電 RAM (PF RAM) のメモリ素子、電気パルス印加によって抵抗変化を起こす ReRAM 素子等が知られている。

40

【0003】

メモリセルに対するデータの書き込みは、いわゆるユニポーラ型素子においては、可変抵抗素子に所定のセット電圧を短時間印加することにより行う。これにより、可変抵抗素子が高抵抗状態から低抵抗状態へと変化する。以下、この可変抵抗素子を高抵抗状態から低抵抗状態へ変化させる動作をセット動作という。一方、メモリセル MC に対するデータ

50

の消去は、いわゆるユニポーラ型素子においては、セット動作後の低抵抗状態の可変抵抗素子に対し、セット動作時のセット電圧よりも低いリセット電圧を長時間印加することにより行う。これにより、可変抵抗素子が低抵抗状態から高抵抗状態へと変化する。以下、この可変抵抗素子を低抵抗状態から高抵抗状態へ変化させる動作をリセット動作という。

このような抵抗変化型メモリにおいてセット動作を行う場合に、セット動作の完了後は、完了前に比べてメモリセルを流れるセル電流が大幅に増加する。このような大きい電流が流れ続けると、低抵抗状態に一旦移行したメモリセルが再び誤って高抵抗状態に戻る事態が生じたり（誤リセット）、またはメモリセル自体が破壊されたりすることが起こり得る。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特表2005-522045号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

以下に記載の発明の実施の形態は、誤リセット動作やメモリセルの破壊を防止して安定的な動作を可能にする不揮発性半導体記憶装置を提供するものである。

【課題を解決するための手段】

【0006】

一の実施の形態に係る不揮発性半導体記憶装置は、第1の配線と、第2の配線と、第1及び第2の配線の間接続され可変抵抗素子を備えたメモリセルを配列してなるメモリセルアレイと、第1の配線及び第2の配線を介してメモリセルの動作に必要な電圧を印加する制御回路と、第1の配線に接続されメモリセルに流れる電流を所定の制限値に制限する電流制限回路と第2の配線に接続可能に構成されメモリセルに対する動作の種類に応じて第2の配線に流れる電流を抑制する電流抑制回路とを有する。

【図面の簡単な説明】

【0007】

【図1】本発明の実施の形態に係る不揮発性半導体記憶装置のブロック図である。

【図2】メモリセルアレイ1の一部の斜視図である。

【図3】図2におけるI-I線で切断して矢印方向に見たメモリセル1つ分の断面図である。

【図4】メモリセルアレイ1の別の構成例を示す。

【図5】メモリセルアレイ1の別の構成例を示す。

【図6】メモリセルアレイ1及びその周辺回路の回路図である。

【図7】比較例に係る不揮発性半導体記憶装置の構成の一部を表す回路図である。

【図8】比較例に係る不揮発性半導体記憶装置の動作特性を説明する為の図である。

【図9】本発明の実施の形態に係る不揮発性半導体記憶装置の動作を説明する為の回路図である。

【図10】本発明の第2の実施の形態に係る不揮発性半導体記憶装置のメモリセルアレイ1及びその周辺回路の回路図である。

【発明を実施するための形態】

【0008】

[第1の実施の形態]

[全体構成]

図1は、本発明の第1の実施の形態に係る不揮発性メモリのブロック図である。

この不揮発性メモリは、可変抵抗素子を使用したメモリセルをマトリクス状に配置したメモリセルアレイ1を備える。

メモリセルアレイ1のビット線BL方向に隣接する位置には、メモリセルアレイ1のビット線BLを制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメ

10

20

30

40

50

メモリセルからのデータ読み出しを行うカラム制御回路2が設けられている。

【0009】

また、メモリセルアレイ1のワード線WL方向に隣接する位置には、メモリセルアレイ1のワード線WLを選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加するロウ制御回路3が設けられている。

【0010】

データ入出力バッファ4は、外部のホスト9にI/O線を介して接続され、書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ4は、受け取った書き込みデータをカラム制御回路2に送り、カラム制御回路2から読み出したデータを受け取って外部に出力する。外部からデータ入出力バッファ4に供給されたアドレスは、アドレスレジスタ5を介してカラム制御回路2及びロウ制御回路3に送られる。

10

【0011】

また、ホスト9からデータ入出力バッファ4に供給されたコマンドは、コマンド・インターフェイス6に送られる。コマンド・インターフェイス6は、ホスト9からの外部制御信号を受け、データ入出力バッファ4に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン7に転送する。

【0012】

ステートマシン7は、この不揮発性メモリ全体の管理を行うもので、ホスト9からのコマンドをコマンド・インターフェイス6を介して受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。

20

また、外部のホスト9は、ステートマシン7が管理するステータス情報を受け取り、動作結果を判断することも可能である。また、このステータス情報は書き込み、消去の制御にも利用される。

【0013】

また、ステートマシン7によって電圧生成回路10が制御される。この制御により、電圧生成回路10は任意の電圧、任意のタイミングのパルスを出力することが可能となる。

【0014】

ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。なお、メモリセルアレイ1以外の周辺回路素子は配線層に形成されたメモリアレイ1の直下のSi基板に形成可能であり、これにより、この不揮発性メモリのチップ面積はほぼ、メモリセルアレイ1の面積に等しくすることも可能である。

30

【0015】

[メモリセルアレイ及びその周辺回路]

図2は、メモリセルアレイ1の一部の斜視図、図3は、図2におけるI-I線で切断して矢印方向に見たメモリセル1つ分の断面図である。複数本の第1の配線としてワード線WL0~WL2が平行に配設され、これと交差して複数本の第2の配線としてビット線BL0~BL2が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。第1及び第2の配線は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW、WSi、NiSi、CoSi等を用いることができる。なお、図2~図4では、3本のワード線WL及び3本のビット線BLのみが図示されているが、3本より大きい数のワード線WL及びビット線BLが1つのメモリセルアレイ中に含まれてもよいことは言うまでもない。

40

【0016】

[メモリセルMC]

メモリセルMCは、図3に示すように、可変抵抗素子VRとダイオードDIの直列接続回路からなる。可変抵抗素子VRは、例えば炭素(C)から構成することができる。その

50

他、抵抗値が電圧の印加により遷移可能な物質を採用可能である。ダイオードD Iは、図3に示すように、p + 型層D 1、n - 型層D 2、及びn + 型層D 3を備えたP I Nダイオードからなり、電極E L 2とE L 3との間に挟まれるように形成されている。ここで、「+」「-」の符号は、不純物濃度の大小を示している。

【0017】

電極E L 1 ~ E L 3の電極の材料としては、Pt, Au, Ag, TiAlN, SrRuO, Ru, RuN, Ir, Co, Ti, TiN, TaN, LaNiO, Al, PtIrOx, PtRhOx, Rh/TaAlN、W等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途パツファ層、バリアメタル層、接着層等を挿入することも可能である。

10

【0018】

[メモリセルアレイの変形例]

また、図4に示すように、上述したメモリ構造を複数積層した三次元構造とすることもできる。図5は、図4のI I - I I 断面を示す断面図である。図示の例は、セルアレイ層M A 0 ~ M A 3からなる4層構造のメモリセルアレイで、ワード線W L 0 jがその上下のメモリセルM C 0, M C 1で共有され、ビット線B L 1 iがその上下のメモリセルM C 1, M C 2で共有され、ワード線W L 1 jがその上下のメモリセルM C 2, M C 3で共有されている。

【0019】

また、このような配線/セル/配線/セルの繰り返しではなく、配線/セル/配線/層間絶縁膜/配線/セル/配線のように、セルアレイ層間に層間絶縁膜を介在させるようにしても良い。なお、メモリセルアレイ1は、幾つかのメモリセル群のM A Tに分けられることも可能である。前述したカラム制御回路2及びロウ制御回路3は、M A T毎、セクタ毎、又はセルアレイ層M A毎に設けられていても良いし、これらで共有しても良い。また、面積削減のために複数のビット線B Lで共有することも可能である。

20

【0020】

図6は、メモリセルアレイ1及びその周辺回路の回路図である。ここでは、説明を簡単にするため、1層構造であるとして説明を進める。図6において、メモリセルM Cを構成するダイオードD Iのアノードはビット線B Lに接続され、カソードは可変抵抗素子V Rを介してワード線W Lに接続されている。各ビット線B Lの一端はカラム制御回路2の一部である選択回路2 aに接続されている。また、各ワード線W Rの一端はロウ制御回路3の一部である選択回路3 aに接続されている。

30

【0021】

選択回路2 aは、ビット線B L毎に設けられた、ゲート及びドレインが共通接続された選択P M O SトランジスタQ P 1及び選択N M O SトランジスタQ N 1からなる。選択P M O SトランジスタQ P 1のソースは、ドレイン側ドライブ線B S Dにそれぞれ接続されている。選択N M O SトランジスタQ N 1のソースは、接地端子に接続されている。なお、図示しないセンスアンプ回路、ドレイン側ドライブ線B S D、選択回路2 a及びビット線B Lは、寄生容量C p a r aを有している。ドレイン側ドライブ線B S Dは、電圧生成回路1 0から動作に必要な電圧の供給を受ける。

40

【0022】

トランジスタQ P 1のドレイン、及びトランジスタQ N 1のドレインは、ビット線B Lに接続され、ゲートには、各ビット線B Lを選択するビット線選択信号B S iが供給されている。

【0023】

また、選択回路3 aは、ワード線W L毎に設けられた、ゲート及びドレインが共通接続された選択P M O SトランジスタQ P 0及び選択N M O SトランジスタQ N 0からなる。選択P M O SトランジスタQ P 0及び選択N M O SトランジスタQ N 0のソースは、後述する電流抑制回路3 bを介して接地端子(接地電圧V s s)に接続されている。トランジスタQ P 0, Q N 0の共通ドレインは、ワード線W Lに接続され、共通ゲートには、各ワ

50

ード線WLを選択するワード線選択信号WSiがロウ制御回路3から供給されている。

【0024】

なお、メモリセルアレイ1は、図6に示した回路とはダイオードSDの極性を逆にして(ワード線WLからビット線BLに向かう方向が順方向となるよう接続して)、ワード線WL側からビット線BL側に電流が流れるようにしても良い。

【0025】

カラム制御回路2は、図6に示すような電流制限回路2bを備えている。この電流制限回路2bは、メモリセルMCに流れる電流Icellが、上限値Icompを超えないようにするための回路である。

電流制限回路2bは、一例として、PMOSTランジスタQP2及びQP3からなる電流ミラー回路を備えている。PMOSTランジスタQP2はダイオード接続されると共に、そのソースは、カラム制御回路2に接続されて定電流Icompを供給される。

また、PMOSTランジスタQP3のソースも、カラム制御回路2bから所定の定電圧を供給される。PMOSTランジスタQP3のゲートはPMOSTランジスタQP2のゲートに接続されており、そのドレインはドレイン側ドライブ線BSDに接続されている。これにより、ビット線BL及びドレイン側ドライブ線BSDを介してメモリセルMCに流れる電流Icellは、制限電流Icomp以下に制限される。

【0026】

また、この電流制限回路2bは、OPアンプ(差動増幅回路)OP1を備えている。このOPアンプOP1は、1つの入力端子をドレイン側ドライブ線BSDに接続され、他の入力端子は図示しない定電圧発生回路から参照電圧VREFを与えられている。ドレイン側ドライブ線BSDに流れる電流Icellが増大した場合において、OPアンプOP1は、このドレイン側ドライブ線BSDの電圧と参照電圧VREFを差動増幅し、差動増幅信号OUT1を出力する。

【0027】

一方、ロウ制御回路3は、その一部に、ワード線WLに流れる電流を抑制する電流抑制回路3bを備えている。この電流抑制回路3bは、抵抗素子11(抵抗値Rs)、並びにスイッチSw1及びSw2を備えている。スイッチSw1と抵抗素子11は直列接続され、ノードN1と接地端子との間に第1の電流経路を形成している。一方、スイッチSw2はノードN1と接地端子との間に接続され、それ単独でノードN1と接地端子との間に第2の電流経路を形成している。したがって、スイッチSw1と抵抗素子11とにより形成される第1の電流経路の抵抗値は、スイッチSw2により形成される第2の電流経路よりも抵抗値よりも大きくされている。

【0028】

セット動作時及びフォーミング動作時には、ロウ制御回路3により、スイッチSw1が導通状態に切り替えられ、スイッチSw2は非導通状態に切り替えられる。一方、リセット動作時及び読み出し動作時には、逆にスイッチSw2が導通状態に切り替えられ、スイッチSw1が非導通状態に切り替えられる。このように、スイッチSw1及びSw2は、メモリセルに対して実行される動作の種類に応じて、一方のみが選択的に導通状態にされ、他方は非導通状態とされる。これにより、セット動作時及びフォーミング動作時には、ワード線WLを流れる電流が抑制される。

【0029】

図6に示すように、第1の電流経路のみに抵抗素子11を入れてもよいし、第1及び第2の電流経路の両方に抵抗素子を入れてもよい。その際、第1の電流経路に挿入される抵抗素子は、第2の電流経路に挿入される抵抗素子よりも大きい抵抗値を有していればよい。また、抵抗素子の代わりに、何らかの電気抵抗の変化を与える素子を挿入することも可能である。

【0030】

[不揮発性半導体記憶装置の動作]

次に、本実施形態の不揮発性半導体記憶装置のセット動作を、比較例と対比して説明す

10

20

30

40

50

る。

【0031】

比較例に係る不揮発性半導体記憶装置の回路構成を、図7に示す。比較例に係る不揮発性半導体記憶装置は、電流抑制回路3bを有していない点において本実施形態に係る半導体記憶装置と異なっている。尚、本実施の形態と同様の構成部分には同一符号を付し、説明を省略する。

【0032】

図8は、比較例におけるセット動作時、リセット動作時のメモリセルMCの電流 - 電圧特性を示す図である。リセット動作は、低抵抗状態（セット状態）のメモリセルMCに対してリセット電圧 V_{Reset} を印加することにより行われる。メモリセルMCがリセット状態（高抵抗状態）となると、メモリセルMCに流れる電流が急激に低下する。

10

【0033】

同様に、セット動作は、高抵抗状態（セット状態）のメモリセルMCに対してセット電圧 V_{Set} を印加することにより行われる。メモリセルがセット状態（低抵抗状態）となった時、ビット線BLとワード線WLの間には電圧 V_{Set} が印加されている。電圧 V_{Set} の大きさは電圧 V_{Reset} と比較して大きい。従って、セット動作が完了した場合においては、メモリセルMCに流れる電流が I_{Set} から I_a に急激に増加する。この電流 I_a を長時間流し続けることは、上述の誤リセット動作を生じさせる虞があり、場合によってはメモリセルMCに損傷を与える虞が生じる。

【0034】

比較例に係る不揮発性半導体記憶装置は、この様な問題を解決する為に電流制限回路2bを有している。電流制限回路2bは上述した構成を有しているので、ビット線BLからメモリセルMCに流れるセル電流 I_{cell} を制限電流 I_{comp} 以下に制限することができる。

20

【0035】

しかしながら、ドライブ線BSD及びビット線BLには、寄生容量 C_{para} が存在する。寄生容量 C_{para} にはセット動作時に電荷が蓄積される。セット動作の完了が検知され、セット電圧 V_{set} の供給が止まると、寄生容量 C_{para} に蓄積された電荷もメモリセルMC及びワード線WLを介して放電される。

しかし、寄生容量 C_{para} が大きいと、ノードAの電位が低下するタイミングが遅延する。これにより、セット電圧 V_{set} の供給が止まった後も、ノードAの電位は長時間高電位のまま維持されてしまう。これにより、セット動作が完了して高抵抗状態から低抵抗状態に移行したメモリセルMC（可変抵抗素子VR）が再び高抵抗状態に戻ってしまうことが起こり得る（誤リセット動作）。場合によっては、この高電圧によりメモリセルMCが破壊されてしまうことが生じ得る。

30

【0036】

本実施例に係る不揮発性半導体記憶装置は、選択回路3aのトランジスタQN0のソース（ノードBSE）と接地端子との間に、電流抑制回路3bを有している。電流抑制回路3bは抵抗素子11（抵抗値 R_s ）を有している。このため、セット動作終了時のセル電流 I_{set} の増加に伴い（増加分を I とする）、ノードBSEの電位は、 $I \times R_s$ だけ上昇する。その結果、メモリセルMCに印加される電圧は V_{Set} から $V_{Set} - I \times R_s$ まで減少し、メモリセルMCに流れる電流 I の急激な増加を抑制し、これにより誤リセット動作やメモリセルの破壊を抑制することが可能となる。

40

【0037】

尚、抵抗素子 R_s の抵抗値は、 V_{Set} / I_{Set} から V_{Reset} / I_{Reset} の範囲内に決定される。

尚、ノードBSEの電位は、寄生容量に蓄積された電荷の放電と共に徐々に低下する。従って、同一ワード線上の複数のメモリセルMCに対して同時にセット動作を行う場合には、メモリセルMCが一つセットされる毎にノードBSEの電位が上昇と下降とを繰り返す形となる。

50

【0038】

以上より、本実施形態においては、セット動作の終了時に発生するメモリセルMCの破損を防ぎ、安定して動作する不揮発性半導体記憶装置を提供することが可能となる。

【0039】

なお、本実施の形態では、1つのワード線WLに沿った複数個(n個)のメモリセルMCに対し、同時にセット動作またはフォーミング動作を実行可能なようにカラム制御回路2及びロウ制御回路3を構成することもできる。

【0040】

図9は、1つのワード線WLに沿ったn個のメモリセルMCに対し、同時にセット動作を行う場合の様子を説明する為の回路図である。フォーミング動作が開始すると、電流制限回路2bから各選択メモリセルに、セル電流I_{set}が供給される。従って、ワード線WL0には、電流n・I_{set}が供給される。ここで、i番目のメモリセルMC_i(0<i<n)のセット動作が完了したケースについて考える。

通常、このようにn個のメモリセルMCに同時にセット動作またはフォーミング動作を行う場合、n個のメモリセルMCにおいてセット動作またはフォーミング動作が完了するタイミングは、ケースバイケースで異なる。

あるメモリセルMC_iのセット動作が完了することによりメモリセルMC_iの電流が増加すると、電流抑制回路3bの作用によりノードBSEの電位が上昇する。このようなノードBSEの電位の上昇は、メモリセルMC_i以外の未だセット動作が完了していないメモリセルMC_j(j≠i)においては、セット動作に必要な電圧が印加されない状態を与えることになる。しかし、上昇したノードBSEの電位は、メモリセルMC_iが接続されたビット線BLのノードAの電位が低下すれば、再び減少に転じる。従って、本実施の形態は、n個のメモリセルMCに対し同時にセット動作又はフォーミング動作を実行するように構成された装置にも有効に作用する。

【0041】

[第2の実施の形態]

次に、本発明の第2実施形態について、図10を参照して説明する。本発明の第2実施形態に係る不揮発性半導体記憶装置は、基本的には第1実施形態に係る不揮発性半導体記憶装置と同様に構成されているが、電流抑制回路3bの構成が異なっている。尚、第1実施形態と同様に構成されている部分については、同一符号を付し、説明を省略する。

【0042】

本実施形態に係る電流抑制回路3b'は、NMOSトランジスタQ_{Nr}、及び電流源CSを有している。NMOSトランジスタQ_{Nr}は、ドレインに電流源CSを接続され、定電流I_{set}・nを供給されている。また、トランジスタQ_{Nr}のソースは接地されている。ここで、nは、1本のワード線WLにおいて同時にセット動作又はフォーミング動作がなされるメモリセルMCの数を示している。また、nは定数であり、例えば1.2~1.5程度の値である。NMOSトランジスタQ_{Nr}はダイオード接続されており、そのゲートはトランジスタQ_{N0}、Q_{P0}のゲートに接続されている。尚、1本のワード線WLに沿ったn個のメモリセルMCに対して同時にセット動作又はフォーミング動作を行う場合、nの値はセット動作の進行状況に応じて徐々に減少させる。例えばメモリセルMC₀₀、MC₀₁、及びMC₀₂に対して同時にセット動作を行う場合、セット動作の対象となっているメモリセルMCの数nは3である。従って、セット動作が開始時に、電流源CSから供給される電流I_{CS}は、3・I_{set}である。メモリセルMC₀₀のセット動作が完了した場合、セット動作の対象となっているメモリセルMCの数は3から2に減少する。従って、電流I_{CS}は、2・I_{set}に減少させる。同様に、メモリセルMC₀₁のセット動作が完了した場合、電流I_{CS}は、I_{set}に減少させる。

【0043】

この第2の実施の形態によれば、1本のワード線WLに沿ったn個のメモリセルMCに対して同時にセット動作又はフォーミング動作が実行される場合に、あるメモリセルMCにおいてセット動作又はフォーミング動作が完了すると、ワード線WLの電圧は上昇する

。しかし、トランジスタQ N 0を流れる電流は、電流抑制回路3 b'の作用により、所定値以上には上昇しないように制限されている。これにより、ワード線W Lの電位は、あるメモリセルM Cのセット動作又はフォーミング動作が完了すると一時的に上昇する。これにより、本実施形態においても、第1の実施形態と同様の効果を奏することができる。

【0044】

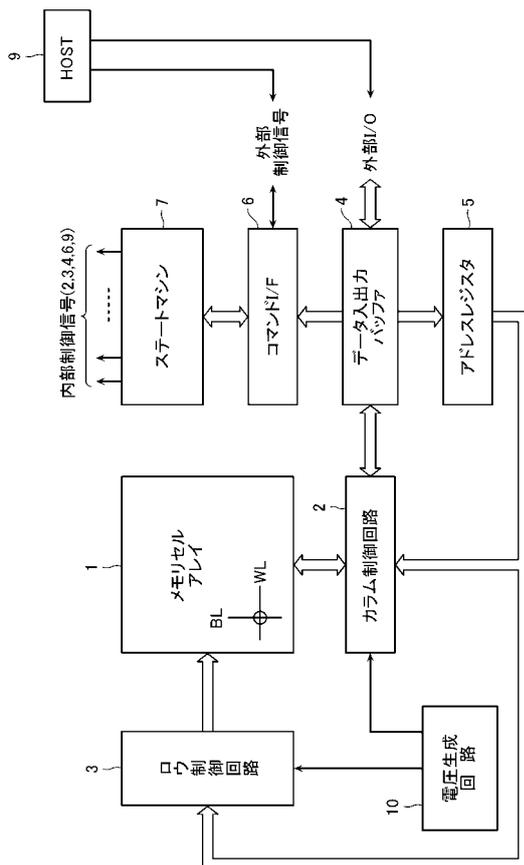
以上、本発明のいくつかの実施の形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他様々な形態で実施されることが可能であり、発明の趣旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

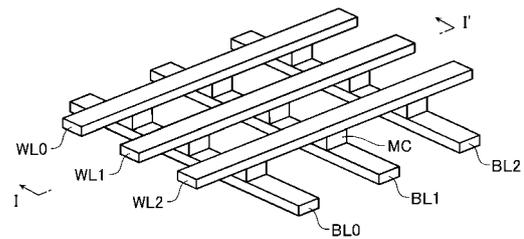
【0045】

1・・・メモリセルアレイ、 2・・・カラム制御回路、 2 a・・・選択回路、 2 b・・・電流制限回路、 3・・・ロウ制御回路、 3 a・・・選択回路、 3 b・・・電流抑制回路、 4・・・データ入出力バッファ、 5・・・アドレスレジスタ、 6・・・コマンド・インターフェイス、 7・・・ステートマシン、 9・・・電圧生成回路、 W L・・・ワード線、 B L・・・ビット線、 M C・・・メモリセル、 V R・・・可変抵抗素子、 D I・・・ダイオード、 E L・・・金属電極。

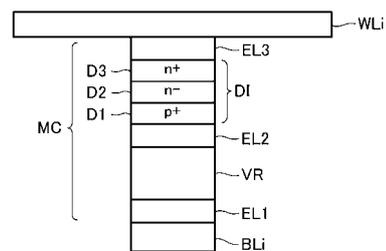
【図1】



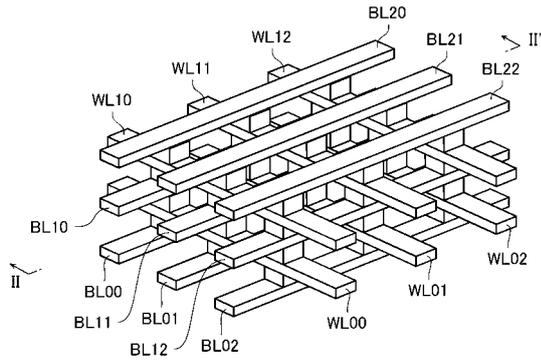
【図2】



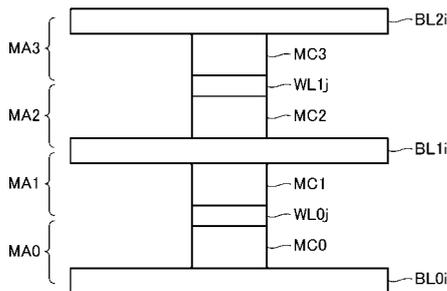
【図3】



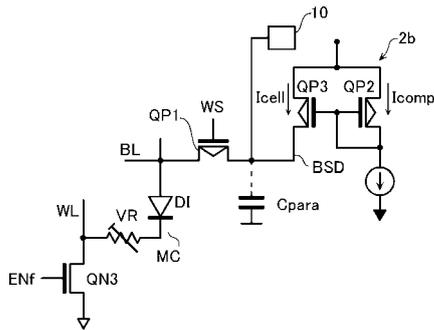
【図4】



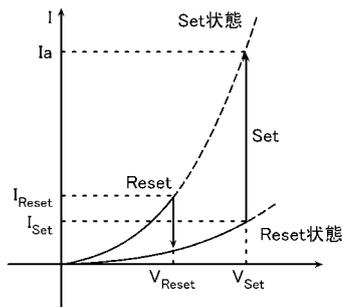
【図5】



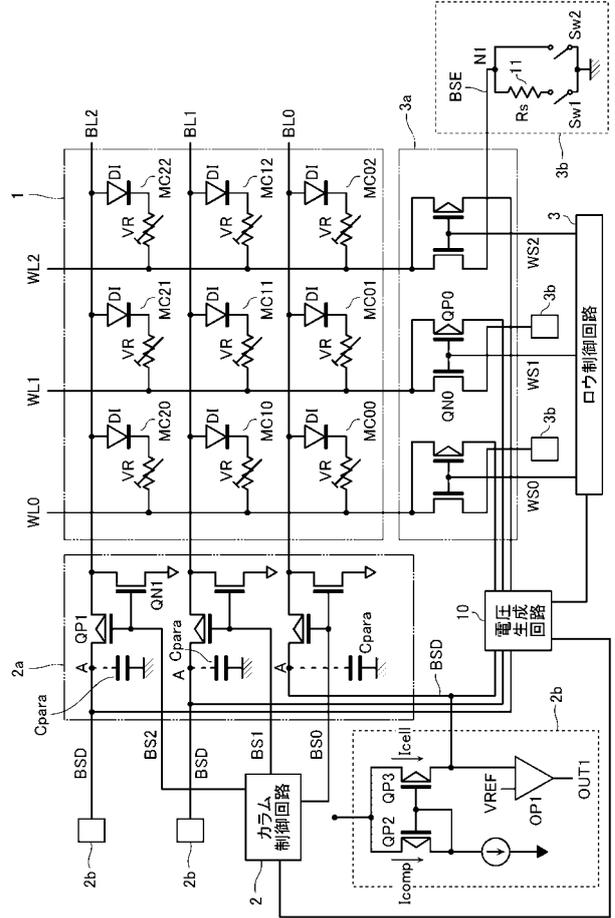
【図7】



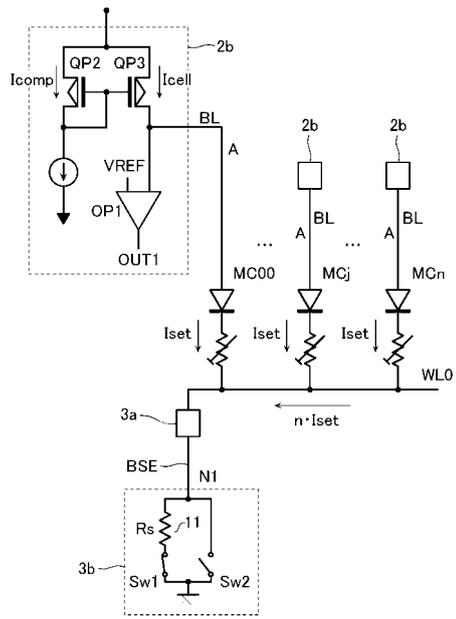
【図8】



【図6】



【図9】



【図 10】

