

302456



A4
C4

302456

申請日期	85. 4. 12
案 號	85104322
類 別	G06F 7/06, H04N 4/00

(以上各欄由本局填註)

發 明 專 利 說 明 書
~~新 型~~

一、發明 名稱	中 文	數位信號處理方法及裝置以及記憶體胞元讀取方法
	英 文	DIGITAL SIGNAL PROCESSING METHOD AND APPARATUS AND MEMORY CELL READING METHOD
二、發明 人	姓 名	矢口雄二 (YUJI YAGUCHI)
	國 籍	日本
	住、居所	日本國茨城縣30001出島村貢618 618 Mitsugi Dejima-Mura, Ibaraki-ken 30001, Japan
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 名 姓	郝威廉 William E. Hiller

裝 訂 線

經濟部中央標準局員工消費合作社印製

302456

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本國(地區) 申請專利，申請日期：1995.1.19 案號：07(1995)-有 無主張優先權
24748

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明係有關於一單一指令多資料(SIMD)數位訊號處理裝置。

發明背景：

在一SIMD數位訊號處理裝置中，多處理元件在單晶上並聯，而使得所有的處理元件執行相同的操作，以回應單一程式。其使用於影像訊號處理，資料處理等方面。

例如，圖16示用於NTSC訊號之即時處理之一SVP(掃瞄線視訊處理器)之主要部份。此SVP含一資料輸入暫存器(DIR)200，SIMD數位訊號處理單元202，及資料輸出暫存器(DOR)204組成的三層結構。

對於DIR200而言，重覆輸入對應一水平掃瞄線(如40位元×960字元)的影像資料 d_1-d_1 。在SIMD數位訊號處理單元202中，並行排列(連結)處理元件 pe_1-pe_n ，其中指令等於水平掃瞄相對於像素數目(如960)。從一指令產生部位(圖中無)對應連續共同指令 l ，這些處理元件 pe_1, pe_2, \dots, pe_n 在一水平掃瞄周期期間，對於感測放大器的像素資料 d_1, d_2, \dots, d_n 執行指定影像處理操作。依此方法，一掃瞄相對於的影像資料 d_1-d_n 處理一次。DOR204收集從處理元件 pe_1-pe_n 所得到的操作處理，以對一水平掃瞄線形成影像資料 $d'-d_n'$ (如 $24b \times 960$ 字元)。在水平空白期間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

，將資料從 DIR200向處理單元 202傳輸，且將資料從處理單元 202向 DOR204處理。

在此例中，在管線 (pipeline) 方法中，由處理 DIR200，單元 202及 DOR204而執行對各水平掃瞄線的資料輸入，平行處理及資料輸出。

處理單元 202的各處理元件 PEK 包含一對暫存器檔，一 1 位元 ALU (數學邏輯單元)，幾個工作暫存器，及用於與多個左及右側相鄰處理元件 (如每例 2 個) 交換資料的 L/R 通訊單元。各側上的暫存器檔與 DIR200 連結，且在操作之前及期間保留資料。在另一側的暫存器檔與 DOR204 連結，且保留操作期間的資料及最後操作結果的資料。

圖 17 示在傳統 SVP 中各處理元件 PEK 內處理操作的時計。

(1) 第一，應用由對應指令 li 指定之位址從一及 / 或其他一對暫存器檔中記憶體位址中讀取 1 位元資料。

(2) 操作，L/R 通訊單元與左側相鄰或右側相鄰處理元件 (如每側 2 個) $PEK - 2$ ， $PEK - 1$ ， $PEK + 1$ ， $PEK + 2$ ，執行額外的交換，此指定為對應指令 li 所指定 (LRCOM)。

(3) 然後，相對於在步驟 (1)，(2) 及 / 或接收資料中讀取的資料，ALU 執行由對應的指令 li 所指定的操作 (ALU)。

(4) 最後，一組在步驟 (1)，(2)，(3) 中得到的資料寫入一對暫存器檔中一及 / 或其他記憶體位址，該暫存器檔為對應指令 li 所指定 (WRITE BACK)。

依此方式，在各循環期間，執行步驟 (1) - (4)，以執

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

行 1 位元操作處理。例如，在接收位元的操作中，除了得到 9 位元外，須有 9 時脈循環。對各時脈循環執行步驟 (1) - (4)。

如圖 18 所示，由電流讀取型 DRAM (動態隨機存取記憶體) 製作 DIR200，DOR204 及處理元件 PEK 中的暫存器檔。

在圖 18 的電流讀取型 DRAM 中，形成記憶體胞元之電容記憶體節點 N 經寫入電晶體 208 寫入位元線 WBL，且經記憶體胞元電晶體 210 及存取電晶體 212 連結讀取位元線 RBL。寫入電晶體 208 的極端連結寫入字元線 WWL，且存取電晶體 212 柵極端連結讀取字元線 RWL。讀取位元線 RBL 經預充電電晶體 215 連結電源電壓 VDD 的端點，且其亦連結包含反相器之單側感測放大器 216 的輸入端 216a。

在寫入操作中，寫入字元線動作，且寫入電晶體導通，且 1 位元資訊 "1" (H 位準) 或 "0" (L 位準) 從寫入位元線 WBL 寫入電容 206 中。當 "1" (H 位準) 存於電容 206 時，NMOS 型記憶體胞元電晶體 210 開啓；當 "0" (L 位準) 存放時，則該電晶體 210 關閉。

圖 19 示讀取操作中不同部位的波形及時計。第一，預充電控制訊號 XPCHG 動作 (L 位準)，PMOS 預充電電晶體 215 導通；且讀取位元線 RBL 預充電至 H 位準的電壓，H 位準之電壓靠近電源電壓 VDD (如 3V)。在預充電結束後，讀取字元線 RWL 動作 (H 位準)，且 NMOS 型主動電晶體 212 導通。

當資訊 "1" 存在電容 216 時，記憶體胞元電晶體 210 開啓。然後存取電晶體 212 導通，且電流從讀取位元線 RBL

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (4)

流過兩電晶體 212, 210。RBL 的電壓隨時間呈指數掉落。

當讀取位元線 RBL 的電壓落至指定臨界值 (如 1.5V) 之下時，感測放大器 216 的 PMOS 輸出電晶體 218 開啓，且 NMOS 輸出電晶體 222 關掉。在此例中，讀取控制訊號 READ 動作 (H 位準)，及 NMOS 讀取電晶體 220 導通。"1" (H 位準) 讀取資訊 (DATA) 從感測放大器 216 的輸出端 216 位元中讀取。

當資訊 "0" 存在電容 206 時，記憶體胞元電晶體關掉。甚至當存取電晶體 212 導通時，讀取位元線 RBL 的電壓仍保留在 H 位準。在感測放大器 216 中，NMOS 輸出電晶體 222 打開，而 PMOS 輸出電晶體 218 保留在關閉態。在指定時計中，讀取控制訊號 READ 動作 (H 位準)，且 NMOS 型讀取電晶體 220 導通，因此從感測放大器 216 的輸出端 216 位元得到 NMOS 型讀取電晶體 220。

如上所述，應用傳統 SVP，爲了對於 1 位元資料執行影像訊號處理，對各處理元件 PEK，在各執行循環中必須執行四個步驟，即 (1) 步驟，其中資料從暫存器檔讀取 (DATA READ)；(2) 步驟，其中視狀況，將資料與多個左側及右側相鄰處理元件交換 (LRCOM)；(3) 步驟，其中對於在步驟 (1) 及 (2) 中得到的資料，ALU 執行操作；及 (4) 步驟，其中在步驟 (1)，(2)，(3) 中得到的一組資料寫入暫存器檔 (WRITE BACK)。這些步驟依序執行。

但是，如圖 7 所示，在各循環的步驟 (1) - (4) 中，實際處理時間相當短，而大部份的時間並不用於處理。

對於步驟 (1) (DATA READ)，在一循環開始之後，開始

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

暫存器檔的讀取操作；在循環的第一部份完成資料讀取；而其餘的時間(中間及往後部份)只在保留該資料。

在步驟(2)(LRCOM)中，幾乎各循環之第一部份時間 b1 用於等待位元左及右側相鄰上其他處理元件傳輸的資料，且在循環之中間部位中資料已接收後的其餘時間(循環的較後部份時間)只用於保留接收資料。

在步驟(3)(ALU)中，對應循環之第一及中間部份的時間 c1 用於等待步驟(1)及(2)的資料，而在循環較後部份中操作執行後的其餘時間 c2 只用於保留操作結果之資料。

在步驟(4)(WRITE BACK)中，從循環開始至步驟(3)結束的時間裝置用於等待操作結束之資料。

依此方式，在各循環中，資料等待時間，資料保留時間，及其他非處理時間與不同步驟(1)－(4)的實際處理時間相連結。所以產量很難增加，此為該方式之缺點。

而且，在電流讀取型 DRAM 胞元的讀取例中，在傳統方法內，如圖 19 所示，讀取位元線 RWL 的電流位準隨預充電控制訊號 XPCHG 而變。即，在預充電周期期間，XPCHG 及主動態(L位準)，而 RWL 在不動作態(L位準)。在預充電結束時，XPCHG 成為不動作態(H位準)，且同時，RWL 成為動作態(H位準)。依此方式，讀取位元線 RBL 的電壓視狀況下降(當記憶體資訊為"1"時)。

但是，為了讀取字元線 RWL 上升至 H 位準需要某一段時間。對一升時間 t_d ，RBL 的放電開始時間延遲，且感測放大器的偵測時間延遲。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

而且，當記憶體資訊為”1”時，讀取位元線RBL的電壓在電壓邏輯的上臨限值及下臨限值振盪(VSS：接地電壓)→H位準(VDD：3V)→L位準(VSS：接地電位)。因此在任何情況中，放電時間均延長。

依此方式，在傳統電流讀取型DRAM胞元的讀取方法中，當在讀取位元線RBL上對應胞元之記憶體資訊的邏輯位準之視訊及讀取近接率受到限制時，很難縮短從讀取操作開始到時間點周期時間。

本發明的第一目的係解決傳統方法中提供一SIMD數位訊號處理方法及裝置所引起的問題，其可增加可左視訊時間內執行的操作循環數且增加產量。

本發明的第二目的係提供一電流讀取型記憶體胞元的讀取方法，以縮短用於位元線的放電時間，且增加讀取率。

發明概述

本發明的第一數位訊號處理方法為一數位訊號處理方法，其中：1)多處理元件平行排置。同對於對應各指令的多處理元件平行執行相同的處理；2)各處理元件含一或多個記憶體機構，以在操作之前或之後步驟資料，一通信機構，用於與指定數目的處理元件交換資料，如同相鄰處理元件一般，及一操作機構，用於對從記憶體機構及／或為通信機構所接收的資料執行指定操作；3)對各指令，依據執行下列步驟。第一步驟，從記憶體機構中讀取資料，第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明(7)

二步驟，通信機構視狀況與指定數的處理元件交換，如同相鄰處理元件，第三步驟，使用操作機構執行指定操作，及第四步驟，在第一，二，三步驟中得到的資料寫入記憶體機構中；4)對於連續多個指令，第一，二，三及四步驟中至少兩步驟同時執行。

本發明的第二數位訊號處理方法為第1項中的數位訊號處理方法，其特徵為第一，二，三及四步驟之各步驟在一循環中執行，及在各循環中，同時對四個連續指令執行第一，二，三及四個步驟。

本發明的第三數位訊號處理為項1中的數位訊號處理方法，其特徵為：第一及第二步驟在一循環中執行，且第三及第四步驟在一循環中執行，且對於兩續指令，第一及第二步驟和第三及第四步驟相對地同時執行。

本發明的第一數位訊號處理裝置其特徵為：數位訊號處理裝置含平行排置的多處理元件，且執行多處理元件以對應各指令平行執行相同處理；各處理元件包含下列機構：一或多個記憶體機構，用於在操作之前或之後保留資料；一通信機構，用於與指定數的處理元件交換資料，如果相鄰處理元件般；一操作機構，對於從記憶體機構讀取的資料及／或為通信機構所接收的資料執行指定操作；一第一鎖存器，其含與記憶體之資料輸出端連結的資料輸入端，及一與操作機構之資料輸入端連結的資料輸出端，在第二循環期間，該鎖存器取出從第一循環中的記憶體讀取的資料；一第二鎖存器，含與第一鎖存器之資料輸出端連結

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

五、發明說明(8)

的資料輸入端，在第二循環後的第三循環期間，其該第一鎖存器中取出資料；一第三鎖存器，含與通信機構連結資料輸入端，在第三循環期間，其視狀況取出資料，該資料為第二循環期間，為通信機構從規定數之相鄰處理元件中任一處理元件取出者，及一第四鎖存器，含資料輸入端，其與第二及第三鎖存器及操作機構的資料輸出端連結，且資料輸出端連結記憶體機構的資料輸入端，且其中，在次於第三循環的第四循環期間，視需要取出來自操作機構的資料，來自第二鎖存器的資料，或來自第二鎖存器的資料〔sic；第三鎖存器〕；其中在第四循環期間，來自第四鎖存器的資料寫入記憶體中。

本發明的第二數位訊號處理裝置為一數位訊號處理裝置，其特徵如下：數位訊號處理裝置含平行排置的多處理元件，且執行多處理元件以對應各指令平行執行相同處理；各處理元件包含下列機構：一或多個記憶體機構，用於在操作之前或之後保留資料；一通信機構，用於與指定數的處理元件交換資料，如果相鄰處理元件般；一操作機構，對於從記憶體機構讀取的資料及／或為通信機構所接收的資料執行指定操作；一第一鎖存器，其含與記憶體之資料輸出端連結的資料輸入端，及一與操作機構之資料輸入端連結的資料輸出端，在第二循環期間，該鎖存器取出從第一循環中的記憶體讀取的資料，及一第二鎖存器，其含一與通信機構之資料輸出端連結的資料輸入端，及一連結記憶體機構之資料輸入端的資料輸出端，在第二循環期間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

為

五、發明說明(9)

，該第二鎖存器取出資料，該資料視狀況在第一循環中，由通訊機構從指定數的相鄰處理元件中任一處理元件加以接收；在第二循環中，來自操作機構的資料，來自第一鎖存器的資料，或來自第二鎖存器的資料視需要寫入記憶體機構中。

本發明的記憶體胞元讀取方法之特徵如下：在此電流讀取型記憶體胞元讀取方法中，記憶體胞元包含一電晶體，其含與字元線連結的控制端，及一記憶體資訊保留單元，其用於保留記憶體資訊，且保留單元經一位元線與感測放大器連結；當電晶體導通時(對應於記憶體胞元的內容)，電流在位元線及電晶體間視狀況流動，由感測放大器決定位元線的電壓，因此可讀取記憶體資訊；在此記憶體胞元讀取方法中，應用導電態的電晶體，對一指定時間預充電位元線，且在指定時間中由感測放大器決定位元線的電壓。

依據本發明，在各個多執行相同平行處理的處理元件中，依序執行下列四個步驟：第一步驟，從記憶體機構中讀取資料；第二步驟，通信視狀況與一指定數的相鄰處理元件執行資料交換；第三步驟，由操作機構執行操作，及第四步驟，第一，二，三步驟中得到任意組資料寫入記憶體機構中。對於連續多個指令，至少四步驟中有兩步驟同時執行。

第一，二，三及四步驟中各步驟在一循環中執行。對於四個連續指令，對應的第一，二，三，四步驟同時執行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

約

五、發明說明 (10)

。依此方式，可能對各指令執行管線處理，以增加每單元時間操作處理循環，且增加處理量。

依據本發明的電流讀取型記憶體胞元讀取方法，在預充電後，當對於對應記憶體資料的記憶體胞元近接，電流在位元線及電晶體中流動，則在預充電處理期間，位元線經在導通態的電晶體放電。在預充電結束時，因為電晶體在導通態，位元馬上從中間位準電壓開始本質放電，且該放電基本上在短時間內完成。依此方式，在距預充電結束後的一短時間後感測放大器操作，因此可縮短讀取循環。

圖形簡述

圖 1 為本發明實施例中，用於 SIMD 數位訊號處理裝置之 SVP 型態的區塊圖。

圖 2 為實施例中 SVP 功能的示意圖。

圖 3 為實施例中 SVP 之處理元件的基本型態之區塊圖

圖 4 為實施例中處理元件之不同處理操作的時計圖。

圖 5 為實施例中包含處理元件之 SVP 中各區塊的指定態電路圖。

圖 6 為實施例中包含處理元件之 SVP 中各區塊的指定態電路圖。

圖 7 為實施例中包含處理元件之 SVP 中各區塊的指定態電路圖。

圖 8 為實施例中包含處理元件之 SVP 中各區塊的指定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

為

五、發明說明 (11)

態電路圖。

圖 9 之區塊圖示實施例中使用 SVP 之電影圖像即時處的範例。

圖 10 為實施例中處理元件修飾例型態的區塊圖。

圖 11 為圖 10 中處理元件之不同處理操作的時計圖。

圖 12 為本發明之實施例中，電流讀取型式 DRAM 之讀取方法的功能訊號波形圖。

圖 13 之電路圖示實施例中電流讀取型 DRAM 胞元的修飾例。

圖 14 之電路圖示單 ROM 胞元之胞元電路範例，其可使用本發明的讀取方法。

圖 15 之電路示，SRAM 胞元之讀取電路範例，其可使用本發明的讀取方法。

圖 16 為 SVP 之型態的區塊圖，該 SVP 含傳統 SIMD 數位訊號處理裝置。

圖 17 為傳統 SIMD 數位訊號處理裝置之處理元件中不同處理的時計圖。

圖 18 為電流讀取型 DRAM 胞元型態之電路圖。

圖 19 為使用傳統讀取方法之電流型讀取 DRAM 胞元讀取操作期間，在圖 18 中不同組件的訊號波形圖。

實施例之詳細說明

圖 1 示適於本發明 SIMD 數位訊號處理裝置的 SVP。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

SVP10攜帶SVP核心12，及在單晶片上的指令產生器(IG)14。SVP核心12含由資料輸入暫存器(DIR)16，SIMD數位訊號處理單元18，及資料輸出暫存器(DOR)20所製成的三層形態。

DIR16的操作係依據來自外部控制電路的控制訊號(Control)執行，且來自ID14的位址(ADDRESS)及對應水平掃瞄線(如48位元×1024像素)重複輸入。

在SIMD數位訊號處理單元18中，數目等於水平掃瞄線像素數目N(如1024)的處理元件PE1至PEN水平並置(連接)。這些處理元件PE1，PE2，...PEN依據自IG14，即位址(ADDRESS)及微指令(MICROINSTRUCTION)，及來自外部時脈電路的時脈(PCLK)執行平行操作，且在水平掃瞄期間對於對應像素資料D1，D2，...DN執行相同的影像處理操作。

DOR20依據來自外部控制電路的控制訊號(CONTRON)來自外部時脈電路的時脈訊號(SRCK)，及來自IG14的位址訊號(ADDRESS)執行操作，且對於各水平周期中於來自處理元件PE1-PEN所得的資料，對於對應水平掃瞄線加以分類，以輸出影像資料D1'-DN'(如32位元×1024像素)。

饋入DIR16的時脈訊號(SWCR)，(PCLK)，及(SRCK)，處理元件18及DOR20彼此不同。而且，從DIR16向處理元件18遷移的資料，及從處理元件18向DOR20遷移的資料在水平空周期中執行。

依此方式，執行即時影像處理，作為位址—水平掃瞄線的資料，來自DIR來自的輸入，處理元件18，及DOR20平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

行處理，且不同步平行執行資料輸出。

IG14包含程式記憶體及其他多種暫存器。其依據從外部送進來的旗標訊號 (FLAG-A/B) 及指令模式 (IMODE) 執行跳躍，子程式，中斷，及其他操作。

在此，參考圖 12，可簡單地解釋 SVP 核心 12 的功能。在 SVP 核心 12 中的不同部位之操作係在位址訊號 (ADDRESS) 及來自 IG14 之微指令 (MICROINSTRUCTION)，以及來自外部時脈電路的時脈訊號 (PCLR) 的控制下執行。時脈訊號 (PCLK) 送至處理元件 18 中，其速率高於傳統的處理單元 202 (如四倍)。

如圖 2 所示，例如，為前一階段之解調器所解調的類比視訊由 A/D 轉換器 22 轉換為 32 位元，36MHZ 的數位視訊。然後，在從視訊接收機側上的視訊調整電路 (圖中無) 將 16 來自視訊調整資料加入 (合成) 數位視訊時，對應至一線上的數位視訊產生，以作為水平掃瞄周期。

DIR16 的容量 (48 位元 x 1024 字元) 等於一線上輸入影像資料 D1-DN 的位元數位像素數，且在像素單元中，分成不同的區塊。對於 DIR16 中不同區塊，K2, K1, K, K+1, K+2, ...，輸入影像資料 D1-DN 在輸入影像資料遷移至 DIR16 的處理期間，載入暫存器群中，而不同的像素資料...DK-2, DK-1, DK, DK+1, DK+2, ... 逐一遷移，(48 位元)。

處理單元 18 中的各處理元件 PEK 包含下列部份：預聲明容量 (如 192 位元) 之暫存器檔案 RF0, RF1, 一單位元操

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

作演算法邏輯單元 (AL 視訊) 24，多 (如 4) 工作暫存器 WRS (M, A, B, C) 26，及多左側及右側相鄰 (每側 4 個) 處理元件 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4) 及用於交換資料 L/R (左 / 右) 通訊單元 (LRCOM) 28。

在一側的暫存器檔案 RF0 與 DIR16 之對應區塊的暫存器群相連結，而另一側上的暫存器 RF1 與對應 DOR20 的暫存器群相連結。來自 RF0, RF1 或兩者的 1 位元資訊送至工作暫存器 (M, A, B, C) 中之一，且同時，經多工器 30 及 L/R 通訊單元 28 的鎖存電路 32 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4) 送至相鄰的處理元件，每側上 4 個。

同時，來自相鄰處理元件 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4) 的 4 送至處理元件 PEK 的 L/R 通訊單元 28 之多工器 34, 36 上，且從此資料中選擇一組資料，以輸入工作暫存器 (M, A, B, C) 中之一。

在圖 2 的型態中，一組資料從來自左側相鄰處理元件 (PEK-4, PEK-3, PEK-2, PEK-1) 中選擇，且輸入工作暫存器 (A)。

ALU24 對於來自工作暫存器 (M, A, B, C) 的資料執行所需之操作，且輸出操作結果。ALU24 操作結果的資料寫入暫存器檔案 RF0 及 RF1 中之一。依此方式，在各水平掃瞄期間中最後操作結果資料如同最後操作處理結果的像素資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (15)

DK'寫入輸出側的暫存器檔RF1，且在下一水平空白期間，資料從暫存器檔RF1向對應DOR20的區塊中的暫存器傳送。

DOR20的容量(32位元×1024字元)等於輸出影像資料D1'-DN'的位元數及像素數，且分成在像素單元中的區塊。作為操作處理結果且從處理元件18向各區塊之DOR20傳送的像素資料D1'-DN'依序從DOR20的不同區塊中送出，其中在水平掃瞄期間，左端像素資料D1'為前者，其後為像素資料D2'，D3'，...，而其連續方式。

從DOR20輸出之線的影像資料D1'-DN'由AD轉換器38轉換回類比視訊，且然後，該資料依此形式送至視訊電路(圖中無)。

圖3為本實施例中各處理元件PEK的基本型態之區塊圖。

兩暫存器檔RF0，RF1之輸出端與L/R通訊單元28的傳輸多工器30之輸入端相連結，且亦對應地與第一鎖存電路40A，40B的對應資料輸入端(D)相連結，以保留對應的讀取資料。

在L/R通訊單元28中，傳輸多工器30與傳輸鎖存電路32的資料輸入端(D)相連結，且鎖存電路32的資料輸出端(Q)與1位元資料線44(SK)連結。而且。左側相鄰接收多工器34的輸入端經4位元左側相鄰資料線45(LK-4，LK-3，LK-2，LK-1)與對應四個左側相鄰處理元件(PEK-4，PEK-3，PEK-2，PEK-1)的傳輸鎖存電路32之資料輸出端(Q)相連結。同樣地，右側相鄰接收多工器36的輸入端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

經資料位元右側相鄰資料線 (RK+4, RK+3, RK+2, RK+1), 而與對應的四個右側相鄰處理元件 (PEK+1, PEK+2, PEK+3, PEK+4) 的傳輸鎖存電路 32 之資料輸出端 (Q) 相連結。

而且, 在處理元件 PE1 中的傳輸資料線 (SK) 可為在 [sic; 第一] 左側相鄰處理元件 PEK-1 中用於資料接收的右側相鄰資料線 46 中的一線 (RK+1), 同時, 亦可為兩 [sic; 第二] 右側相鄰處理元件 PEK+2 中用於資料接收之左側相鄰資料線 44 中之一線 (LK-2)。

兩接收多工器 34, 36 的輸出端與與四個操作資料選擇多工器 48A-48D 的輸入端相連結, 且其亦與對應接收資料保留鎖存電路 50A, 50B 的資料輸入端 (D) 連結。鎖存電路 50A, 50B 的資料輸出端 (Q) 與寫入資料選擇多工器 52A, 52B 的輸入端連結, 選擇多工器 52A, 52 置於對應兩暫存器檔 RF0, RF1 中。

讀取資料保留第一鎖存電路 40A, 40B 的資料輸出端 (Q) 與操作資料選擇多工器 48A-48D 的資料輸入端相連結, 且亦與對應讀取資料保留第二鎖存電路 54A, 54B 的資料輸入端 (D) 相連結。鎖存電路 54A, 54B 的資料輸出端 (Q) 連結對應寫入資料選擇多工器 52A, 52B 的輸入端。

操作資料選擇多工器 48A-48D 的輸出端與工作暫存器 (WRs) 26 的對應暫存器 (M, A, B, C) 的輸入端連結。這些工作暫存器 (M, A, B, C) 的輸出端連結 ALU24 的輸入端, 且 ALU24 的輸出端連結寫入資料選擇多工器 52A, 52B 的輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

入端。這些多工器 52A, 52B 的輸出端連結對應之寫入資料保留鎖存電路 56A, 56B 的資料輸入端 (D)。此鎖存電路 56A, 56B 的資料輸出端 (Q) 連結對應暫存器檔 RF0, RF1 的資料輸入端。

在各處理元件 PEK 中的鎖存電路 32, 40A, 40B, 50A, 50B, 54A, 54B, 56A, 56B 由 D 正反器製成。一共同時脈 PCLK 饋入各 D 正反器的時脈輸入端 (C)。而且, 各多工器 30, 34, 36, 48A-48D, 52A, 52B 為來自 IG14 的微指令所控制。

圖 4 示為 IG14 所取出對應指令 $\dots li-1, li, li+1$, 列之各處理元件 PEK 中執行的各步驟之處理操作時計。

由 IG4 發出, 相對一指令所執行的操作處理為下列 4 個時脈循環 $\langle m \rangle, \langle m+1 \rangle, \langle m+2 \rangle, \langle m+3 \rangle$ 所執行。

(1) 第一, 在第一循環 $\langle m \rangle$ 中, 從為指令 li (DATD, READ) 所指定的位址之暫存器檔 RF0 及 RF1 的一記憶體位址及 / 或其他記憶體位址讀取 1 位元資料。

(2) 然後, 在第二循環 $\langle m+1 \rangle$ 中, 一組在第一循環 $\langle m \rangle$ 中從暫存器檔 RF0 及 RF1 中讀取的資料經至傳輸鎖存電路 32 的 L/D 通訊單元 28 之傳輸多工器 30 取出, 且該資料從其資料輸出端 (Q) 送在各左側相鄰及右側相鄰上的四個處理元件 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4), 其間係經資料線 44 (SK)。

同時, 來自左側相鄰及右側相鄰的處理元件 4 之資料, 每側 4 個 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4),

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

係

五、發明說明 (18)

PEK + 2, PEK + 3, PEK + 4), 經資料線 45 (LK - 4 to LK - 1), (RK + 1 至 RK + 4) 傳輸, 且輸入至左側相鄰及右側相鄰多工器 34, 36。在各多工器 34, 36 中, 視狀況選擇一組接收資料。所選擇的資料送至接收資料保留鎖存電路 50A 及 50B 的資料輸入端 (D), 且輸入 56 資料選擇多工器 48A - 48D (LRCOM)。

另一方面, 來自暫存器檔 RF0 及 RF1 的讀取資料取自讀取資料保留第一鎖存電路 40A 及 40B。至此鎖存電路 40A 及 40B 之取得讀取資料送至讀取資料保留第二鎖存電路 54A 及 54B 的資料輸入端 (D), 且同時, 輸入操作資料選擇多工器 48A - 48D。各多工器 48A - 48D 選擇一組資料, 且將其傳輸至對應工作暫存器 (M, A, B, C) 的輸入端。

(3) 然後, 在第三循環 (m + 2) 中, 來自然後資料選擇多工器 48A - 48D 的資料使工作暫存器 (M, A, B, C) 動作, 且先前說明之操作 (ALU) 在 ALU24 上對此資料執行。

在 ALU24 上得到的操作結果之資料輸入寫入資料胞元多工器 52A 及 52B 中。

另一方面, 來自接收多工器 34 及 36 的接收資料使接收資料保留鎖存電路 50A 及 50B 動作, 且同時, 來自第一鎖存電路 40A 及 40B 的讀取資料使讀取資料保留第二鎖存電路 54A 及 54B 動作。此鎖存電路 50A, 50B, 54A, 54B 動作的資料係從其至寫入資料選擇多工器 52A 及 52B 的對應資料輸出端端 (O) 中輸入。

多工器 52A 及 52B 選擇一組來自輸入資料的資料, 且將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (19)

其送至寫入資料保留鎖存電路 56A 及 56B 的資料輸入端 (D)。

(4) 最後，在第四循環 $\langle m+3 \rangle$ 中，來自多工器 52A 及 52B 的資料使寫入資料保留鎖存電路 56A 及 56B 動作，且資料寫入為指令 li (WRITE BACK) 所指定的暫存器檔 RF0 及 RF1 的記憶體位址。

依此方式，在此實施例各處理元件 PEK 中，各於各位元的操作處理，對應四個連續時脈循環 $\langle m \rangle$ ， $\langle m+1 \rangle$ ， $\langle m+2 \rangle$ ， $\langle m+3 \rangle$ 執行四個步驟 (1)-(4)。因為時脈 PCLK 的速度為在傳統處理元件 PEK 中時脈的速度，所以四循環的時間等於在傳統例中一循環的時間。此意謂著對一位元的操作處理時間 (即對一指令) 同於傳統例中的操作處理時間。

但是，在此操作中，在各處理元件 PEK 中，如圖 4 所示，在為傳統例之四倍速下，於為時脈 PLCK 所定義的每一循環中，對於對應指令執行四個步驟 (1)-(4)。操作處理的輸出率 (即產量) 成為傳統例的四倍。

在下文中，將說明圖 3 之不同部位中在第一循環 $\langle m \rangle$ 至第四循環 $\langle m+3 \rangle$ 的指令中處理操作。

如上所述，暫存器檔 RF0 及 RF1 在第一循環期間 $\langle m \rangle$ 相對於指令 li 執行讀取操作。第一循環 $\langle m \rangle$ 的資料讀取在第二循環 $\langle m+2 \rangle$ 開始時，於時脈訊號 PCLK 上升端，使 TR 鎖存電路 32 及讀取資料保留第一鎖存電路 40A 及 40B 動作。依此方式，在第二循環 $\langle m+1 \rangle$ 期間，相對於下一指令 $li+1$ ，暫存器檔 RF0 及 RF1 執行讀取操作。同樣地，在第三循環 $\langle m$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明 (20)

+ 2>中，相對於指令 $i + 2$ 執行讀取操作，且在第四循環 $\langle m + 3 \rangle$ 中，相對於指令 $i + 3$ 執行讀取操作。

傳輸鎖存電路 32 在下一循環開始時，於時脈 PCLK 的上升端從暫存器檔 14 取出讀取資料，且該資料送下另一相鄰的處理元件。

在第一循環 $\langle m \rangle$ 中，為指令 $i - 1$ 所指定的資料（即在第一循環 $\langle m + 1 \rangle$ 期間從暫存器檔 RF0 及 RF1 讀取的資料）被讀取且傳輸。在第二循環 $\langle m + 1 \rangle$ 中，如上所述，為指令 i 所指定的循環（即在前一循環， $\langle m \rangle$ ）期間從暫存器檔 RF0 及 RF1 所讀取的資料被讀取且傳輸。同樣地，在第三循環 $\langle m + 2 \rangle$ 中，為指令 $i + 1$ 所指定的資料（即在第二循環 $\langle m + 1 \rangle$ 期間從暫存器檔 RF0 及 RF1 中讀取的資料）被讀取且傳輸；且在第四循環 $\langle m + 3 \rangle$ 中，為指令 $i + 2$ 所指定的資料，（即在第三循環 $\langle m + 2 \rangle$ 期間從暫存器檔 RF0 及 RF1 讀取的資料）被讀取且傳輸。

接收多工器 34，36 接收在各側（PEK - 4，PEK - 3，PEK - 2，PEK - 1，PEK + 1，PEK + 2，PEK + 3，PEK + 4）上，接收相鄰四處理元件的傳輸鎖存電路 32 的資料，且選擇接收之資料元件中之一。此操作與處理元件 PEK 中傳輸鎖存電路 32 的操作同步。

在第一循環 $\langle m \rangle$ 中，在資料元素之一（為指令 $i - 1$ 所指定），而從前一循環 $\langle m - 1 \rangle$ 中其他相鄰處理元件之暫存器檔 RF0 及 RF1 所讀取的資料被接收 / 加以選擇。在第二循環 $\langle m + 1 \rangle$ 中，如上所述，在前循環 $\langle m \rangle$ 中，從其他相鄰處理元

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (21)

件之暫存器檔相鄰中讀取的資料之一 (為指令 li 所指定之資料) 被接收 / 選擇，在第三循環 $\langle m+2 \rangle$ 中從其他相鄰處理元件所讀取的資料元件 (為指令 li 所指定的資料) 之一被接收 / 選擇。在第四循環 $\langle m+3 \rangle$ 中，接收 / 選擇在第三循環 $\langle m+2 \rangle$ 中從其他相鄰處理元件之暫存器檔 RF0 及 RF1 讀取的資料元件 (為指令 li 所指定的資料) 之一。

在各循環開始時，在時脈訊號 PCLK 處來自暫存器檔 RF0 及 RF1 的資料為讀取資料保留第一鎖存電路 40A 及 40B 取出 (即在前循環中從 RF0 及 RF1 讀取的資料)。

在第一循環 $\langle m \rangle$ 中，取出在前一循環 $\langle m-1 \rangle$ 中從暫存器檔 RF0 及 RF1 讀取的資料 (為指令 $li-1$ 指定的資料)。在第二循環 $\langle m+1 \rangle$ 中，取出前一循環 $\langle m \rangle$ 中從暫存器檔 RF0 及 RF1 讀取的資料 (為指令 li 指定的資料)。在第三循環 $\langle m+2 \rangle$ 中，取出第二循環 $\langle m+1 \rangle$ 中，從暫存器檔 RF0 及 RF1 讀取的資料 (為指令 $li+1$ 指定的資料)。在第四循環 $\langle m+3 \rangle$ 中，取出第三循環 $\langle m+2 \rangle$ 中，從暫存器檔 RF0 及 RF1 讀取的資料。

在每一循環開始時，對於如工作暫存器 26 (M, A, B, C) 動作的資料 ALU24 執行循環中的前述操作，且輸出操作結果。在工作暫存器 26 (M, A, B, C) 中，取出在前一循環中使讀取資料保留第一鎖存電路 40A 及 40B 動作的資料，及接收多工器 34 及 36 所接收的資料。

在第一循環 $\langle m \rangle$ 開始時，在前一循環 $\langle m-1 \rangle$ 中取出而存入鎖存電路 40A 及 40B 的資料 (在對應於處理元件 PEK 中為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

指令 $li-2$ 所指定的資料)及為多工器 34, 36 所接收的資料 (為指令 $li-2$ 所指定於相鄰處理元件 (每側 4 個) 中的資料) 被取出且存入工作暫存器 26 (M, A, B, C) 中。

在第一循環 $\langle m \rangle$ 期間, ALU24 執行取出資料存入工作暫存器 26 (M, A, B, C) 的操作 (該資料即為指令 $li-2$ 所指定的資料), 且輸出操作結果。

同樣地, 在第二循環 $\langle m+1 \rangle$ 期間, 對於為指令 $li-1$ 所指定的資料, ALU24 執行操作, 且輸出操作結果, 在第三循環 $\langle m+2 \rangle$ 期間, 其對於為指令 li 所指定的資料執行操作, 且輸出操作結果; 且在第四循環 $\langle m+3 \rangle$ 期間, 其對於為指令 $li+1$ 所指定的資料執行操作且輸出操作結果。在每一循環開始時, 於時脈訊號 PCLK 的上升端, 讀取資料保留第二鎖存電路 54A 及 54B 取出資料, 該資料使在前一循環中存入第一鎖存電路 40A 及 40B。

在第一循環 $\langle m \rangle$ 中, 取出在兩循環前的循環 $\langle m-2 \rangle$ 中, 從暫存器檔 RF0 及 RF1 讀取的資料。在第二循環 $\langle m+1 \rangle$ 中, 取出在兩循環前的循環 $\langle m-1 \rangle$ 中, 從暫存器檔 RF0 及 RF1 讀取的資料, (由指令 $li-1$ 所指定的資料)。在第三循環 $\langle m+2 \rangle$ 中, 取出在兩循環前的循環 $\langle m \rangle$ 中, 從暫存器檔 RF0 及 RF1 讀取的資料。應用同一方式, 在第四循環 $\langle m+3 \rangle$ 中, 取出在兩循環前的第二循環 $\langle m+1 \rangle$ 中從暫存器檔 RF0 及 RF1 讀取的資料。

應用各循環開始時的時脈 PCLK 的上升端, 接收資料保留鎖存電路 50A 及 50B 取出在前一循環中為接收多工器 34,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

36所接收的資料，即來自兩循環前相鄰處理元件中每側4個的處理元件(PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4)內，從暫存器檔RF0及RF1讀取的資料。

在第一循環 $\langle m \rangle$ 中，接收資料保留鎖存電路50A及50B在兩循環前的循環 $\langle m-2 \rangle$ 期間，在每側4個的相鄰處理元件中任一處理元件內，從暫存器檔RF0及RF1讀取資料(為指令 $li-2$ 所指定的資料)，在第二循環 $\langle m+1 \rangle$ 中，[接收資料保留鎖存電路50A及50B]取出從暫存器檔RF0及RF1讀取資料，暫存器檔RF0及RF1係在兩循環前的循環 $\langle m-1 \rangle$ 期間在每側4個的暫存器檔RF0及RF1處理元件中的任一處理元件內。在第三循環 $\langle m+2 \rangle$ 中，[讀取資料保留鎖存電路50A及50B]取出從暫存器檔RF0及RF1讀取的資料，暫存器檔RF0及RF1係在兩循環前的第一循環 $\langle m \rangle$ 期間在每側4個的暫存器檔RF0及RF1處理元件中的任一處理元件內。(該資料為指令 li 所指定的資料)。同樣地，在第四循環 $\langle m+3 \rangle$ 期間，[讀取資料保留鎖存電路50A及50B]取出從暫存器檔RF0及RF1讀取的資料(為指令 $li+1$ 指定的資料)，暫存器檔RF0及RF1係在兩循環前的循環 $\langle m+1 \rangle$ 期間在每側4個的暫存器檔RF0及RF1處理元件中的任一處理元件內。

應用每一循環開始時，時脈PCLK的上升端，寫入資料保留鎖存電路56A及56B取出從前一循環中，來自ALU24的資料選擇多工器34, 36，讀取資料保留第二鎖存電路54A, 54B及讀取資料保留第二鎖存電路50A及50B的資料中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (24)

一資料。在此循環期間取出資料寫入暫存器檔 RF0 及 RF1 。

在第一循環 $\langle m \rangle$ 中，寫入資料保留鎖存電路 56A 及 56B 取出下列資料中的任何資料：為指令 $li-3$ (來自 ALU24 的數據) 所指定之操作的結果之資料，在處理元件 PEK 中為指令 $li-3$ 指定的讀取資料 (來自鎖存電路 54A 及 54B 的資料)，及在每側 4 個的暫存器檔 RF0 及 RF1 處理元件中的任一處理元件內為指令 $li-3$ 指定的資料 (來自鎖存電路 50A 及 50B 的資料)。

在第二循環 $\langle m+1 \rangle$ 中，寫入資料保留鎖存電路 56A 及 56B 取出下列資料中的任何資料：為指令 $li-2$ (來自 ALU24 的數據) 所指定之操作的結果之資料，在處理元件 PEK 中為指令 $li-2$ 指定的讀取資料 (來自鎖存電路 54A 及 54B 的資料)，及在每側 4 個的暫存器檔 RF0 及 RF1 處理元件中的任一處理元件內為指令 $li-2$ 指定的資料 (來自鎖存電路 50A 及 50B 的資料)。

在第三循環 $\langle m+2 \rangle$ 中，寫入資料保留鎖存電路 56A 及 56B 取出下列資料中的任何資料：為指令 $li-2$ (來自 ALU24 的數據) 所指定之操作的結果之資料，在處理元件 PEK 中為指令 $li-2$ 指定的讀取資料 (來自鎖存電路 54A 及 54B 的資料)，及在每側 4 個的暫存器檔 RF0 及 RF1 處理元件中的任一處理元件內為指令 $li-2$ 指定的資料 (來自鎖存電路 50A 及 50B 的資料)。

在第四循環 $\langle m+3 \rangle$ 中，寫入資料保留鎖存電路 56A 及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

56B取出下列資料中的任何資料：為指令 $li-3$ (來自ALU24的數據)所指定之操作的結果之資料，在處理元件PEK中為指令 $li-3$ 指定的讀取資料(來自鎖存電路54A及54B的資料)，及在每側4個的暫存器檔RF0及RF1處理元件中的任一處理元件內為指令 $li-3$ 指定D資料(來自鎖存電路50A及50B的資料)。

在每一循環耦合，微指令從IG14送至對應多指令的各處理元件PEK中。例如，對於第三循環 $\langle m+2 \rangle$ ，一對應 $li+2$ 的微指令送至暫存器檔RF0及RF1；對應指令 $li+1$ 的微指令送至接收多工器34, 36；對應指令 li 的微指令送至操作資料選擇多工器48A-48D，且對應指令 $li-1$ 的微指令送至寫入資料選擇多工器13。

依此方式，在此實施例的各處理元件PEK中，對各指令 li ，依據執行四個步驟(1)-(4)，每一循環一步驟，且對四個連續指令(如圖4之第三循環 $\langle m+2 \rangle$ 中的指令 $li+2$ ， $li+1$ ， li ， $li-1$)，四個步驟同時執行。結果，在各處理元件PEK中，對多指令執行管路處理，每單元時間或每水平掃瞄期間執行的操作循環數可成為四倍。

圖5-8示在含各處理元件PEK之SVP核心12中各區塊K的電路型態。在這些圖中，與圖3相同之符號對應至相同的元件。

在圖5中，DIR16的各區塊(K)與多連結區所製作，各區由一對(偶數側，奇數側)電流讀取型DRAM胞元60(偶)及60(奇)所製成，且含預定之區數(當各像素為40位元時為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

五、發明說明 (26)

24區)。在偶數側(RBLN-EVEN)的讀取位元線及奇數側的讀取位元線(RBLN-ODD)經區塊選擇電晶體60e連結全區位元線(RGBLN)。各DRAM胞元(60EVEN)及60(ODD)經寫入字元線(DIR-WWL)與緩衝器60f的輸出端連結。緩衝器60a與鎖存電路60g形成指標，以啓動至區塊之像素資料的輸入(下拉)。

在與時脈SWCK同步中，傳輸指標資料"1"，其順序從左側區塊至不同指標。當指標資料"1"存入區塊(K)的鎖存電路60g時，寫入字元線(DIR-WWL)動作，且不同DRAM胞元(60EVEN)及(60ODD)的寫入電晶體60a導通，且在寫入位元線(DIR-DATA0)及(DIR-DATD1)中傳輸的對應像素資料DK經寫入電晶體60a，寫入各胞元的電容60b中，每次一位元。各胞元的胞元電晶體60c，對應於電容60b中寫入的記憶體資訊內容而開/關。

讀取全區位元線(RGBLN)連結感測放大器來自4的輸入端64a。在讀取操作的例子中，當IG14傳輸出微指令時，區塊讀取字元線(BLK0)及(BLK1)動作，在奇數側或偶數側的區塊選擇電晶體60e，及在奇數側或偶數側上胞元的區塊選擇電晶體60e動作。由於讀取字元線(RWLN-DIR)動作，因此在奇偶側或偶數的胞元的主動電晶體60裝置導通。依此方式，經由導通側的區塊選擇電晶體60e，讀取全區位元線(RGBLN)連結在偶數(RBLN-EVEN)或奇偶側(RBLN-ODD)上的讀取位元線。另外，當含一共同柵極的存取電晶體60d導通時(該柵極在偶數或奇偶側上輸入)，在讀取全

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (27)

區位元線 (RGLN) 上讀取胞元的記憶體資訊。

對於各處理元件 PEK 的一暫存器檔 RF0，含預定階數 (如 96 階) 的多階段彼此相連結，每一階由一對 (偶數，奇偶側) 電流讀取型 DRAM 胞元 (62，EVEN) 及 (62，ODD) 製成。在暫存器檔 RF0 中的奇偶側讀取位元線 (RBLN-EVEN) 及 (RBLN-ODD) 連結讀取全區位元線 (RGLN) (讀取全區位元線 (RGLN) 與 DIR16 共用)，其間係經相對應的區塊選擇電晶體 62 胞元。

DRAM 胞元 (62，EVEN) 及 (62，ODD) 的電晶體 62a 之柵極端經寫入字元線 (WWLN0)，(WWLN1) 與 IG4 連結。經 NAND 電路 62f，寫入資料保留鎖存電路 56A 的資料輸出端連結各寫入電晶體 62a 的漏極及源極 (資料輸入端)。一視狀況控制奇偶側或偶數之寫入資料或微指令 (EVEN)，(ODD) 的控制訊號送至 NAND 電路 62f 的輸入端。

當由於位址 IG14 的微指令而使寫入字元線 (WWLN0) 及 (WWLN1) 動作時，寫入電晶體 62a 導通，且來自鎖存電路 56A 的資料經 NAND 電路 62f 及寫入電晶體 62 影像至電容 62 位元。

在讀取操作期間，由於位址 IG14 的微指令，區塊讀取字元線 (BLK0) 及 (BLK1) 之一動作，使在偶數或奇偶側上的區塊選擇電晶體 62e 導通。而且讀取字元線 (RWLN-RF0) 動作，且在奇偶側或偶數上的胞元之存取電晶體 62d 導通。依此方式，經導通側的區塊選擇電晶體 62e，讀取全區位元線 (RGLN) 與在偶數或奇偶側 (RBLN-EVEN)，(RBLN-ODD)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (28)

上的讀取位元線連結。另外，因為對偶數及奇偶側含共同柵極輸入存取電晶體 62 裝置導通，在讀取全區位元線 (RGLN) 上讀取胞元的記憶體資訊。

感測放大器 64 的資料輸出端端 64b 經緩衝器 66 連結讀取資料保留鎖存電路 40A 之資料輸入端 (O) 及 LR 通訊單元 28 之傳輸多工器 30 的輸入端之一。

各傳輸多工器 30 為多個 (如 5 個) 由微指令所控制的 NMOS 電晶體所製成。在此例中，型態已經適當設計以保證下列資料可視需要輸入：來自暫存器檔 RF0 的讀取資料，從另一暫存器檔 RF1 (圖 8) 傳輸過線 72 的讀取資料，來自傳輸鎖存電路 32 之資料輸出端 (Q) 的資料，來自 ALU24 之資料輸出端端 (圖 7) 的加總輸出 (SM) 資料，及來自功率源端 VSS 的 " 0 " 資料。

傳輸鎖存電路 32 的資料輸出端 (Q) 經緩衝器 78 與線 73 (圖 6) 與資料線 (44K) 連結。

讀取資料保留第一鎖存電路 40A 的資料輸出端 (Q) 連結下一階中第二鎖存電路 54A 的資料輸入端 (D)，且同時，經線 74 與各操作資料選擇多工器 48A - 48D (圖 6，7) 的資料輸入端連結。

讀取資料保留第二鎖存電路 54A 的資料輸出端 (Q) 連結寫入資料選擇多工器 52A 的輸入端之一。

多工器 52A 包含多個 (如 6 個) 為對應微指令所控制的 NMOS 電晶體。在此例中，其型態適於保證下列資料的選擇輸入：來自鎖存電路 54A 的資料輸出端 (Q)，經線 70，68 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (29)

LR通訊單元28在接收多工器34，36上傳輸的資料，來自ALU24之資料輸出端端的加總資料輸出端(SM)的資料，及來自工作暫存器26的第一及第四暫存器26(M)及26(C)的資料。

如圖6所示，在LR通訊單元28左相鄰的接收多工器34連結對應之左側相鄰資料線45(LK-4，LK-3，LK-2，LK-1)，每一線由為微指令所控制的四個NMOS電晶體所製作。作為右12的接收多工器36連結右側相鄰資料線46(RK+1，RK+2，RK+3，RK+4)，每一線由四個為微指令所控制的NMOS型電晶體所製成。

工作暫存器26的第一讀取暫存器26M由D正反器製成，且此資料輸出端(Q)經線75與OR電路80(圖7)的一輸入端連結。

用於選擇將存入第一暫存器26M的資料之操作資料選擇第一多工器48A由多個(如8個)為微指令所控制的NMOS電晶體製成。在此例中，第一多工器48A的可啓動下列資料的選擇輸入：來自第一暫存器26(N)之資料輸出端(Q)的資料(NOP)，經線70，68從LR時脈28的接收多工器34，36傳輸的資料，經線74，76從讀取資料保留第一鎖存電路40A，40B的資料輸出端傳輸的資料，來自第四暫存器26C的輸出端的資料，來自功率源端VDD的"1"資料，及來自功率源端VSS的"0"資料。

如圖7所示，工作暫存器26的第二暫存器26A，第三暫存器26B，第四暫存器26C由D正反器製成。第三區塊26B及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

第四暫存器 26C 的各資料輸出端 (Q) 直接連結 ALU2424 之輸入端之一。第二暫存器 26A 的資料輸出端 26Q 與 AND 電路 82 的輸入端之一相連結。OR 電路 80 的輸出端連結 ANDU82 的其他輸入端，且 ANDU82 的輸出端連結 ALU24 之輸入端之一。

經 OR 電路 80 的控制訊號 (微指令) MCO，來自第一暫存器 26M 的資料視狀況向 AND 電路 82 傳輸且應用來自第二暫存器 26A 的資料執行邏輯乘法。來自 AND 電路 82 的乘法操作的資料應用 ALU24 加到第三暫存器 26B 或第四暫存器 26C 的資料中。依此方式，在單一循環中執行乘法 / 加法運算。從 ALU24 之輸出端得到的操作結果資料 (即加乘資料輸出端 (SM)，進位 (CY)，及借入 (BW)) 送至不同部份。

對應第二及第三暫存器 26A，26B 而用於選擇操作資料的第二及第三多工器 48B，48C 與第一多工器 48A 有相同的線連結 (相同的輸入資料) 及相同的電路型態。

第四多工器 48D 有相同的電路型態，而線連結之一部份 (即輸入資料之一部份) 不同。第四多工器 48D 在型態上的設計適於保證下列資料可視需要加以輸入：來自第四暫存器 26C 的資料輸出端 (Q) 之資料 (NOP)，經線 74 及 76 從讀取資料保留第一鎖存電路 40A 及 40B 的資料輸出端 (Q) 傳輸之資料，來自第二暫存器 26A 的輸出端的資料，來自 ALU24 之輸出端的進位資料輸出端 (CY) 及借位 (BW) 的資料，來自電源端 VDD 的資料 "1"，及來自電源端的資料 "0"。

如圖 8 所示，偶數及奇偶側 DRAM 胞元 (84 EVEN) 及 (84 ODD) 及暫存器檔 RF1 的感測放大器 90 與暫存器檔 RF0 中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (31)

DRAM胞元 (62 EVEN)及 (62 ODD)和暫存器檔 RF0中感測放大器 64執行相同的功能。連結形成 DOR20的偶數及奇偶側 DRAM胞元 (86 EVEN), (86 ODD)的讀取位元線 (DOR-DATA0), (DOR-DATA1)連結 SVP核心輸出電路的感測放大器 (圖中無), 而非感測放大器 90。而且, 對於 DOR20的偶數及奇偶側 DRAM胞元 (86-EVEN), (86-ODD), 形成多階連結階數等於輸出像素資料的位元數 (如 16階)。

在影像輸出的例子中, 由鎖存電路 92及緩衝器 94之指標模式的控制, 並應用預計時, 來自 DOR20之所有 DRAM胞元 (86 EVEN), (86 ODD) (32胞元)如對應處理元件 PEK之最後處理結果的像素資料 DK', 對於對應的讀取位元線 (DOR-DATA0)及 (DOR-DATA1)讀取, 且如連結至前一像素資料 D1', D2', ...DK-1', 在一水平掃瞄線上輸出。

圖 9示經此實施例中由 SVP10的移動圖像即時處理的例子。在此影像處理裝置中, SVP10用於執行不同的處理操作, 為: 移動偵測 114, 移動可適性 Y/C隔離 116, 移動可適性掃瞄線內插 118, 影像品質更正 120, 彩色解調 ACC/ACK隔離 122, 掃瞄線內插 124, 及彩色矩陣 126。

類比合成訊號 VS經框記憶體 102及 104在為 A/D轉換成數位訊號 (影像訊號)後輸入 SVP10。在 SVP10中, 由輸入影像資料及影像資料製作的影像移動訊號遲延 1至 2畫面。而且, 為了防止錯誤偵測, 使用場記憶體 110。然後, 由使用來自輸入影像資料的移動偵測訊號 MC及由其延遲 1畫面的影像資料, 執行移動適應的 Y/C隔離, 且取出明暗度訊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

號 Y。對此訊號，執行移動適應掃瞄線內插 118 之處理及影像品質偵測 120。猝發鎖住 PLL 電路 108 取出色彩訊號；由使用為 A/D 轉換器數位化的彩色解調載波 f_{sc} ，在彩色解調器 ACC/ACK122 上解調色彩訊號 R-Y/B-Y，且執行介間場掃瞄線內插。最後，對於明暗度訊號及色彩訊號，執行彩色矩陣操作 126，且在二倍速下經 D/A 轉換器 128 輸出類比原始彩色訊號 RGB。

在傳統的 SVP 中，可為各處理元件 PEK 在掃瞄周期裝置 E 執行的操作數 (產生) 受到限制。在傳統方法中，為了執行移動圖像的即時處理，多個 (如 3) SVP 串聯連結以共用不同部位的處理。另一方面，對實施例的 SVP，因為各處理元件 PEK 的產量已大大地增加 (四倍)，在每一掃瞄週期中，執行 4 次操作，因此可能使用單 SVP 執行移動圖像的即時處理。

圖 10 示處理元件 PEK' 的處理型態，其為實施例之一修飾例。如硬體中所考慮者，此處理元件 PEK' 同於實施例中處理元件 PEK 的型態，只是沒有下列部份：資料保留第一鎖存電路 40A，40B，讀取 E 鎖存電路 32，寫入資料保留鎖存電路 56A 及 56B。時脈 PCLK' 的速度為實施例中時脈 PLCK 速度之半，即傳統時脈的兩倍。

圖 11 示在處理元件 PEK' 中不同部位操作的時計。

例如，讓我們注意指令 li 的處理。在第一循環 $\langle m' \rangle$ 的第一部份，當為指令 li 所指定的資料從暫存器檔 RF0 及 RF1 中讀取時 (DATA READ)，讀取資料為第一循環較後部位 $\langle m' \rangle$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明 (33)

>中的LR通訊單元28中由傳輸多工器30所選擇，且馬上送到在左及右側上指定數的相鄰處理元件。在處理元件PEK'之LR通訊單元28的接收多工器34，36中，在第一循環<m'>的較後部份中左側及右側相鄰多工器的指定數中取出資料(LRCOM)。

當進入第二循環<m+1'>時，在循環開始時的時脈訊號PCLK'的上升端，來自操作資料選擇多工器48A-48D的讀取資料或接收資料存入工作暫存器26(M, A, B, C)中。同時，從暫存器檔RF0及RF1取出讀取資料至資料保留鎖存電路54A及54B；且來自接收多工器34，36的接收資料存入接收資料保留鎖存電路50A及50B。對於在工作暫存器26(M, A, B, C)中取出資料(為指令li指定的資料)，ALU24執行預述操作，且資料輸出端操作結果(ALU)。操作結果之資料送至寫入資料選擇多工器52A及52B。

多工器52A及52B從ALU24，資料保留鎖存電路54A及54B，及接收資料保留鎖存電路50A及50B中選擇一資料。此選擇的資料寫入第二循環<m+1'>(WRITE BACK)較後部份的暫存器檔RF0及RF1中。

依此方式，在此處理元件PEK'中，對每一指令li，在第一循環<m'>期間，處理器執行第一步驟(DATD READ)，其從暫存器檔RF0及RF1中讀取資料，及第二步驟(LRCOM)視狀況與左及右側上指定數目的相鄰處理元件交換資料。然後，在第二循環<m+1'>期間，[處理器]執行第三步驟，其中對第一及第二步驟中得到的資料執行操作，及第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (34)

四步驟，將在第一，第二及第三步驟中得到的資料之一寫入暫存器檔 RF0 及 RF1 (WRITE BACK)。

然後，相對於兩執行指令 $li-1$ 及 li ，在第一循環 $\langle m \rangle$ 期間，當第一步驟 (DATA READ) 及用於指令 li 第二步驟 (LRCOM) 執行時，第三步驟 (ALU) 及第四步驟 (WRITE BACK) 對指令 $li-1$ 執行。

依此方式，在此修飾例中的處理元件 PEK' 中，使用一速度為傳統時脈兩倍的時脈，且當第一步驟 (DATA READ) 及第二步驟 (LRCOM) 在一循環執行時，第三步驟 (ALU) 及第四步驟 (WRITE BACK) 亦在一循環中執行。即，對兩連續指令，第一及第二步驟 (DATA READ) 及 (LRCOM)，和第三及第四步驟 (ALU) 和 (WRITE BACK) 同時在各循環中執行。每單位時間或一水平掃瞄周期執行的操作數可倍增。

下文中將說明本發明的其他特徵。在此實施例中處理元件 PEK 作用在時脈 PCLK 的操作速度下，其為傳統方法的四倍，且從一循環中的暫存器檔 RF0 及 RF1 讀取資料，其為傳統方法所耗時間的 1/4。當電流讀取型 DRAM 胞元 (62 EVEN)，(62 ODD)，(86 EVEN) 及 (86 ODD) 作為暫存器檔 RF0 及 RF1 的記憶體元件，如圖 5 及 8 所示時，如果採用傳統的讀取方法 (圖 19)，很難在此一短循環實現高速讀取。

本實施例對於電流讀取型 DRAM 胞元提供一顯示的高速讀取方法。圖 12 示此讀取方法的功能。而且，在此實施例中，因為電流 DRAM 胞元 (EVEN)，(62 ODD)，(86 EVEN) 及 (86 ODD) 的電路型態本身與傳統方法 (圖 18) 相同，此說明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (35)

可參考圖 18。

如圖 12 所示者，當比例控制訊號 XPHCG 動作時 (L 一位準)，讀取字元線 RWL 亦動作 (H 一位準)。依此方式，當 PMOS 型比例電晶體導通時，NMOS 存取電晶體 212 亦導通。

當 " 1 " 資訊存在電容 206 中時，電流經比例電晶體 214 (充電) 從電源電壓端 VDD 流至讀取位元線 RBL。另一方面，電流從存取電晶體 212 及記憶體胞元電晶體 210 從讀取位元線 RBL 流至接地 (VSS) (放電)。因為從電壓端 100 饋入的電荷量大於釋放至接地的電荷量，讀取位元線 RBL 的電位從接近接地位準 (VSS) 的 L 位準上升。但是，只可上升至近中間位準 (" M ") 處，距靠近電源電壓 VDD 的 H 位準 (3V) 為相當低的位準 (2V)。

在此實施例中，甚至在預充電終止後，即甚至在預充電 (PEK - 4, PEK - 3, PEK - 2, PEK - 1, PEK + 1, PEK + 2, PEK + 3, PEK + 4) 訊號 XPCHG 不動作 (H 位準)，且預充電電晶體 214 關掉後，讀取字元線 RWL 仍在動作態 (H 位準)。依此方式，讀取位元線 RBL 持續放電而無電流饋入。一當預充電結束後，位元線 RBL 的電壓開始降低。然後，當位元線 RBL 的電壓降至低於 L 位準的低限值 (約 1.5V) 時，讀取控制訊號 READ 動作 (H 位準)，決定位元線 RBL 的電壓，且由感測放大器放大，且讀取資料 " 1 " (DATA)。

依此方式，在此實施例中，當讀取位元線 RBL 預充電而存取電晶體 212 導通時，當資訊 " 1 " 存在記憶體胞元中時，位元線 RBL 的預充電電壓可只上升至 L 位準的低限值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (36)

(近 1.5V) 及 H 位準的上限值 (近 VDD) 間的中間位準 ("M")。一當在預充電結束後，開始本質放電，且位元線 RBL 的電壓從中間位準 ("M") 下降；應用前述時計，感測放大器 216 動作，決定對應於存在資訊 "1" 的位元線電壓 (H 位準)。

應用此讀取方法，在預充電操作結束時，存取電晶體 212 導通。馬上開始讀取位元線 RBL 的放電。對讀取字元線 BWL 需要某一延遲時間 t_d 以使 H 位準上升。如果在預充電期間發生此種情形，讀取率一點也不受到影響。然後，在放電結束後，位元線 RBL 從中間位準 "M" 放電。可能在短時間越過 L 位準臨界值，且亦能固定時計以動作對應之控制訊號。

而且，如果 "0" 存在電容 206 中，如記憶體胞元電晶體 210 關掉，則在預充電期間，且位元線電壓上升至近 H 位準位，H 位準近電源電壓 VDD，如圖 12 所示者。然後，當讀取 (PEK-4, PEK-3, PEK-2, PEK-1, PEK+1, PEK+2, PEK+3, PEK+4) 訊號 READ 動作 (H 位準)，決定位元線 RBL 的電壓，且為感測放大器 216 所放大，且讀取資料 "0" (DATA)。

依此方式，由使用本發明的讀取方法，可對電流讀取型 DRAM 胞元，縮短讀取速度 [sic; 讀取時間]。實際上，在傳統的方法中，一讀取循環 TR 需 17nsec。另一方面，對於本發明的方法，可縮短讀取循環的時間至少於 10nsec。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

五、發明說明 (37)

如圖 13 所示，正常時為導通的電晶體 130 插入在讀取位元線 RBL 上的預充電電晶體 214 及記憶體胞元之間。在此型態的例子中，可能調整在讀取位元 RBL 上的中間位準 ("M") 至一較低位準。

本發明的讀取方法不限於電流讀取型 DRAM 胞元，亦可使用其他型式的電流讀取型記憶體胞元。例如圖 14 中所示的單 ROM (唯讀記憶體) 胞元 132，及圖 15 中所示的 SRAM (靜態隨機存取記憶體) 胞元 134 亦可用在本發明的讀取方法中。對於圖 14 中的 ROM 胞元 132 及圖 15 中的 SRAM 胞元，如上之同一標示數目 212 用於指出功能與存取電晶體 212 相同功能的電晶體。

本發明的 SIMD 數位訊號處理裝置並不限於實施例中的影像處理。可用於任何的數位訊號處理方法中。如需要，可結合多步驟，而在一循環中同時執行。如上所述，對本發明的數位訊號處理方法及裝置，在多處理元件的各處理元件中 (其執行相同的平行處理)，依序執行下列步驟：在第一步驟中從一記憶體機構中讀取資料，第二步驟，一通訊機構與預定數的相鄰處理元件交換，第三步驟，使用操作機構執行預定的操作；及第四步驟，在第一，二，三步驟中得到的資料元件中之一寫入記憶體機構中。對於多個連續指令，上列 4 步驟中至少有兩步驟連續執行。因此增加每單元時間中指令執行的循環數，且可增加產量。

而且，對於本發明之電流讀取型記憶體胞元讀取方法，其中記憶體胞元電晶體含連結字元線的控制端，則讀取

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (38)

位元線在預定時間中預充電，且在預定時間中，一感測放大器決定位元線的電壓。從預充電結束到在位元線上視訊建立的時間可大大地縮短，且讀取率可大大地增加。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱: 數位信號處理方法及裝置以及記憶體胞元讀取方法)

一增加處理量的數位訊號裝置及方法。對每一指令 I_i ，在處理元件 PEK 中，四步驟 (1)-(4) 依序執行，且一循環中執行一步驟。對於四個連續的指令 (如在第三循環 $\langle m+2 \rangle$ 中的指令 I_{i+2} , I_{i+1} , I_i , I_{i-1})，對應的四個步驟 (1)-(4) 同時執行。依此方式，在處理元件 PEK 中執行管線處理 (pipeline processing)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

DIGITAL SIGNAL PROCESSING METHOD AND APPARATUS AND
MEMORY CELL READING METHOD

A digital signal device and method which increase processing throughput. For each instruction I_i , in processing element PEK, four steps (1)-(4) are executed in order, with one step executed in one cycle. For four consecutive instructions (for example, instructions I_{i+2} , I_{i+1} , I_i , I_{i-1} in the third cycle $\langle m+2 \rangle$), the four steps (1)-(4) are executed at the same time, respectively. In this way, pipeline processing is carried out in processing element PEK.

訂

線

六、申請專利範圍

1. 一種數位訊號處理方法，提供步驟如下：

提供一資料處理器，其含多個處理元件，設計上可依據一共同程式指令平行執行，此種元件均含一記憶體，以在操作之前或之後保留資料，用於與指定數的相鄰處理元件交換資料的通信機構，及用於執行一操作的操作機構，該操作係由從記憶體中讀取，或經通信機構接收的資料所指定；

對各程式指令：

從記憶體中讀取資料，經通信機構與指定數的相鄰處理元件執行一視狀況之交換工作，經操作機構執行由程式指令指定的操作，及

將第一，二及三步驟中得到的資料之一寫入記憶體中；

其中對於連續多個指令，第一，二，三，及四步驟中至少兩步驟同時執行。

2. 如申請專利範圍第1項之方法，其中第一，第二，第三及第四步驟在資料處理器的一循環中執行，在每一循環中，對於四個連續的程式指令，同時執行第一，第二，第三及第四步驟。

3. 如申請專利範圍第1項之方法，其中在一循環中執行第一及第二步驟，且在一循環中執行第三及第四步驟，且對於兩連續指令，第一及第二步驟和第三及第四步驟相對地同時執行。

4. 一種數位訊號處理器包含：

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

平行排置的多處理元件，用於平行處理對應至共同程式指令的相同處理；

各處理元件包含：

一記憶體，用於在操作處理元件之前或之後保留資料；

用於與規定數目的相鄰處理元件交換資料的通信機構；及

用於在資料上操作指定操作的操作機構，該資料從記憶體中讀取，或為通信機構所接收；

一第一鎖存器，其含與記憶體之資料輸出端耦合的資料輸入端，及一與操作機構之資料輸入端耦合的資料輸出端，在第二循環期間，該鎖存器取出從第一循環中的記憶體讀取的資料；

一第二鎖存器，含與第一鎖存器之資料輸出端耦合的資料輸入端，在第二循環後的第三循環期間，其該第一鎖存器中取出資料；

一第三鎖存器，含與通信機構耦合資料輸入端，在第三循環期間，其視狀況取出資料，該資料為第二循環期間，為通信機構從規定數之相鄰處理元件中任一處理元件取出者，及

一第四鎖存器，含資料輸入端，其與第二及第三鎖存器及操作機構的資料輸出端耦合，且資料輸出端耦合記憶體機構的資料輸入端，且其中，在次於第三循環的第四循環期間，視需要取出來自操作機構的資料，來自第二鎖存

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

器的資料，或來自第二鎖存器的資料〔sic；第三鎖存器〕；其中在第四循環期間，來自第四鎖存器的資料寫入記憶體中。

5. 一種數位訊號處理裝置含平行排置的處理元件，其平行處理對應至各指令的相同處理，各處理包含：

在操作之前或之後保留資料的記憶體；

通信機構，用於與指定數之處理元件交換資料，如同相鄰處理元件者；

操作機構，對從記憶體讀取的資料及/或為通信機構收的資料執行指定操作；

一第一鎖存器，其含與記憶體之資料輸出端耦合的資料輸入端，及一與操作機構之資料輸入端耦合的資料輸出端，在第二循環期間，該鎖存器取出從第一循環的記憶體讀取的資料；

一第二鎖存器，其含與通信機構之資料輸出端耦合的資料輸入端，及一與記憶體之資料輸入端耦合的資料輸出端，且在第二循環期間視狀況取出資料，該資料為由第一循環中的通信機構從指定數的相鄰處理元件中任一處理元件中接收得到者；

其中，在第二循環中，來自操作機構，第一鎖存器，或第二鎖存器的資料視需要寫入記憶體中。

6. 一種讀取一記憶體胞元的方法，一記憶體胞元含一電晶體，其有一與字元線耦合的控制端，及保留一資訊位元的記憶體單元，記憶體單元經一位元線與一感測放大器

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

耦合，該方法包含步驟如下：

當電晶體導通時，用於指定時間預充電位元線；及
控制感測放大器，以在一指定時間內決定該位元線的
電壓，以使資訊位元的讀取有效。

(請先閱讀背面之注意事項再填寫本頁)

訂

85104322

TIJ-20413
1/15

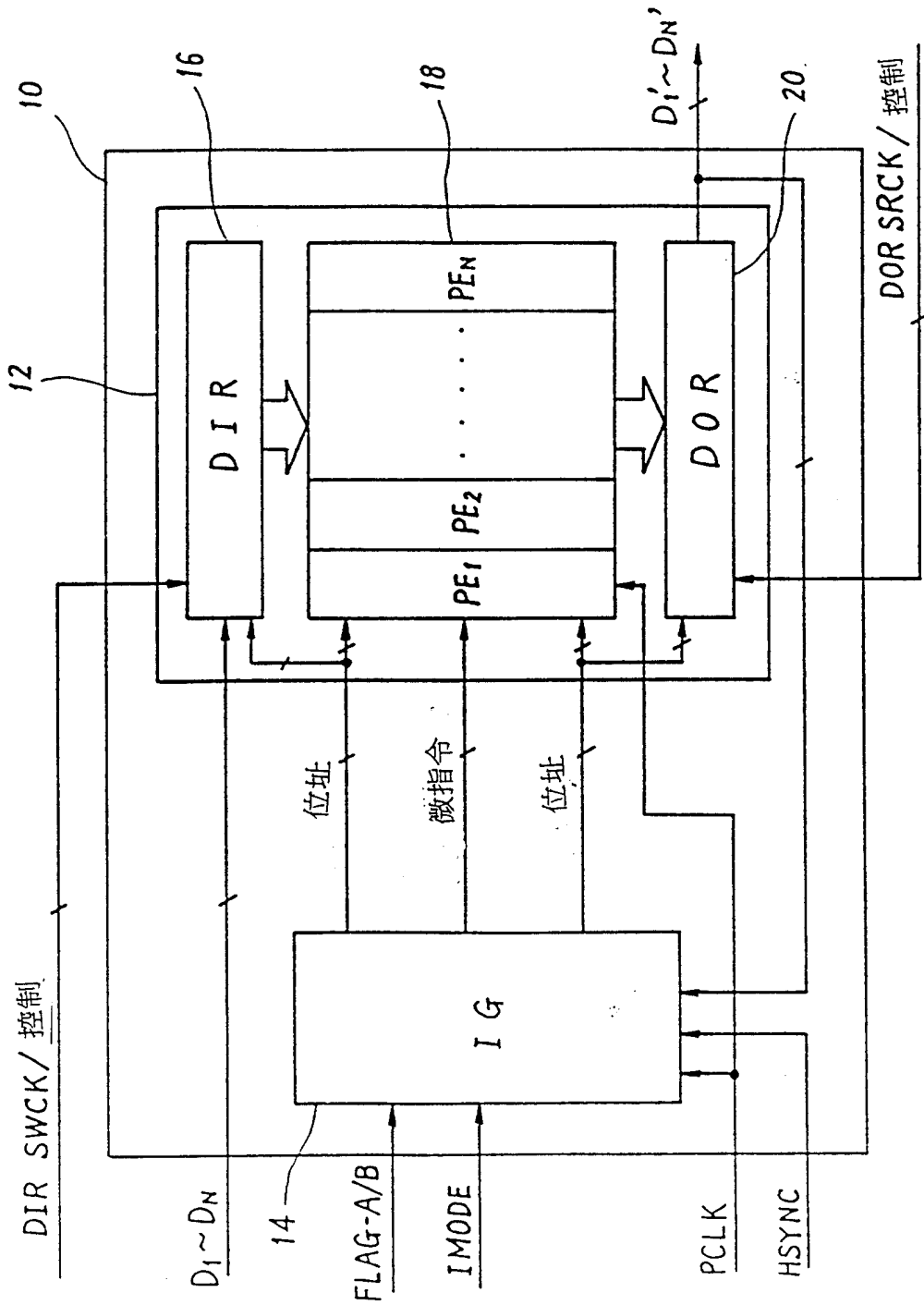
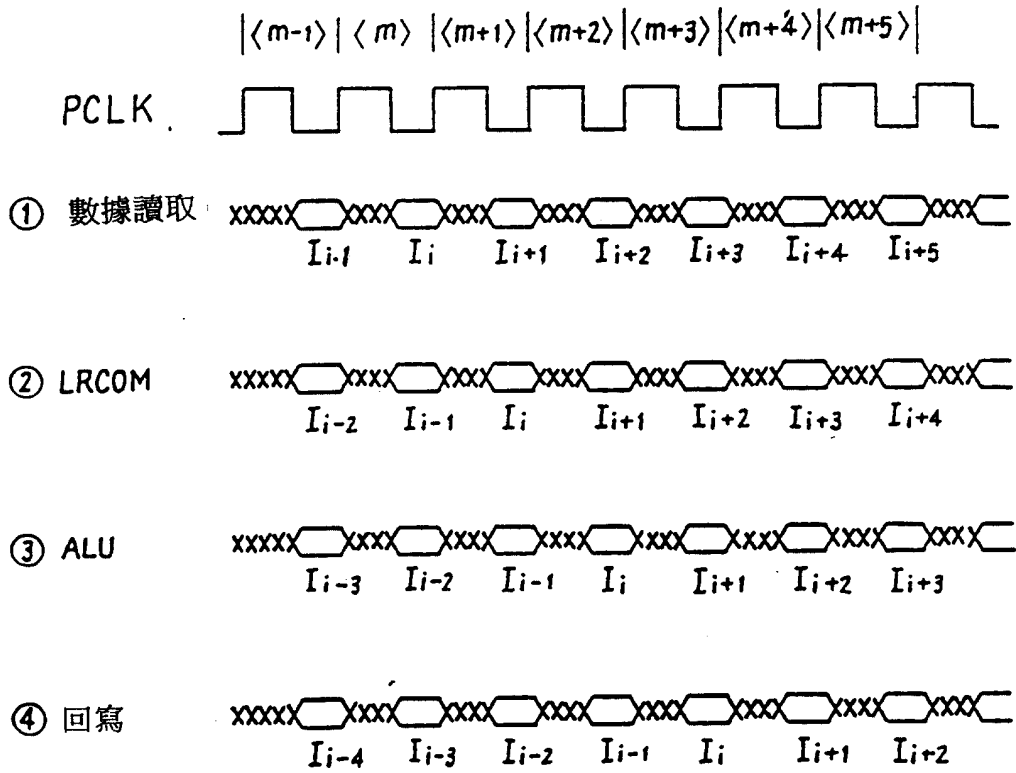
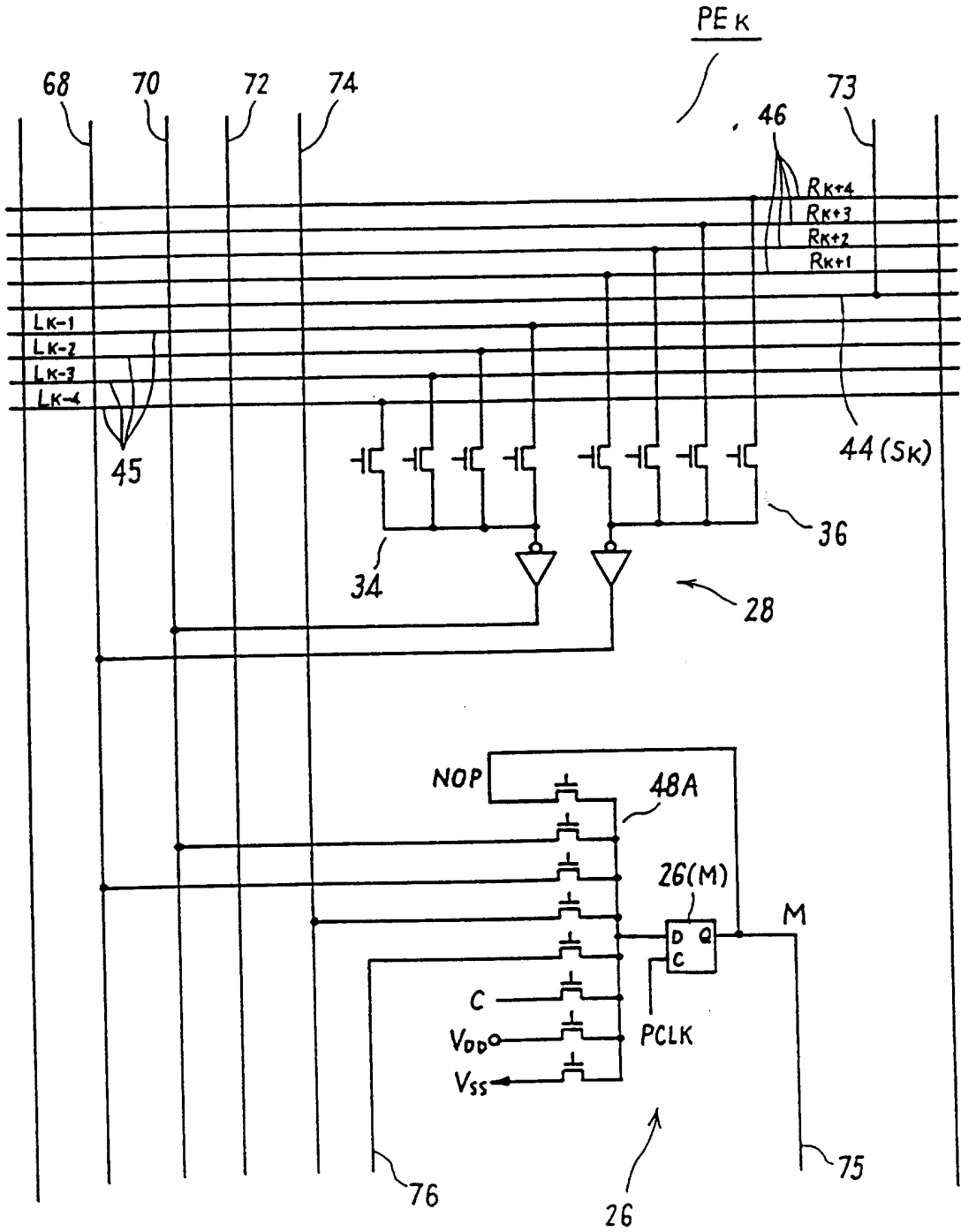


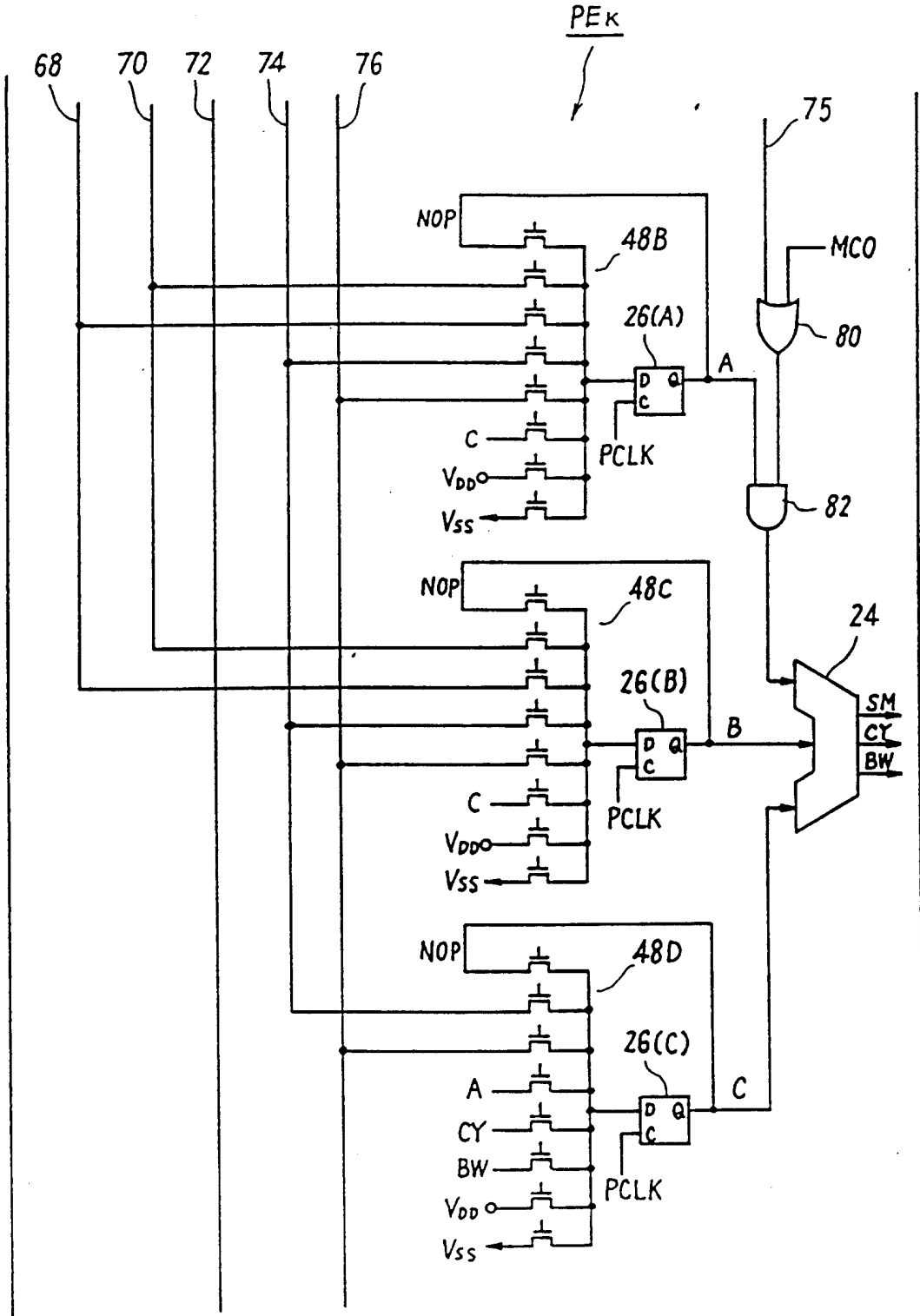
圖 1



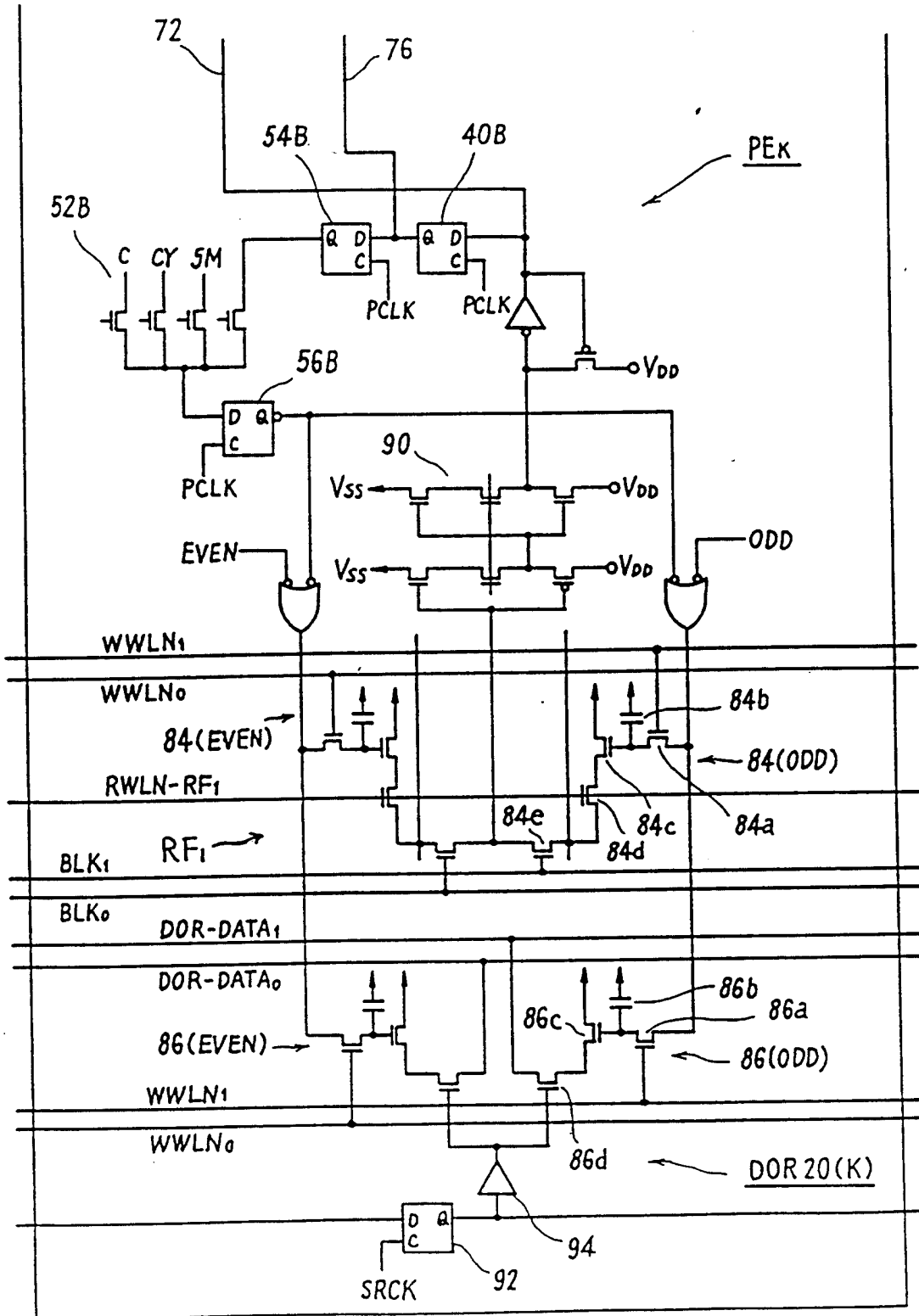
第 4 圖



第 6 圖



第 7 圖



第 8 圖

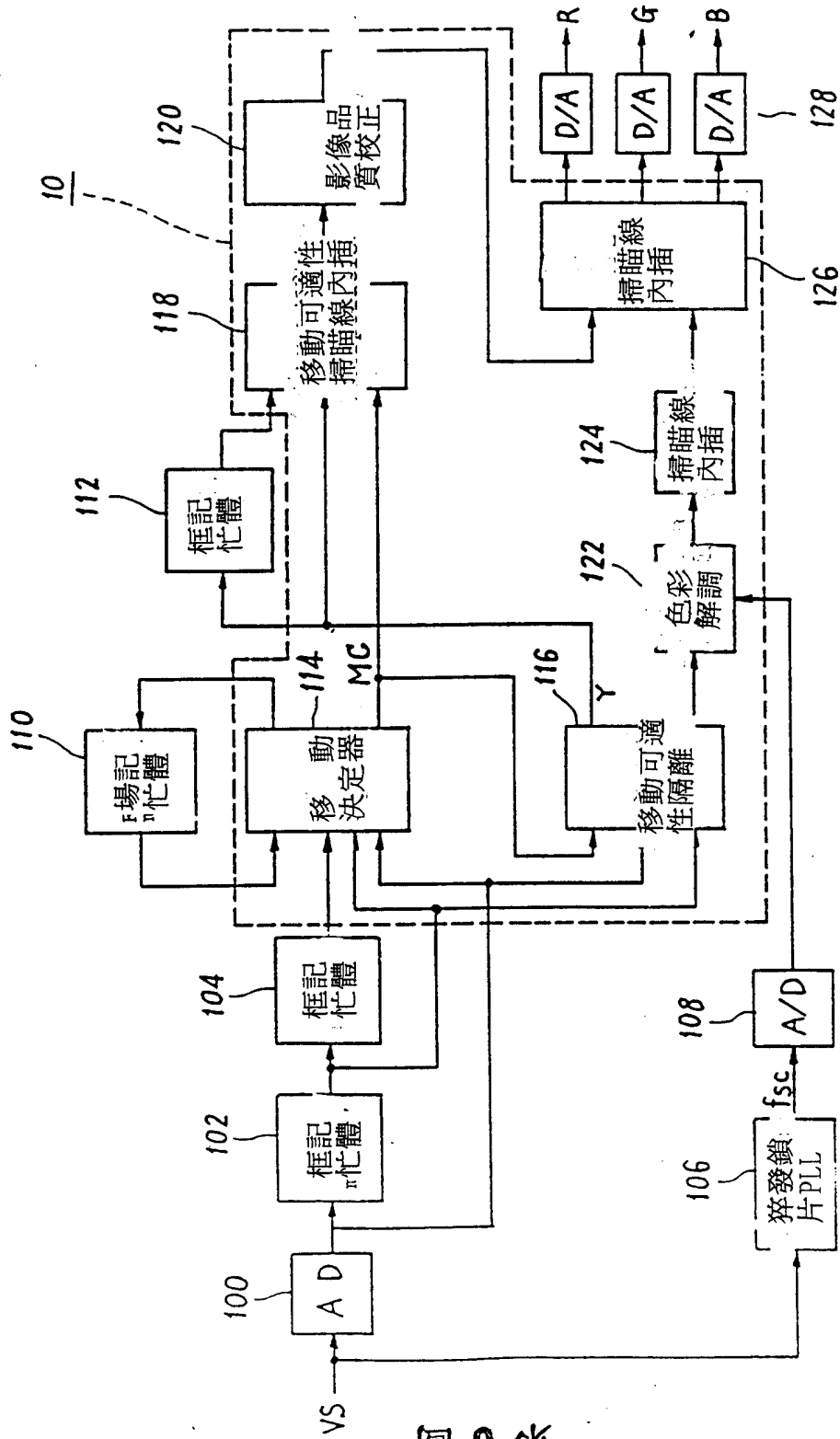
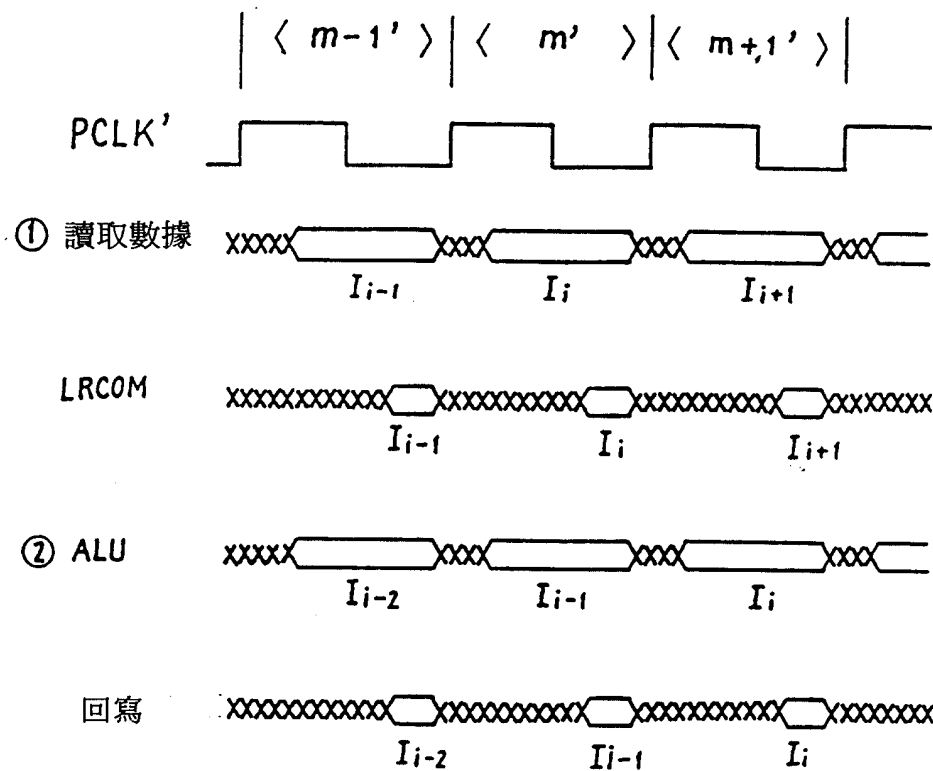
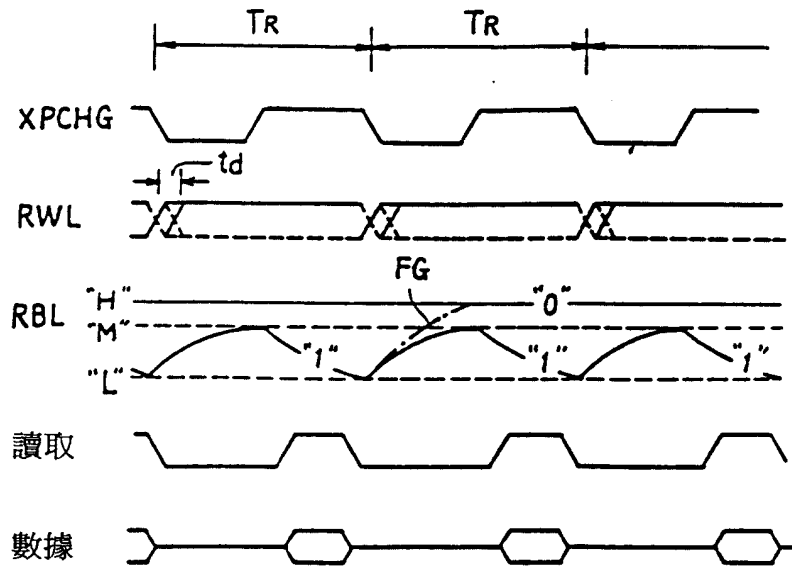


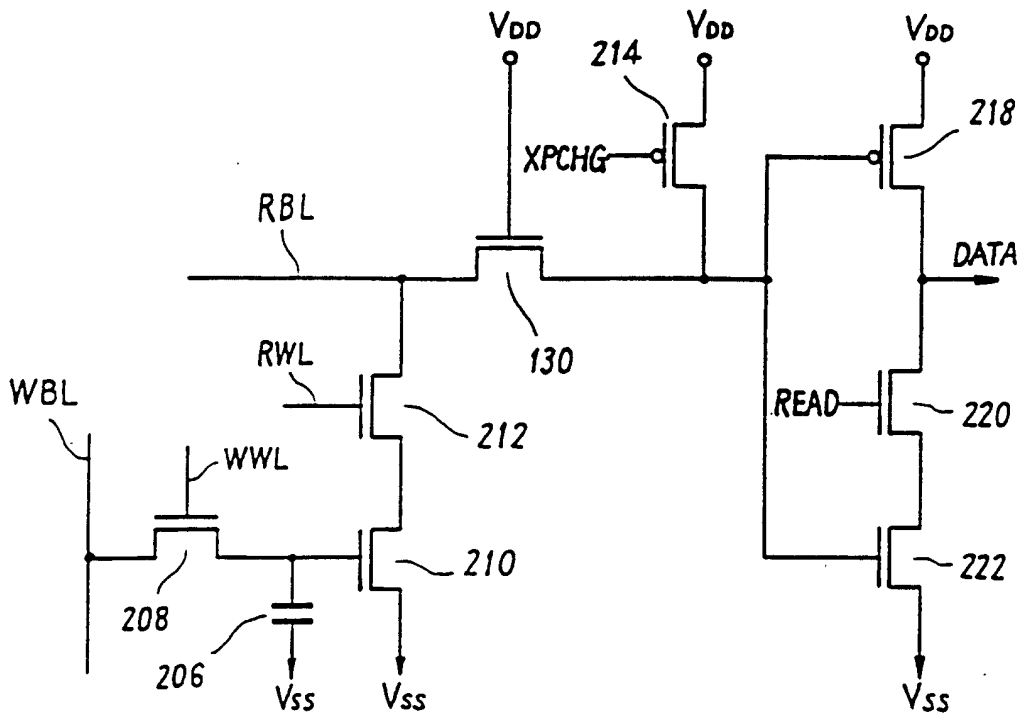
圖 5



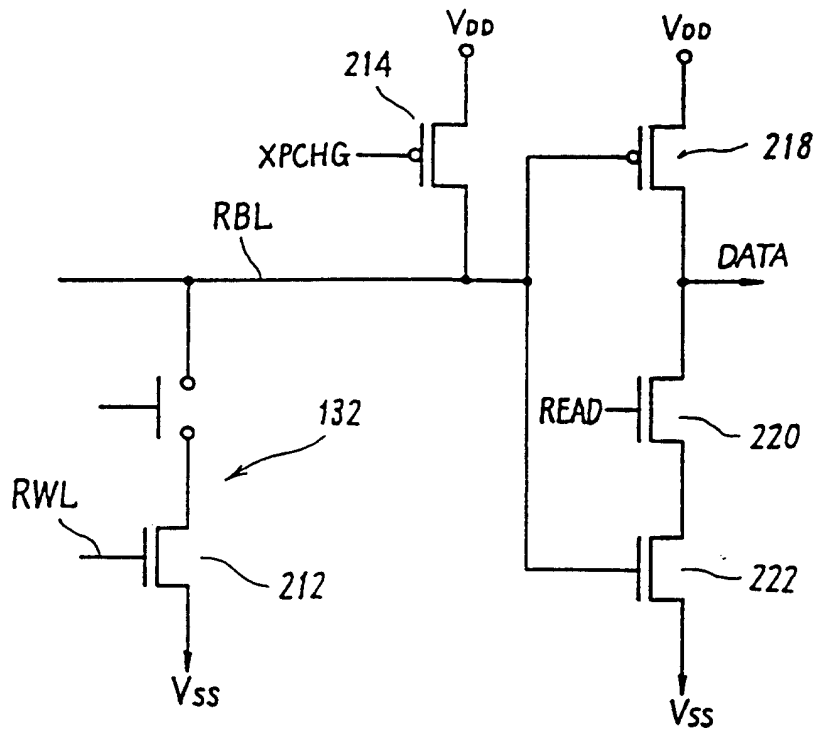
第11圖



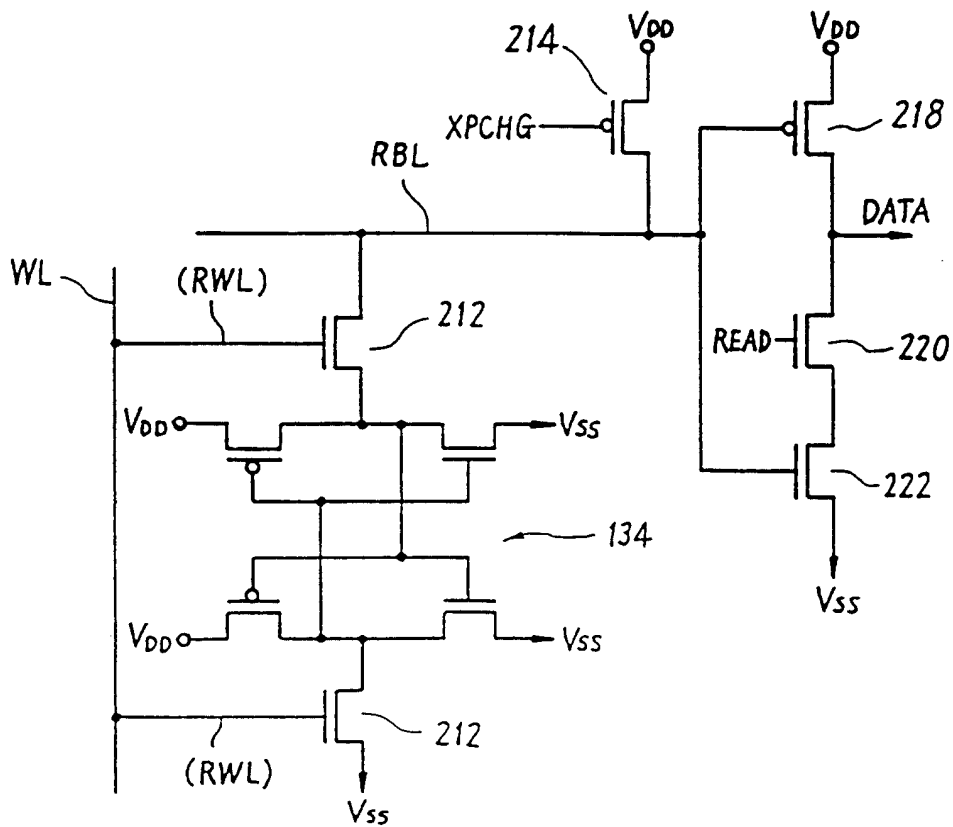
第12圖



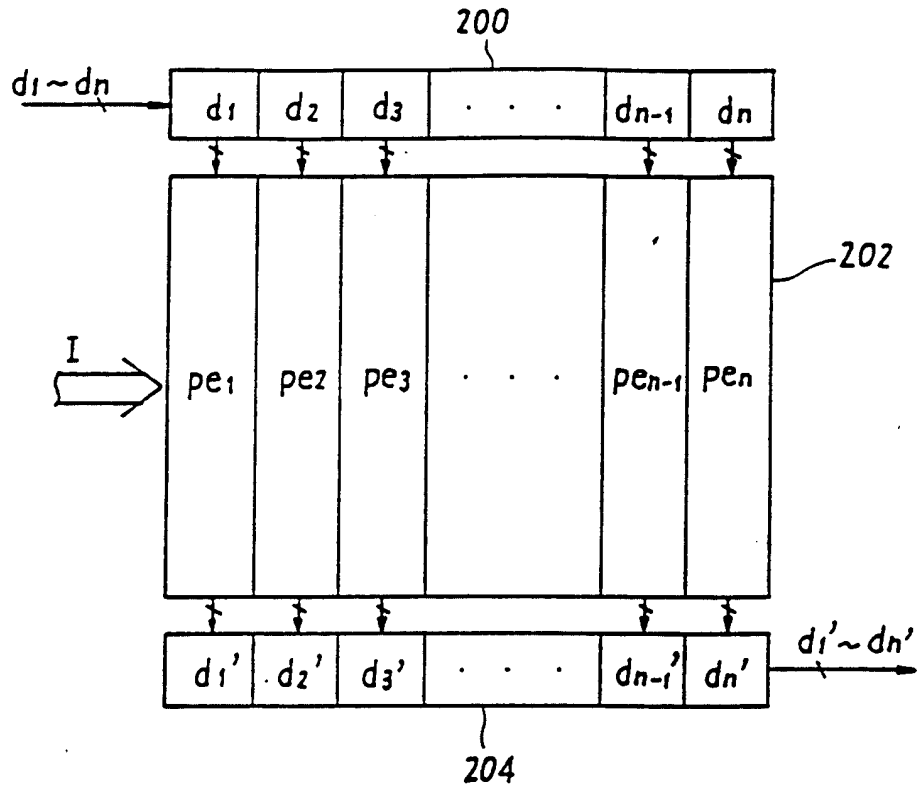
第13圖



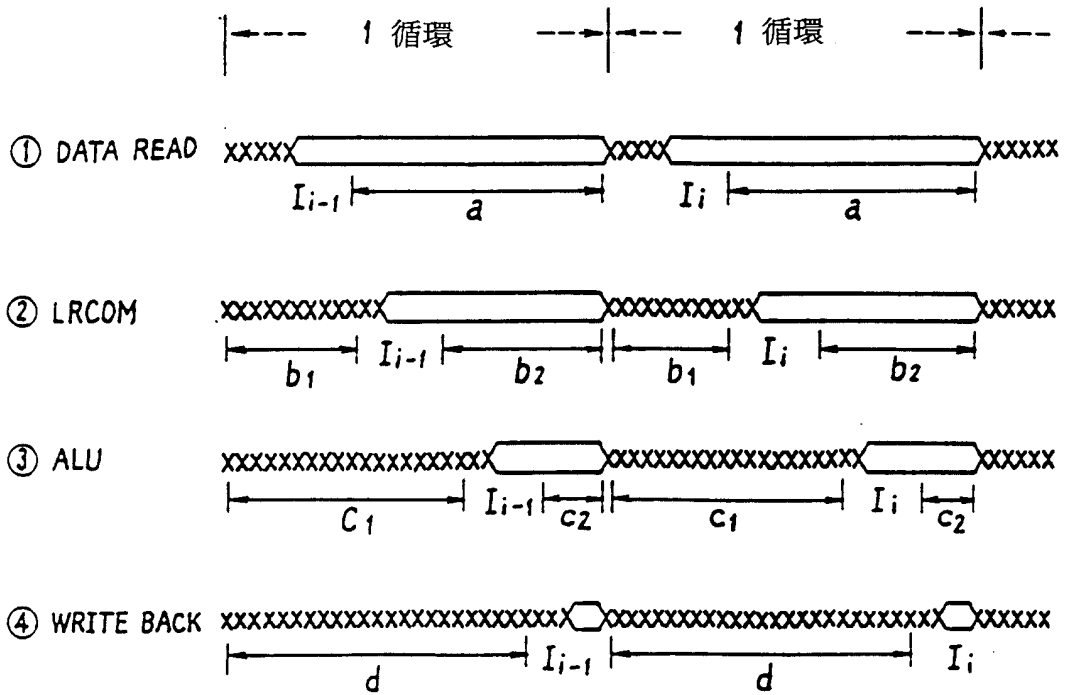
第14圖



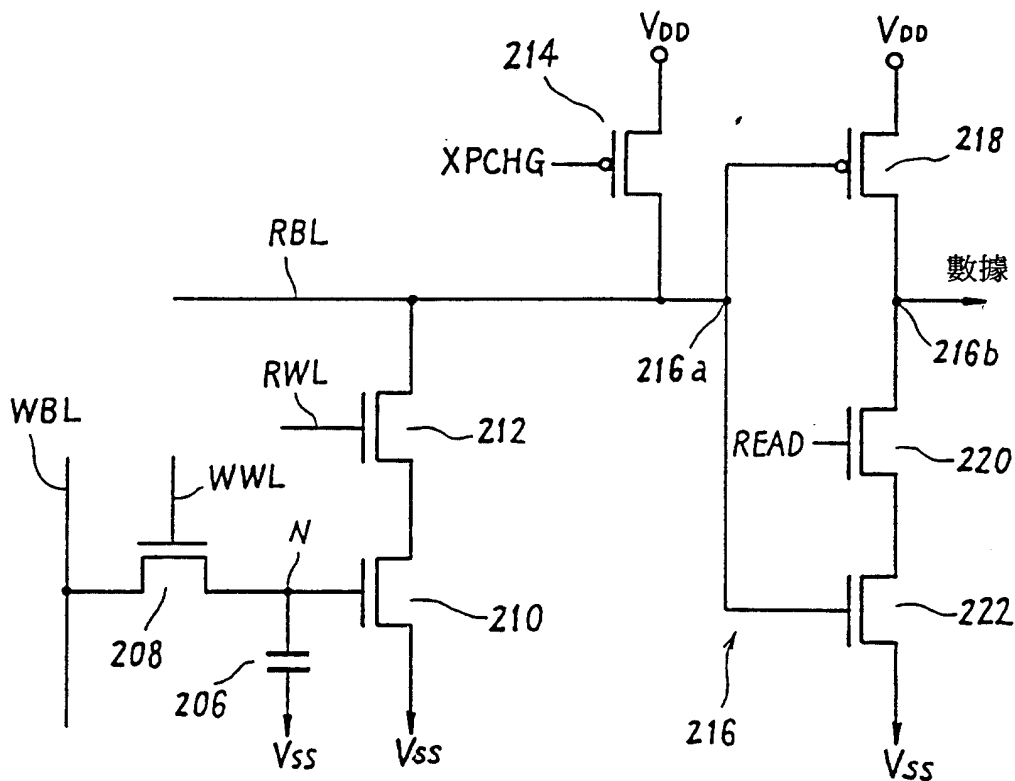
第15圖



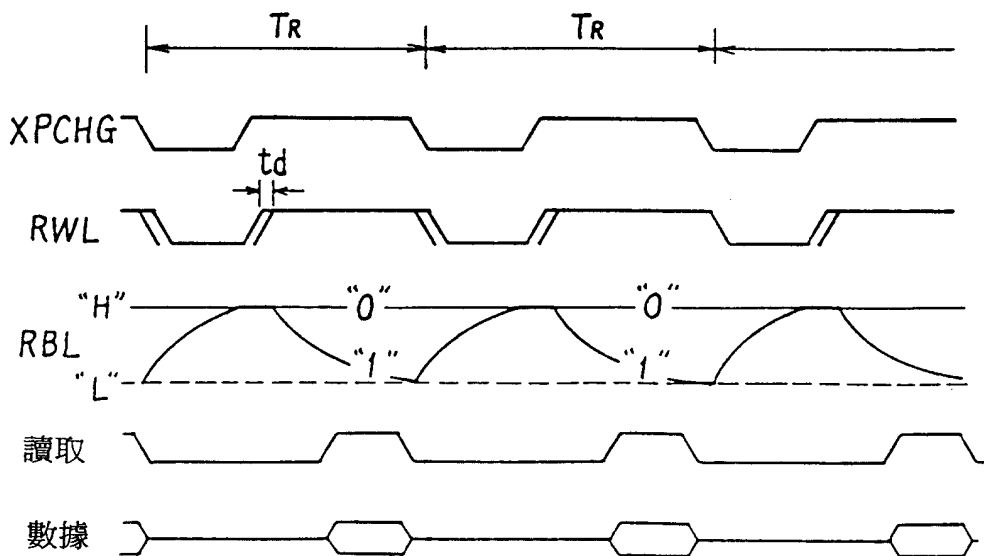
第16圖



第17圖



第18圖



第19圖