



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0163187
(43) 공개일자 2023년11월30일

(51) 국제특허분류(Int. Cl.)
G06F 1/3203 (2019.01) G06F 1/28 (2006.01)
H04R 9/06 (2006.01)
(52) CPC특허분류
G06F 1/3203 (2022.01)
G06F 1/28 (2013.01)
(21) 출원번호 10-2022-0062971
(22) 출원일자 2022년05월23일
심사청구일자 2022년05월23일

(71) 출원인
한국기술교육대학교 산학협력단
충청남도 천안시 동남구 병천면 충절로 1600 (한
국기술교육대학교내)
(72) 발명자
김중팔
경기도 화성시 동탄순환대로27길 45, 621동 802호
(영천동, 동탄역 센트럴 예미지)
(74) 대리인
특허법인 무한

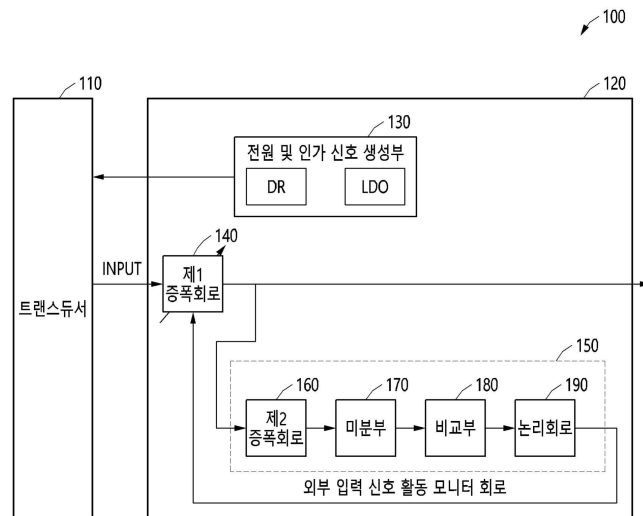
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 외부 입력 신호의 존재를 모니터링하기 위한 회로 장치

(57) 요약

외부 입력 신호의 존재를 모니터링하기 위한 회로 장치가 개시된다. 일 실시예에 따른 회로 장치는, 제1 증폭 회로가 비활성화된 저전력 모드(low power mode) 또는 제1 증폭 회로가 활성화된 고전력 모드(high power mode)로 동작하는 제1 증폭 회로, 및 제1 증폭 회로의 출력 신호에 기초하여 외부 입력 신호의 존재 여부를 판단하고, 외부 입력 신호의 존재 여부에 기초하여 제1 증폭 회로의 동작 모드를 저전력 모드 또는 고전력 모드로 동작 시키기 위한 제어 신호를 생성하는 외부 입력 신호 활동 모니터(external input signal activity monitor, or sound activity monitor, or SAM) 회로를 포함한다.

대표도 - 도1



(52) CPC특허분류

H04R 9/06 (2013.01)

Y02D 10/00 (2020.08)

명세서

청구범위

청구항 1

외부 입력 신호의 존재를 모니터링하기 위한 회로 장치에 있어서,

제1 증폭 회로가 저전력 모드(low power mode) 또는 상기 제1 증폭 회로가 고전력 모드(high power mode)로 동작하는 상기 제1 증폭 회로, 및

상기 제1 증폭 회로의 출력 신호에 기초하여 외부 입력 신호의 존재 여부를 판단하고, 상기 외부 입력 신호의 존재 여부에 기초하여 상기 제1 증폭 회로의 동작 모드를 상기 저전력 모드 또는 상기 고전력 모드로 동작 시키기 위한 제어 신호를 생성하는 외부 입력 신호 활동 모니터(external input signal activity monitor, or sound activity monitor, or SAM) 회로를 포함하는,

회로 장치

청구항 2

제1항에 있어서,

상기 외부 입력 신호 활동 모니터 회로는,

상기 제1 증폭 회로의 출력 신호를 증폭시키는 제2 증폭 회로,

상기 제2 증폭 회로의 출력 신호를 시간에 따라 미분한 제1 출력 신호, 및 제2 출력 신호를 출력하는 미분부,

상기 미분부의 상기 제1 출력 신호, 및 상기 제2 출력 신호를 비교하여 출력하는 비교부, 및

상기 비교부의 출력 값에 기초하여 상기 제1 증폭 회로를 동작 시키기 위한 제어 신호를 출력하는 논리 회로를 포함하는,

회로 장치.

청구항 3

제2항에 있어서,

상기 제2 증폭 회로는,

제1 증폭 회로의 출력 신호를 필터링 하는 고대역 통과 필터부; 및

상기 필터링 된 출력 신호를 증폭시켜 출력하는 증폭부를 포함하고,

상기 제2 증폭 회로는,

입력단과 출력단이 연결되지 않은 개 루프(open-loop)인,

회로 장치.

청구항 4

제3항에 있어서,

상기 고대역 통과 필터부는,

적어도 하나의 커패시터, 및 적어도 하나의 저항을 포함하는,

회로 장치.

청구항 5

제3항에 있어서,

상기 증폭부는,

적어도 하나의 PMOS 트랜지스터, 및 적어도 하나의 NMOS 트랜지스터를 포함하고,

상기 적어도 하나의 PMOS 트랜지스터, 및 적어도 하나의 NMOS 트랜지스터는 직렬로 연결된 것인,

회로 장치.

청구항 6

제3항에 있어서,

상기 제2 증폭 회로는,

상기 제2 증폭 회로의 출력의 공통모드 출력 신호를 일정하게 유지하는 출력 제어부를 더 포함하는,

회로 장치.

청구항 7

제2항에 있어서,

상기 비교부는,

제1 입력단 및 제2 입력단을 포함하는 제1 비교기, 및

제3 입력단 및 제4 입력단을 포함하는 제2 비교기를 포함하고,

상기 제1 입력단과 상기 제4 입력단은 앞 블록의 제1 출력 신호를 입력 받고,

상기 제2 입력단과 상기 제3 입력단은 상기 앞 블록의 제2 출력 신호를 입력 받는,

회로 장치.

청구항 8

제7항에 있어서,

상기 제1 비교기의 입력의 등가 오프셋 값은 상기 제1 비교기의 트랜지스터의 크기에 기초하여 결정되고,

상기 제2 비교기의 입력의 등가 오프셋 값은 상기 제2 비교기의 트랜지스터의 크기에 기초하여 결정되는,

회로 장치.

청구항 9

제7항에 있어서,

상기 제1 비교기의 출력의 히스테리시스 값은 상기 제1 비교기의 트랜지스터의 크기에 기초하여 결정되고,

상기 제2 비교기의 출력의 히스테리시스 값은 상기 제2 비교기의 트랜지스터의 크기에 기초하여 결정되는,

회로 장치.

청구항 10

제1항에 있어서,
상기 외부 입력 신호 활동 모니터 회로에 입력 신호를 인가하는 제3 증폭 회로를 더 포함하는,
회로 장치.

청구항 11

제10항에 있어서,
상기 제3 증폭 회로는,
상기 외부 입력 신호 활동 모니터 회로의 논리 회로의 제어 신호 값을 입력 신호로 하는,
회로 장치.

청구항 12

외부 입력 신호의 존재에 따라 제어 신호 값을 출력하는 논리 회로에 있어서,
제1 비교기 및 제2 비교기의 출력 신호를 입력 받는 제1 논리부;
상기 제1 논리부의 출력 신호를 입력 받아 제1 제어 신호 값, 또는 제2 제어 신호 값을 출력하는 제2 논리부;
및
제1 일정 시간이 경과하여도 외부 입력 신호가 없을 경우 상기 제2 논리부의 출력을 리셋하는 신호를 생성하는 제3 논리부, 및 상기 제2 논리부의 출력에 의해 상기 고전력 모드에서 상기 저전력 모드로 변경되는 순간 제2 일정 지연시간 이후에 상기 제1 논리부의 입력 감지 기능을 정상화하는 리셋신호를 생성하는 제4 논리부를 포함하는,
논리 회로.

청구항 13

제12항에 있어서,
상기 제1 논리부는,
적어도 두 개의 플립-플롭(flip-flop) 회로를 포함하는,
논리 회로.

청구항 14

제12항에 있어서,
상기 제2 논리부는,
상기 제어 신호 값을 출력하는 적어도 하나의 논리합 게이트(OR gate)를 포함하고,
상기 적어도 하나의 논리합 게이트의 적어도 하나의 입력은 미리 정해진 값인,

논리 회로.

청구항 15

제12항에 있어서,

상기 제2 논리부는,

상기 제1 논리부가 리셋되었을 경우 제1 증폭 회로가 저전력 모드로 동작하도록 상기 제어 신호 값을 제1 제어 신호 값으로 출력하고,

상기 제1 논리부의 출력 신호에 상승 에지가 발현되었을 경우 제1 증폭 회로가 고전력 모드로 동작하도록 상기 제어 신호 값을 제2 제어 신호 값으로 출력하고,

상기 제1 제어 신호 값과 상기 제2 제어 신호 값은 서로 다른 값인,

논리 회로.

청구항 16

제12항에 있어서,

상기 제3 논리부는,

적어도 하나의 카운터를 포함하며, 카운터 출력 신호의 상승 에지에서 상기 제2 논리부를 리셋하는 신호를 생성하는,

논리 회로

청구항 17

제16항에 있어서,

상기 카운터는,

상기 제1 비교기 및 상기 제2 비교기의 출력 신호에 상승 에지 혹은 하강 에지가 발현될 경우 지속적으로 리셋되는,

논리 회로.

청구항 18

제12항에 있어서,

상기 제3 논리부는,

상기 제1 일정 시간을 조절하는 조절단을 포함하는,

논리 회로.

발명의 설명

기술 분야

아래 개시는 외부 입력 신호 활동을 모니터링하기 위한 회로 장치에 관한 것이다.

[0001]

배경 기술

- [0003] 다양한 분야에서의 필요성으로 인해 마이크로폰과 관련한 기술에 관한 다양한 연구가 진행되고 있다. 근래에 들어 반도체 제조 공정을 응용해 마이크로미터 크기의 초미세 기계부품과 전자회로를 동시 집적하는 MEMS 마이크로폰과 관련한 기술에 대한 연구가 다양하게 진행되고 있다. 또한 인공지능 기술의 발달로 인해 음성 명령에 대한 인식 성능이 많이 향상되어, 사용자의 음성이 인식되는 상황과 음성이 인식되지 않는 상황에서의 마이크로폰의 효율적인 전력 관리 방법이 필요한 실정이다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0005] 일 실시예에 따른 외부 입력 신호의 존재를 모니터링하기 위한 회로 장치는, 제1 증폭 회로가 비활성화된 저전력 모드(low power mode) 또는 상기 제1 증폭 회로가 활성화된 고전력 모드(high power mode)로 동작하는 상기 제1 증폭 회로, 및 상기 제1 증폭 회로의 출력 신호에 기초하여 외부 입력 신호의 존재 여부를 판단하고, 상기 외부 입력 신호의 존재 여부에 기초하여 상기 제1 증폭 회로의 동작 모드를 상기 저전력 모드 또는 상기 고전력 모드로 동작 시키기 위한 제어 신호를 생성하는 외부 입력 신호 활동 모니터(external input signal activity monitor, or sound activity monitor, or SAM) 회로를 포함할 수 있다.
- [0006] 상기 외부 입력 신호 활동 모니터 회로는, 상기 제1 증폭 회로의 출력 신호를 증폭시키는 제2 증폭 회로, 상기 제2 증폭 회로의 출력 신호를 시간에 따라 미분한 제1 출력 신호, 및 제2 출력 신호를 출력하는 미분부, 상기 미분부의 상기 제1 출력 신호, 및 상기 제2 출력 신호를 비교하여 출력하는 비교부, 및 상기 비교부의 출력 값에 기초하여 상기 제1 증폭 회로를 동작 시키기 위한 제어 신호를 출력하는 논리 회로를 포함할 수 있다.
- [0007] 상기 제2 증폭 회로는, 제1 증폭 회로의 출력 신호를 필터링 하는 고대역 통과 필터부, 및 상기 필터링 된 출력 신호를 증폭시켜 출력하는 증폭부를 포함하고, 상기 제2 증폭 회로는, 입력단과 출력단이 연결되지 않은 개 루프(open-loop)일 수 있다.
- [0008] 상기 고대역 통과 필터부는, 적어도 하나의 커패시터, 및 적어도 하나의 저항을 포함할 수 있다.
- [0009] 상기 증폭부는, 적어도 하나의 PMOS 트랜지스터, 및 적어도 하나의 NMOS 트랜지스터를 포함하고, 상기 적어도 하나의 PMOS 트랜지스터, 및 적어도 하나의 NMOS 트랜지스터는 직렬로 연결된 것일 수 있다.
- [0010] 상기 제2 증폭 회로는, 상기 제2 증폭 회로의 출력의 공통모드 출력 신호를 일정하게 유지하는 출력 제어부를 더 포함할 수 있다.
- [0011] 상기 비교부는, 제1 입력단 및 제2 입력단을 포함하는 제1 비교기, 및 제3 입력단 및 제4 입력단을 포함하는 제2 비교기를 포함하고, 상기 제1 입력단과 상기 제4 입력단은 앞 블록의 제1 출력 신호를 입력 받고, 상기 제2 입력단과 상기 제3 입력단은 상기 앞 블록의 제2 출력 신호를 입력 받을 수 있다.
- [0012] 상기 제1 비교기의 입력의 등가 오프셋 값은 상기 제1 비교기의 트랜지스터의 크기에 기초하여 결정되고, 상기 제2 비교기의 입력의 등가 오프셋 값은 상기 제2 비교기의 트랜지스터의 크기에 기초하여 결정될 수 있다.
- [0013] 상기 제1 비교기의 출력의 히스테리시스(hysteresis) 값은 상기 제1 비교기의 트랜지스터의 크기에 기초하여 결정되고, 상기 제2 비교기의 출력의 히스테리시스 값은 상기 제2 비교기의 트랜지스터의 크기에 기초하여 결정될 수 있다.
- [0014] 일 실시예에 따른 외부 입력 신호의 존재를 모니터링하기 위한 회로 장치는, 상기 외부 입력 신호 활동 모니터 회로에 입력 신호를 인가하는 제3 증폭 회로를 더 포함할 수 있다.
- [0015] 상기 제3 증폭 회로는, 상기 외부 입력 신호 활동 모니터 회로의 논리 회로의 제어 신호 값을 입력 신호로 할 수 있다.
- [0016] 일 실시예에 따른 외부 입력 신호의 존재에 따라 제어 신호 값을 출력하는 논리 회로는, 제1 비교기 및 제2 비

교기의 출력 신호를 입력 받는 제1 논리부, 상기 제1 논리부의 출력 신호를 입력 받아 제1 제어 신호 값, 또는 제2 제어 신호 값을 출력하는 제2 논리부, 및 제1 일정 시간이 경과하여도 외부 입력 신호가 없을 경우 상기 제2 논리부의 출력을 리셋하는 신호를 생성하는 제3 논리부, 및 상기 제2 논리부의 출력에 의해 상기 고전력 모드에서 상기 저전력 모드로 변경되는 순간 제2 일정 지연시간 이후에 상기 제1 논리부의 입력 감지 기능을 정상화하는 리셋신호를 생성하는 제4 논리부를 포함할 수 있다.

[0017] 상기 제1 논리부는, 적어도 두 개의 플립-플롭(flip-flop) 회로를 포함할 수 있다.

[0018] 상기 제2 논리부는, 상기 제어 신호 값을 출력하는 적어도 하나의 논리합 게이트(OR gate)를 포함하고, 상기 적어도 하나의 논리합 게이트의 적어도 하나의 입력은 미리 정해진 값일 수 있다.

[0019] 상기 제2 논리부는, 상기 제1 논리부가 리셋되었을 경우 상기 제1 증폭 회로가 저전력 모드로 동작하도록 상기 제어 신호 값을 제1 제어 신호 값으로 출력하고, 상기 제1 논리부의 출력 신호에 상승 에지가 발현되었을 경우 상기 제1 증폭 회로가 고전력 모드로 동작하도록 상기 제어 신호 값을 제2 제어 신호 값으로 출력하고, 상기 제1 제어 신호 값과 상기 제2 제어 신호 값은 서로 다른 값일 수 있다.

[0020] 상기 제3 논리부는, 적어도 하나의 카운터를 포함하며, 카운터 출력 신호의 상승 에지에서 상기 제2 논리부를 리셋하는 신호를 생성할 수 있다.

[0021] 상기 카운터는, 상기 제1 비교기 및 상기 제2 비교기의 출력 신호에 상승 에지 혹은 하강 에지가 발현될 경우 지속적으로 리셋될 수 있다.

[0022] 상기 제3 논리부는, 상기 미리 정해진 시간을 조절하는 조절단을 포함할 수 있다.

도면의 간단한 설명

[0024] 도 1은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 시스템을 나타낸 블록도이다.

도 2는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제1 증폭 회로와 외부 입력 신호 모니터 회로의 구성을 나타낸 블록도이다.

도 3a 및 도 3b는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제2 증폭 회로의 회로도를 나타낸 도면이다.

도 4는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 비교부의 회로도를 나타낸 도면이다.

도 5는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 비교부의 동작을 설명하기 위한 도면이다.

도 6은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제3 증폭 회로의 동작을 설명하기 위한 도면이다.

도 7은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 논리 회로의 동작을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0026] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.

- [0028] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0029] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0030] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 도 1은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 시스템을 나타낸 블록도이다. 외부 입력 신호는 소리, 진동, 초음파와 연관된 신호일 수 있다. 이하 설명에서는 입력신호가 소리와 관련된 신호일 때의 예에 대하여 기술하나, 본 개시에 따른 실시예가 이에 한정되는 것은 아니다..
- [0033] 마이크로폰을 사용 시 사용자의 음성 입력이 존재할 경우와 음성 입력이 존재하지 않을 경우 모두 동일하게 마이크로폰을 고품질 센싱 모드로 작동하게 될 경우 사용자의 음성 입력이 존재하지 않는 경우에도 마이크로폰이 고전력 센싱 모드로 작동하게 되어 불필요하게 전력을 소모하게 되는 경우가 있다. 이에 마이크로폰이 사용자의 음성을 인식하여 고품질 센싱 모드로 작동되어야 하는 경우에만 고품질 센싱 모드로 작동하고, 사용자의 음성 입력이 없을 경우에는 저전력 센싱 모드로 작동하게 할 필요가 있다. 본 개시에서는 위 같이 마이크로폰이 사용자의 음성을 인식할 필요가 있는 경우와 인식할 필요가 없는 두 가지 경우에 따라 마이크로폰의 동작을 서로 다른 모드로 동작하도록 하기 위한 방법이 개시된다.
- [0034] 도 1을 참조하면, 일 실시예에 따른 외부 입력 신호 활동을 모니터링 하기 위한 회로 장치의 시스템(100)은 트랜스듀서(예, MEMS 구조물)(110)과 전원 및 인가 신호 생성부(130)가 결합된 구성을 포함할 수 있다. 트랜스듀서(110)는 예를 들어 소리를 정전용량의 변화로 변환할 수 있는 MEMS 구조물일 수 있으며, 복수의 커패시터들을 포함하는 회로로 전기적으로 모델링 될 수 있다. 전원 및 인가 신호 생성부 (130)는 예를 들어 트랜스듀서(110)에 인가신호를 공급하는 DR, 및 전체 칩에 전원을 공급하는 LDO(Low Drop Out Regulator)를 포함할 수 있다. 일 실시예에 따른 외부 입력 신호 활동을 모니터링 하기 위한 회로 장치의 시스템(100)은 저전력 모드(low power mode) 또는 고전력 모드(high power mode)로 동작하는 제1 증폭 회로, 및 제1 증폭 회로의 출력 신호에 기초하여 외부 입력 신호의 존재 여부를 판단하고, 외부 입력 신호의 존재 여부에 기초하여 제1 증폭 회로의 동작 모드를 저전력 모드 또는 고전력 모드로 동작 시키기 위한 제어 신호를 생성하는 외부 입력 신호 활동 모니터(external input signal activity monitor, or sound activity monitor, or SAM) 회로(150)를 포함할 수 있다. 저전력 모드는 고전력 모드보다 전력을 덜 사용하는 모드로서, 제1 증폭 회로(140)는 저전력 모드에 있을 때 낮은 소비전력에서 신호를 버퍼링 혹은 증폭 처리하므로 상대적으로 잡음 수준이 높을 수 있다. 고전력 모드는 저전력 모드보다 전력을 더 사용하는 모드로서, 제1 증폭 회로(140)는 고전력 모드에 있을 때 높은 소비전력에서 신호를 버퍼링 혹은 증폭 처리하므로 상대적으로 잡음 수준이 낮을 수 있다.
- [0035] 외부 입력 신호 활동 모니터 회로(150)는 제1 증폭 회로(140)의 출력 신호를 증폭시키는 제2 증폭 회로(160), 제2 증폭 회로(160)의 출력 신호를 시간에 따라 미분한 제1 출력 신호, 및 제2 출력 신호를 출력하는 미분부(170), 미분부(170)의 제1 출력 신호, 및 제2 출력 신호를 비교하여 출력하는 비교부(180), 및 비교부(180)의 출력 값에 기초하여 제1 증폭 회로(140)를 동작 시키기 위한 제어 신호를 출력하는 논리 회로(190)를 포함할 수 있다. 논리 회로(190)는 외부 입력 신호 인식 여부에 따라 제1 증폭 회로(140)에 신호를 전달하고, 제1 증폭 회로(140)가 저전력 모드 또는 고전력 모드로 동작하도록 할 수 있다.
- [0037] 도 3a 및 도 3b는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제2 증폭 회로의 회로도를 나타낸 도면이다.

[0038] 도 2를 참조하면, 트랜스듀서(110)의 출력이 제1 증폭 회로(140)의 입력으로만 연결되고, 외부 입력 신호 활동 모니터 회로(150)는 제1 증폭 회로(140)의 출력을 입력으로 이용하는 것을 알 수 있다. 외부 입력 신호 활동 모니터 회로(150)가 트랜스듀서(110)의 출력을 입력으로 이용하는 구조의 경우에 외부 입력 신호 활동 모니터 회로(150)의 입력에 존재하는 기생 커패시터(Cp3, 도 2에는 도시되지 않음)가 트랜스듀서(110)의 기생커패시터 Cp1, 제1 증폭회로(140) 입력부의 기생커패시터 Cp2에 추가될 수 있다. 트랜스듀서에 기생커패시터가 부가적으로 커질 경우 트랜스듀서의 민감도가 저해될 수 있다. 따라서 본 발명에서 제시된 도2에서와 같이 제1 증폭회로(140)와 연결할 경우 트랜스듀서에 인가되는 기생커패시터를 저감할 수 있으며, 트랜스듀서의 민감도를 향상시킬 수 있다.

[0040] 도 3a 및 도 3b는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제2 증폭 회로의 회로도를 나타낸 도면이다.

[0041] 도 3a의 (a)를 참조하면, 제2 증폭 회로(200)의 회로도가 도시되어 있다. 제2 증폭 회로(200)는, 제1 증폭 회로의 출력 신호를 필터링 하는 고대역 통과 필터부, 및 필터링 된 출력 신호를 증폭시켜 출력하는 증폭부를 포함하고, 입력단과 출력단이 연결되지 않은 개 루프(open-loop)일 수 있다.

[0042] 일 실시예에서 고대역 통과 필터부(210)는 적어도 하나의 커패시터(Cin), 및 적어도 하나의 저항(Rb)을 포함할 수 있다. 일 실시예에서 증폭부(220)는 적어도 하나의 PMOS(P-channel metal oxide semiconductor, MPp, MPn) 트랜지스터, 및 적어도 하나의 NMOS(N-channel metal oxide semiconductor, MNp, MNn) 트랜지스터를 포함할 수 있다. 일 실시예에서 PMOS 와 NMOS는 각각(MPp 와 MNp, MPn 와 MNn) 직렬 연결될 수 있다. PMOS의 게이트(Vgpp 또는 Vgpn)에는 biasp_in DC 전압이 인가될 수 있다. NMOS의 게이트(Vgnp 또는 Vgnn)에는 biasn_in DC 전압이 인가될 수 있다. 일 실시예에서 제2 증폭 회로(200)는 제2 증폭 회로(200)의 출력의 공통 모드 출력 신호를 일정하게 유지하는 출력 제어부를 더 포함할 수 있다. 출력 제어부는, 출력(OUTN, 또는 OUTP)의 DC 전압을 Vc로 맞추기 위해 도 3a의 (b)에서와 같이 CMFB_AMP(230)을 이용하여 common mode feedback을 통해 다음과 같이 전압을 인가할 수 있다. CMFB_AMP(230)는 제2 증폭 회로(200)의 출력의 평균((OUTP+OUTN)/2)과 맞추고자 하는 출력의 공통 DC 전압(Vc)의 차이 성분을 피드백 게인 G2 만큼 증폭하는 기능을 수행할 수 있다.

수학식 1

$$V_{CMFB} = G2 \times \left[\frac{(OUTP + OUTN)}{2} - Vc \right]$$

[0044] 이 때 G2는 VCMFB의 이득을 의미한다.

[0045] 도 3b의 (a)를 참조하면, 또 다른 실시 예에 따른 제2 증폭 회로(300)의 회로도도 도시되어 있다. 일 실시예에 따른 제2 증폭 회로(300)는 고대역 통과 필터부(210)의 성능을 강화하기 위해 도 3b의 (c)의 DC_SERVO_AMP(310)를 이용하여 구현될 수 있다. 제2 증폭 회로(300)는 제1 증폭 회로의 출력 신호를 필터링 하는 고대역 통과 필터부(210) 및 필터링 된 출력 신호를 증폭시켜 출력하는 증폭부(220)를 포함할 수 있고, 입력단과 출력단이 연결되지 않은 개 루프(open-loop)일 수 있다. 일 실시예에서 고대역 통과 필터부(210)는 적어도 하나의 커패시터(Cin), 및 적어도 하나의 저항(Rb)을 포함할 수 있다. 일 실시예에서 증폭부(220)는 적어도 하나의 PMOS(P-channel metal oxide semiconductor, MPp, MPn) 트랜지스터, 및 적어도 하나의 NMOS(N-channel metal oxide semiconductor, MNp, MNn) 트랜지스터를 포함할 수 있다. PMOS의 게이트(Vgpp 또는 Vgpn)에는 biasp_in DC 전압이 인가될 수 있다. NMOS의 게이트(Vgnp 또는 Vgnn)에는 biasn_in DC 전압이 인가될 수 있다. 출력(OUTN, 또는 OUTP)의 DC 전압을 Vc로 맞추기 위해 도 3b의 (b)에서와 같이 CMFB_AMP(230)을 이용하여 common mode feedback을 통해 수학식 1과 같이 전압이 인가될 수 있다.

[0046] 또한 Ap와 An에 저주파 성분만을 네거티브 피드백하여 저주파 성분을 제거함으로써 고대역 통과 필터부(210)의 성능에 추가적으로 고대역 통과 필터 성능을 강화할 수 있다. 이 때 Ap와 An은 도 3b의 (c)에서의 DC_SERVO_AMP(310)을 이용하여 다음과 같이 전압이 인가될 수 있다.

수학식 2

$$Ap = biasn_in + G1 \times (OUTP - OUTN)$$

$$An = biasn_in - G1 \times (OUTP - OUTN)$$

이 때, G1은 DC_SERVO_AMP(310)의 이득을 의미한다.

도 4는 일 실시예에 따른 외부 입력 신호를 측정하기 위한 회로 장치의 비교부의 회로도를 나타낸 도면이다.

일 실시예에서, 비교부(180)는 MPp1 및 MPp2의 사이즈를 조절하여 입력 신호의 오프셋 값을 조절할 수 있으며 MNp1 및 MNn1의 사이즈를 조절하여 히스테리시스 정도를 조절할 수 있다. 비교부(180)의 출력 값(OUT)은 다음과 같이 정의될 수 있다.

수학식 3

$$OUT = G3 \times (Vinp + OFFSET - Vinn)$$

이 때, G3는 비교부(180)의 이득을 나타내고, OFFSET은 오프셋 값, Vinp 와 Vinn은 비교부의 입력 값을 의미한다.

도 5는 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 비교부의 동작을 설명하기 위한 도면이다.

도 5의 (a)를 참조하면, 비교부(180)는 제1 입력단(510) 및 제2 입력단(520)을 포함하는 제1 비교기(505), 및 제3 입력단(530) 및 제4 입력단(540)을 포함하는 제2 비교기(525)를 포함하고, 제1 입력단(510)과 제4 입력단(540)은 앞 블록의 제1 출력 신호를 입력 받고, 제2 입력단(520)과 제3 입력단(530)은 앞 블록의 제2 출력 신호를 입력 받을 수 있다.

도 5의 (b)를 참조하면, 제1 비교기와 제2 비교기를 모두 사용한 경우의 이점에 대해 알 수 있다.

도 5(b)의 (1)를 참조하면, 미분부에서 출력되는 두 신호는 DIFF_OUTP(550)과 DIFF_OUTN(560)이다. 미분부(170)의 출력은 differential 이므로 공통의 DC 신호에 크기가 같고 위상이 반대인 신호가 각각 DIFF_OUTP(550) 및 DIFF_OUTN(560)신호가 되어 출력된다. 제1 비교기(505)의 입력의 등가 오프셋은 제1 비교기(505)의 트랜지스터의 크기에 기초하여 결정되고, 제2 비교기(525)의 입력의 등가 오프셋은 제2 비교기(525)의 트랜지스터의 크기에 기초하여 결정될 수 있다.

두 비교기의 오프셋이 모두 INP 입력신호를 설정 오프셋 만큼 내리도록 되었을 경우 제1 비교기(505) 및 제2 비교기(525)에서 작용되는 바를 설명하면 다음과 같다.

도 5(b)의 (2)를 참조하면, 제1 비교기(505)에서의 동작을 알 수 있다. 제1 비교기(505)의 제1 입력단(510)에 DIFF_OUTP(550)이 입력되고 제1 비교기(505)의 제2 입력단(520)에 DIFF_OUTN(560)이 입력될 수 있다. 제1 비교기(505)의 제1 입력단(510)에 입력되는 신호 DIFF_OUTP(550)은 오프셋(570)만큼 쉬프트된 증가적인 신호(555)로서 제1 비교기(505)에서 작용한다. 제1 비교기(505)출력에서 신호(555)가 신호(560)보다 큰 구간에서 HIGH를, 낮은 구간에서 LOW를 출력하여 도 5(b) (2)에서와 같은 신호(590)를 출력한다.

도 5(b)의 (3)를 참조하면, 제2 비교기(525)에서의 동작을 알 수 있다. 제2 비교기(525)의 제3 입력단(530)에 DIFF_OUTN(560)이 입력되고 제2 비교기(525)의 제4 입력단(540)에 DIFF_OUTP(550)이 입력될 수 있다. 제2 비교기(525)의 제3 입력단(530)에 입력되는 신호 DIFF_OUTN(560)은 오프셋(570)만큼 쉬프트된 증가적인 신호(565)으로서 제2 비교기(525)에서 작용한다. 제2 비교기(525) 출력에서 신호(565)가 신호(550)보다 큰 구간에서

서 HIGH를, 낮은 구간에서 LOW를 출력하여 도 5(b) (3)에서와 같은 신호(595)를 출력한다.

[0063] 제1 비교기(505)의 출력의 오프셋(570)은 제1 비교기(505)의 트랜지스터의 크기에 기초하여 결정될 수 있고, 제2 비교기(525)의 출력의 오프셋(570)은 제2 비교기(525)의 트랜지스터의 크기에 기초하여 결정될 수 있다. 제1 비교기(505)의 출력의 히스테리시스 값은 제1 비교기(505)의 트랜지스터의 크기에 기초하여 결정될 수 있고, 제2 비교기(525)의 출력의 히스테리시스 값은 제2 비교기(525)의 트랜지스터의 크기에 기초하여 결정될 수 있다.

[0064] 일 실시예에서, 제1 비교기(505)의 제1 입력단(510), 및 제2 비교기(525)의 제3 입력단(530)의 입력 신호의 MOS의 크기 비가 제1 비교기(505)의 제2 입력단(520), 및 제2 비교기(525)의 제4 입력단(540)의 입력 신호의 MOS의 크기 비보다 클 경우 제1 비교기(505)의 제1 입력단(510), 및 제2 비교기(525)의 제3 입력단(530)의 입력 신호의 크기가 제1 비교기(505)의 제2 입력단(520), 및 제2 비교기(525)의 제4 입력단(540)의 입력 신호의 크기보다 상대적으로 작아도 등가의 입력에 해당하여 신호(555)의 크기가 신호(550)보다 오프셋(570) 만큼 작은 효과를 갖게 된다. 일 실시예에서, 반대로 제1 비교기(505)의 제1 입력단(510), 및 제2 비교기(525)의 제3 입력단(530)의 입력 신호의 MOS의 크기 비가 제1 비교기(505)의 제2 입력단(520), 및 제2 비교기(525)의 제4 입력단(540)의 입력 신호의 MOS의 크기 비보다 작을 경우 제1 비교기(505)의 제1 입력단(510), 및 제2 비교기(525)의 제3 입력단(530)의 입력 신호의 크기가 제1 비교기(505)의 제2 입력단(520), 및 제2 비교기(525)의 제4 입력단(540)의 입력 신호의 크기보다 상대적으로 커야 등가의 입력에 해당하여 신호(555)의 크기가 신호(550)보다 오프셋(570) 만큼 크게되는 효과를 갖게 된다.

[0066] 도 6은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 제3 증폭 회로의 동작을 설명하기 위한 도면이다.

[0067] 도 6의 (a)를 참조하면, 일 실시예에 따른 외부 입력 신호의 존재를 모니터링하기 위한 회로 장치는 외부 입력 신호 모니터 회로(150)에 입력 신호를 인가하는 제3 증폭 회로(810)를 더 포함할 수 있다. 일 실시예에 따른 외부 입력 신호의 존재를 모니터링하기 위한 회로 장치는 외부 입력 신호 활동 모니터 회로(150)에 입력 신호를 인가하는 제3 증폭 회로(810)를 더 포함하여 제1 증폭 회로(140)의 전력 모드가 저전력 모드 또는 고전력 모드로 전환됨에 따라 제1 증폭 회로(140)의 출력에 DC 레벨의 변화가 발생하여 외부 입력 신호 활동 모니터 회로(150)의 첫 증폭기(610)에 포화상태가 발생하고, 외부 입력 신호 활동 모니터 회로(150)의 기능이 불능이 되는 것을 방지할 수 있다. 일 실시예에 따르면, 제3 증폭 회로(810)는 외부 입력 신호 활동 모니터 회로(150)의 논리 회로의 제어 신호 값을 입력 신호로 할 수 있다.

[0068] 도 6의 (b)를 참조하면, 외부 입력 신호 활동 모니터 회로(150)의 논리 회로의 제어 신호 값(620)이 변화한 경우에도 제3 증폭 회로(810)가 외부 입력 신호 활동 모니터 회로(150)의 논리 회로의 제어 신호 값(620)을 입력 신호로 하므로 제1 증폭 회로(140)의 출력(630) 및 제3 증폭 회로(810)의 출력(640)에 차분 입력이 없게 되고, 외부 입력 신호 활동 모니터 회로(150)의 첫 증폭기(610)의 출력 (650) 및 (660)에도 포화가 일어나지 않는 것을 확인할 수 있다.

[0070] 도 7은 일 실시예에 따른 외부 입력 신호 활동을 모니터링하기 위한 회로 장치의 논리 회로의 동작을 설명하기 위한 도면이다.

[0071] 도 7을 참조하면, 일 실시예에 따른 외부 입력 신호의 존재에 따라 제어 신호 값을 출력하는 논리 회로(700)는, 제1 비교기 및 제2 비교기의 출력 신호를 입력 받는 제1 논리부(710), 제1 논리부(710)의 출력 신호를 입력 받아 제1 제어 신호 값, 또는 제2 제어 신호 값을 출력하는 제2 논리부(720), 및 제1 일정 시간이 경과하여도 외부입력신호가 없을 경우 제2 논리부(720)의 출력을 리셋하는 신호를 생성하는 제3 논리부(730), 및 제2 논리부(720)의 출력에 의해 고전력 모드에서 저전력 모드로 변경되는 순간 제2 일정 지연시간 이후에 제1 논리부(710)의 입력 감지 기능을 정상화하는 리셋신호를 생성하는 제4 논리부(740)를 포함할 수 있다.

[0072] 제1 논리부(710)는 적어도 두 개의 플립-플롭(flip-flop)회로를 포함할 수 있다. 일 실시예에 따르면, 제1 비교기 및 제2 비교기의 출력 신호는 XNOR 게이트를 지날 수 있다. 외부 입력 신호가 존재하지 않다가 외부 입력 신호가 발생하는 경우 CMP_OUT 신호에 상승 에지 혹은 하강 에지가 발현될 수 있다. CMP_OUT에서 rising edge의 발현은 FFA1가 감지하여 CMP_rising_edge 신호에 rising edge를 발현시킬 수 있고, CMP_OUT에서 falling edge 발현은 FFB1가 감지하여 CMP_falling_edge 신호에 rising edge를 발현시킬 수 있다. CMP_OUT에서 rising edge

가 먼저 발현될 경우 CMP_rising_edge 신호에서 rising edge가 먼저 발현되어 나타나며 뒤이어 CMP_falling_edge 신호에 rising edge가 발현될 수 있다. CMP_OUT에서 falling edge가 먼저 발현될 경우 CMP_falling_edge 신호에서 rising edge가 먼저 발현되어 나타나며 뒤이어 CMP_rising_edge 신호에 rising edge가 발현될 수 있다. 신호 CMP_rising_edge와 CMP_falling_edge는 논리합 게이트를 통해 연산 되어 CMP_edge를 생성하므로 CMP_rising_edge와 CMP_falling_edge의 어느 신호에서 rising edge가 먼저 발현되던 CMP_edge 신호에 빠른 rising edge가 반영될 수 있다. 이와 같이 적어도 두 개의 플립 플롭 회로를 포함하는 제1 논리부(710)를 통해 FFA1, FFB1 중 하나만으로 논리 회로를 구현하였을 경우와는 달리 CMP_falling_edge와 같은 신호가 형성되는 경우에도 딜레이 없이 빠른 rising edge 발현을 구현하여 빠른 검지를 할 수 있다.

[0073] 도 7의 제2 논리부(720)를 참조하면, 제2 논리부(720)는 제어 신호 값을 출력하는 적어도 하나의 논리합 게이트(OR gate)를 포함하고, 적어도 하나의 논리합 게이트의 적어도 하나의 입력은 미리 정해진 값일 수 있다. 제2 논리부(720)는 제1 논리부(710)가 리셋되었을 경우 제1 증폭 회로가 저전력 모드로 동작하도록 제어 신호 값을 제1 제어 신호 값으로 출력하고, 제1 논리부(710)의 출력 신호에 상승 에지가 발현되었을 경우 제1 증폭 회로가 고전력 모드로 동작하도록 제어 신호 값을 제2 제어 신호 값으로 출력할 수 있다. 제1 제어 신호 값과 상기 제2 제어 신호 값은 서로 다른 값일 수 있다. 일 실시예에서, CMP_edge의 rising edge 발현 시 FFA2에서 rising edge가 발현되며, wake-up 신호 WUP에서도 rising edge가 발현될 수 있다. 예를 들어, register 신호 REG_ALWAYS_ON 가 HIGH이면 WUP은 항상 HIGH인 상태가 되므로 외부 입력 신호의 유무에 따라 WUP신호가 HIGH 혹은 LOW가 되도록 하기 위해 register REG_ALWAYS_ON를 미리 정해진 값인 LOW로 설정할 수 있다.

[0074] 도 7의 제3 논리부(730)를 참조하면, 일 실시예에 따른 제3 논리부(730)는 적어도 하나의 카운터를 포함하며, 카운터 출력 신호의 상승 에지에서 제2 논리부를 리셋하는 신호를 생성할 수 있다. 카운터는 제1 비교기 및 제2 비교기의 출력신호에 상승 에지 혹은 하강 에지가 발현될 경우 지속적으로 리셋될 수 있다. 예를 들어 COUNTER block에서는 CLK 신호를 기반으로 분주 된 enough_calm 신호를 생성할 수 있다. 분주 정도는 register REG_FALLING_EDGE[:]에 의해 설정될 수 있다. enough_calm의 rising edge 발현 시 Auto_pulse의 출력 RSTn_falling_1st_pre 에는 짧은 구간의 LOW가 되는 reset신호가 생성될 수 있다. RSTn이 LOW이거나 RSTn_falling_1st_pre에 LOW가 되면 RSTn_falling_1st 에 LOW가 발현될 수 있다. RSTn_falling_1st 가 LOW가 되면 FFA2는 reset되며 출력 OUT_pre는 LOW로 reset될 수 있다. 외부 입력 신호가 계속 입력되어 FFA2가 reset 되면 안 되는 경우에는 COUNTER출력에 rising edge가 발현되는 것을 방지하기 위해 소리가 계속 입력되는 동안에는 COUNTER 출력에 rising edge가 발현되지 않도록 COUNTER 블록은 지속적으로 초기화 될 수 있다.

[0075] 외부 입력 신호가 계속 입력될 경우 XNOR_OUT에서는 지속적으로 LOW와 HIGH의 변동이 발생할 것이며, FFC1을 통하여 2분주되어 IN2 신호가 될 수 있다. IN2신호의 rising edge는 Auto-pulse를 거쳐 RSTn_IN에서 reset 신호가 될 수 있다. RSTn이 LOW이거나 RSTn_IN이 LOW이면 RSTn_CLK은 LOW가 되어 COUNTER를 reset시킬 수 있다. COUNTER는 CLK의 수 주기마다 Enough_calm 신호에서 rising edge를 발현시키게 되어 있는데 외부 입력 신호가 입력될 경우 Enough_calm 신호에서 rising edge가 발현되기 이전에 COUNTER에 reset 신호가 인가되어 enough_calm 신호는 LOW인 상태로 머물 수 있다. 따라서 외부 입력 신호가 지속적으로 입력되는 동안, FFA2의 reset 신호가 blocking 될 수 있다. 만일 입력 신호가 enough_calm 주기 동안 입력이 안되면 enough_calm에 rising edge가 발현되고, FFA2가 reset되어 WUP 신호가 LOW가 될 수 있다. 제3 논리부(730)는 제1 일정 시간을 조절하는 조절단을 포함할 수 있다. 예를 들어 외부 입력 신호가 입력되다가 얼마나 무음이 지속되어야 WUP 신호를 제1 값에서 제2 값으로 변경할 것인가를 enough_calm의 주기로 조절할 수 있으며, enough_calm의 주기는 register REG_FALLING_EDGE[:] 로 조절할 수 있다.

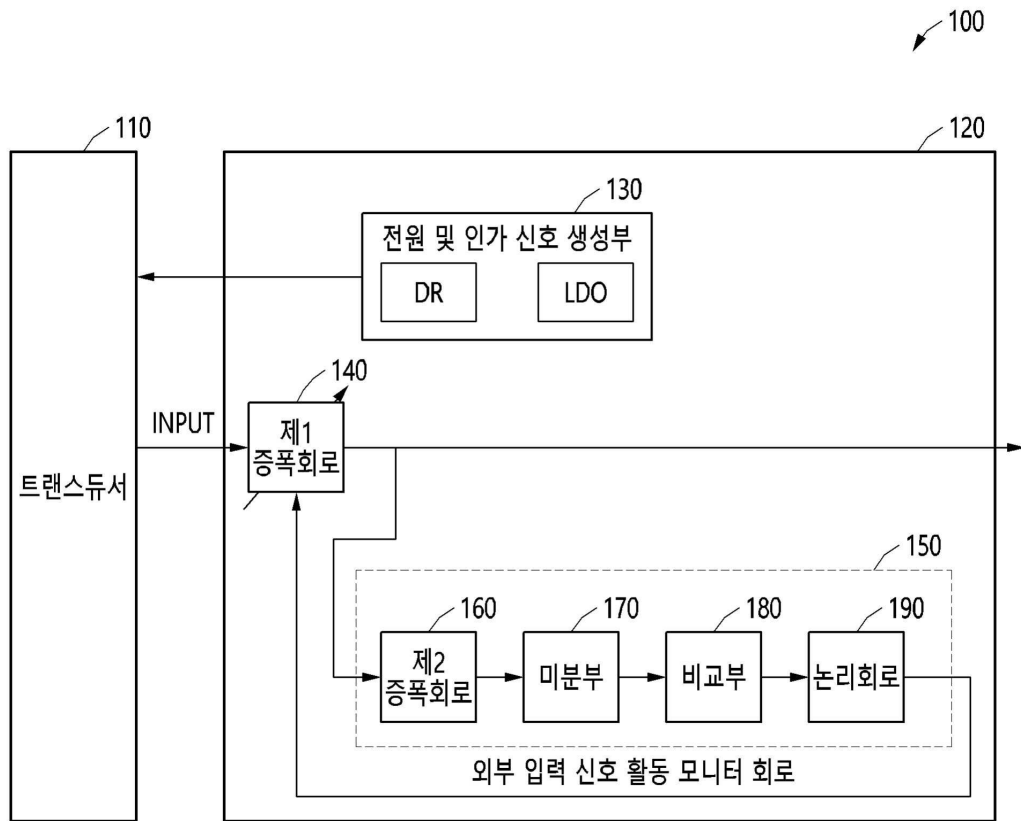
[0076] 도 7의 제4 논리부(740)를 참조하면, 실제 외부 입력 신호가 입력이 안되는 상황에서, WUP의 falling edge에 반응하여 XNOR_OUT에 edge가 발현되기 때문에 이에 반응하여 다시 WUP신호를 HIGH로 변경되는 것을 방지하기 위해 외부 입력 신호가 입력되다 입력이 안되어 WUP 신호가 HIGH에서 LOW로 되었다 하더라도, XNOR_OUT신호에 반응하는 것을 잠시 delay시킬 필요가 있다. FFA1이나 FFB1은 한 번 출력이 HIGH가 되면 reset되기 전에는 CLK입력부에 신호의 변화가 들어와도 출력은 계속 HIGH인 상태가 된다. 즉 WUP에 falling edge가 발현되어 LOW가 되었다 라도, FFA1 과 FFB1을 미리 정해진 시간 이후에 초기화하면 XNOR_OUT에서의 잘못된 신호에 무반응하게 할 수 있다. Enough_calm 이 HIGH가 되어야 CLK이 AND gate를 통과하여 CLK_after_CMP_edge에 clock 신호가 나타나게 된다. CLK_after_CMP_edge의 첫 falling edge에서 FFB2의 출력에 rising edge가 발현되게 되고, 다시 auto_pulse를 거치면서 reset신호인 RSTn_falling_2nd_pre가 생성된다. 따라서, WUP falling edge 발현 이후 약간 delay된 시간 이후에 RSTn_falling_2nd 에 short LOW인 reset신호가 발생하여 FFA1 및 FFB1을 reset 시키며 출력 CMP_rising_edge 및 CMP_falling_edge는 LOW가 된다. 초기화된 FFA1과 FFB1 은 다시 외부 입력 신호

가 입력되어 XNOR_OUT에 edge 발현이 되면 이를 감지할 수 있다.

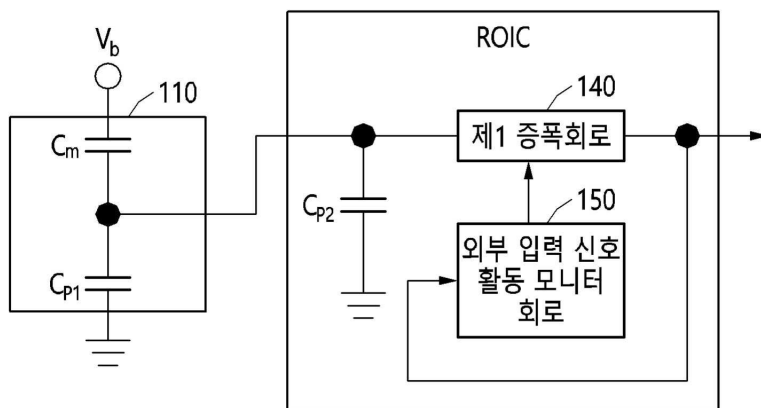
- [0078] 이상에서 설명된 실시예들은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치, 방법 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0079] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 또는 컴퓨터 저장 매체 또는 장치에 영구적으로, 또는 일시적으로 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0080] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있으며 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0081] 위에서 설명한 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 또는 복수의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.
- [0082] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0083] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

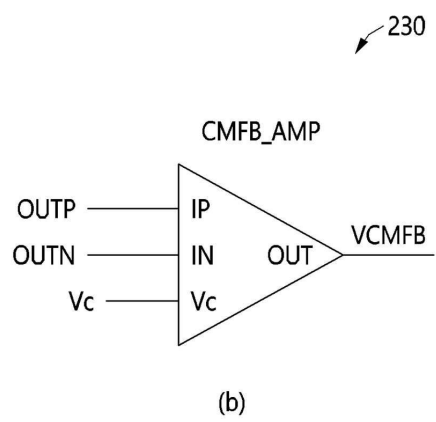
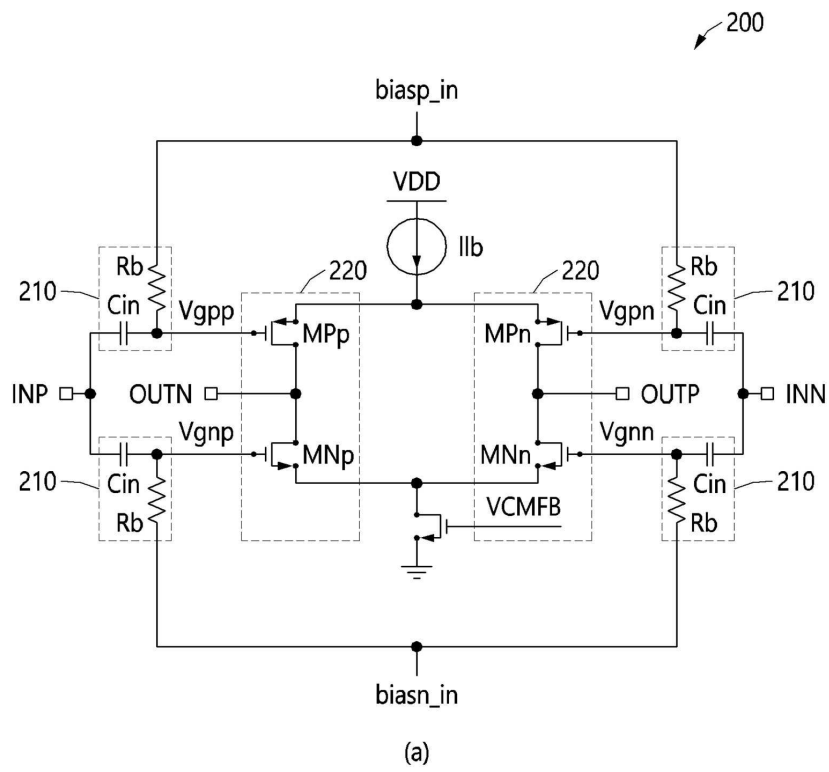
도면1



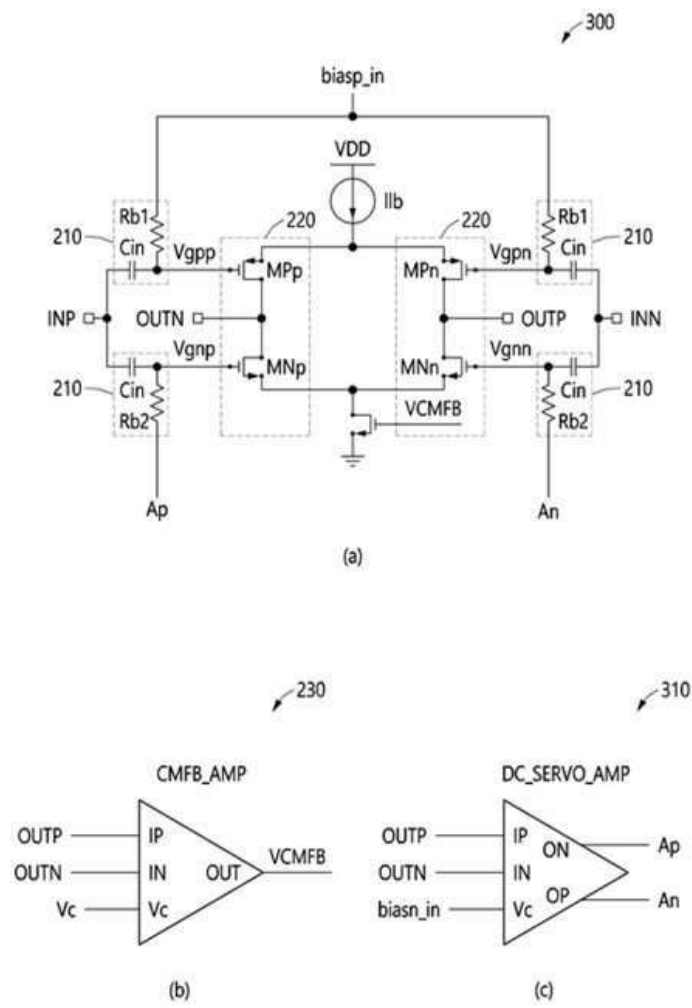
도면2



도면3a

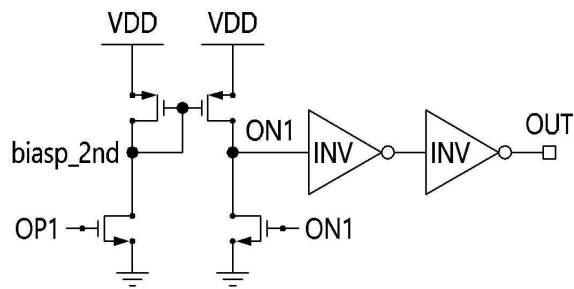
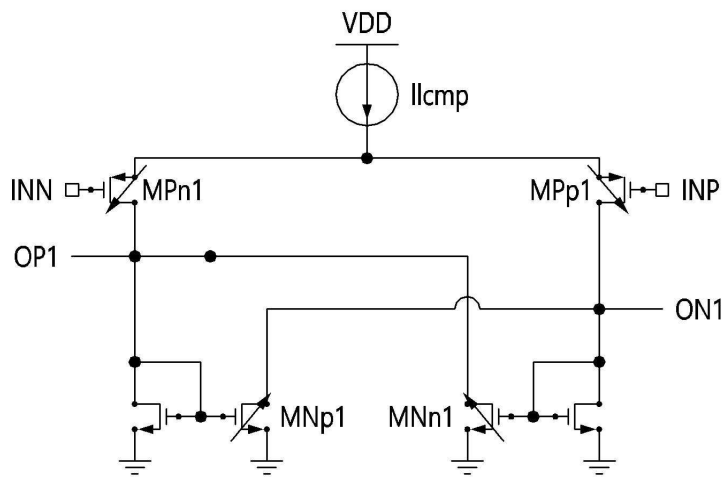


도면 3b

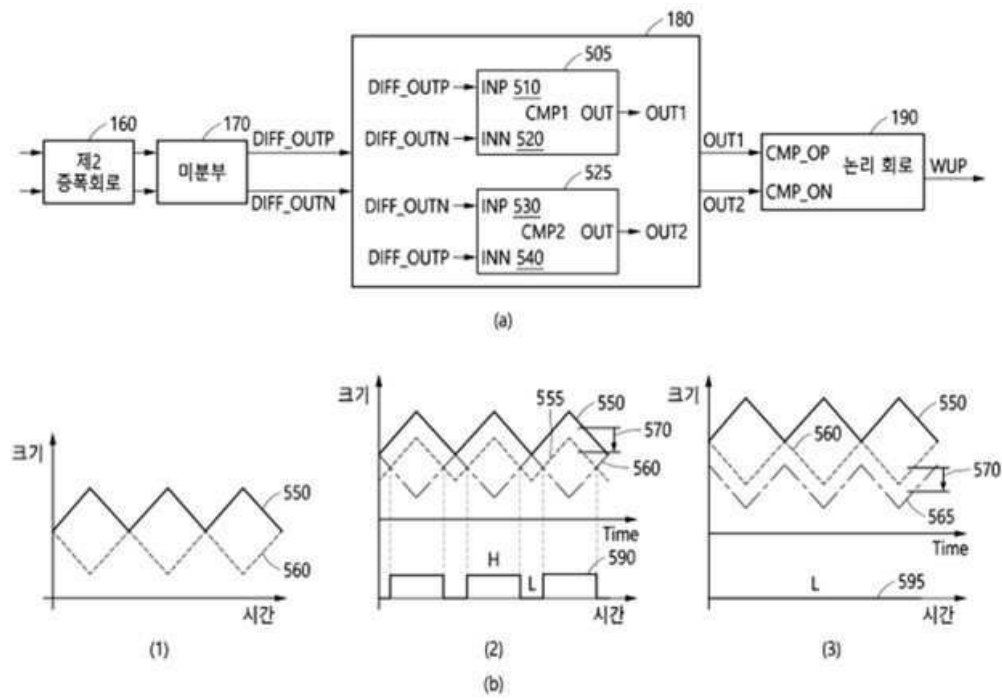


도면4

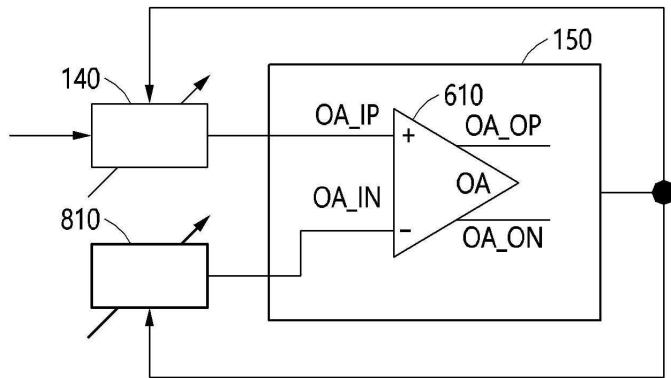
180



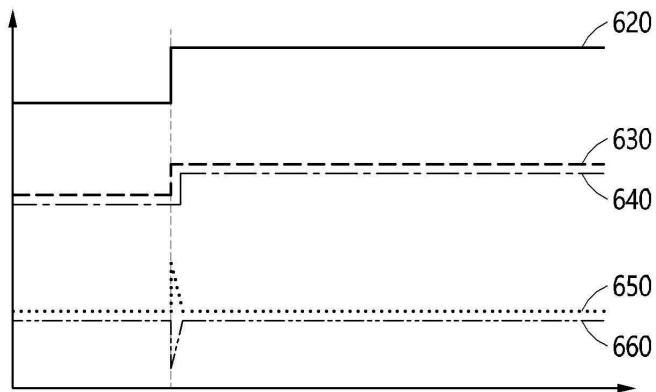
도면5



도면6



(a)



(b)

도면7

