

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年2月27日(27.02.2025)



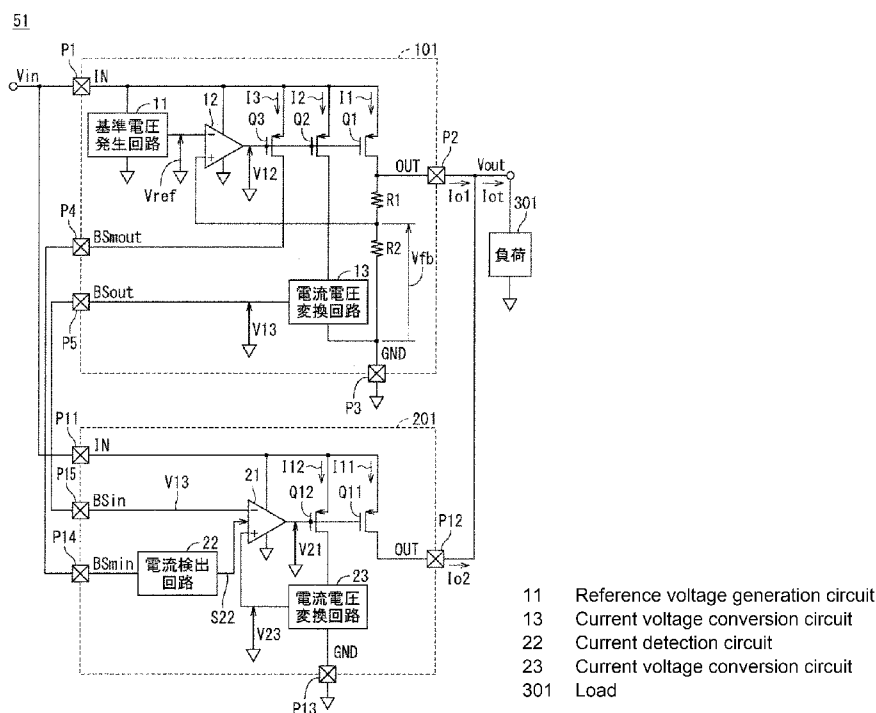
(10) 国際公開番号

WO 2025/041267 A1

- (51) 国際特許分類:
G05F 1/56 (2006.01) H02M 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2023/030164
- (22) 国際出願日: 2023年8月22日(22.08.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日清紡マイクロデバイス株式会社(NISSHINBO MICRO DEVICES INC.) [JP/JP]; 〒1038456 東京都中央区日本橋横山町3-10 Tokyo (JP).
- (72) 発明者: 奥田 弘樹(OKUDA, Hiroki); 〒1038456 東京都中央区日本橋横山町3-10 日清紡マイクロデバイス株式会社内 Tokyo (JP).
- (74) 代理人: 山尾 憲人, 外(YAMAO, Norihito et al.); 〒5300017 大阪府大阪市北区角田町8番1号 大阪梅田ツインタワーズ・ノース 青山特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: POWER SUPPLY DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 電源装置及び電子機器



(57) Abstract: Provided is a power supply device capable of preventing an output voltage from rising when no load is applied. This power supply device comprises a voltage control unit and a current control unit that are connected in parallel to each other. The voltage control unit comprises: a reference voltage circuit that generates a predetermined reference voltage on the basis of an input voltage; and a voltage control circuit that controls the output current of the voltage control unit so that the output voltage of the voltage control unit is substantially a voltage corresponding to the reference voltage,

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

thereby generating and outputting the output voltage of the voltage control unit on the basis of the input voltage. The current control unit comprises: a current detection circuit that detects the output current of the current control unit and generates and outputs a current detection signal indicating a value corresponding to the output current; a current control circuit that controls the output current of the current control unit so that the current detection signal is substantially a value corresponding to the output current value of the voltage control unit; and a startup control circuit that performs a control to start up the current control circuit when the output current of the voltage control unit becomes equal to or greater than a predetermined threshold so as to cause the output current of the current control unit to flow.

(57) 要約: 無負荷時等に出力電圧が上昇することを防止可能な電源装置を提供する。電源装置は、互いに並列に接続された電圧制御部と電流制御部とを備える。電圧制御部は、入力電圧に基づいて、所定の基準電圧を発生する基準電圧回路と、電圧制御部の出力電圧が実質的に基準電圧に対応する電圧になるように電圧制御部の出力電流を制御することで、入力電圧に基づいて電圧制御部の出力電圧を発生して出力する電圧制御回路とを備える。電流制御部は、電流制御部の出力電流を検出して当該出力電流に対応する値を示す電流検出信号を発生して出力する電流検出回路と、電流検出信号が実質的に、電圧制御部の出力電流値に対応する値になるように電流制御部の出力電流を制御する電流制御回路と、電圧制御部の出力電流が所定のしきい値以上となったときに電流制御回路を起動して電流制御部の出力電流を流すように制御する起動制御回路とを備える。

明 細 書

発明の名称：電源装置及び電子機器

技術分野

[0001] 本発明は、例えば、基準電圧発生回路を用いたリニアレギュレータである電圧制御部と、少なくとも1個の電流制御部とを備える電源装置と、前記電源装置を備える電子機器とに関する。

背景技術

[0002] 従来技術に係る電源装置において、例えばリニアレギュレータを使用した場合に、入力電圧と出力電圧の差と、出力電流に応じて発熱する。その発熱は基板及びモールドによって許容量が決定される。すなわち、リニアレギュレータの出力電流に制限があり、要求する負荷電流値を満たさない場合がある。

[0003] その対応策として、複数個のリニアレギュレータを並列に接続し、各リニアレギュレータの出力端子を負荷に共通接続しようと考えたと、製造プロセスのバラつきなどの影響により、各々異なった出力設定電圧を持つ複数のリニアレギュレータが存在することになる。そのため、出力設定電圧が一番高いリニアレギュレータから出力電流が供給される一方、出力設定電圧が低いリニアレギュレータでは、自身の出力設定電圧よりも高く出力電圧が固定されるため、内部回路が出力電流を止めるよう働きかける。

[0004] 負荷電流が増大すると出力電圧が低下し始めるため、ある一定以上の負荷電流のもとでは、出力設定電圧が低いリニアレギュレータの出力設定電圧を下回ると、こちらのレギュレータから出力電流の供給が開始される。しかし、出力電流の供給バランスは不均一であり、出力設定電圧が低いリニアレギュレータが他方のリニアレギュレータの出力電流と同等に出力電流を供給できないため、要求する負荷電流値を満たせなくなる可能性がある。また、信頼性の面において、出力電流に不均衡が生じると発熱にも不均衡が生じるため、出力電流が一番多いリニアレギュレータの寿命を加速させ、破壊につな

がる恐れがある。

[0005] 上記の電源回路において、2つのリニアレギュレータの入力端子と出力端子を共通にして並列接続すると、出力電流の供給が不均一になってしまう。ここで、各々のリニアレギュレータが自身の出力電流を検知し、それをアナログ電圧信号に変換して各々のバス端子を介して、一方のリニアレギュレータから電圧信号情報を出し、他方のリニアレギュレータへ電圧信号情報を入力して各々の電圧信号を比較することで、2つのリニアレギュレータの出力電流を均等に保つ技術が既に知られている。

先行技術文献

特許文献

[0006] 特許文献1：特許第7170935号公報

発明の概要

発明が解決しようとする課題

[0007] 上記のような従来の電流を均等に保つ方式では、製造プロセスのバラつきなどの影響により、電流情報を入力されるスレーブ側が電流情報を出力するマスター側に比べて多く電流を流すようにオフセットが発生してしまうと、無負荷時にマスター側が電流を停止するように制御しようとするにも関わらず、スレーブ側が電流を流してしまい、出力電圧が入力電圧まで上昇してしまうという問題点があった。

[0008] 本発明の目的は、上記問題点を解消し、無負荷時又は軽負荷時において、出力電圧が上昇することを防ぐことができる電源装置、及び前記電源装置を備える電子機器を提供することにある。

課題を解決するための手段

[0009] 本開示の一態様に係る電源装置は、
電圧制御部と電流制御部とを備え、前記電圧制御部と前記各電流制御部とを互いに並列に接続して構成された電源装置であって、
前記電圧制御部は、

入力電圧に基づいて、所定の基準電圧を発生する基準電圧回路と、
前記電圧制御部の出力電圧が実質的に前記基準電圧に対応する電圧になるように前記電圧制御部の出力電流を制御することで、前記入力電圧に基づいて前記電圧制御部の出力電圧を発生して出力する電圧制御回路とを備え、
前記電流制御部は、
前記電流制御部の出力電流を検出して当該出力電流に対応する値を示す第1の電流検出信号を発生して出力する第1の電流検出回路と、
前記第1の電流検出信号が実質的に、前記電圧制御部の出力電流に対応する値になるように前記電流制御部の出力電流を制御する電流制御回路と、
前記電圧制御部の出力電流が所定の第1のしきい値以上となったとき、前記電流制御回路を起動して前記電流制御部の出力電流を流すように制御する起動制御回路とを備える。

発明の効果

[0010] 従って、本開示の一態様に係る電源装置によれば、無負荷時又は軽負荷時において、出力電圧が入力電圧まで上昇することを防ぐことができ、出力電圧が上昇することを防ぐことができる。

図面の簡単な説明

[0011] [図1]実施形態1に係る電源装置の構成例を示す回路図である。
[図2]実施形態1の変形例に係る電源装置の詳細構成例を示す回路図である。
[図3]図2の電源装置の動作を示す各電流及び電圧のタイミングチャートである。
[図4]実施形態2に係る電源装置の構成例を示す回路図である。
[図5]実施形態3に係る電源装置の構成例を示す回路図である。
[図6]実施形態4に係る電源装置の構成例を示す回路図である。
[図7]実施形態5に係る電源装置の構成例を示す回路図である。
[図8]実施形態6に係る電源装置の構成例を示す回路図である。
[図9]図8の電源装置の動作を示す各電流及び電圧のタイミングチャートである。

[図10]実施形態7に係る電源装置の構成例を示す回路図である。

[図11]図10の電源装置の動作を示す各電流及び電圧のタイミングチャートである。

[図12]実施形態8に係る電源装置の構成例を示す回路図である。

[図13A]図12の電源装置において出力電流 I_{ot} に対する、各電圧とオフセット電圧 V_{offset} との関係を示すグラフである。

[図13B]図12の電源装置において出力電流 I_{ot} に対する、意図的に付与したオフセット電圧があるときの出力電流 I_{o1} 、 I_{o2} を示すグラフである。

[図13C]図12の電源装置において出力電流 I_{ot} に対する、意図的に付与したオフセット電圧がないときの出力電流 I_{o1} 、 I_{o2} を示すグラフである。

[図14]実施形態9に係る電源装置の構成例を示す回路図である。

[図15]図14の電源装置において出力電流 I_{ot} に対する、電流電圧変換回路に流れ込む電流の関係を示すグラフである。

[図16]実施形態10に係る電源装置の構成例を示す回路図である。

[図17]図16の電源装置に電流及び電圧を示すタイミングチャートである。

[図18]比較例に係る電源装置の構成を示すブロック図である。

発明を実施するための形態

[0012] 以下、本発明に係る実施形態及び変形例について図面を参照して説明する。なお、同一又は同様の構成要素については同一の符号を付している。

[0013] (発明者の知見)

図18は特許文献1に開示された比較例に係る電源装置61の構成を示すブロック図である。

[0014] 図18において、電源装置61は、電圧制御部1と、電流制御部2とを備えて構成される。ここで、電圧制御部1の入力端子T11と、電流制御部2の入力端子T21とは互いに接続されるとともに、入力電圧 V_{in} の電圧源に接続される。また、電圧制御部1の出力端子T13と、電流制御部2の出

力端子 T 2 3 とは互いに接続されるとともに、負荷 3 に接続される。これにより、電圧制御部 1 と電流制御部 2 とは互いに並列に接続される。さらに、電圧制御部 1 の電流検出信号出力端子 T 1 2 と、電流制御部 2 の電流検出信号入力端子 T 2 2 とは互いに接続され、電圧制御部 1 の接地端子 T 1 4 と、電流制御部 2 の接地端子 T 2 4 は互いに接続されて接地される。なお、図 18 等において、I N は入力電圧の入力端子を示し、O U T は出力端子を示し、B S o u t は電流検出信号 B S 1 の出力端子を示し、B S i n は電流検出信号 B S の入力端子を示し、G N D は接地端子を示す。

[0015] 以上のように構成された電源装置 6 1 において、入力電圧 V_{in} は、電圧制御部 1 の入力端子 T 1 1 及び電流制御部 2 の入力端子 T 2 1 に入力される。電圧制御部 1 は、基準電圧発生回路を内蔵するリニアレギュレータであって、入力電圧 V_{in} を基準電圧になるように制御する。電圧制御部 1 からの出力電流 I_{out0} と、電流制御部 2 からの出力電流 I_{out1} を加算した合計電流 $I_{outtotal}$ が負荷 3 に流れる。

[0016] また、電圧制御部 1 は、出力電流 I_{out0} に対して例えば比例するなど所定の相関を有して対応するアナログ電圧信号である電流検出信号 B S 1 を発生して、電流検出信号出力端子 T 1 2 から、電流制御部 2 の電流検出信号入力端子 T 2 2 に出力する。これに応答して、電流制御部 2 は、出力電流 I_{out1} に対して例えば比例するなど所定の相関を有して対応するアナログ電圧信号である電流検出信号を発生して、当該電流検出信号を入力される電流検出信号 B S 1 と比較することにより、その差が実質的にゼロになるように制御し、すなわち、出力電流 I_{out0} と出力電流 I_{out1} が互いに、例えば等しくなるように、電流制御部 2 の出力電流 I_{out1} を制御する出力トランジスタ（例えば図 1 の MOS トランジスタ Q 1 1 に対応する）のインピーダンスが制御される。

[0017] 負荷 3 は、電圧制御部 1 及び電流制御部 2 から電源電圧及び電源電流の供給を受ける、所定の機能を有する例えば電子機器であり、具体的には、電源供給を受ける自動車用の電子機器、もしくは、電源供給を受けるコピー機又

はプリンタといった画像形成装置、パーソナルコンピュータ、タブレット、スマートホン、携帯電話機等である。

[0018] 以上のように構成された電源装置 6 1 によれば、電圧制御部 1 における電圧制御系と、電流制御部 2 における電流制御系とは分離されているので、互いに影響を及ぼすことがない。従って、従来技術に比較して安定な制御系を確立して、不要な発振を防止することができる電源装置 6 1 を実現できる。

[0019] しかしながら、上記のような比較例に係る電流を均等に保つ方式の電源装置 6 1 では、製造プロセスのバラつきなどの影響により、電流情報を入力されるスレーブ側の電流制御部 2 が電流情報を出力するマスター側の電圧制御部 1 に比べて、多く電流を流すようにオフセットが発生してしまうと、無負荷時にマスター側の電圧制御部 1 が電流を停止するように制御しようとするにも関わらず、スレーブ側の電流制御部 2 が電流を流してしまい、出力電圧 V_{out} が入力電圧 V_{in} まで上昇してしまうという問題点があった。

[0020] 本発明に係る実施形態の目的は、上記問題点を解消し、無負荷時又は軽負荷時において、出力電圧が上昇することを防ぐことができる電源装置、及び前記電源装置を備える電子機器を提供することにある、各実施形態について以下に説明する。

[0021] (実施形態 1)

図 1 は実施形態 1 に係る電源装置 5 1 の構成例を示す回路図である。

[0022] 図 1 において、電源装置 5 1 は、電圧制御部 1 0 1 と、電流制御部 2 0 1 とを備えて構成される。ここで、電圧制御部 1 0 1 の入力端子 P 1 (I N) と、電流制御部 2 0 1 の入力端子 P 2 と (I N) は互いに接続されるとともに、入力電圧 V_{in} の電圧源に接続される。また、電圧制御部 1 0 1 の出力端子 P 2 (O U T) と、電流制御部 2 0 1 の出力端子 P 1 2 (O U T) とは互いに接続されるとともに、負荷 3 0 1 に接続される。これにより、電圧制御部 1 0 1 と電流制御部 2 0 1 とは互いに並列に接続される。さらに、電圧制御部 1 0 1 の電流検出信号 (電流 I 3) を出力する出力端子 P 4 (B S m o u t) と、電流制御部 1 0 2 の電流検出信号 (電流 I 3) を入力する入力

端子P14 (BSmin) とは互いに接続される。また、電圧制御部101の電流電圧変換信号(変換電圧V13)を出力する出力端子P5 (BSout) と、電流制御部102の電流電圧変換信号(変換電圧V13)を入力する入力端子P15 (BSin) とは互いに接続される。電圧制御部101の接地端子P3と、電流制御部201の接地端子P13は互いに接続されて接地される。

[0023] 以上のように構成された電源装置51において、入力電圧Vinは、出力電圧Voutを決定する基準電圧リニアレギュレータを構成する電圧制御部101の入力端子P1に入力されるとともに、電流制御部201の入力端子P11に入力される。電圧制御部101の出力端子P2からの出力電流Io1と、電流制御部201の出力端子P12からの出力電流Io2とは加算された後、加算電流Iotが負荷301に流れる。電圧制御部101において検出されるアナログ電流検出信号であって、出力電流Io1と相関を有し、例えば比例関係で対応するアナログ電流検出信号(電流I3)は、出力端子P4及び電流制御部201の入力端子P14を介して電流制御部201に入力される。電流制御部201は、電流制御部201の出力電流Io2と相関を有し、例えば比例関係で対応する電流電圧変換信号(変換電圧V23)を発生し、電圧制御部101の電流電圧変換信号(変換電圧V13)を電流制御部201の電流電圧変換信号(変換電圧V23)と比較することで、出力電流Io1と出力電流Io2とが互いに等しくなるように電流制御部201の出力トランジスタQ11のインピーダンスが制御される。なお、電流電圧変換信号は電流検出信号の一例であり、以下の明細書において同様である。

[0024] 電圧制御部101は基準電圧リニアレギュレータであって、基準電圧発生回路11と、演算増幅回路12と、電流電圧変換回路13と、PMOSトランジスタQ1~Q3と、分圧抵抗R1, R2とを備えて構成される。基準電圧発生回路11は入力電圧Vinに基づいて所定の基準電圧Vrefを発生して演算増幅回路12の反転入力端子に出力する。演算増幅回路12は、分圧抵抗R1, R2により分圧された帰還電圧Vfbから基準電圧Vrefを

減算して増幅した誤差電圧 V_{12} をPMOSトランジスタ $Q_1 \sim Q_3$ の各ゲートに出力する。

[0025] PMOSトランジスタ Q_1 は、誤差電圧 V_{12} に基づいて、入力電圧 V_{in} から発生した出力電流 I_1 を制御して、出力電流 I_{o1} を発生して出力端子 P_2 から負荷 301 に出力する。PMOSトランジスタ Q_2 は、入力電圧 V_{in} から、出力電流 I_{o1} と相関を有し例えば比例関係で対応する検出電流 $I_2 (= a \cdot I_1 (a > 0))$ を発生して電流電圧変換回路 13 に出力する。電流電圧変換回路 13 は、検出電流 I_2 をそれに対応し、例えば比例する検出電圧に変換して電流電圧変換信号（変換電圧 V_{13} ）として出力端子 P_5 を介して電流制御部 201 の入力端子 P_{15} に出力する。PMOSトランジスタ Q_3 は、入力電圧 V_{in} から、出力電流 I_{o1} と相関を有し例えば比例関係で対応する検出電流 $I_3 (= b \cdot I_1 (b > 0))$ を発生して出力端子 P_4 を介して電流制御部 201 の入力端子 P_{14} に出力する。分圧抵抗 R_1, R_2 は、出力電流 I_{o1} で発生される出力電圧 V_{out} を帰還電圧 V_{fb} に分圧して演算増幅回路 12 の非反転入力端子に出力する。

[0026] 以上のように構成された電圧制御部 101 では、演算増幅回路 12 と、PMOSトランジスタ Q_1 と、分圧抵抗 R_1, R_2 とにより構成される帰還制御回路（電圧制御回路）が、分圧電圧 V_{fb} が基準電圧 V_{ref} になるように出力トランジスタであるPMOSトランジスタ Q_1 の出力電流 I_1 を制御する。

[0027] 電流制御部 201 は、演算増幅回路 21 と、電流検出回路 22 と、電流電圧変換回路 23 と、PMOSトランジスタ Q_{11}, Q_{12} とを備えて構成される。演算増幅回路 21 は、電流電圧変換回路 23 からの電流電圧変換信号（変換電圧 V_{23} ）から電流電圧変換信号（変換電圧 V_{13} ）を減算して増幅した誤差電圧 V_{21} を、PMOSトランジスタ Q_{11}, Q_{12} の各ゲートに出力する。PMOSトランジスタ Q_{11} は、誤差電圧 V_{21} に基づいて、入力電圧 V_{in} から発生した出力電流 I_{11} を制御して、出力電流 I_{o2} を発生して出力端子 P_{12} から負荷 301 に出力する。PMOSトランジスタ

Q12は、入力電圧 V_{in} から、出力電流 I_{o2} と相関を有し例えば比例関係で対応する検出電流 I_{12} ($= c \cdot I_{11}$ ($c > 0$)) を発生して電流電圧変換回路23に出力する。

[0028] 電流電圧変換回路23は、検出電流 I_{12} を、それに対応し例えば比例する検出電圧に変換して電流電圧変換信号(変換電圧 V_{23})として演算増幅回路21の非反転入力端子に出力する。電流検出回路22は入力端子P14に入力される電流 I_3 に基づいて、電流 I_3 が所定の第3のしきい値電流未満のとき、Lレベルの電流検出信号 S_{22} を発生して演算増幅回路21の起動制御端子に非起動信号として出力する一方、電流 I_3 が第3のしきい値電流以上のとき(すなわち、出力電流 I_1 が所定の第1のしきい値電流以上のとき)、Hレベルの電流検出信号 S_{22} を発生して演算増幅回路21の起動制御端子に起動信号として出力することで、演算増幅回路21を含む電流制御回路を起動して電流制御部の出力電流を流すように制御する。ここで、演算増幅回路21はHレベルの電圧検出信号に応答して起動して演算増幅処理を実行するが、Lレベルの電圧検出信号に応答して起動しない。

[0029] ここで、電流検出回路22は起動制御回路の一例である。なお、起動信号と非起動信号とを総称して、起動制御信号という。当該起動制御信号は、起動制御回路が発生する信号である。

[0030] 以上のように構成された電流制御部201では、電流 I_3 に対応する出力電流 I_1 が所定の第1のしきい値電流以上のとき、電流検出回路22と、PMOSトランジスタQ12と、電流電圧変換回路23とにより構成される帰還制御回路(電流制御回路)が、出力電流 I_{o1} と出力電流 I_{o2} とが互いに等しくなるように出力トランジスタであるPMOSトランジスタQ11の出力電流 I_{11} を制御する。一方、電流検出回路22に所定の第3のしきい値電流以上の電流が流入していないときは、演算増幅回路21の動作を停止し、演算増幅回路21の出力端子に接続される出力トランジスタであるPMOSトランジスタQ11の動作を停止するように制御することで、電流制御部201の出力電流 I_{o2} が発生しない。

[0031] 以上のように構成された電源装置 51 において、一般的には、電圧制御部 101 からの出力電流 I_{o1} と、電流制御部 201 からの出力電流 I_{o2} とが互いに実質的に同じになるように設定される。しかし、例えば、製造バラつきによって、演算増幅回路 21 にオフセット電圧 V_{off} が付加された場合（以下、第 1 のケースという。）、もしくは、電流制御部 201 内の帰還制御回路の所定の利得によるシステムティックオフセット電圧が発生した場合（以下、第 2 のケースという。）、出力電流 I_{o1} 、 I_{o2} が互いに実質的に同一でなくなる。

[0032] 前者の第 1 のケースの例では、電流電圧変換回路 13、23 の入力抵抗を $R_{in} [\Omega]$ とすることを想定し、電流 I_1 と電流 I_2 のカレントミラー比を $A_1 : A_2$ ($A_2 / A_1 = a$) と仮定すると、演算増幅回路 21 で発生したオフセット電圧 V_{off} に対し、出力トランジスタ Q_1 、 Q_{11} の出力電流差 ΔI は次式で表される。

$$[0033] \Delta I = V_{off} \times A_1 / (A_2 \times R_{in}) \quad (1)$$

[0034] このとき、出力トランジスタ Q_1 の出力電流 I_1 に比べて出力トランジスタ Q_{11} の出力電流 I_{11} が多くなるようにオフセット電圧 V_{off} が発生していた場合に、出力端子 P_2 、 P_{12} に負荷 3 が接続されていない無負荷状態であるときを考える。このとき、電圧制御部 101 が出力電流 I_{o1} の出力を停止して出力電圧 V_{out} を所定値に保持しようとするにも関わらず、電流制御部 201 が所定の出力電流 I_{o2} を流してしまい、出力端子 P_2 、 P_{12} の出力電圧 V_{out} が入力端子 P_1 、 P_{11} の入力電圧 V_{in} まで上昇してしまう。後者の第 2 のケースの例においても、システムティックオフセット電圧により電流制御部 201 が所定の出力電流 I_{o2} を流してしまう場合には、出力端子 P_2 、 P_{12} の出力電圧 V_{out} が入力端子 P_1 、 P_{11} の入力電圧 V_{in} まで上昇してしまう。そのため、上記の電流差程度もしくは前記第 1 のしきい値電流以上の出力電流 I_{o1} が流れ始めるまで、電流制御部 201 が電流を流さないように制御することで、上記課題を解決する。

[0035] 以上説明したように、実施形態１によれば、電流制御部２０１において、電流検出回路２２を設け、電流検出回路２２が電流 I_1 に対応する出力電流 I_3 が第３のしきい値電流未満のときに演算増幅回路２１を起動しないように制御するので、演算増幅回路２１にオフセット電圧 V_{off} が付加された場合であっても、出力電圧 V_{out} が上昇することを防ぐことができる。

[0036] 従って、実施形態１に係る電源装置５１によれば、マスター側の電圧制御部１０１の駆動状態を監視し、必要に応じてスレーブ側の電流制御部２０１の電流出力を抑制するように制御できることから、出力電圧 V_{out} が入力電圧 V_{in} まで上昇することを防ぐことができる。すなわち、無負荷時又は軽負荷時にはスレーブ側の電流制御部２０１の出力電流 I_{o2} の出力を停止することで出力電圧 V_{out} が上昇することを防ぐことができる。

[0037] なお、実施形態１では、電圧制御部１の出力電流 I_{o1} と、電流制御部２の出力電流 I_{o2} が互いに実質的に等しくなるように、電流制御部２の出力電流 I_{o2} を制御している。しかし、電圧制御部１の出力電流 I_{o1} と、電流制御部２の出力電流 I_{o2} との比の値が所定値になるように、電流制御部２の出力電流 I_{o2} を電流分散して制御してもよい。

[0038] (実施形態１の変形例)

図２は実施形態１の変形例に係る電源装置５１Ａの詳細構成例を示す回路図であり、図２において、電流検出回路２２の詳細構成例を示す。なお、以下では、図１との相違点について説明する。

[0039] 図２において、電流検出回路２２は、ダイオード接続のＮＭＯＳトランジスタ Q_{13} と、コンパレータ２２１と、基準電圧発生回路２２２とを備えて構成される。ここで、基準電圧発生回路２２２は、２個のスイッチ SW_1 、 SW_2 と、それぞれ電圧 $V_{223} = A_3 \times I_{det}$ 、 $V_{224} = A_3 \times I_{det} / 2$ を有する２個の電圧源２２３、２２４と、インバータ INV_1 とを備えて構成される。ここで、 A_3 は電流電圧変換係数である。

[0040] 入力端子 P_{14} に入力される電流 I_3 は、ＮＭＯＳトランジスタ Q_{13} のドレイン及びソースを介して接地されて対応する電圧 V_3 に変換された後、

変換された電圧 V_3 がコンパレータ221の非反転入力端子に印加される。コンパレータ221は、変換された電圧 V_3 を、基準電圧発生回路222からの基準電圧 V_{ref2} と比較して、 $V_3 < V_{ref2}$ のとき、Lレベルの電流検出信号 S_{22} を発生して演算増幅回路21の起動制御端子に非起動信号として出力する一方、 $V_3 \geq V_{ref2}$ のとき、Hレベルの電流検出信号 S_{22} を発生して演算増幅回路21の起動制御端子に起動信号として出力する。コンパレータ221からの電流検出信号 S_{22} はスイッチ SW_2 の制御端子に入力されるとともに、インバータ INV_1 を介してスイッチ SW_1 の制御端子に入力される。スイッチ SW_1 、 SW_2 はそれぞれ、制御端子にHレベルの制御信号が入力されるときにオンされる一方、Lレベルの制御信号が入力されるときにオフされる。

[0041] ここで、コンパレータ221と基準電圧発生回路222は切替制御回路の一例である。

[0042] 以上のように構成された電流制御部201において、モニタトランジスタであるPMOSトランジスタ Q_3 の電流 I_3 が増大するにつれて、ダイオード接続されたNMOSトランジスタ Q_{13} のドレイン電圧 V_3 が上昇するため、その電圧 V_3 の上昇を検知するために、コンパレータ221は、当該電圧 V_3 を、基準電圧発生回路222の基準電圧 V_{ref2} と比較することで電流検出信号 S_{22} を発生する。

[0043] 以上の図2の電流制御部201の電流検出回路22において、NMOSトランジスタ Q_{13} に代えて、抵抗と、バイアス電流源の直列回路で構成してもよい。

[0044] 図3は図2の電源装置51Aの動作を示す各電流及び電圧のタイミングチャートである。図3を参照して、図2の電源装置51Aの動作について以下に説明する。

[0045] 図3の時刻 t_1 で、電流制御部201が起動すると、全体の出力電流 I_{ot} の半分を電流制御部201が分担するため（図3（a）参照）、電流電圧変換回路13からの変換電圧 V_{13} が低下する。このとき、出力トランジス

タ $Q1$ 、 $Q11$ の各電流 I_{o1} 、 I_{o2} はおおよそ互いに同一で、全体の出力電流 I_{ot} の半分程度に分流するため、モニタトランジスタ $Q3$ の電流 I_3 はその最大値のおよそ半分程度となる（図3（b）参照）。このとき、電流制御部201をディスエーブルする、電流 I_3 に対するしきい値電流を I_{rel} は、電流制御部201の起動検出用しきい値電流 I_{det} の半分以下ではないとき、電流制御部201は再度ディスエーブルしてしまう。そのため、チャタリングを防ぐために解除しきい値電流 I_{rel} は前記起動検出用しきい値電流 I_{det} の半分以下になるように、ヒステリシス特性を設ける。また、このときに使用する電圧源223、224は、上記の条件に合うようにそれぞれ、例えば電圧 $V_{223} = A3 \times I_{det}$ 、 $V_{224} = A3 \times I_{det} / 2$ を有するように調整されることが好ましい。

[0046] 以上説明したように、実施形態1の変形例によれば、図3（c）に示すように、コンパレータ221の電流検出信号 S_{22} を用いて、電圧源223、224を選択的に切り替えすることで、所定のヒステリシス特性を有して電流制御部201の起動又は停止を選択的に切り替えることができる。これにより、電流制御部201が起動後、意図しない解除を防止することで、起動と停止を繰り返すことによるチャタリングなどの発振を防止することができる。

[0047] （実施形態2）

図4は実施形態2に係る電源装置52の構成例を示す回路図である。図4において、実施形態2に係る電源装置52は、図1の電源装置51に比較して以下の点が異なる。

（1）電流制御部201に代えて、電流制御部201Aを備える。

（2）電流制御部201Aにおいて、電流検出回路22に代えて、電流検出回路22Aを備える。電流検出回路22Aは、モニタトランジスタであるダイオード接続のNMOSトランジスタ $Q14$ と、コンパレータ221と、基準電圧発生回路225とを備える。ここで、基準電圧発生回路225は所定の基準電圧 V_{ref3} を発生してコンパレータ221の反転入力端子に出力

する。

(3) 電流制御部201Aにおいて、モニタトランジスタであるPMOSトランジスタQ13をさらに備える。PMOSトランジスタQ13のソースは入力端子P11に接続され、そのゲートは演算増幅回路21の出力端子に接続される。PMOSトランジスタQ13は、出力電流 I_{11} と相関関係を有してそれに対応して例えば比例する電流 I_{13} ($=d \cdot I_{11}$ ($d>0$)) を発生してNMOSトランジスタQ14のドレイン及びゲートに流入させる。

以下、相違点について説明する。

[0048] 図4の電流制御部201Aは、電流検出回路22Aの検出対象を、電流 I_3 に加えて、電流制御部201Aの出力電流 I_{11} に対応する電流 I_{13} を加算した電流値とし、NMOSトランジスタQ14は当該電流値を電圧に変換してコンパレータ221の非反転入力端子に印加する。

[0049] ここで、電流検出回路22Aは起動制御回路の一例である。

[0050] 以上のように構成された電源装置52において、電流制御部201Aが起動されると、電圧制御部101の出力電流 I_{o1} の半分について、電流制御部201がその発生を分担するために、図1のモニタトランジスタQ3検出電流が減るが、電圧制御部101の出力電流 I_{o1} と電流制御部201の出力電流 I_{o2} の和は変わらないため、モニタトランジスタQ14の検出電流値は電流制御部201Aが起動する前のモニタトランジスタQ3の検出電流値と変わらない。従って、実施形態2に係る電源装置52は電源装置51と同様の作用効果を有し、電流制御部201Aの起動に伴う検出情報の変動をトリガとした発振現象を抑制できる。

[0051] (実施形態3)

図5は実施形態3に係る電源装置53の構成例を示す回路図である。図5において、実施形態3に係る電源装置53は、図2の電源装置51Aに比較して以下の点が異なる。

(1) 電圧制御部101に代えて、PMOSトランジスタQ3及び出力端子

P 4 を削除した電圧制御部 1 0 1 A を備える。

(2) 電流制御部 2 0 1 に代えて、入力端子 P 1 4 を削除した電流制御部 2 0 1 B を備える。電流制御部 2 0 1 B はさらに、電流検出回路 2 2 に代えて、基準電圧発生回路 2 2 2 及びコンパレータ 2 4 を備える。

以下、相違点について説明する。

[0052] 図 5 において、電流電圧変換回路 1 3 から入力端子 P 1 5 に入力される変換電圧 V_{13} は、演算増幅回路 2 1 の反転入力端子及びコンパレータ 2 4 の非反転入力端子に印加される。基準電圧発生回路 2 2 2 は、図 2 と同様に構成され、コンパレータ 2 4 は電流検出信号 S_{24} (コンパレータ 2 4 は入力される 2 つの電圧を比較しているので、電圧検出信号であるが、元々は、電流制御部 1 0 1 A の出力電流に対応する電流検出信号なので、「電流検出信号」とし、以下同様である。) を演算増幅回路 2 1 の起動制御端子に出力するとともに、基準電圧発生回路 2 2 2 内のスイッチ SW_2 の制御端子に入力され、また、インバータ INV_1 を介してスイッチ SW_1 の制御端子に入力される。なお、スイッチ SW_1 , SW_2 はそれぞれ、制御端子に H レベルの制御信号が入力されるときにオンされる一方、L レベルの制御信号が入力されるときにオフされる。

[0053] ここで、コンパレータ 2 4 は起動制御回路の一例であり、コンパレータ 2 4 と基準電圧発生回路 2 2 2 は切替制御回路の一例である。

[0054] 以上のように構成された電源装置 5 3 は、電流電圧変換回路 1 3 からの変換電圧 V_{13} に基づいて、電流制御部 2 0 1 B の起動判定を行うことを特徴としている。具体的には以下の通りである。コンパレータ 2 4 は、変換電圧 V_{13} を、基準電圧発生回路 2 2 2 からの基準電圧 V_{ref4} と比較して、 $V_{13} < V_{ref4}$ のとき、L レベルの電流検出信号 S_{24} を発生して演算増幅回路 2 1 の起動制御端子に非起動信号として出力する一方、 $V_{13} \geq V_{ref4}$ のとき、H レベルの電流検出信号 S_{24} を発生して演算増幅回路 2 1 の起動制御端子に起動信号として出力する。

[0055] 以上のように構成された電流制御部 2 0 1 B において、コンパレータ 2 4

は、変換電圧 V_{13} を、基準電圧発生回路222の基準電圧 V_{ref4} と比較することで電流検出信号 S_{24} を発生する。実施形態2と同様に、基準電圧 V_{ref4} を、ヒステリシス特性を有して選択的に切り替えることで電流制御部201Bのイネーブルとディスエーブルを繰り返すチャタリングを防止する。このとき、解除電流を検出電圧に対応する検出電流の半分以下とする必要があり、変換電圧 V_{13} が所定の基準電圧 V_{ref4} になったか否か、所定の解除電圧に対応する解除電流になったときの変換電圧 V_{13} を参照して電圧源223、224の電圧値 V_{223} 、 V_{224} を設定する。

[0056] 以上説明したように、実施形態3によれば、実施形態2と同様の作用効果を有する。

[0057] (実施形態4)

図6は実施形態4に係る電源装置54の構成例を示す回路図である。図6において、実施形態4に係る電源装置54は図5の電源装置53と比較して以下の点が異なる。

(1) 電流制御部201Bに代えて、電流制御部201Cを備える。

(2) 電流制御部201Cにおいて、基準電圧発生回路222に代えて、加算回路25及び基準電圧発生回路26を備える。

以下、相違点について説明する。

[0058] 図6において、入力端子 P_{15} に入力される変換電圧 V_{13} は、演算増幅回路21の反転入力端子及び加算回路25の第1の入力端子に入力される。加算回路25の第2の入力端子には、電流電圧変換回路23からの変換電圧 V_{23} が入力され、加算回路25は、2つの入力端子に入力される電圧を加算して、加算結果の電圧($V_{13} + V_{23}$)をコンパレータ24の非反転入力端子に出力する。基準電圧発生回路26は電流制御部201Cを起動又は解除する所定の基準電圧 V_{ref5} を発生してコンパレータ24の反転入力端子に出力する。コンパレータ24は、加算電圧($V_{13} + V_{23}$)を基準電圧 V_{ref5} と比較して、($V_{13} + V_{23}$) < V_{ref5} のとき、Lレベルの電流検出信号 S_{24} を発生して演算増幅回路21の起動制御端子に非

起動信号として出力する一方、 $(V_{13} + V_{23}) \geq V_{ref5}$ のとき、Hレベルの電流検出信号S24を発生して演算増幅回路21の起動制御端子に起動信号として出力する。

[0059] 以上のように構成された電源装置54では、電流制御部201Cの起動判定に用いる検出対象電圧を、電流電圧変換回路13、23の変換電圧の和($V_{13} + V_{23}$)としている。電流制御部201Cが起動すると、電圧制御部101Aの出力電流 I_{o1} の半分を、電流制御部201Cが分担するため、電流電圧変換回路13の変換電圧 V_{13} が低下する。しかし、電圧制御部101Aと電流制御部201Cの出力電流の和 $I_{ot} (= I_{o1} + I_{o2})$ は変わらないため、電流電圧変換回路13、23が出力する電圧制御部101A及び電流制御部201Cの電流情報の和は変わらない。

[0060] 以上説明したように、実施形態4によれば、電流制御部201Cが起動後も電流検出情報が大きく変動しないことにより、電流制御部201Cの起動に伴う電流検出情報の変動に基づいて演算増幅回路21を起動する。これにより、電流制御部201Cが起動後、意図しない解除を防止することで、起動と停止を繰り返すことによるチャタリングなどの発振を防止することができる。

[0061] (実施形態5)

図7は実施形態5に係る電源装置55の構成例を示す回路図である。図7において、実施形態5に係る電源装置55は、図1の電源装置51に比較して以下の点が異なる。

(1) 電圧制御部101に代えて、PMOSトランジスタQ3、出力端子P4、及び電流電圧変換回路13を削除した電圧制御部101Bを備える。

(2) 電流制御部201に代えて、電流制御部201Dを備える。ここで、電流制御部201の電流検出回路22及び電流電圧変換回路23に代えて、基準電流発生回路28、カレントミラー回路CM1と、インバータINV2と、ダイオード接続のNMOSトランジスタQ17とを備える。

以下、相違点について説明する。

[0062] 図7の電圧制御部101Bにおいて、PMOSトランジスタQ2に流れる電流I2は出力端子P5を介して電流制御部201Dの入力端子P15に入力される。

[0063] また、電流制御部201Dにおいて、カレントミラー回路CM1は、NMOSトランジスタQ15、Q16を備えて構成される。ここで、入力端子P15は、ダイオード接続されたNMOSトランジスタQ15のドレイン及びソースを介して接地され、NMOSトランジスタQ15のゲートはNMOSトランジスタQ16のゲートに接続される。入力端子P15に入力される電流I2は、カレントミラー回路CM1のNMOSトランジスタQ15により電圧V13に変換された後、演算増幅回路21の反転入力端子に入力される。

[0064] 基準電流発生回路28は入力端子P11に印加される入力電圧Vinに基づいて、所定の基準電流Irefを発生してNMOSトランジスタQ16のドレインに出力する。基準電流発生回路28の出力端子はNMOSトランジスタQ16のドレイン及びソースを介して接地される。基準電流発生回路28からの基準電流Irefがカレントミラー回路CM1のNMOSトランジスタQ16に流れ込むが、NMOSトランジスタQ15に流れる電流に対応する電流I16がNMOSトランジスタQ16から流出する。すなわち、NMOSトランジスタQ16に流れる電流値はIref-I16となり、電流値(Iref-I16)に対応する電圧V91がNMOSトランジスタQ16のドレインに発生し、電圧V91はインバータINV2を介して起動信号である電圧検出信号S93として演算増幅回路21の起動制御端子に入力される。

[0065] さらに、PMOSトランジスタQ12のドレインは、ダイオード接続されたNMOSトランジスタQ17のドレイン及びソースを介して接地される。ここで、NMOSトランジスタQ17のドレイン及びゲートは演算増幅回路21の非反転入力端子に接続される。

[0066] ここで、インバータINV2と基準電流発生回路28とカレントミラー回

路CM1は、起動制御回路の一例である。

[0067] 以上のように構成された電源装置55において、電圧制御部101Bの出力電流 I_{o1} が増大して出力電流 I_{o1} に対応する I_{16} が増大すると、電流値($I_{ref}-I_{16}$)に対応する電圧 V_{91} がインバータINV2のしきい値 V_{INV_TH} 未満となり、インバータINV2の電圧検出信号はLレベルからHレベルになる。従って、インバータINV2の起動制御信号がHレベルの起動信号となって演算増幅回路21を起動させる。

[0068] 以上説明したように、実施形態5によれば、カレントミラー回路CM1によって電圧制御部101Bの出力電流 I_{o1} に対応する電流 I_2 の情報を、電流制御部201Dにおけるカレントミラー回路CM1の電流 I_{16} にコピーすることで、電圧制御部101Bの出力電流 I_{o1} に比例した電流 I_{16} を基準電流 I_{ref} と比較し、比較結果信号を演算増幅回路21の起動制御信号として用いている。

[0069] 実施形態5では、実施形態1～4に係る抵抗を用いた電流電圧変換回路13, 23を用いることなく、ダイオード接続のNMOSトランジスタQ15を含むカレントミラー回路CM1及びダイオード接続のNMOSトランジスタQ17を用いる。これにより、別途定電圧発生回路又はコンパレータ等を用意する必要なく、極めて簡単に電流制御部201Dの演算増幅回路21の起動制御信号の判定回路を生成できる。

[0070] (実施形態6)

図8は実施形態6に係る電源装置56の構成例を示す回路図である。また、図9は図8の電源装置56の動作を示す各電流及び電圧のタイミングチャートである。図8において、電源装置56は、図7の電源装置55に比較して以下の点が異なる。

(1) 電流制御部201Dに代えて、電流制御部201Eを備える。

(2) 電流制御部201Eにおいて、基準電流発生回路28に代えて、基準電流発生回路28Aを備える。

(3) 基準電流発生回路28Aは、定電流 I_{29a} , I_{29b} ($I_{29a} +$

129b > 129a) をそれぞれ有する定電流源 29a, 29b と、スイッチトランジスタである PMOS トランジスタ Q29 とを備える。図 8 において、基準電流発生回路 28A における各電流値は次式のように設定される。

[0071] $I_{ref_det} = I_{29a} + I_{29b}$ (PMOS トランジスタ Q29 がオンのとき)

(2)

[0072] $I_{ref_rel} = I_{29a}$ (PMOS トランジスタ Q29 がオフのとき)

(3)

[0073] ここで、図 9 (c) に示すように、

$$I_{ref_rel} < I_{ref_det} / 2 \quad (4)$$

である。

[0074] 以下、相違点について説明する。

[0075] 図 8 において、入力端子 P11 は定電流源 29a を介して NMOS トランジスタ Q16 のドレインに接続されるとともに、定電流源 29b 及び PMOS トランジスタ Q29 のソース及びドレインを介して NMOS トランジスタ Q16 のドレインに接続される。インバータ INV2 からの電流検出信号 S93 は NMOS トランジスタ Q29 のゲートに印加される。PMOS トランジスタ Q29 は、H レベルの電流検出信号 S93 に応答してオフされる一方、L レベルの電流検出信号 S93 に応答してオンされる。

[0076] ここで、インバータ INV2 と、基準電流発生回路 28A と、カレントミラー回路 CM1 は起動制御回路の一例であり、インバータ INV2 と基準電流発生回路 28A は切替制御回路の一例である。

[0077] 以上のように構成された電流制御部 201E では、電流検出信号 S93 に応じて、基準電流 I_{ref} を電流 I_{29a} 又は加算電流 ($I_{29a} + I_{29b}$) のいずれかに選択的に切り替えることを特徴としている。

[0078] 図 7 の実施形態 5 と同様に、電流制御部 201E が起動すると、全体の出力電流 I_{ot} の半分を電流制御部 201E が分担して生成するため (図 9 (a) 参照)、電流 I_2 に対応する電圧 V_{13} が低下し、カレントミラー回路

CM1のNMOSトランジスタQ16に流れる電流 I_{16} が減少する。本来、出力トランジスタQ1の電流 I_1 が所定のしきい値電流以上となったときに、図9(b)に示すように、時刻 t_2 で、カレントミラー回路CM1はそれを検知して、NMOSトランジスタQ16のドレイン電圧 V_{91} はHレベルからLレベルになり、ドレイン電圧 V_{91} がインバータINV2のしきい値 V_{INV_TH} を跨いだときに、演算増幅回路21のイネーブルを制御する起動制御信号S93はLレベルからHレベルとなる。

[0079] しかし、基準電流発生回路28Aの基準電流 I_{ref} がそのままであった場合、電圧制御部101Bの出力電流 I_{o1} に対応するカレントミラー回路CM1のNMOSトランジスタQ16の電流が減少する前記作用により、ドレイン電圧 V_{91} はLレベルからHレベルとなり、演算増幅回路21はディスエーブルされてしまい、上述のようにチャタリングが発生してしまう。そのため、基準電流発生回路28Aからの基準電流 I_{ref} を前記式(2)から前記式(3)に切り替え、電流 I_{16} に対する電圧 V_{91} の特性において、解除しきい値を下回らないようにヒステリシス特性を設ける。すなわち、チャタリングが発生しないようにするには、演算増幅回路21の電流検出信号S93がLレベルからHレベルとなったことを受けて、図9(c)に示すように、基準電流発生回路280の電流値 I_{ref} を半分以下の電流値 I_{ref_rel} にすることが好ましい。

[0080] 以上説明したように、実施形態6に係る電源装置56によれば、実施形態5と同様の作用効果を有し、さらに、電流制御部201Eが起動後、意図しない解除を防止することで、起動と停止を繰り返すことによる発振を防止することができる。

[0081] (実施形態7)

図10は実施形態7に係る電源装置57の構成例を示す回路図である。また、図11は図10の電源装置の動作を示す各電流及び電圧のタイミングチャートである。図10において、実施形態7に係る電源装置57は、図7の電源装置55に比較して以下の点が異なる。

(1) 電流制御部201Dに代えて、電流制御部201Fを備える。

(2) 電流制御部201Fにおいて、NMOSトランジスタQ18をさらに備え、NMOSトランジスタQ18とNMOSトランジスタQ17とにより、カレントミラー回路CM2を構成する。

以下、相違点について説明する。

[0082] 図10の電流制御部201Fにおいて、ダイオード接続されたNMOSトランジスタQ17と、NMOSトランジスタQ18の各ゲート及び各ソースは互いに接続されて、カレントミラー回路CM2を構成する。NMOSトランジスタQ18の電流 I_{18} は、電流制御部201Fの出力電流 $I_{o2} = I_{11}$ に比例するモニタ電流 I_{12} であって、モニタ電流 I_{12} に比例する電流となる。

[0083] 図10の電流制御部201Fでは、図7の実施形態5とは異なり、電流制御部201Fの起動判定に用いる電流検出信号S93の検出対象電流を、カレントミラー回路CM1のNMOSトランジスタQ16の電流 I_{16} と、カレントミラー回路CM2のNMOSトランジスタQ18の電流 I_{18} との和電流としたことを特徴としている。

[0084] ここで、インバータINV2と、基準電流発生回路28と、カレントミラー回路CM1、CM2は起動制御回路の一例である。

[0085] 図11の時刻 t_3 で、電流制御部201Fが起動すると、全体出力電流 I_{ot} の半分を電流制御部201Fが分担するため、電流 I_{16} が減少するが、電圧制御部101Bと電流制御部201Fの各出力電流 I_{o1} 、 I_{o2} の和電流 I_{ot} は変わらないため（図11(a)参照）、各制御部101B、201Fの出力電流の情報の和と相関性を持つカレントミラー回路CM1、CM2の和電流量は変わらない。

[0086] 以上説明したように、実施形態7によれば、実施形態6と同様の作用効果を有し、電流制御部201Fが起動後も電流検出情報が大きく変動しないことにより、電流制御部201Fの起動に伴う電流検出情報の変動をトリガとした発振現象を抑制できる。

[0087] (実施形態8)

図12は実施形態8に係る電源装置58の構成例を示す回路図である。図12において、実施形態8に係る電源装置58は、図5の電源装置53と比較して以下の点が異なる。

(1) 電流制御部201Bに代えて、電流制御部201Gを備える。電流制御部201Gは、電流制御部201Bと比較して、基準電圧発生回路222及びコンパレータ24に代えて、オフセット電圧V30を有するオフセット電圧源30を備える。なお、演算増幅回路21への起動制御信号である電流検出信号を用いない。

以下、相違点について説明する。

[0088] 図12の電流制御部201Gにおいては、意図的に電圧制御部101Aの出力電流 I_{o1} よりも電流制御部201の出力電流 I_{o2} が低くなるよう、演算増幅回路21の非反転入力端子にオフセット電圧源30を設ける。すなわち、演算増幅回路21の非反転入力端子には、電流電圧変換回路23からの変換電圧V23と、オフセット電圧Voffsetとの和電圧が印加される。

[0089] 図1の実施形態1にて説明したように、出力電圧Voutが入力端子T1の入力電圧Vinまで上昇してしまう現象は、電圧制御部101が出力電流 I_{o1} を止めて出力電圧Voutを保持しようとするにも関わらず、電流制御部201が出力電流 I_{o2} を流してしまうためである。電流制御部201が起動されたときに、演算増幅回路21が、その非反転入力端子の電圧よりも高い電圧に制御するようにオフセット電圧が付いてしまうことで、上記現象が顕在化する。

[0090] 図13Aは図12の電源装置58において出力電流 I_{ot} に対する、各電圧とオフセット電圧Voffsetとの関係を示すグラフである。また、図13Bは図12の電源装置58において出力電流 I_{ot} に対する、意図的に付与したオフセット電圧Voffsetがあるときの出力電流 I_{o1} 、 I_{o2} を示すグラフである。さらに、図13Cは図12の電源装置58において

出力電流 I_{ot} に対する、意図的に付与したオフセット電圧 V_{offset} がないときの出力電流 I_{o1} , I_{o2} を示すグラフである。

[0091] 前記現象を回避するために、図12のように演算増幅回路21にオフセット電圧源30を設けることで、図13Aに示すように、変換電圧 V_{23} が変換電圧 V_{13} よりも低く制御し、無負荷時は電流制御部201Gの出力電流 I_{o2} をカットオフする。また、電圧制御部101A内のトランジスタQ1がある一定以上の出力電流 I_{ot1} を流し、変換電圧 V_{13} がオフセット電圧源30より大きくなるまで、演算増幅回路21の非反転入力端子側の電圧 V_{231} の方が高くなるため、PMOSトランジスタQ12及び出力トランジスタQ11をオフするよう制御する。図13B及び図13Cに示すように、前記オフセット電圧源30により、演算増幅回路21を停止する回路を設けずとも、無負荷時において電流制御部201Gが無用に起動せず、出力電圧 V_{out} の浮き上がりを防止できる。すなわち、オフセット電圧源30が、上述した実施形態1～7の起動制御回路の一部の構成要素に相当する。

[0092] (実施形態9)

図14は実施形態9に係る電源装置59の構成例を示す回路図である。図14において、実施形態9に係る電源装置59は、図12の実施形態8に係る電源装置58に比較して以下の点が異なる。

(1) 電流制御部201Gに代えて、電流制御部201Hを備える。

(2) 電流制御部201Hにおいて、オフセット電圧源30に代えて、バイアス電圧発生回路31及びPMOSトランジスタQ19を備える。

以下、相違点について説明する。

[0093] 図14において、電流制御部201Hの入力端子P11はバイアストランジスタであるPMOSトランジスタQ19のソース及びドレインを介して電流電圧変換回路23の入力端子に接続される。バイアス電圧発生回路31は所定のバイアス電圧 V_{bias} を発生してPMOSトランジスタQ19のゲートに印加する。PMOSトランジスタQ19はバイアス電圧 V_{bias} に対応する電流 I_{19} を発生して、電流電圧変換

回路 23 に流入させる。すなわち、電流電圧変換回路 23 に流入する電流は、電流 I_{12} と電流 I_{19} の和となり、電流電圧変換回路 23 は和の電流 ($I_{12} + I_{19}$) に対応する変換電圧 V_{23} を発生して演算増幅回路 21 の非反転入力端子に印加する。

[0094] 図 15 は図 14 の電源装置 59 において出力電流 I_{ot} に対する、電流電圧変換回路 13, 23 に流れ込む電流の関係を示すグラフである。

[0095] 以上のように構成された電源装置 59 では、図 15 と図 14 とを参照すると、図中、図 15 の I_{otA} よりも I_{ot} が少ない条件では、電圧制御部 101A の電流電圧変換回路 13 (電流検出回路) により検出される電流 I_2 が、バイアス電圧発生回路 31 によるバイアス電流 I_{19} よりも小さくなり、変換電圧 V_{23} が変換電圧 V_{13} よりも大きくなるため、PMOS トランジスタ Q_{12} 及び出力トランジスタ Q_{11} をオフとするよう制御する。

[0096] 以上説明したように、実施形態 9 によれば、実施形態 8 と同様のオフセット電圧 V_{offset} を付加するために、バイアス電圧発生回路 31 及び PMOS トランジスタ Q_{19} を設けた。ここで、バイアス電圧発生回路 31 によって、電流制御部 201H が電圧制御部 101A に比較して多大な電流を流しているかのように演算増幅回路 21 が認識し、電流制御部 201H が出力電流 I_{o2} を少なくする方向となるようにオフセットをつける。従って、実施形態 9 に係る電源装置 59 は、実施形態 8 に係る電源装置 58 と同様の作用効果を有する。

[0097] (実施形態 10)

図 16 は実施形態 10 に係る電源装置 60 の構成例を示す回路図である。図 16 において、実施形態 10 に係る電源装置 60 は、図 14 の実施形態 9 に係る電源装置 59 に比較して以下の点が異なる。

(1) 電流制御部 201H に代えて、電流制御部 201I を備える。

(2) 電流制御部 201I は、電流制御部 201H に比較して、基準電圧発生回路 32 と、コンパレータ 33 と、PMOS トランジスタ Q_{20} とをさらに備える。

以下、相違点について説明する。

[0098] 図16において、電流制御部201Iの入力端子P11はPMOSトランジスタQ19のソース及びドレインと、PMOSトランジスタQ20のソース及びドレインを介して電流電圧変換回路23の入力端子に接続される。入力端子P15に入力される変換電圧V13は演算増幅回路21の非反転入力端子及びコンパレータ33の非反転入力端子に入力される。基準電圧発生回路32は所定の基準電圧Vref6をコンパレータ33の反転入力端子に出力する。コンパレータ33は、変換電圧 $V13 < Vref6$ のときに、Lレベルの電流検出信号S33をPMOSトランジスタQ20のゲートに印加してPMOSトランジスタQ20をオンすることでオフセット電流I19を流す。一方、コンパレータ33は、変換電圧 $V13 \geq Vref6$ のときに、Hレベルの電流検出信号S33をPMOSトランジスタQ20のゲートに印加してPMOSトランジスタQ20をオフすることでオフセット電流I19を流さない。

[0099] ここで、NMOSトランジスタQ20と、コンパレータ33と、基準電圧発生回路32とは切替制御回路の一例である。

[0100] 以上のように構成された電流制御部201Iでは、図5の電源装置53のコンパレータ24による演算増幅回路21の起動制御を、PMOSトランジスタQ20の電流制御による演算増幅回路21の基準電圧により実現することを特徴としている。

[0101] 図17は図16の電源装置60に電流及び電圧を示すタイミングチャートである。

[0102] 図17に示すように、出力電流Iotがある一定値以下である場合、コンパレータ33の電圧検出信号S33はLレベルとなり、PMOSトランジスタQ20をオンすることで、電圧制御部101Aの出力電流Io1に対して電流制御部201Iの出力電流Io2を小さくするようオフセット電流I19を付加する。電流制御部201Iの出力電流Io2がある程度流れ始めたタイミング（時刻t4）でPMOSトランジスタQ20をオフにすることで

、電流制御部2011のオフセット電流I19を流さない。これにより、所定のしきい値出力電流以上の時には出力電流の偏りを抑える。

[0103] 以上説明したように、実施形態10によれば、軽負荷時には、出力電圧V_{out}が浮き上がらないよう電流制御部2011の出力電流I_{o2}を減少させ、所定のしきい値出力電流が流れ始めると、PMOSトランジスタQ20をオフすることで、各制御部101A、2011の電流バランスを整えることで発熱の影響が大きい重負荷時の電流の偏りを防止することができる。

[0104] (変形例)

以上の実施形態に係る電源装置では、電圧制御回路に使用した場合を例にして示したが、これは一例であり、本発明はこれに限定するものではなく、演算増幅回路を使用したすべての制御回路に適用することができる。例えば、電流制御回路に適用してもよい。

産業上の利用可能性

[0105] 以上詳述したように、本発明に係る電源装置によれば、マスター側の電圧制御部の駆動状態を監視し、必要に応じてスレーブ側の電流制御部の電流出力を抑制するように制御できることから、出力電圧が入力電圧まで上昇することを防ぐことができる。

[0106] 実施形態に係る電源装置51～60と、負荷301とを備えて、電子機器を構成してもよい。電子機器は例えば、電源供給を受ける自動車用の電子機器、もしくは、電源供給を受けるコピー機又はプリンタといった画像形成装置、パーソナルコンピュータ、タブレット、スマートホン、携帯電話機等である。

符号の説明

[0107] 1, 101, 101A～101B 電圧制御部
2, 201, 201A～2011 電流制御部
3, 301 負荷
11 基準電圧発生回路
12 演算増幅回路

1 3 電流電圧変換回路
2 1 演算増幅回路
2 2, 2 2 A 電流検出回路
2 3 電流電圧変換回路
2 4 コンパレータ
2 5 加算回路
2 6 基準電圧発生回路
2 8, 2 8 A, 2 9 基準電流発生回路
2 9 a, 2 9 b 定電流源
3 0 オフセット電圧源
3 1 バイアス電圧発生回路
3 2 基準電圧発生回路
3 3 コンパレータ
5 1 ~ 6 1, 5 1 A 電源装置
2 2 1 コンパレータ
2 2 2 基準電圧発生回路
2 2 3, 2 2 4 電圧源
2 2 5 基準電圧発生回路
CM 1, CM 2 カレントミラー回路
I NV 1, I NV 2 インバータ
Q 1 ~ Q 2 9 MOSトランジスタ
R 1, R 2 分圧抵抗
SW 1, SW 2 スイッチ
T 1 1 ~ T 2 4, P 1 ~ P 1 5 端子

請求の範囲

- [請求項1] 電圧制御部と電流制御部とを備え、前記電圧制御部と前記各電流制御部とを互いに並列に接続して構成された電源装置であって、
- 前記電圧制御部は、
- 入力電圧に基づいて、所定の基準電圧を発生する基準電圧回路と、
- 前記電圧制御部の出力電圧が実質的に前記基準電圧に対応する電圧になるように前記電圧制御部の出力電流を制御することで、前記入力電圧に基づいて前記電圧制御部の出力電圧を発生して出力する電圧制御回路とを備え、
- 前記電流制御部は、
- 前記電流制御部の出力電流を検出して当該出力電流に対応する値を示す第1の電流検出信号を発生して出力する第1の電流検出回路と、
- 前記第1の電流検出信号が実質的に、前記電圧制御部の出力電流に対応する値になるように前記電流制御部の出力電流を制御する電流制御回路と、
- 前記電圧制御部の出力電流が所定の第1のしきい値以上となったとき、前記電流制御回路を起動して前記電流制御部の出力電流を流すように制御する起動制御回路とを備える、
- 電源装置。
- [請求項2] 前記電圧制御部又は前記電流制御部は、
- 前記電圧制御部の出力電流を検出して当該出力電流に対応する値を示す第2の電流検出信号を発生して出力する第2の電流検出回路をさらに備え、
- 前記起動制御回路は、前記第2の電流検出信号が所定の第2のしきい値以上となったときに前記電流制御回路を起動するように制御する、
- 請求項1に記載の電源装置。
- [請求項3] 前記第2の電流検出信号の値が前記第2のしきい値以上となったと

きに、前記第2のしきい値を、所定の第1の値から、前記第1の値よりも小さい所定の第2の値に選択的に切り替える第1の切替制御回路をさらに備える、

請求項2に記載の電源装置。

[請求項4] 前記起動制御回路は、前記第1の電流検出信号と前記第2の電流検出信号の加算値が所定の第3のしきい値以上となったときに前記電流制御回路を起動するように制御する、
請求項2に記載の電源装置。

[請求項5] 前記起動制御回路は、前記第2の電流検出信号が、前記第1の電流検出信号と所定のオフセット値の加算値以上となったときに前記電流制御回路を起動するように制御する、
請求項2に記載の電源装置。

[請求項6] 前記起動制御回路は、前記第2の電流検出信号が、前記第1の電流検出信号と所定のバイアス電流値の加算値以上となったときに前記電流制御回路を起動するように制御する、
請求項2に記載の電源装置。

[請求項7] 前記起動制御回路は、前記バイアス電流値を、前記第2の電流検出信号の値が所定の第3のしきい値以上となったときにゼロに切り替える第2の切替制御回路をさらに備える、
請求項6に記載の電源装置。

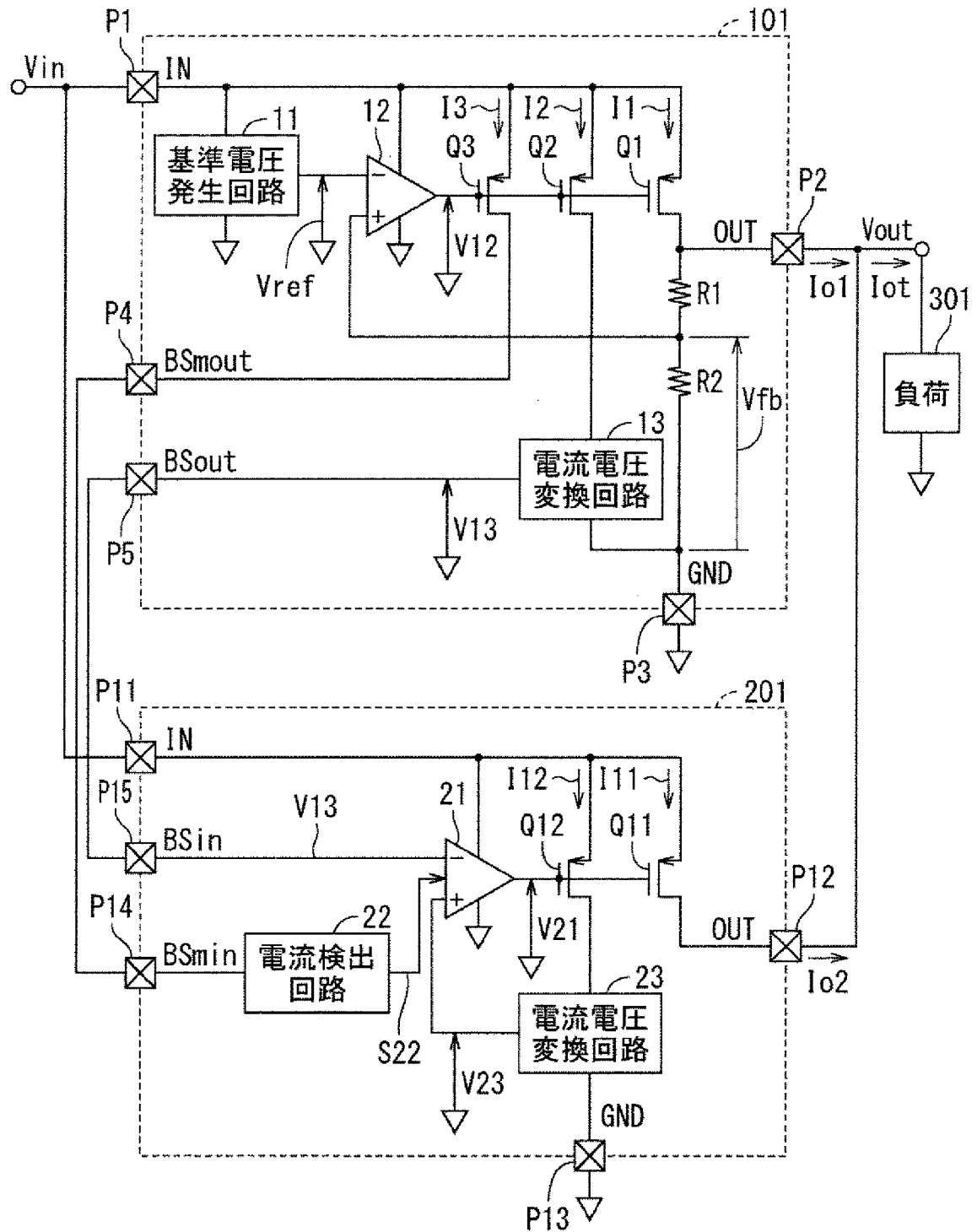
[請求項8] 請求項1又は2に記載の電源装置と、
電子機器の負荷とを備える、前記電子機器。

[請求項9] 請求項3に記載の電源装置と、
電子機器の負荷とを備える、前記電子機器。

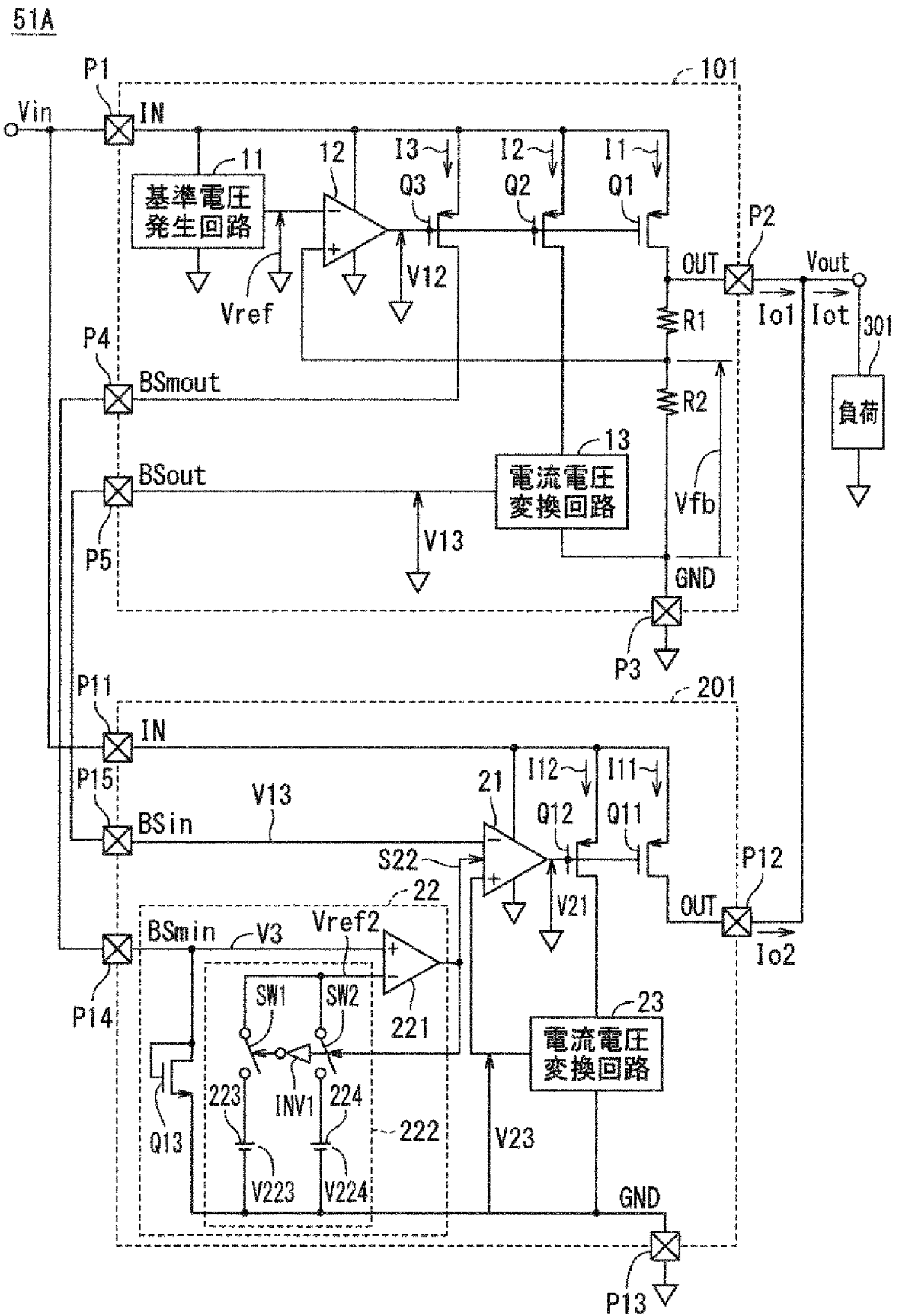
[請求項10] 請求項4～7のうちのいずれか1つに記載の電源装置と、
電子機器の負荷とを備える、前記電子機器。

[図1]

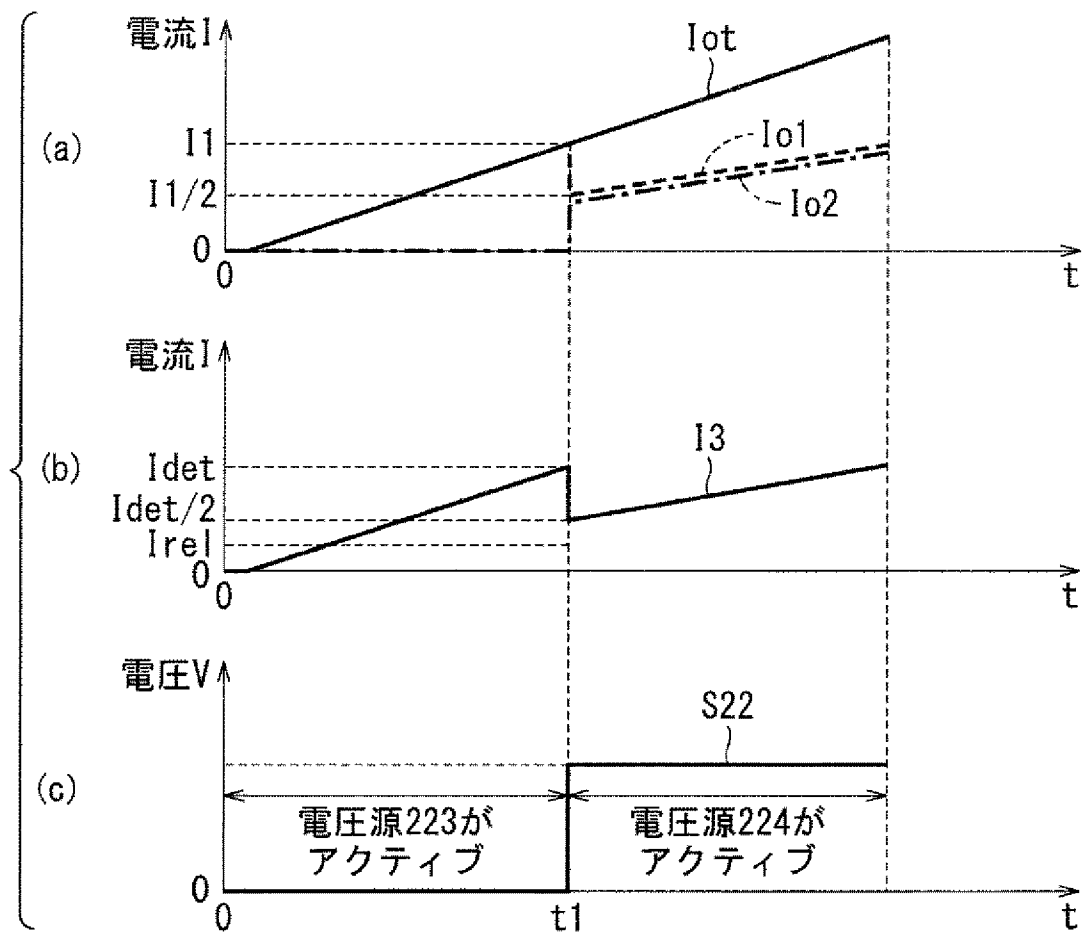
51



[図2]

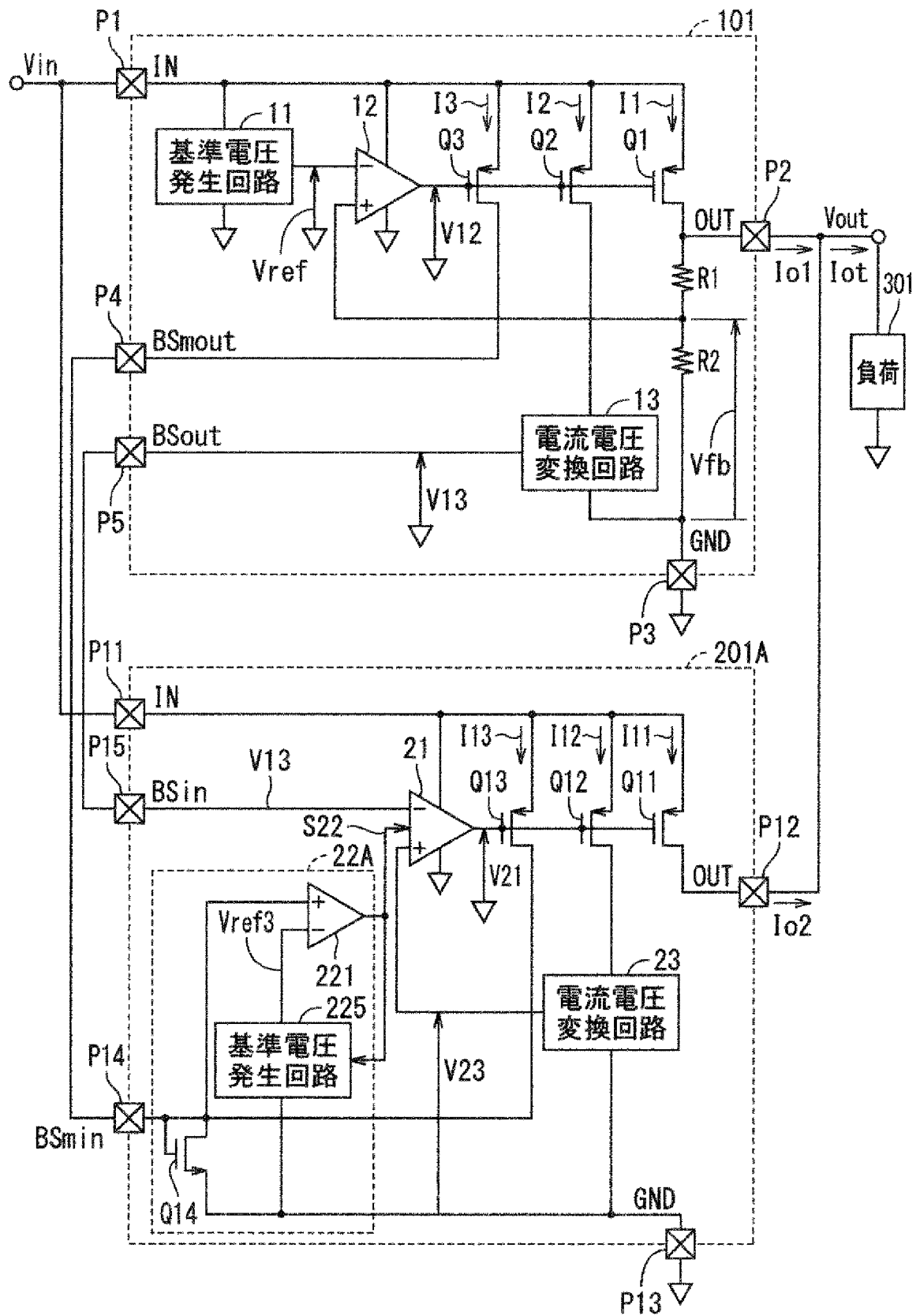


[図3]

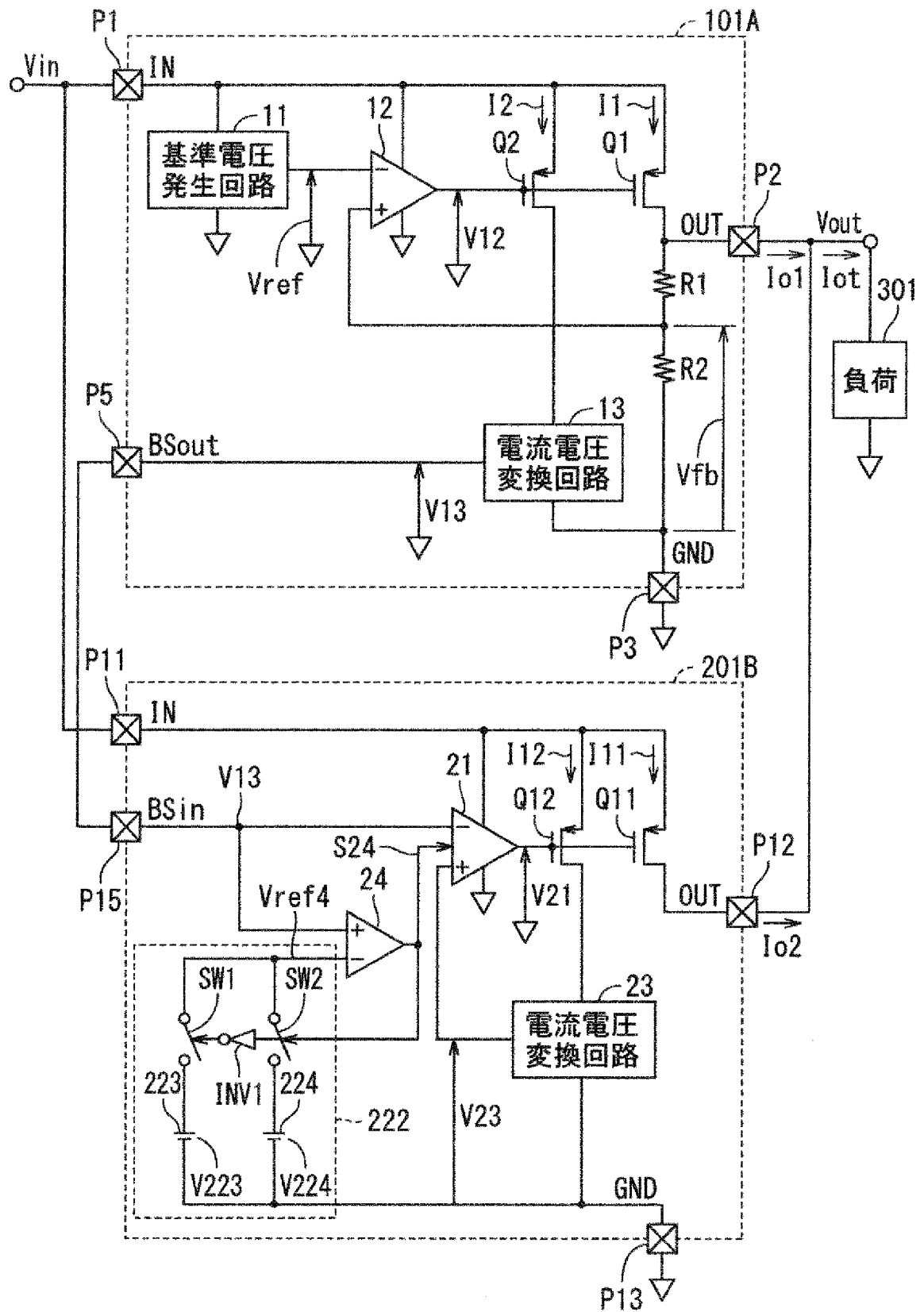


[図4]

52

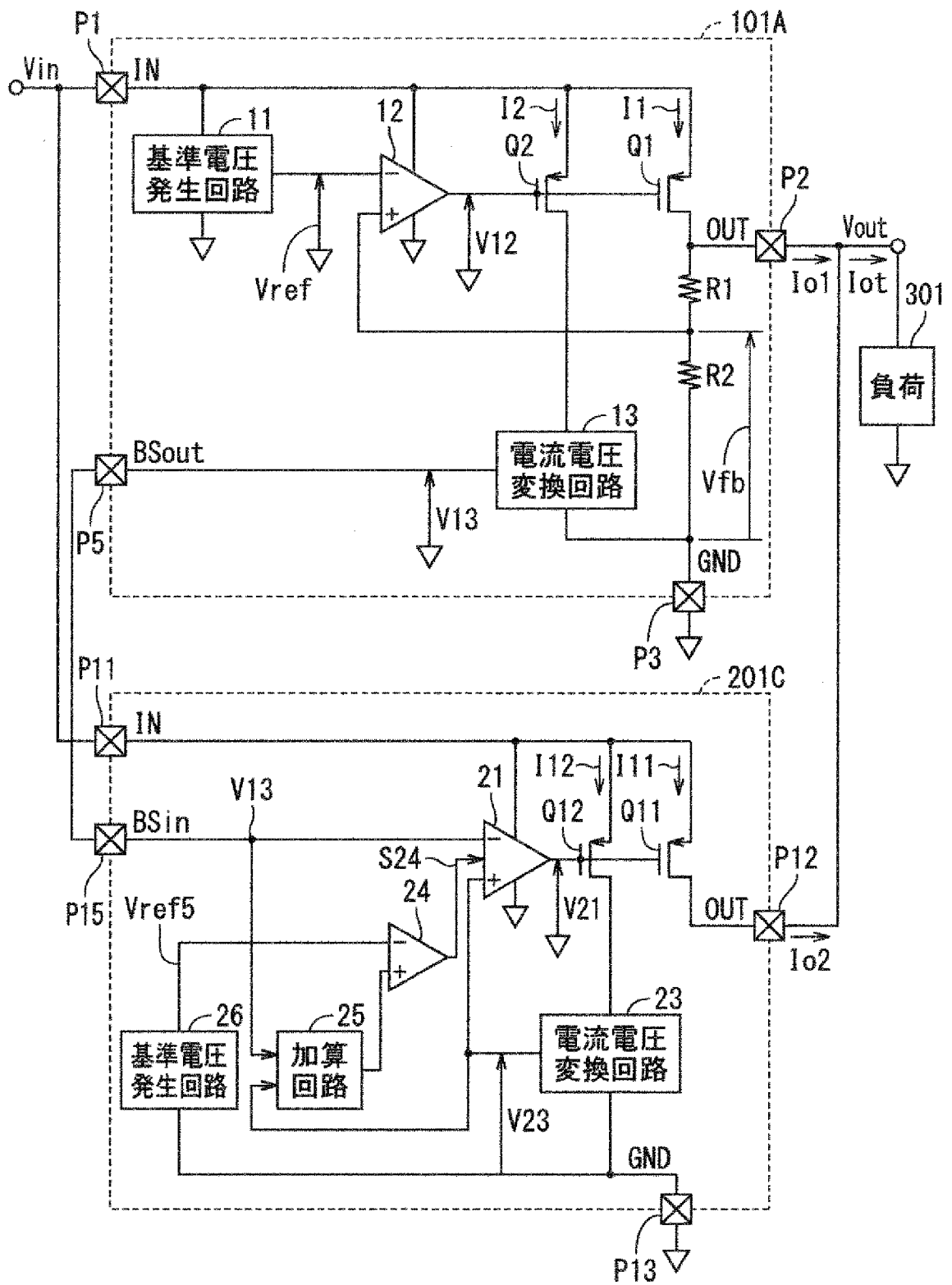


53



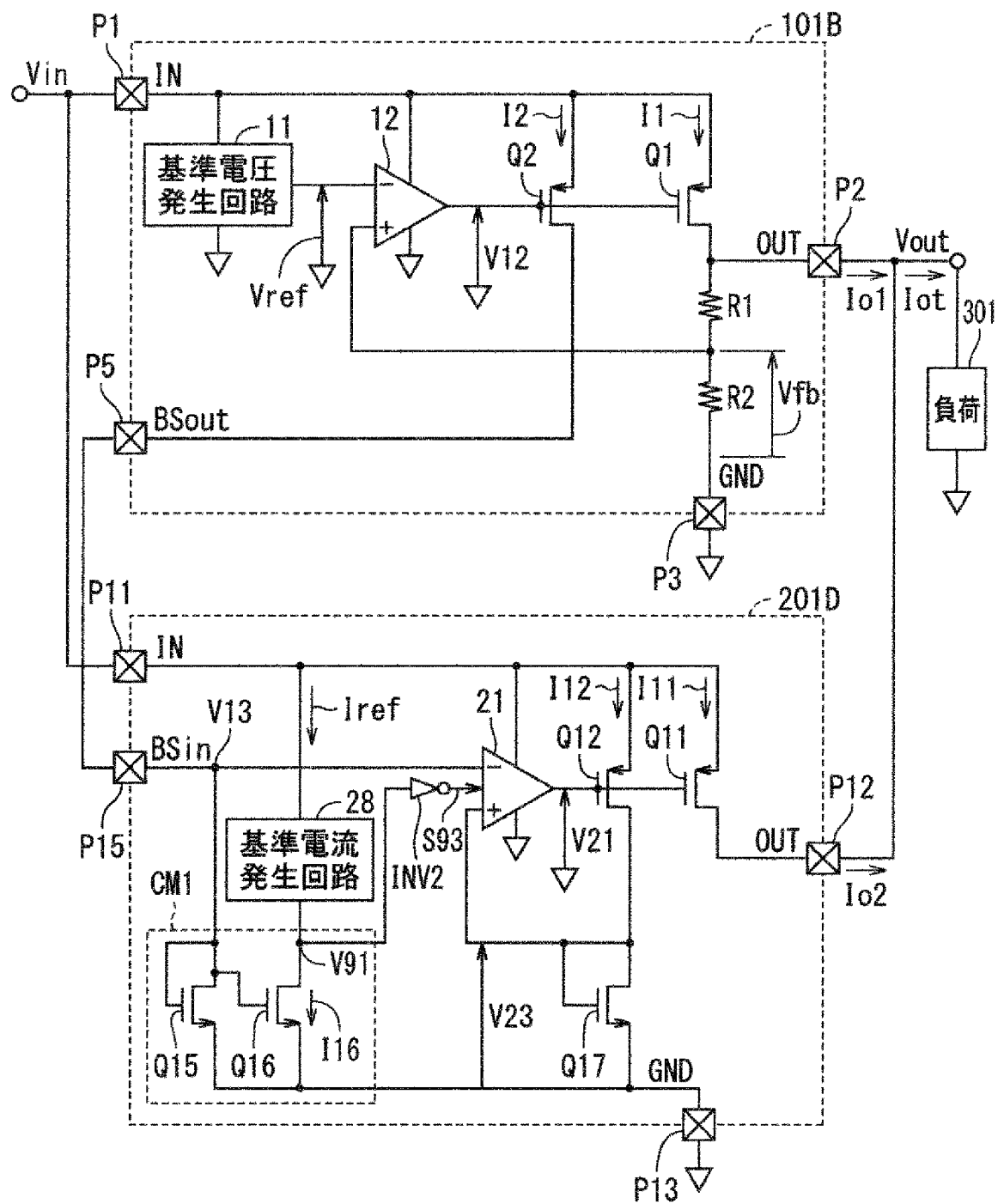
[図6]

54



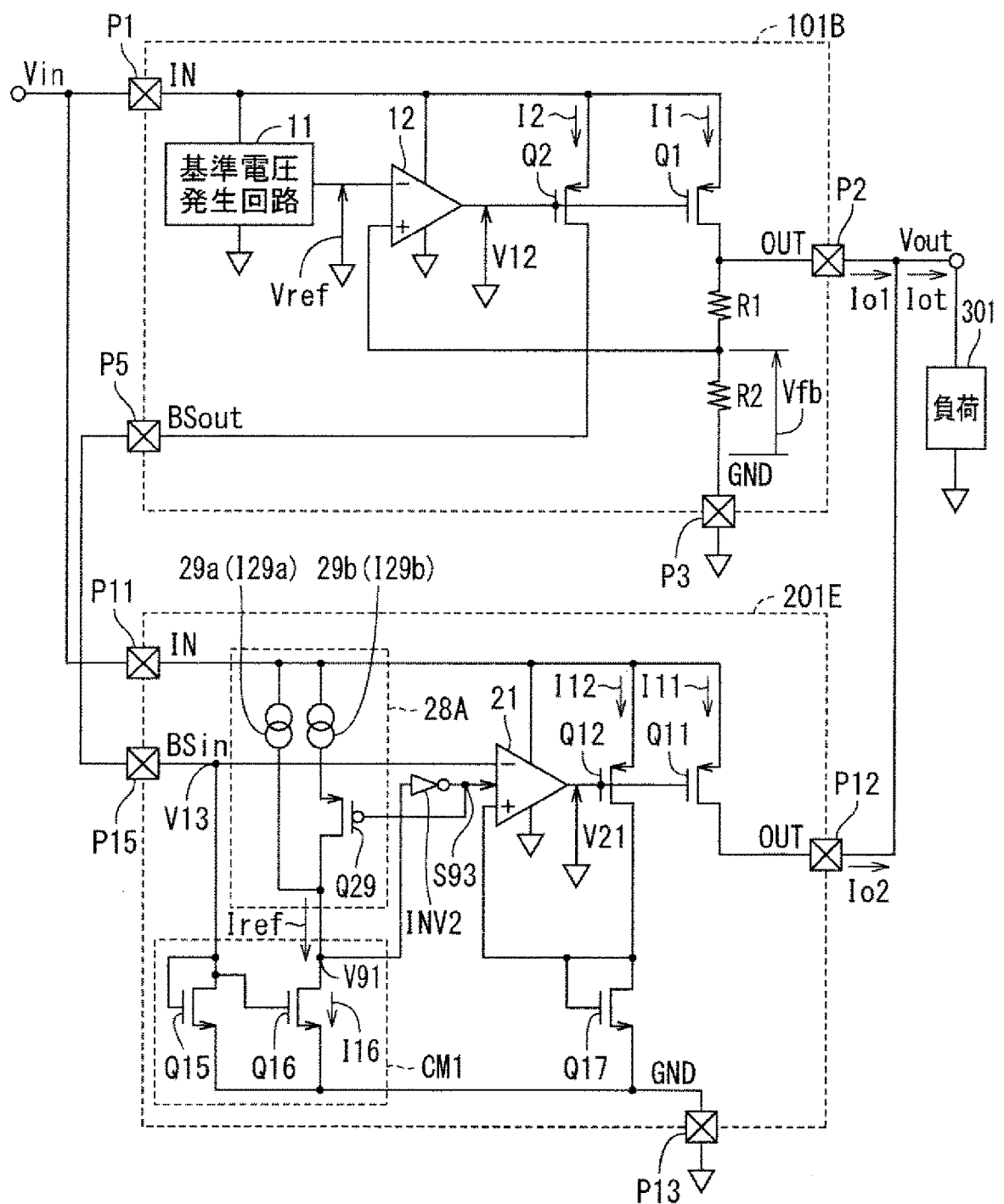
[図7]

55

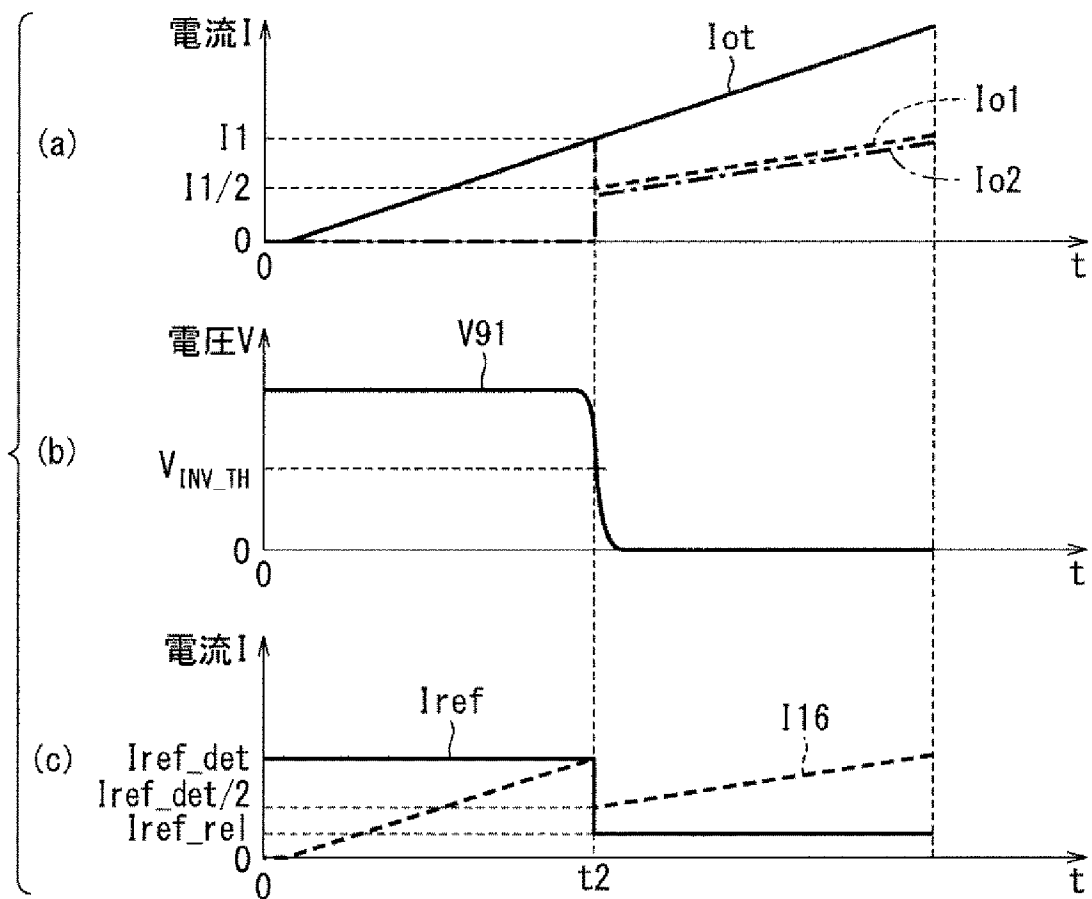


[図8]

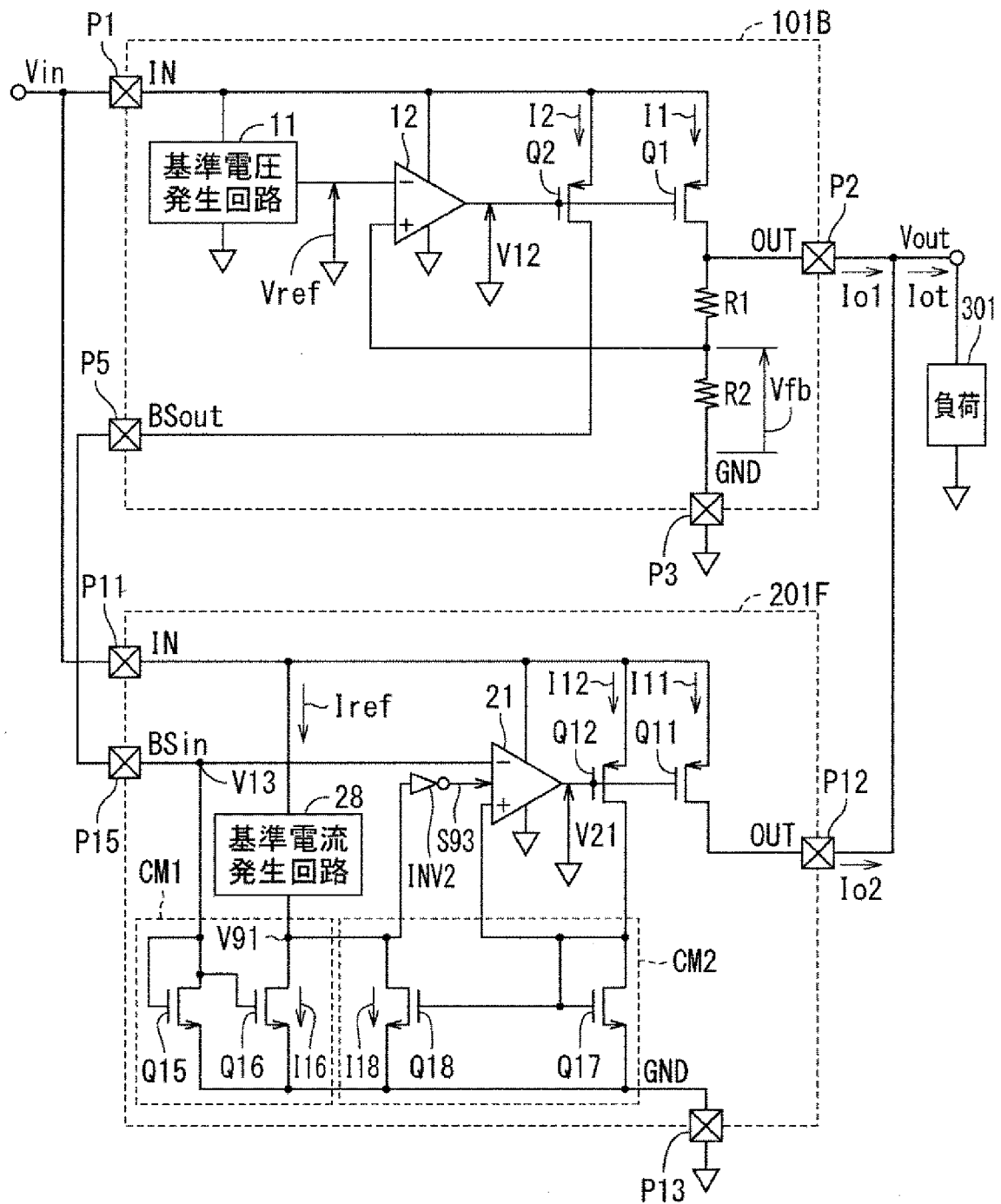
56



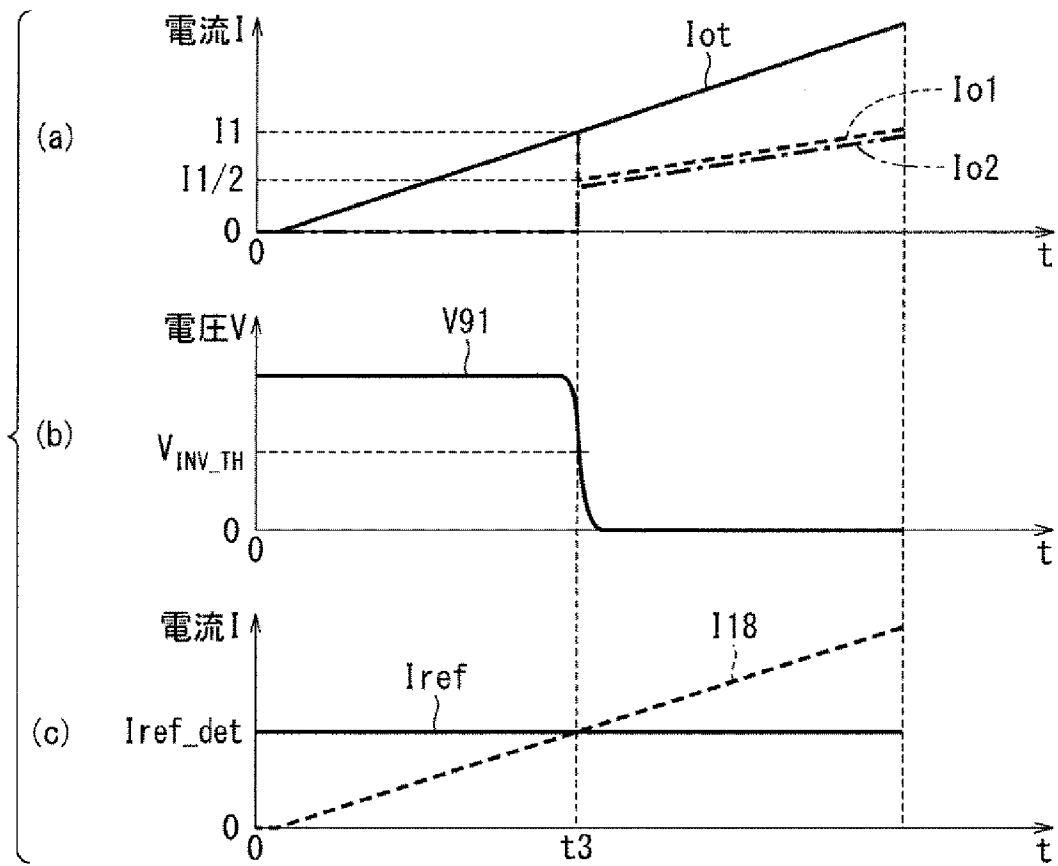
[図9]



57

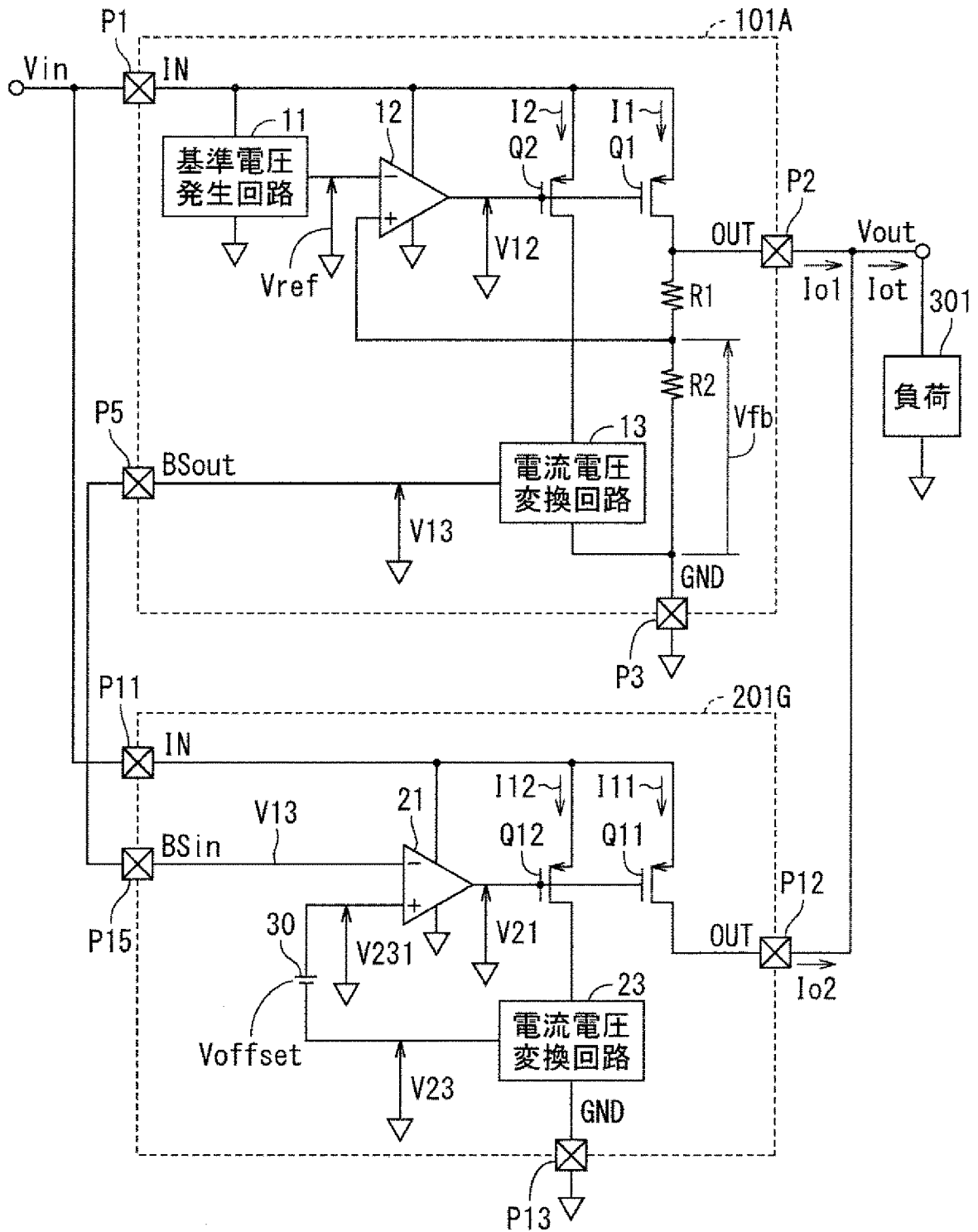


[図11]

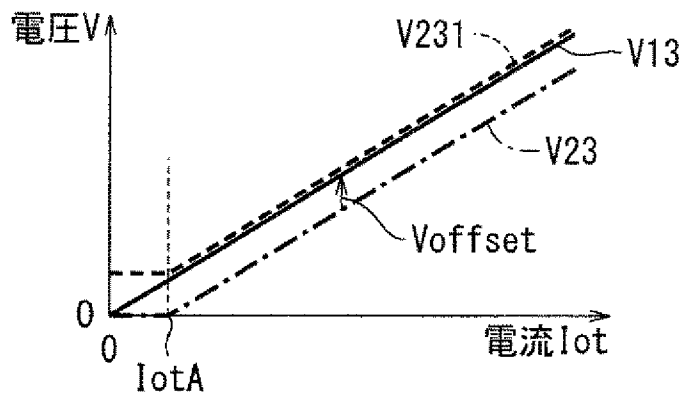


[図12]

58

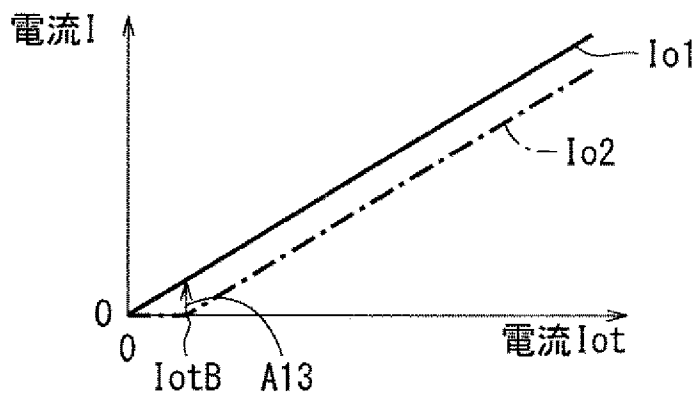


[図13A]



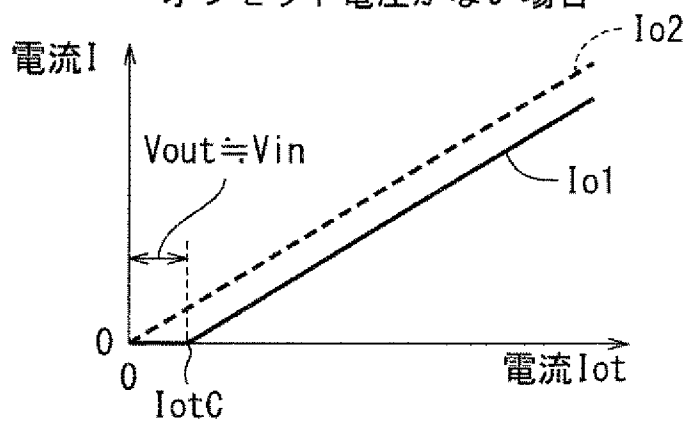
[図13B]

意図的に付与した
オフセット電圧がある場合



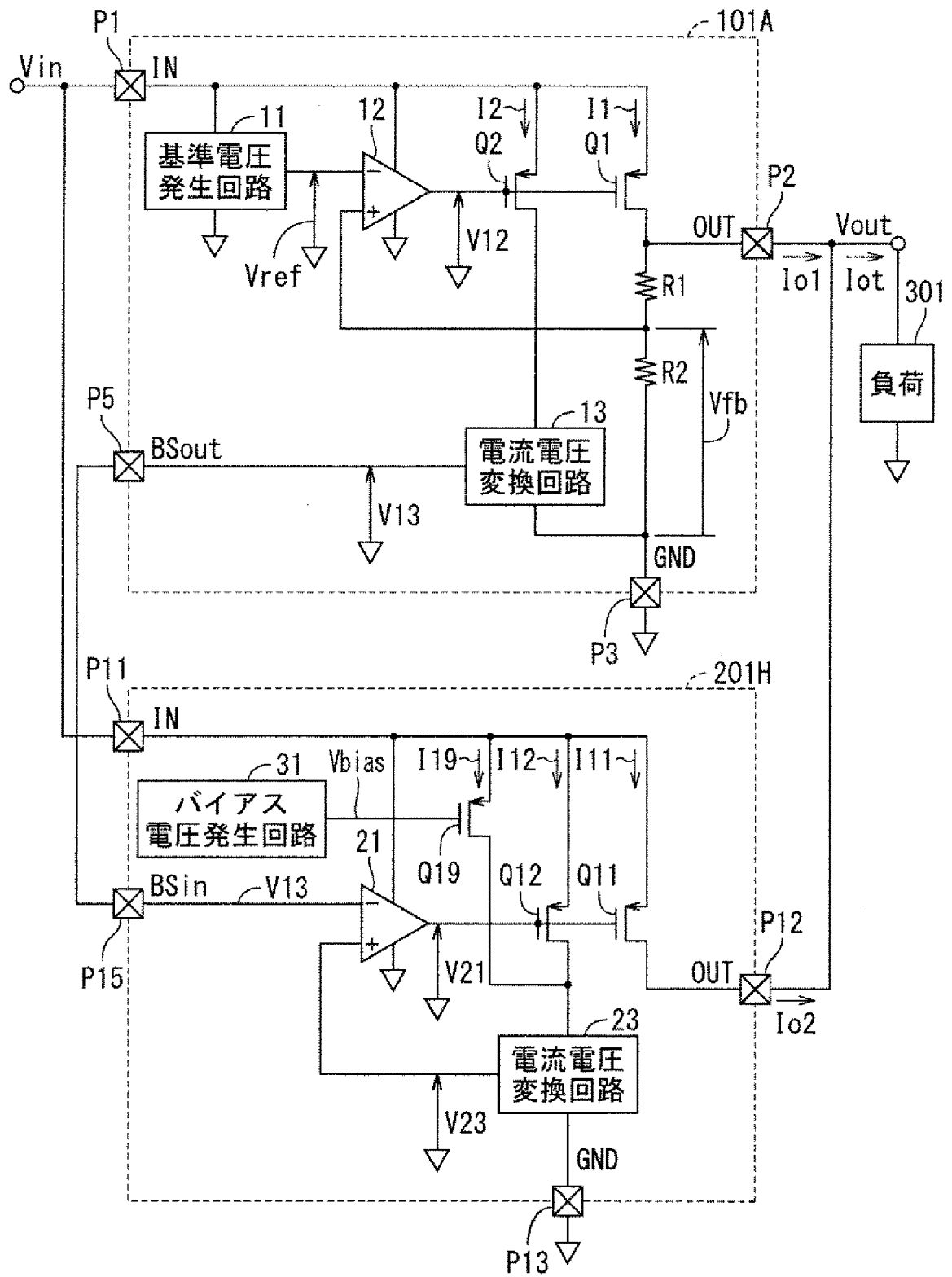
[図13C]

意図的に付与した
オフセット電圧がない場合

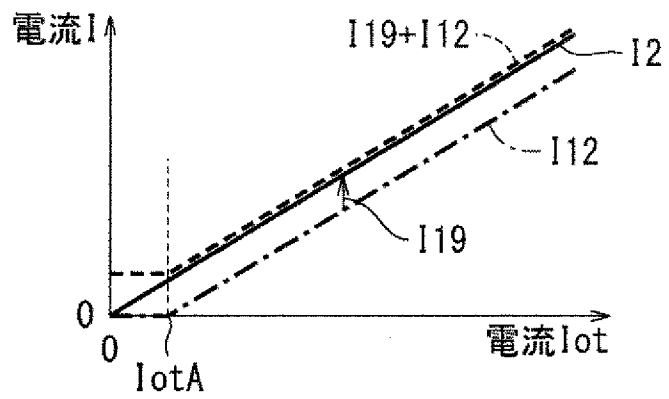


[図14]

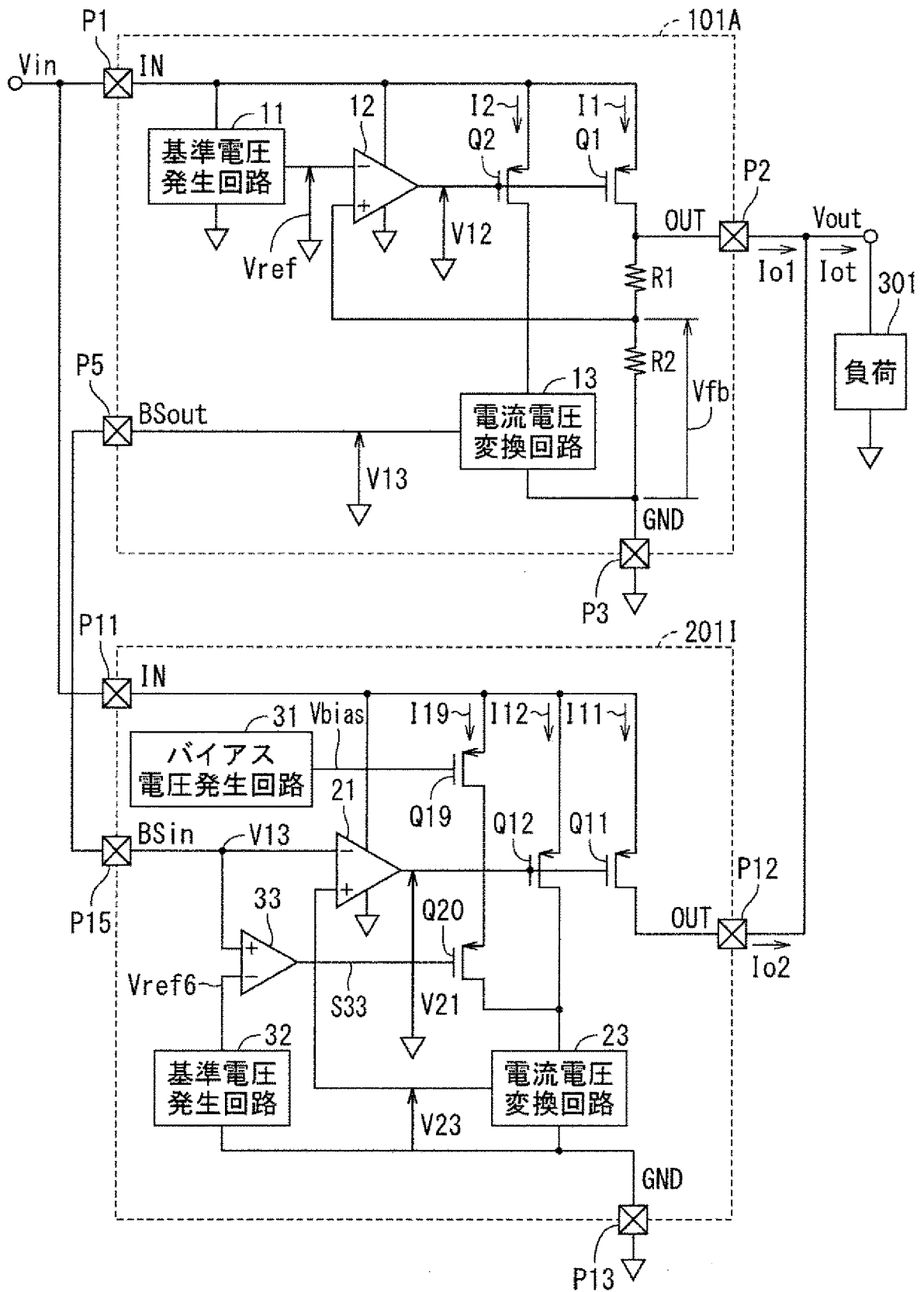
59



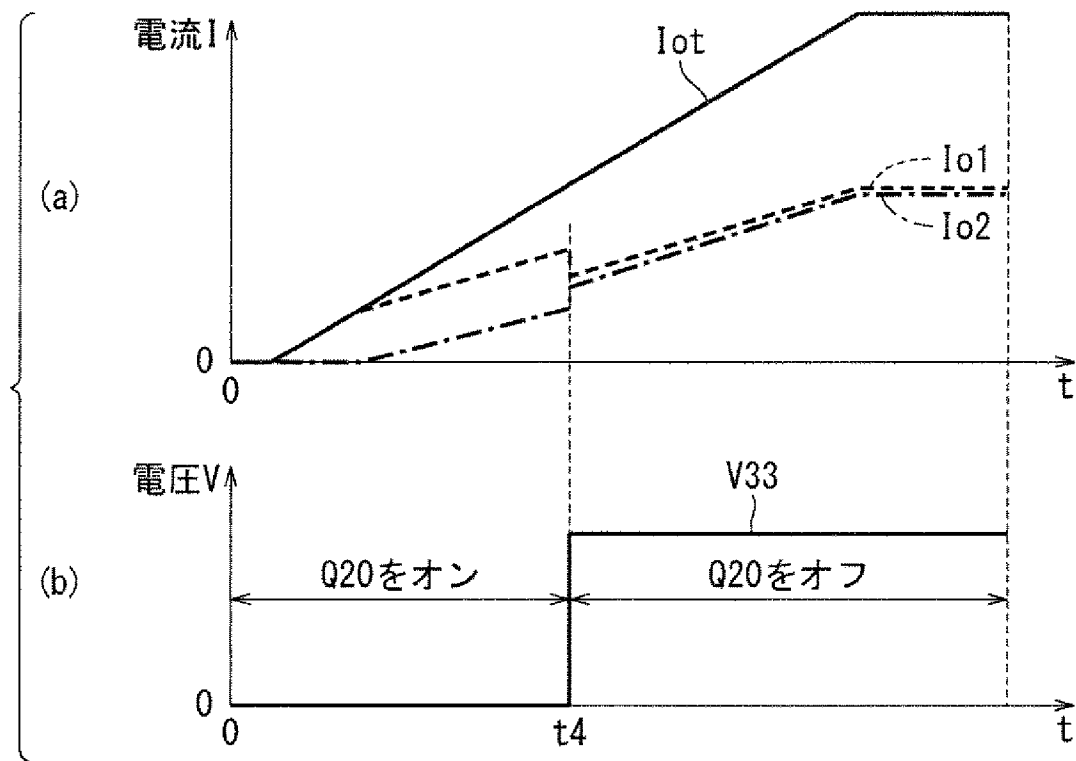
[図15]



60

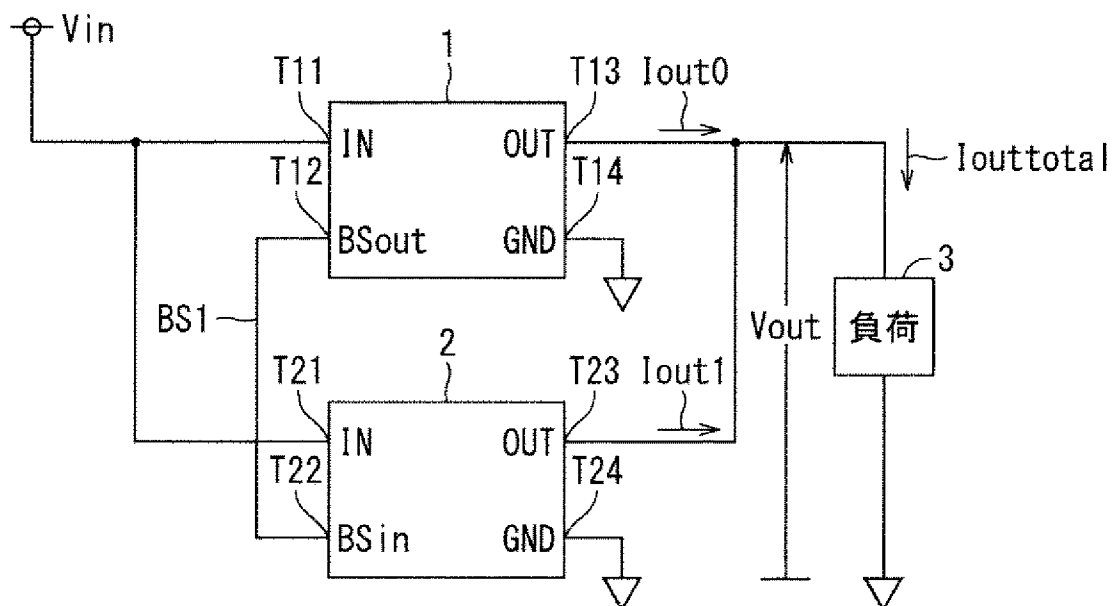


[図17]



[図18]

61



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/030164

A. CLASSIFICATION OF SUBJECT MATTER**G05F 1/56**(2006.01)i; **H02M 3/00**(2006.01)n

FI: G05F1/56 310J; H02M3/00 W; H02M3/00 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/56; H02M3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7170935 B2 (NISSHINBO MICRO DEVICES INC.) 14 November 2022 (2022-11-14) paragraphs [0017]-[0045], fig. 1, 3-5	1-4, 8-10
Y	JP 2002-125371 A (SHARP KABUSHIKI KAISHA) 26 April 2002 (2002-04-26) paragraphs [0021]-[0037], fig. 2	1-4, 8-10
Y	JP 2006-133935 A (ROHM CO., LTD.) 25 May 2006 (2006-05-25) paragraph [0041], fig. 1	3, 9
Y	JP 2015-146699 A (MITSUBISHI ELECTRIC CORPORATION) 13 August 2015 (2015-08-13) paragraphs [0031]-[0032], fig. 1, 4	3-4, 9-10
A	JP 2005-176409 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 30 June 2005 (2005-06-30) entire text, all drawings	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 October 2023

Date of mailing of the international search report

07 November 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/030164

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	7170935	B2	14 November 2022	US 2022/0221889 A1 paragraphs [0024]-[0059], fig. 1, 3-5 CN 114008555 A	
JP	2002-125371	A	26 April 2002	(Family: none)	
JP	2006-133935	A	25 May 2006	US 2009/0108822 A1 paragraph [0049], fig. 1 CN 101048717 A	
JP	2015-146699	A	13 August 2015	(Family: none)	
JP	2005-176409	A	30 June 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i; H02M 3/00(2006.01)n FI: G05F1/56 310J; H02M3/00 W; H02M3/00 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G05F1/56; H02M3/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7170935 B2（日清紡マイクロデバイス株式会社）14.11.2022（2022-11-14） [0017]-[0045], 図1, 3-5	1-4, 8-10
Y	JP 2002-125371 A（シャープ株式会社）26.04.2002（2002-04-26） [0021]-[0037], 図2	1-4, 8-10
Y	JP 2006-133935 A（ローム株式会社）25.05.2006（2006-05-25） [0041], 図1	3, 9
Y	JP 2015-146699 A（三菱電機株式会社）13.08.2015（2015-08-13） [0031]-[0032], 図1, 4	3-4, 9-10
A	JP 2005-176409 A（松下電器産業株式会社）30.06.2005（2005-06-30） 全文, 全図	1-10
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 27.10.2023		国際調査報告の発送日 07.11.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 佐藤 匡 5G 2573 電話番号 03-3581-1101 内線 3526

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/030164

引用文献			公表日	パテントファミリー文献	公表日
JP	7170935	B2	14.11.2022	US 2022/0221889 A1 [0024]-[0059], 図1, 3-5 CN 114008555 A	
JP	2002-125371	A	26.04.2002	(ファミリーなし)	
JP	2006-133935	A	25.05.2006	US 2009/0108822 A1 [0049], 図1 CN 101048717 A	
JP	2015-146699	A	13.08.2015	(ファミリーなし)	
JP	2005-176409	A	30.06.2005	(ファミリーなし)	