СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1035530 A

3(5D) G01R 23/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3376926/18-21
(22) 31.12.81
(46) 15.08.83. Бюл. № 30
(72) С.Л.Голинец, В.В.Пискорж, А.А.Чумаченко и Н.В.Долженков
(71) Харьковский ордена Ленина авиационный институт им. Н.Е.Жуковского
(53) 621.317(088.8)
(56) 1. Авторское свидетельство СССР по заявке № 294241/21, кл. G01R 23/00.

2. Авторское свидетельство СССР № 705363, кл. G01R 23/00, 1977.

(54) (57) ЦИФРОВОЙ ПАНОРАМНЫЙ ИЗМЕРИТЕЛЬ ЧАСТОТЫ, содержащий формирователь импульсов нулей, последовательно соединенные генератор тактовых импульсов, счетчик импульсов, стробируемый дешифратор, блок постоянной памяти, блок накапливающих сумматоров, блок квадраторов и решающий блок, причем пусковой вход решающего блока соединен с выходом счетчика импульсов, блоки постоянной памяти, накапливающих сумматоров и квадраторов содержат соответственно по М постоянных запоминающих устройств с входными адресными дешифраторами, 2М накапливающих сумматоров и М квадраторов, о т л и ч а ю щ и й с я тем, что, с целью повышения надежности, в него введены последовательно соединенные блок синхронизации и элемент задержки, соединенный с тактовым входом блока накапливающих сумматоров, а стробируемый дешифратор выполнен в виде М/2 цепей, состоящих из последовательно соединенных делителя частоты, счетчика. регистра и двух соединенных параллельно по первым входам комбинационных сумматоров в (М/2)-1 цепях и одного комбинационного сумматора М/2 цепи, дополнительный регистр, выходы которого соединены с вторыми входами первых комбинационных сумматоров и через преобразователь положительного числа в отрицательное с вторыми входами вторых комбинационных сумматоров в М/2 цепей, причем входы делителей частоты соединены с одним из выходов счетчика импульсов, а его первые разряды соединены с входами дополнительного регистра, стробирующие входы регистров синхронизации соединены с выходом блока синхронизации, информационный и тактовый входы которого соединены с выходами формирователя импульсов нулей и генератора тактовых импульсов соответственно.

(19) SU (11) 1035530 A

Изобретение относится к цифровой радиоизмерительной технике и может быть использовано в радиолокации и радионавигации.

Известен цифровой панорамный измеритель частоты, содержащий генератор тактовых импульсов, формирователь импульсов нулей, последовательно соединенные блок постоянной памяти, блок накапливающих сумматоров, блок квадраторов и решающий блок, а также М блоков задания констант и М стробируемых интеграторов, стробирующие входы которых объединены и подключены к выходу генератора тактовых импульсов, а их информационные входы подключены к соответствующим блокам задания констант, причем блоки постоянной памяти, накапливающих сумматоров и квадраторов содержат, соответственно, по М постоянных запоминающих устройств с входными адресными дешифраторами, 2М накапливающих сумматоров и М квадраторов, стробирующие входы всех М постоянных запоминающих устройств объединены и подключены к выходу формирователя импульсов нулей, а входы их адресных дешифраторов являются адресными входами блока памяти и подключены к выходам соответствующих интеграторов [1].

Однако измеритель требует значительных аппаратурных затрат для реализации интеграторов, что усложняет измеритель в целом.

Известен цифровой панорамный измеритель частоты, содержащий генератор тактовых импульсов, соединенный с первым счетчиком импульсов, формирователь импульсов нулей, а также последовательно соединенные блок постоянной памяти, блок накапливающих сумматоров, блок квадраторов и решающий блок, причем стробирующий вход блока памяти соединен с выходом формирователя импульсов нулей, а входы адресного дешифратора этого блока подключены к соответствующим выходам первого счетчика [2].

Измеритель определяет частоту $f_s$ сигнала как координату максимума энергетического спектра.

Недостатком этого измерителя является необходимость использования блока постоянной памяти большой емкости, что значительно усложняет измеритель, требуя больших аппаратурных затрат при его реализации.

Цель изобретения - повышение надежности.

Поставленная цель достигается тем, что в цифровой панорамный измеритель частоты, содержащий формирователь импульсов нулей, последовательно соединенные генератор тактовых импульсов, счетчик импульсов, стробируемый дешифратор, блок постоянной памяти, блок накапливающих сумматоров, блок квадраторов и решающий блок, причем пусковой вход решающего блока соединен с выходом счетчика импульсов, блоки постоянной памяти, накапливающих сумматоров и квадраторов содержат соответственно по М постоянных запоминающих устройств с входными адресными дешифраторами, 2М накапливающих сумматоров и М квадраторов, введены последовательно соединенные блок синхронизации и элемент задержки, соединенный с тактовым входом блока накапливающих сумматоров, а стробируемый дешифратор выполнен в виде М/2 цепей, состоящих из последовательно соединенных делителя частоты, счетчика, регистра и двух соединенных параллельно по первым входам комбинационных сумматоров в М/2-1 цепях и одного комбинационного сумматора М/2 цепи, дополнительный регистр, выходы которого соединены с вторыми входами первых комбинационных сумматоров и через преобразователь положительного числа в отрицательное с вторыми входами вторых комбинационных сумматоров М/2 цепей, причем входы делителей частоты соединены с одним из выходом счетчика импульсов, а первые разряды соединены с входами дополнительного регистра, стобирующие входы регистров синхронизации соединены с выходом блока синхронизации, информационный и тактовый входы которого соединены с выходами формирователя импульсов нулей и генератора тактовых импульсов соответственно.

Цифровой панорамный измеритель частоты содержит последовательно соединенные формирователь 1 импульсов нулей, блок 2 синхронизации, счетчик 3 импульсов, генератор 4 тактовых импульсов, стробируемый дешифратор 5, состоящий из счетчиков импульсов 6 и 7, делителей частоты 8 и 9, дополнительного регистра 10 и регистров 11 и 12, преобразователя 13 положительного числа в отрицательное, комбинационных сумматоров 14, 15 и 16, блок постоянной памяти 17, блок накапливающих сумматоров 18, блок квадраторов 19, решающий блок 20 и элемент задержки 21. Блок 17, 18 и 19 содержат соответственно по М запоминающих устройств 22, 23 и 24 с входными адресными дешифраторами 25 - 28, 2М накапливающих сумматоров 29 и 30 и М квадраторов 31.

Преобразователь 13 положительного числа в отрицательное выполнен в виде двоичного комбинационного вычислителя 32, у которого вход старшего разряда уменьшаемого подсоединен к шине 33 с потенциалом логической

единицы, входы остальных разрядов уменьшаемого - к шине 34 с потенциалом логического нуля.

Блок 2 синхронизации содержит два триггера 35 и 36, причем информационный вход D первого триггера 35 подключен к шине 33 с потенциалом логической единицы, вход синхронизации C триггера 35 является информационным входом блока 2 и соединен с выходом формирователя 1, а вход установки в нуль R подключен к выходу второго триггера 36, информационный вход D которого соединен с выходом триггера 35, а вход синхронизации C является тактовым выходом триггера 35, а вход синхронизации - входом блока 2 синхронизации.

Измеритель работает следующим образом.

На вход формирователя 1 импульсов нулей, являющийся входом измерителя, поступает информационный сигнал

$$U(t)=s(t,f_s)+n(t),$$

представляющий собой смесь помехи $n(t)$ являющейся реализацией нормального случайного процесса с нулевым средним и постоянной в заданной полосе возможных частот сигнала спектральной плотностью) и полезного монохроматического сигнала

$$s(t;f_s)=S\cos(2\pi f_s t+\varphi),$$

где $\varphi$ - случайная начальная фаза;
$f_s$ - подлежащая измерению частота сигнала, принадлежащая заданной полосе возможных значений

$$f\in(f_0-F_c;f_0+F_c);\ \varkappa=(f_0/2F_c)\gg 1$$

Формирователь 1 в моменты перехода входного информационного сигнала через нулевую ось (из области отрицательных в область положительных значений) формирует на своем выходе импульсы, поступающие на информационный вход блока 2 синхронизации, на тактовый вход которого поступают с выхода генератора 4 тактовые импульсы с частотой следования $f_t=(mf_0)$, где $f_0$ - центральная частота заданного частотного диапазона, а величина $m$ определяется заданным уровнем аппаратурных шумов измерителя и выбирается обычно из условия $m=2\mu$, $\mu=2$-5. Эти же тактовые импульсы с выхода генератора 4 поступают на вход счетчика импульсов 3, представляющего собой P-разрядный двоичный счетчик, где $P=\ell 0q_2R$; $R=[f_t\cdot T]\cdot T$ - длительность интервала времени наблюдения. Выходы младших $\mu$ разрядов счетчика 3 соединены с информационными входами дополнительного регистра 10, а выход $\nu$-го разряда ($\nu=\ell 0q_2\varkappa$) - с объединенными входами делителей 8 и 9. Коэффициенты деления $(1/K_q)$ каждого $q$-го ($q=1,\ M/2-1$) из делителей 9 выбраны из условия $K_q=(q/M)$ а делитель 8 (соответствующий $q=M/2$) имеет коэффициент деления, равный двум ($K_{M/2}=2$). Таким образом, на выходе $q$-го делителя 8 и 9 каждый последующий импульс появляется с поступлением $[\varkappa_0 M/q]$-го тактового импульса на вход счетчика 5. Счетчики 6 и 7 являются идентичными двоичными $\mu$-разрядными счетчиками, и осуществляют подсчет числа (по модулю, равному $m=2\mu$) импульсов, поступивших на их входы с выходов соответствующих ($q-\varkappa$) делителей 8 и 9 с момента ($t=0$) начала измерительного интервала. В исходном состоянии на выходе блока 2 синхронизации формируется сигнал с уровнем логического нуля, при поступлении в момент $t_n$ импульса нуля с выхода формирователя 1 сигнал на выходе блока 2 не изменяется до прихода на его тактовый вход очередного ($t_n$-го) тактового импульса, с приходом которого на выходе блока 2 формируется короткий (равный по длительности периоду следования $(1/f_t)$ тактовых импульсов) импульс, поступающий на вход элемента задержки 21 и на объединенные тактовые входы регистров 10, 11 и 12, разрешая запись в эти регистры поступающих на их информационные входы чисел $b(r_n,0)$; $A(r_n\ M/2)$ $A(r_n q_\nu)$ с выходов соответствующих счетчиков 5, 6 и 7: $B(r_n;0)=[[r_n]]_m$, $A(r_n;q_\nu)=[[(r_n/\varkappa_0)(q_\nu/M)]]_m$, $q_\nu=1,(\frac{M}{2})$, где $[[x]]_m$ - число x, взятое по модулю $m$: $[[x]]_m=x+i_m$ $i=0,\pm1,\pm2,\ldots$ Эти числа поступают на выходы регистров 10, 11 и 12.

Пусть для примера $m=16$, $M=64$, $\varkappa_0=8$, $P=13$ и на вход формирователя 1 поступает монохроматический сигнал $S_0\cos(2\pi f_0 t+\varphi)$. При этом на выходе формирователя 1 формируются импульсы нулей в момент $\{t_n\}$ перехода входного сигнала через нулевую ось амплитуд (из области отрицательных в область положительных значений)

$$t_n=\left(\frac{n}{f_0}-\frac{\varphi+\pi/2}{2\pi f_0}\right);\ n=\overrightarrow{1,N};\ N=[[f_0T]]=\varkappa_0M=N_0=512$$

где T - длительность измерительного интервала;
$[[x]]$ - целая часть числа X.

Эти импульсы поступают на вход блока 2 синхронизации, который сдвигает их в ближайшие (к моментам $t_m$) дискретные моменты времени $\hat{t}=r_n/f_t$,

сихронизированные с тактовыми импульсами частотой $f_t = 16 f_\sigma$

$$r_n=[[t_n f_t+1]]=[[16(n-\frac{\varphi+\pi/2}{2\pi})+1]]=16n+h_0;$$

$$h_0=[[-3-\frac{8\varphi}{\pi}]].$$

Тактовые импульсы поступают также на счетчик 3, представляющий собой 13-разрядный двоичный счетчик, выход переноса из 3-го двоичного разряда которого соединен с объединенными входами делителей 8 и 9. Коэффициент деления $(1/K_\varphi)$ каждого $\varphi$-го ($\varphi = 1, \rightarrow 31$) делителя 9 выбран из условия $K_\varphi = (\varphi/64)$, а делитель 8 имеет коэффициент деления $K_{32} = 2$. Таким образом, на выходе $\varphi$-го делителя 8 и 9 каждый последующий импульс появляется с поступлением $[[8/K_\varphi]]=[[512/\varphi]]$ -го тактового импульса на вход счетчика 3.

Счетчики 6 и 7 являются идентичными двоичными 4-разрядными счетчиками, осуществляющими подсчет (по модулю, равному 16) числа импульсов с выходов соответствующих $(\varphi - x)$ делителей 8 и 9 с момента начала измерительного интервала.

С приходом $n$-го импульса синхронизированного нуля (в момент $\hat{t}_n = r_n / (16 f_0)$) на входы синхронизации регистров 10, 11 и 12 в регистры 10 запишется (с выходов 4-х младших разрядов счетчика 3) число $b(r_n; 0) = [[r_n]]_{16}$, а в $\varphi$-е регистры 11 и 12 из счетчиков 6 и 7 - числа $A(r_n; 32)=[[r_n/16]]_{16}$;

$A(r_n;\varphi)=[[\frac{r_n\varphi}{512}]]_{16}$

В регистры 11 и 12 записываются в моменты $\{\hat{t}_n\}$ числа

$$A(r_n;32)=\left[\left[\frac{16n+h_0}{16}\right]\right]_{16}=\left[\left[n+\frac{h_0}{16}\right]\right]_{16};$$

$$A(r_n;\varphi)=\left[\left[\frac{16n\varphi+h_0\varphi}{512}\right]\right]_{16}=\left[\left[\frac{n\varphi}{32}+\frac{h_0\varphi}{512}\right]\right]_{16}$$

а в регистр 10 постоянно записывается одно и тоже число $f_0 = [[1_{20}]]_{16}$, поскольку $b(r_n;0)=[[16n+h_0]]_{16}=[[h_0]]_{16}=b$; $n=\overrightarrow{1,512}$ $= 1,512$. Положим для определенности $\varphi = -(\pi/2)$, соответственно $h_0 = 1$

$b(r_n;0)=b_0=1;$

и $A(r_n;32)=[[n]]_{16}$; $A(r_n;\varphi)=[[n\varphi/32]]_{16}$

а на выходе преобразователя 13 формируется число $-b(r_n, 0) = -1$, или при работе преобразователя в дополнительном коде на его выходе формируется число $[[-в]]_{16}=(16-1) = 15$. Тогда на выходе сумматора 14 формируются числа

$d(r_n,32)=-b(r_n;-32)$; $d(r_n,32)=[[-b_0+A(r_n,32)]]_{16}=$

$[[n-1]]_{16}=[[n+15]]_{16}$,

поступающие на вход адресного дешифратора соответствующего запоминающего устройства 22, а на его выходах сумматоров 15 и 16 числа

$$b(r_n;\varphi)=[[A(r_n;\varphi)+b_0]]_{16}=[[\frac{n\varphi}{32}+1]]_{16};$$

$$d(r_n;\varphi)=[[A(r_n;\varphi)-b_0]]_{16}=[[n\varphi/32-1]]_{16}$$

$$=[[n\varphi/32+15]]$$

поступающие на входы дешифраторов запоминающих устройств 23 и 24.

Поскольку в рассматриваемом примере регистрируется $N_0 = 512$ нулей (т.е. $n$ меняется от 1 до 512) на интервале наблюдения числа $b(r_n;\varphi)$; $d(r_n;\varphi)=-b(r_n,-\varphi)$ - на выходах сумматоров 14, 15 и 16 пробегают весь (хотя и не обязательно последовательно в возрастающем порядке) набор из 16 значений: от 0 до 15, причем этот полный набор из 16 чисел повторяется 32 раза на интервале наблюдения ($n = \overrightarrow{1,512}$). Действительно, на выходе, например, сумматора 14, число $d(r_n; 32)$ последовательно принимает значения 0,1,2,...14,15 при $n = \overrightarrow{1,16}$, после чего цикл повторяется (512/16) = 32 раза; на выходе сумматора 15, соответствующего $\varphi = 1$, число $b(r_n,1)=[[(n/32)+1]]_{16}$ равно 1 при $n = \overrightarrow{1,31}$, равно 2 при $n = \overrightarrow{32,63}$, ..., равно 15 при $n = \overrightarrow{448,479}$, равно 0 при $n = \overrightarrow{480,511}$, и опять равно 1 при $n = N_0 = 512$. Аналогично можно показать, что на выходе остальных сумматоров 15 и 16 за время интервала наблюдения формируется по 32 раза каждое из 16 чисел $\{c\} = \overrightarrow{0,15}$.

Поскольку числа на выходах сумматоров 14, 15 и 16 являются адресами отсчетов комплексных экспонент

$$\dot{W}(c)=\exp(j2\pi\frac{c}{16}); \quad \dot{W}^*(c)=\exp(-j2\pi\frac{c}{16}),$$

считываемых из запоминающих устройств 22, 23 и 24 в 63 пары накапливающих сумматоров 29 и 30 блока 18, то в соответствии с вышеизложенным к концу измерительного интервала (т.е. по приходу $N_0 = 512$ импульсов нулей) сформированные в этих сумматорах действительные и мнимые части комплексных сумм $\Psi(f_c)$ равны нулю:

$$\Psi(f_e)=\begin{cases}32\sum_{c=0}^{15}\dot{W}(c)=0 & e=(32+\varphi),\ \varphi=\overrightarrow{1,31}\\ 32\sum_{c=0}^{15}\dot{W}^*(c)=0 & e=(32-\varphi),\ \varphi=\overrightarrow{1,32}\end{cases}$$

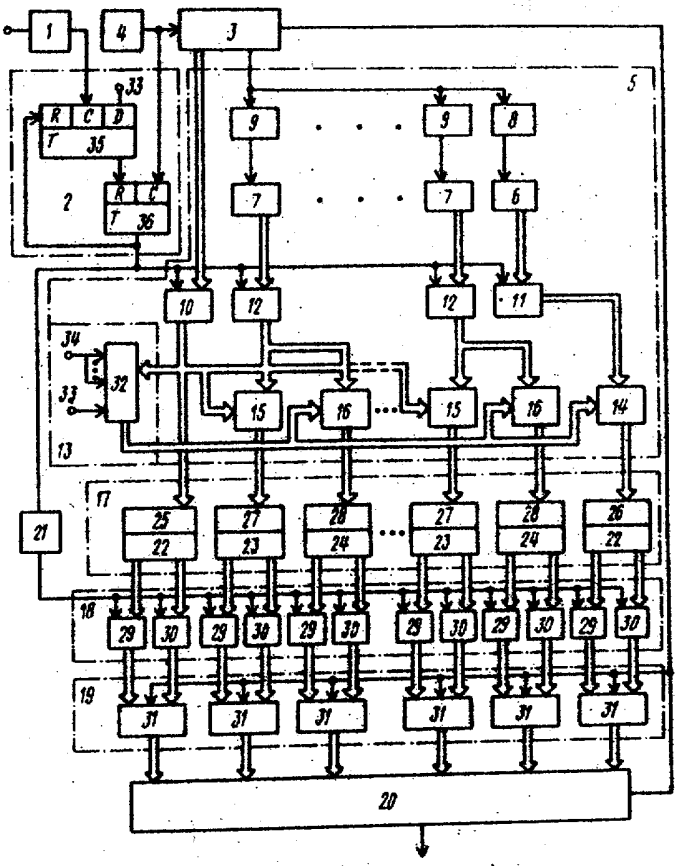
В одну пару (соответствующую $e = 32$ ($\varphi = 0$)) накапливающих сумматоров 29 и 30 для каждого $n = \overrightarrow{1,512}$ считываются из элемента задержки 21 (по одному и тому же адресу $b(r_n; 0) = b_0 = 1$, - с выхода регистра 10) действительная и мнимая части отсчета экспоненты

$$\dot{w}(t_0)=\exp\left(j\frac{2\pi}{16}t_0\right)=\exp\left(j\frac{\pi}{8}\right),$$

соответственно к концу измерительного интервала в этой паре накапливающих сумматоров будут сформированы действительная и мнимая части числа $\dot{y}(f_{32})=512\dot{w}(t_0)=512\exp(j\pi/8)$, $f_{32}=(f_0-F_c)+\frac{32}{T}=f_0$. При этом на выходах одного из квадраторов 31 (с индексом $\ell=32$, соответствующим центральной частоте $f_0$ частотного диапазона и выбранной в рассматриваемом примере частоте входного сигнала) по окончанию измерительного интервала сформировано число $y_{32}=|\dot{y}(f_{32})|^2=512^2\approx 0{,}25\cdot 10^6$, а числа $y_\ell=|\dot{y}(f_\ell)|$ на выходах остальных 63 квадраторов равны нулю. Очевидно, в этом случае "грубая" оценка частоты $f_\lambda=f_{32}=f_0$ определяемая по номеру $\lambda=32$ наибольшего из отсчетов $\{y_\ell\}$ с выходов квадраторов 31, совпадает с оценкой $\hat{f}=f_0$ после интерполяции и с истинной частотой входного сигнала.

Очевидно, что использованное выше условие $\varphi=0$ $(\pi/2)$ $(\ell_0=1)$ не влияет на сформированные выводы, поскольку любое другое значение начальной фазы сигнала $\varphi$ обеспечивает лишь смещение адреса $\ell_0$ /но $|\dot{w}(t_0)|^2=|\exp(j\pi t_0/8)|^2=1\text{и}|\dot{y}(f_{32})|^2=(512)^2|$, а выходы всех остальных $\ell\neq 32$ накапливающих сумматоров и квадраторов будут по-прежнему равны нулю.

За счет использования новой процедуры формирования адресов дискретных опорных сигналов (считываемых из блока памяти в блок накапливающих сумматоров), обеспечиваемой введением новых блоков и связей, достигается упрощение измерителя, поскольку устраняется необходимость использования для формирования адресов М интеграторов, значительно более сложных в реализации, чем введенные новые блоки.




ВНИИПИ Заказ 5826/46 Тираж 710 Подписное

Филиал ППП "Патент", г.Ужгород, ул.Проектная,4