

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5079076号
(P5079076)

(45) 発行日 平成24年11月21日(2012.11.21)

(24) 登録日 平成24年9月7日(2012.9.7)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)
H01L 21/336 (2006.01)H01L 29/78 618B
H01L 29/78 617S
H01L 29/78 616K
H01L 29/78 616S

請求項の数 3 (全 37 頁)

(21) 出願番号 特願2010-287718 (P2010-287718)
 (22) 出願日 平成22年12月24日 (2010.12.24)
 (65) 公開番号 特開2011-151394 (P2011-151394A)
 (43) 公開日 平成23年8月4日 (2011.8.4)
 審査請求日 平成24年7月17日 (2012.7.17)
 (31) 優先権主張番号 特願2009-294738 (P2009-294738)
 (32) 優先日 平成21年12月25日 (2009.12.25)
 (33) 優先権主張国 日本国 (JP)

早期審査対象出願

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 河江 大輔
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 杉 哲次

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に酸化物半導体層を形成する第1の工程と、
 前記酸化物半導体層と電気的に接続するソース電極及びドレイン電極を形成する第2の工程と、
 300MHz 以上 300GHz 以下の高周波電力、及び酸素とアルゴンの混合ガスを用いたプラズマ処理を行うことにより、前記ソース電極及び前記ドレイン電極の側面を酸化する第3の工程と、

前記第3の工程後、前記酸化物半導体層、前記ソース電極、及び前記ドレイン電極を覆うゲート絶縁層を形成する第4の工程と、

前記ゲート絶縁層上にゲート電極を形成する第5の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項1において、前記プラズマ処理を行うことにより、前記酸化物半導体層に酸素を供給することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項1または請求項2において、前記第3の工程前に、前記酸化物半導体層の水素を低減する処理を行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

10

20

【技術分野】

【0001】

発明の技術分野は、半導体装置およびその作製方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

【0003】

10

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1等参照）。

【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3 (ZnO)_m$ (m : 自然数) は、In、GaおよびZnを有する多元系酸化物半導体として知られている（例えば、非特許文献2乃至非特許文献4等参照）。

【0005】

20

そして、上記のような $In - Ga - Zn$ 系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5および非特許文献6等参照）。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

30

【特許文献5】特開2004-103957号公報

【非特許文献】

【0007】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cilleissen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the $In_2O_3 - Ga_2ZnO_4 - ZnO$ System at 1350」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

40

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ ($m = 3, 4$, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ ($m = 7, 8, 9$, and 16) in the $In_2O_3 - ZnGa_2O_4 - ZnO$ System」、J. Solid State Chem.、1995、Vol. 116, p. 170-178

50

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO₃(ZnO)_m(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、低価格化、などを達成するためには、トランジスタの微細化は必須である。

【0009】

トランジスタを微細化する場合には、短チャネル効果が大きな問題となる。ここで、短チャネル効果とは、トランジスタの微細化(チャネル長(L)の縮小)に伴って顕在化する電気特性の劣化をいう。短チャネル効果は、ドレインの電界の効果がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。

【0010】

酸化物半導体はキャリア密度が小さく、しきい値電圧の低下などの短チャネル効果が現れやすい傾向にある。このため、これまでのシリコンなどの材料を用いたトランジスタとは異なる問題が生じ得る。

【0011】

そこで、開示する発明の一態様は、良好な特性を維持しつつ、微細化を達成した、酸化物半導体を用いた半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0012】

例えば、開示する発明の一態様は、酸化物半導体層と、酸化物半導体層と電気的に接続するソース電極およびドレイン電極と、酸化物半導体層、ソース電極およびドレイン電極を覆うゲート絶縁層と、ゲート絶縁層上のゲート電極と、を有し、酸化物半導体層の厚さは1nm以上10nm以下であり、ゲート絶縁層は、ゲート絶縁層に用いられる材料の比誘電率を ϵ_r 、ゲート絶縁層の厚さをdとして、 ϵ_r/d が、0.08(nm⁻¹)以上7.9(nm⁻¹)以下の関係を満たし、ソース電極とドレイン電極との間隔は10nm以上1μm以下の半導体装置である。

【0013】

上記において、ソース電極およびドレイン電極は、その側面が酸化された酸化領域を有することが好ましい。また、上記において、ソース電極およびドレイン電極の酸化領域は、300MHz以上300GHz以下の高周波電力、および、酸素とアルゴンの混合ガスを用いたプラズマ処理により形成されたものであることが好ましい。

【0014】

また、上記において、酸化物半導体層は、プラズマ処理によって酸素が供給されたものであることが好ましい。

【0015】

10

20

30

40

50

また、上記において、ソース電極およびドレイン電極の上に、平面形状がソース電極およびドレイン電極と略同一の絶縁層を有することが好ましい。ここで、略同一とは、厳密に同一であることを意味しない。例えば、同一のエッティング工程によって作製される場合の差異程度は許容される。

【0016】

また、上記において、オフ電流密度が $100 \text{ zA} / \mu\text{m}$ 以下であることが好ましい。ここで、オフ電流密度とは、オフ電流をトランジスタのチャネル幅で除した値をいう。

【0017】

また、上記において、半導体装置は、算術平均粗さが 1 nm 以下の表面上に形成されることが好ましい。

10

【0018】

開示する発明の他の一態様は、基板上に酸化物半導体層を形成し、酸化物半導体層と電気的に接続するソース電極およびドレイン電極を形成し、ソース電極およびドレイン電極の側面を酸化した後に、酸化物半導体層、ソース電極およびドレイン電極を覆うゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する、半導体装置の作製方法である。

【0019】

上記において、ソース電極およびドレイン電極の側面の酸化は、 300 MHz 以上 300 GHz 以下の高周波電力、および、酸素とアルゴンの混合ガスを用いたプラズマ処理によって行われることが好ましい。

【0020】

また、上記において、プラズマ処理によって、酸化物半導体層に酸素を供給することが好ましい。また、上記において、プラズマ処理を行う前に、酸化物半導体層の水素を低減する処理を行うことが好ましい。

20

【0021】

また、上記において、酸化物半導体層を、その厚さが 1 nm 以上 10 nm 以下となるように形成し、ゲート絶縁層を、ゲート絶縁層に用いられる材料の比誘電率を ϵ_r 、ゲート絶縁層の厚さを d として、 ϵ_r / d が、 $0.08 (\text{nm}^{-1})$ 以上 $7.9 (\text{nm}^{-1})$ 以下の関係を満たすように形成し、ソース電極とドレイン電極を、その間隔が 10 nm 以上 $1 \mu\text{m}$ 以下となるように形成することが好ましい。

【0022】

また、上記において、ソース電極およびドレイン電極上に、平面形状がソース電極およびドレイン電極と略同一の絶縁層を形成することが好ましい。

30

【0023】

また、上記において、半導体装置は、基板として、算術平均粗さが 1 nm 以下の表面を有する基板を用いることが好ましい。

【0024】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

40

【0025】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合をなどをも含む。

【0026】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることがで

50

きるものとする。

【0027】

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【0028】

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

10

【0029】

開示する発明の一態様のように、酸化物半導体層や、ゲート絶縁層の厚さ、ソース電極とドレイン電極の間隔などを所定の範囲におさめることで、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【0030】

また、酸化物半導体層に酸素を供給すると共に、ソース電極またはドレイン電極の側面が酸化する場合には、ゲート絶縁層の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極と、ソース電極またはドレイン電極のショートを防止することが可能である。

【0031】

また、ソース電極およびドレイン電極の上に絶縁層を設ける場合には、ソース電極およびドレイン電極と、ゲート電極との間に形成される容量を低減させ、さらなる高速動作を実現することが可能である。

20

【0032】

このように、開示する発明の一態様によって、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【図面の簡単な説明】

【0033】

【図1】半導体装置の断面図

【図2】半導体装置の作製工程に係る断面図

30

【図3】半導体装置の作製工程に係る断面図

【図4】半導体装置の作製工程に係る断面図

【図5】半導体装置の回路図

【図6】半導体装置の回路図

【図7】半導体装置の回路図

【図8】半導体装置の回路図

【図9】半導体装置を用いた電子機器を説明するための図

【図10】計算結果を示す図

【図11】必要なチャネル長 L (nm) の下限を示す図

【図12】トランジスタのスイッチング速度とチャネル長 L との関係を示す図

【発明を実施するための形態】

40

【0034】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0035】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0036】

50

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0037】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成について、図1を参照して説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

【0038】

図1(A)は、半導体装置の構成の一例である。トランジスタ250は、基板200上に設けられた酸化物半導体層206aと、酸化物半導体層206aと電気的に接続されているソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bと、酸化物半導体層206a、ソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bを覆うように設けられたゲート絶縁層212と、ゲート絶縁層212上に、酸化物半導体層206aと重畳するように設けられたゲート電極214と、を有する。また、トランジスタ250を覆うように層間絶縁層216および層間絶縁層218が設けられている。なお、基板200と酸化物半導体層206aとの間には、下地として機能する絶縁層202を設けてよい。

【0039】

トランジスタ250において、酸化物半導体層206aは、非晶質構造とする。また、トランジスタ250のチャネル長(L)は、10nm以上1000nm以下、好ましくは10nm以上70nm以下とする。トランジスタのチャネル長を短くすることで、動作の高速化、消費電力の低減などの効果が得られるためである。また、酸化物半導体層206aの厚さ(t_{os})は、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下(例えば、3nm以上10nm以下)とする。このような厚さの酸化物半導体層206aを用いることで、微細化に伴う短チャネル効果を抑制することが可能となるためである。

【0040】

ゲート絶縁層212の厚さ(t_{ox})は、ゲート絶縁層212に用いられる材料の比誘電率を ϵ_r 、ゲート絶縁層212の厚さをdとして、 ϵ_r / d が、0.08(nm⁻¹)以上7.9(nm⁻¹)以下、好ましくは ϵ_r / d が、0.26(nm⁻¹)以上7.9(nm⁻¹)以下、より好ましくは ϵ_r / d が、1.3(nm⁻¹)以上7.9(nm⁻¹)以下の関係を満たす厚さにすればよい。当該関係を満たすことにより、トランジスタの動作を十分に確保することができる。例えば、ゲート絶縁層212に酸化シリコン(比誘電率は約3.9と仮定)を用いる場合には、0.5nm以上50nm以下、好ましくは0.5nm以上15nm以下、より好ましくは0.5nm以上3nm以下とすることができる。

【0041】

なお、ゲート絶縁層212の材料としては、酸化ハフニウム、酸化タンタル等の高誘電率(high-k)材料を用いると良い。このような材料を用いることで、ゲート絶縁層212の厚さを十分に確保しても上述の式を満たすことが可能であり、トランジスタの動作を犠牲にすることなくゲートリーキを抑制することができる。

【0042】

図1(B)は、図1(A)に示す半導体装置の変形例である。トランジスタ350は、基板300上に設けられた第1の酸化物半導体層304aおよび第2の酸化物半導体層306aと、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aと電気的に接続されているソース電極またはドレイン電極308a、およびソース電極またはドレイン電極308bと、第2の酸化物半導体層306a、ソース電極またはドレイン電極308a、およびソース電極またはドレイン電極308bを覆うように設けられたゲート絶縁層312と、ゲート絶縁層312上に、第2の酸化物半導体層306aと重畳するように設けられたゲート電極314と、を有する。また、トランジスタ350を覆うように層間

10

20

30

40

50

絶縁層 316 および層間絶縁層 318 が設けられている。なお、基板 300 と第 1 の酸化物半導体層 304a との間には、下地として機能する絶縁層 302 を設けてもよい。

【0043】

図 1 (B) に示す構成と、図 1 (A) に示す構成との相違は、酸化物半導体層の結晶性にある。図 1 (A) に示す酸化物半導体層 206a の結晶性は非晶質であるが、図 1 (B) に示す第 1 の酸化物半導体層 304a および第 2 の酸化物半導体層 306a は、いずれも結晶領域を有する構造である。当該結晶領域は、酸化物半導体層の表面に略平行な a-b 面を有し、該表面に対して略垂直な方向に c 軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態をいうものとする。

10

【0044】

図 1 (B) に示すように、結晶領域を有する酸化物半導体層をトランジスタに用いることで、電界効果移動度 $\mu > 100 \text{ cm}^2 / \text{V} \cdot \text{s}$ が達成可能である。このため、図 1 (B) に示す半導体装置は、高速動作が要求される論理回路などに適している。

【0045】

トランジスタのチャネル長、酸化物半導体層の厚さ、ゲート絶縁層の厚さ、などの条件に関しては、図 1 (A) と同様である。

【0046】

なお、図 1 (B) では、酸化物半導体層を 2 層構造とする場合について説明したが、開示する発明の一態様は当該構造に限定されない。第 1 の酸化物半導体層 304a のみで必要な厚さを確保できる場合には、第 2 の酸化物半導体層 306a は不要である。つまり、酸化物半導体層を、結晶領域を有する酸化物半導体層の単層構造としてもよい。

20

【0047】

図 1 (C) は、図 1 (A) に示す半導体装置の変形例である。トランジスタ 450 は、基板 400 上に設けられた酸化物半導体層 406a と、酸化物半導体層 406a と電気的に接続されているソース電極またはドレイン電極 408a、およびソース電極またはドレイン電極 408b と、ソース電極またはドレイン電極 408a、およびソース電極またはドレイン電極 408b の上部を覆う絶縁層 410a、および絶縁層 410b と、酸化物半導体層 406a、ソース電極またはドレイン電極 408a、およびソース電極またはドレイン電極 408b などを覆うように設けられたゲート絶縁層 412 と、ゲート絶縁層 412 上に、酸化物半導体層 406a と重畳するように設けられたゲート電極 414 と、を有する。また、トランジスタ 450 を覆うように層間絶縁層 416 および層間絶縁層 418 が設けられている。なお、基板 400 と酸化物半導体層 406a との間には、下地として機能する絶縁層 402 を設けてもよい。

30

【0048】

図 1 (C) に示す構成と、図 1 (A) に示す構成との相違は、絶縁層 410a、絶縁層 410b の有無にある。絶縁層 410a、および絶縁層 410b を設けることにより、ゲート電極 414 とソース電極またはドレイン電極 408a、およびゲート電極 414 とソース電極またはドレイン電極 408b とによって形成される容量を低減させることができる。

40

【0049】

また、ソース電極またはドレイン電極 408a、およびソース電極またはドレイン電極 408b は、ゲート絶縁層 412 と接する部分に、酸化領域 411a、および酸化領域 411b を有する。当該酸化領域を有することにより、ゲート絶縁層の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極 414 とソース電極またはドレイン電極 408a、およびゲート電極 414 とソース電極またはドレイン電極 408b とのショートを防止することが可能である。また、酸化物半導体層 406a とソース電極またはドレイン電極 408a、および酸化物半導体層 406a とソース電極またはドレイン電極 408b との界面における電界を、低く抑えることが可能である。

【0050】

50

トランジスタのチャネル長、酸化物半導体層の厚さ、ゲート絶縁層の厚さ、などの条件に関しては、図1(A)と同様である。

【0051】

図1(D)は、図1(B)に示す半導体装置の変形例である。または、図1(C)に示す半導体装置の変形例である。トランジスタ550は、基板500上に設けられた第1の酸化物半導体層504a、第2の酸化物半導体層506aと、第1の酸化物半導体層504a、および第2の酸化物半導体層506aと電気的に接続されているソース電極またはドレイン電極508a、およびソース電極またはドレイン電極508bと、ソース電極またはドレイン電極508a、およびソース電極またはドレイン電極508bの上部を覆う絶縁層510a、および絶縁層510bと、第2の酸化物半導体層506a、ソース電極またはドレイン電極508a、およびソース電極またはドレイン電極508bなどを覆うように設けられたゲート絶縁層512と、ゲート絶縁層512上に、第2の酸化物半導体層506aと重畳するように設けられたゲート電極514と、を有する。また、トランジスタ550を覆うように層間絶縁層516および層間絶縁層518が設けられている。なお、基板500と第2の酸化物半導体層506aとの間には、下地として機能する絶縁層502を設けてもよい。

10

【0052】

図1(D)に示す構成と、図1(B)に示す構成との相違は、絶縁層510a、絶縁層510bの有無にある。絶縁層510a、および絶縁層510bを設けることにより、ゲート電極514と、ソース電極またはドレイン電極508a、およびゲート電極514と、ソース電極またはドレイン電極508bとによって形成される容量を低減させることができる。

20

【0053】

また、ソース電極またはドレイン電極508a、およびソース電極またはドレイン電極508bにおいて、ゲート絶縁層512と接する部分に、酸化領域511a、酸化領域511bが設けられている。当該酸化領域を有することにより、ゲート絶縁層の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極と、ソース電極またはドレイン電極のショートを防止することが可能である。

【0054】

また、図1(D)に示す構成と、図1(C)に示す構成との相違は、酸化物半導体層の結晶性にある。図1(D)に示す第1の酸化物半導体層504a、第2の酸化物半導体層506aは、いずれも結晶領域を有する構造である。当該結晶領域は、酸化物半導体層の表面に略平行なa-b面を有し、該表面に対して略垂直な方向にc軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態をいうものとする。

30

【0055】

図1(D)に示すように、結晶領域を有する酸化物半導体層をトランジスタに用いることで、電界効果移動度 $\mu > 100 \text{ cm}^2 / \text{V} \cdot \text{s}$ が達成可能である。このため、図1(D)に示す半導体装置は、高速動作が要求される論理回路などに適している。

40

【0056】

トランジスタのチャネル長、酸化物半導体層の厚さ、ゲート絶縁層の厚さ、などの条件に関しては、図1(A)と同様である。

【0057】

なお、図1(D)では、酸化物半導体層を2層構造とする場合について説明したが、開示する発明の一態様は当該構造に限定されない。第1の酸化物半導体層504aのみで必要な厚さを確保できる場合には、第2の酸化物半導体層506aは不要である。つまり、酸化物半導体層を、結晶領域を有する酸化物半導体層の単層構造としてもよい。

【0058】

本実施の形態に示す構成は微細化に適したものであり、当該構成を用いることにより、酸化物半導体を用いた半導体装置の良好な特性を維持しつつ、微細化が実現可能である。

50

【0059】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0060】

(実施の形態2)

本実施の形態では、酸化物半導体（特に非晶質構造）を用いた半導体装置の作製方法、具体的には、図1（A）に相当する半導体装置の作製方法について、図2を用いて説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

【0061】

まず、基板200上に絶縁層202を形成する。その後、絶縁層202上に酸化物半導体層206を形成する（図2（A）参照）。

【0062】

基板200には、例えば、ガラス基板を用いることができる。基板200には、ガラス基板の他にも、セラミック基板、石英基板、サファイア基板等の絶縁体でなる絶縁性基板や、シリコン等の半導体材料でなる半導体基板、金属やステンレス等の導電体でなる導電性基板、これらの表面を絶縁材料で被覆したもの、などを用いることができる。また、プラスチック等の可撓性を有する基板は、耐熱温度が一般的に低い傾向があるが、後の作製工程に耐えられるのであれば、基板200として用いることが可能である。

【0063】

なお、基板200は、算術平均粗さ（Ra）が1nm以下のものを用いるのが望ましい。より望ましくは、0.5nm以下である。半導体装置の微細化に伴い、パターニングに用いるマスクの露光条件の要求は高まるが、このような平坦性の高い基板を用いることで、露光条件の要求が高い場合でも、対応が容易になるためである。なお、上述の算術平均粗さには、例えば、10μm×10μmの領域において測定した値を用いることができる。

【0064】

絶縁層202は下地として機能するものであり、PVD法やCVD法などを用いて形成することができる。また、絶縁層202は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層202は、できるだけ水素や水を含まないよう形成することが望ましい。また、絶縁層202を設けない構成とすることも可能である。

【0065】

酸化物半導体層206は、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属の酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属の酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

【0066】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0067】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $InGaO_3$ (ZnO)_m ($m > 0$) で表記されるものがある。また、Gaに代えてMを用い、 $InMO_3$ (ZnO)_m ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出

10

20

30

40

50

されるものであり、あくまでも一例に過ぎないことを付記する。

【0068】

酸化物半導体層206をスパッタ法で作製するためのターゲットとしては、 $In:Ga:Zn = 1:x:y$ (x は0以上、 y は0.5以上5以下)の組成比を有するものを用いるのが好適である。例えば、 $In:Ga:Zn = 1:1:1$ [atom比] ($x = 1$ 、 $y = 1$)、(すなわち、 $In_2O_3:Ga_2O_3:ZnO = 1:1:2$ [mol数比])の組成比を有するターゲットなどを用いることができる。また、 $In:Ga:Zn = 1:1:0.5$ [atom比] ($x = 1$ 、 $y = 0.5$)、(すなわち、 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [mol数比])の組成比を有するターゲットや、 $In:Ga:Zn = 1:1:2$ [atom比] ($x = 1$ 、 $y = 2$)、(すなわち、 $In_2O_3:Ga_2O_3:ZnO = 1:1:4$ [mol数比])の組成比を有するターゲットや、 $In:Ga:Zn = 1:0:1$ [atom比] ($x = 0$ 、 $y = 1$)、(すなわち、 $In_2O_3:ZnO = 1:2$ [mol数比])の組成比を有するターゲットを用いることもできる。
10

【0069】

本実施の形態では、非晶質構造の酸化物半導体層206を、 $In-Ga-Zn-O$ 系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

【0070】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層206を形成することが可能である。
20

【0071】

酸化物半導体層206の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0072】

酸化物半導体層206の形成の際には、例えば、減圧状態に保持された処理室内に基板を保持し、基板の温度が100以上550未満、好ましくは200以上400以下となるように基板を熱する。または、酸化物半導体層206の形成の際の基板の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層206を形成する。基板を熱しながら酸化物半導体層206を形成することにより、酸化物半導体層206に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層206中の不純物濃度を低減できる。
30

【0073】

酸化物半導体層206の形成条件としては、例えば、基板とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、ごみ(成膜時に形成される粉状の物質など)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層206の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下(例えば、3nm以上10nm以下)とする。このような厚さの酸化物半導体層206を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途な
40
50

どに応じて選択することもできる。

【0074】

なお、酸化物半導体層206をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層202の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

10

【0075】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層206を加工して、島状の酸化物半導体層206aを形成する。

【0076】

酸化物半導体層206のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）は適宜設定する。

【0077】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば、塩素（Cl₂）、三塩化硼素（BCl₃）、四塩化珪素（SiCl₄）、四塩化炭素（CCl₄）など）がある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（CF₄）、六弗化硫黄（SF₆）、三弗化窒素（NF₃）、トリフルオロメタン（CHF₃）など）、臭化水素（HBr）、酸素（O₂）、これらのガスにヘリウム（He）やアルゴン（Ar）などの希ガスを添加したガス、などを用いても良い。

20

【0078】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるよう、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

30

【0079】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水=5:2:2）などを用いることができる。また、ITO07N（関東化学社製）などのエッチング液を用いてもよい。

【0080】

酸化物半導体層206aの端部は、テーパー形状となるようにエッチングすることが好ましい。ここで、テーパー角は、例えば、30°以上60°以下であることが好ましい。なお、テーパー角とは、テーパー形状を有する層（例えば、酸化物半導体層206a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。酸化物半導体層206aの端部をテーパー形状となるようにエッチングすることにより、後に形成されるソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bの被覆性を向上させ、段切れを防止することができる。

40

【0081】

その後、酸化物半導体層206aに対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層206a中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層206aの構造を整え、エネルギー・ギャップ中の欠陥準位を低減させることができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。なお、ここで示すように、熱処理（第1の

50

熱処理)をエッティング後に行う場合には、ウェットエッティングを用いる場合であっても、エッティングレートが高い状態でエッティングを行うことができるため、エッティングにかかる時間を短縮させることができるというメリットがある。

【0082】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に基板200を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層206aは大気に触れさせず、水や水素の混入が生じないようにする。

【0083】

熱処理装置は電気炉に限る必要はなく、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、G R T A (G a s R a p i d T h e r m a l A n n e a l) 装置、L R T A (L a m p R a p i d T h e r m a l A n n e a l) 装置等のRTA (R a p i d T h e r m a l A n n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【0084】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に基板を投入し、数分間熱した後、当該不活性ガス雰囲気から基板を取り出すG R T A処理を行ってもよい。G R T A処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えるても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減させることができるのである。

20

【0085】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.9999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

30

【0086】

いずれにしても、第1の熱処理によって不純物を低減し、i型(真性半導体)またはi型に限りなく近い酸化物半導体層206aを形成することで、極めて優れた特性のトランジスタを実現することができる。

【0087】

なお、第1の熱処理は、島状の酸化物半導体層206aに加工する前の酸化物半導体層206に行うことでもできる。その場合には、第1の熱処理後に、加熱装置から基板200を取り出し、フォトリソグラフィ工程を行うことになる。

40

【0088】

ところで、上述の熱処理(第1の熱処理)には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理は、酸化物半導体層206aの形成後や酸化物半導体層206a上にソース電極またはドレイン電極を積層させた後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0089】

次に、酸化物半導体層206aに接するように導電層を形成する。そして、導電層を選択的にエッティングして、ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bを形成する(図2(B)参照)。

50

【0090】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タンゲステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。

【0091】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bへの加工が容易であるというメリットがある。

10

【0092】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

20

【0093】

導電層のエッチングは、形成されるソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bの端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、30°以上60°以下であることが好ましい。ソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bの端部をテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層212の被覆性を向上し、段切れを防止することができる。

【0094】

30

トランジスタのチャネル長(L)は、ソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bの下端部との間隔によって決定される。なお、チャネル長(L)が25nm未満の際に、露光を行う場合には、数nm～数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いてマスク形成の露光を行うのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1μm)以下、例えば、10nm以上70nm以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減させることも可能である。

【0095】

40

なお、ソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bの上には、絶縁層を形成しても良い。当該絶縁層を設けることにより、後に形成されるゲート電極と、ソース電極またはドレイン電極208a、およびソース電極またはドレイン電極208bとの間の寄生容量を低減させることが可能である。

【0096】

次に、酸化物半導体層206aの一部に接するゲート絶縁層212を形成する(図2(C)参照)。ゲート絶縁層212は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層212は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート(H

50

$f_{Si\times Oy}$ ($x > 0, y > 0$) ）、窒素が添加されたハフニウムアルミネート ($HfAl\times Oy$ ($x > 0, y > 0$)) 、などを含むように形成するのが好適である。ゲート絶縁層 212 は、単層構造としても良いし、積層構造としても良い。また、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、0.5 nm 以上 50 nm 以下、好ましくは 0.5 nm 以上 15 nm 以下、より好ましくは 0.5 nm 以上 3 nm 以下とすることができます。

【0097】

上述のように、ゲート絶縁膜を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 212 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート ($HfSi\times Oy$ ($x > 0, y > 0$)) 、窒素が添加されたハフニウムシリケート ($HfSi\times Oy$ ($x > 0, y > 0$)) 、窒素が添加されたハフニウムアルミネート ($HfAl\times Oy$ ($x > 0, y > 0$)) 、などの高誘電率 ($high-k$) 材料を用いると良い。高誘電率 ($high-k$) 材料をゲート絶縁層 212 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、高誘電率 ($high-k$) 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどを含む膜との積層構造としてもよい。

【0098】

このように、酸化シリコン以外の材料をゲート絶縁層 212 に用いる場合には、ゲート絶縁層 212 に用いられる材料の比誘電率を r 、ゲート絶縁層 212 の厚さを d として、
 r/d が、0.08 (nm⁻¹) 以上 7.9 (nm⁻¹) 以下、好ましくは r/d が、0.26 (nm⁻¹) 以上 7.9 (nm⁻¹) 以下、より好ましくは r/d が、1.3 (nm⁻¹) 以上 7.9 (nm⁻¹) 以下の関係を満たす厚さにすればよい。なお、当該条件は、酸化シリコン（比誘電率は約 3.9 と仮定）を用いる場合において、厚さが 0.5 nm 以上 50 nm 以下、好ましくは 0.5 nm 以上 15 nm 以下、より好ましくは 0.5 nm 以上 3 nm 以下となる条件と概ね等しいものである。

【0099】

ゲート絶縁層 212 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、好ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 212 が酸素を含む場合、酸化物半導体層 206a に酸素を供給し、該酸化物半導体層 206a の酸素欠損を補填して、i 型（真性半導体）または i 型に限りなく近い酸化物半導体層 206a を形成することもできる。

【0100】

なお、本実施の形態では、ゲート絶縁層 212 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極 214 の形成後に第 2 の熱処理を行っても良い。

【0101】

次に、ゲート絶縁層 212 上において酸化物半導体層 206a と重畠する領域にゲート電極 214 を形成する（図 2 (D) 参照）。ゲート電極 214 は、ゲート絶縁層 212 上に導電層を形成した後に、当該導電層を選択的にパターニングすることによって形成することができる。ゲート電極 214 となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極 208a、およびソース電極またはドレイン電極 208b などを形成する場合と同様であり、これらの記載を参照できる。

【0102】

次に、ゲート絶縁層 212 およびゲート電極 214 上に、層間絶縁層 216 および層間絶縁層 218 を形成する（図 2 (E) 参照）。層間絶縁層 216 および層間絶縁層 218 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸窒化

10

20

30

40

50

シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層 216 と層間絶縁層 218 の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、層間絶縁層を設けない構成とすることも可能である。

【0103】

なお、上記層間絶縁層 218 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 218 を形成することで、半導体装置を微細化した場合などにおいても、層間絶縁層 218 上に、電極や配線などを好適に形成することができるためである。なお、層間絶縁層 218 の平坦化は、CMP (化学的機械的研磨) などの方法を用いて行うことができる。

10

【0104】

以上により、高純度化された酸化物半導体層 206a を用いたトランジスタ 250 が完成する (図 2 (E) 参照)。

【0105】

図 2 (E) に示すトランジスタ 250 は、基板 200 上に絶縁層 202 を介して設けられた酸化物半導体層 206a と、酸化物半導体層 206a と電気的に接続するソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b と、酸化物半導体層 206a、ソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b を覆うゲート絶縁層 212 と、ゲート絶縁層 212 上のゲート電極 214 と、ゲート絶縁層 212 およびゲート電極 214 上の層間絶縁層 216 と、層間絶縁層 216 上の層間絶縁層 218 とを有する。

20

【0106】

本実施の形態において示すトランジスタ 250 では、酸化物半導体層 206a が高純度化されているため、その水素濃度は、 5×10^{-9} atoms / cm³ 以下、望ましくは 5×10^{-8} atoms / cm³ 以下、より望ましくは 5×10^{-7} atoms / cm³ 以下となる。また、酸化物半導体層 206a のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度 (1×10^{14} / cm³ 程度) と比較して、十分に小さい値 (例えば、 1×10^{12} / cm³ 未満、より好ましくは、 1.45×10^{10} / cm³ 未満) をとする。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 250 の室温でのオフ電流密度 (オフ電流をトランジスタのチャネル幅で除した値) は 1×10^{-20} A / μm ($10 z$ A / μm) から 1×10^{-19} A / μm ($100 z$ A / μm) 程度となる。

30

【0107】

このように高純度化され、真性化された酸化物半導体層 206a を用いることで、トランジスタのオフ電流を十分に低減することができる。

【0108】

そして、本実施の形態に示すように、酸化物半導体層や、ゲート絶縁層の厚さ、ソース電極とドレイン電極の間隔などを所定の範囲におさめることで、良好な特性を維持しつつ、微細化を達成することができる。

40

【0109】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0110】

(実施の形態 3)

本実施の形態では、酸化物半導体を用いた半導体装置の作製方法について、図 3 を用いて説明する。本実施の形態では、酸化物半導体層として、結晶領域を有する第 1 の酸化物半導体層と、第 1 の酸化物半導体層の結晶領域から結晶成長させた第 2 の酸化物半導体層を用いる場合、すなわち、図 1 (B) に相当する半導体装置の作製方法について、詳細に説明する。なお、第 1 の酸化物半導体層のみで必要な厚さを確保できる場合には、第 2 の酸

50

化物半導体層は不要である。また、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

【0111】

まず、基板300上に絶縁層302を形成する。それから、絶縁層302上に第1の酸化物半導体層を形成し、第1の熱処理によって少なくとも第1の酸化物半導体層の表面を含む領域を結晶化させて、第1の酸化物半導体層304を形成する（図3（A）参照）。

【0112】

基板300には、先の実施の形態における基板200と同様の基板を用いることができる。詳細については、先の実施の形態を参照すればよい。

【0113】

絶縁層302は下地として機能するものであり、先の実施の形態における絶縁層202と同様に形成することができる。詳細については、先の実施の形態を参照すればよい。なお、絶縁層302は、できるだけ水素や水を含まないように形成することが望ましい。また、絶縁層302を設けない構成とすることも可能である。

【0114】

第1の酸化物半導体層は、先の実施の形態における酸化物半導体層206と同様に形成することができる。第1の酸化物半導体層およびその成膜方法の詳細については、先の実施の形態を参照すればよい。ただし、本実施の形態では、第1の熱処理によって第1の酸化物半導体層を意図的に結晶化させるため、結晶化が生じやすい酸化物半導体を用いて第1の酸化物半導体層を形成することが望ましい。このような酸化物半導体としては、例えば、ZnOなどが挙げられる。また、In-Ga-Zn-O系の酸化物半導体であっても、例えば、Znの濃度の高いものは結晶化しやすく、金属元素（In、Ga、Zn）においてZnの占める割合が60at%以上とのものは、この目的に用いるには望ましい。また、第1の酸化物半導体層の厚さは、1nm以上10nm以下とするのが望ましい。本実施の形態では一例として3nmの厚さとする。ただし、適用する酸化物半導体材料や半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

【0115】

第1の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。また、熱処理の時間は、1分以上24時間以下とすることが望ましい。なお、熱処理の温度や、熱処理の時間は、酸化物半導体の種類などによって異なる。

【0116】

また、第1の熱処理の雰囲気は、水素や水などを含まない雰囲気とすることが望ましい。例えば、水が十分に除去された、窒素、酸素、希ガス（ヘリウム、ネオン、アルゴン等）雰囲気とすることができます。

【0117】

熱処理装置は、電気炉の他、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0118】

上述の第1の熱処理によって、少なくとも第1の酸化物半導体層の表面を含む領域が結晶化する。当該結晶領域は、第1の酸化物半導体層表面から、第1の酸化物半導体層内部に向かって結晶成長が進行することにより形成される領域である。なお、当該結晶領域は、

平均厚さが 1 nm 以上 10 nm 以下の板状結晶を含む場合がある。また、当該結晶領域は、酸化物半導体層の表面に略平行な a - b 面を有し、該表面に対して略垂直な方向に c 軸配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態を言うものとする。

【 0119 】

また、第 1 の熱処理によって結晶領域を形成すると共に、第 1 の酸化物半導体層中の水素（水や水酸基を含む）などを除去することが望ましい。水素などの除去を行う場合には、純度が、6 N (99.9999%) 以上（即ち不純物の濃度が 1 ppm 以下）の窒素、酸素、希ガス（ヘリウム、ネオン、アルゴン等）雰囲気において第 1 の熱処理を行うと良い。より望ましくは、純度が 7 N (99.99999%) 以上（即ち不純物の濃度が 0.1 ppm 以下）の雰囲気である。また、H₂O が 20 ppm 以下の超乾燥空気中で、好ましくは、H₂O が 1 ppm 以下の超乾燥空気中で、第 1 の熱処理を行っても良い。

10

【 0120 】

また、第 1 の熱処理により結晶領域を形成すると共に、第 1 の酸化物半導体層に酸素を供給することが望ましい。例えば、熱処理の雰囲気を酸素雰囲気とすることで、第 1 の酸化物半導体層に酸素を供給することができる。

【 0121 】

本実施の形態では、第 1 の熱処理として、窒素雰囲気下で 700 、 1 時間の熱処理を行って酸化物半導体層から水素などを除去した後、酸素雰囲気に切り替えることで、第 1 の酸化物半導体層内部に酸素を供給する。なお、第 1 の熱処理の主たる目的は結晶領域の形成にあるから、水素などの除去や、酸素の供給を目的とする処理は別に行うこともできる。例えば、水素などを除去するための熱処理や、酸素を供給する処理を行った後に、結晶化のための熱処理を行うことが可能である。

20

【 0122 】

このような第 1 の熱処理によって、結晶領域を有し、水素（水や水酸基を含む）などが除去され、酸素が供給された第 1 の酸化物半導体層 304 が得られる。

【 0123 】

次に、少なくとも表面を含む領域に結晶領域を有する第 1 の酸化物半導体層 304 上に、第 2 の酸化物半導体層 305 を形成する（図 3 (B) 参照）。なお、第 1 の酸化物半導体層 304 のみで必要な厚さを確保できる場合には、第 2 の酸化物半導体層 305 は不要である。この場合、第 2 の酸化物半導体層 305 にかかる工程を省略することができる。

30

【 0124 】

第 2 の酸化物半導体層 305 は、先の実施の形態における酸化物半導体層 206 と同様に形成することができる。第 2 の酸化物半導体層 305 およびその成膜方法の詳細については、先の実施の形態を参照すればよい。ただし、第 2 の酸化物半導体層 305 は、第 1 の酸化物半導体層 304 より厚く形成することが望ましい。また、第 1 の酸化物半導体層 304 と第 2 の酸化物半導体層 305 の厚さの和が 1 nm 以上 50 nm 以下、好ましくは 1 nm 以上 10 nm 以下となるように、第 2 の酸化物半導体層 305 を形成することが望ましい。本実施の形態では、一例として 7 nm の厚さとする。なお、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、酸化物半導体層の厚さは、用いる材料や用途などに応じて選択すればよい。

40

【 0125 】

第 2 の酸化物半導体層 305 には、第 1 の酸化物半導体層 304 と同一主成分の材料であつて、結晶化後の格子定数が近接した材料（ミスマッチが 1 % 以下）を用いることが望ましい。このような材料を用いる場合には、第 2 の酸化物半導体層 305 の結晶化において、第 1 の酸化物半導体層 304 の結晶領域を種とする結晶成長を進行させやすくするためである。さらに、同一主成分材料である場合には、界面物性や電気的特性も良好になる。

【 0126 】

なお、結晶化によって所望の膜質が得られる場合には、異なる主成分の材料を用いて第 2 の酸化物半導体層 305 を形成しても良い。

50

【0127】

次に、第2の酸化物半導体層305に第2の熱処理を行い、第1の酸化物半導体層304の結晶領域を種として結晶成長させて、第2の酸化物半導体層306を形成する（図3（C）参照）。第2の酸化物半導体層305を形成しない場合、当該構成は省略することができる。

【0128】

第2の熱処理の温度は、550以上850以下、好ましくは600以上750以下とする。第2の熱処理の加熱時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。なお、第2の熱処理においても、熱処理の雰囲気には、水素や水などが含まれないことが望ましい。

10

【0129】

雰囲気の詳細および熱処理による効果は、第1の熱処理と同様である。また、用いることができる熱処理装置も、第1の熱処理の場合と同様である。例えば、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気とすることで、窒素雰囲気で水素などの除去を、酸素雰囲気で酸素の供給を行うことができる。

【0130】

上述のような第2の熱処理を行うことにより、第1の酸化物半導体層304に形成された結晶領域から第2の酸化物半導体層305全体に結晶成長を進行させて、第2の酸化物半導体層306を形成することができる。また、水素（水や水酸基を含む）などが除去され、酸素が供給された第2の酸化物半導体層306を形成することができる。また、第2の熱処理によって、第1の酸化物半導体層304の結晶領域の配向性を高めることも可能である。

20

【0131】

例えば、In-Ga-Zn-O系の酸化物半導体材料を第2の酸化物半導体層306に用いる場合、第2の酸化物半導体層306は、 $InGaO_3 (ZnO)_m$ （m：整数）で表される結晶や、 $In_2Ga_2ZnO_7$ （In：Ga：Zn：O = 2：2：1：7）で表される結晶などを含み得る。このような結晶は、第2の熱処理によって、そのc軸が、第2の酸化物半導体層306の表面と略垂直な方向をとるよう配向する。

【0132】

ここで、上述の結晶は、In、Ga、Znのいずれかを含有する、a軸（a-axis）およびb軸（b-axis）に平行なレイヤーの積層構造として捉えることができる。具体的には、上述の結晶は、Inを含有するレイヤーと、Inを含有しないレイヤー（GaまたはZnを含有するレイヤー）が、c軸方向に積層された構造を有する。

30

【0133】

In-Ga-Zn-O系の酸化物半導体結晶では、Inを含有するレイヤーの面内方向、すなわち、a軸およびb軸に平行な方向に関する導電性は良好である。これは、In-Ga-Zn-O系の酸化物半導体結晶では電気伝導が主としてInによって制御されること、一のInの5s軌道が、隣接するInの5s軌道と重なりを有することにより、キャリアパスが形成されること、などによる。

【0134】

40

また、第1の酸化物半導体層304が絶縁層302との界面に非晶質領域を有するような構造の場合、第2の熱処理を行うことにより、第1の酸化物半導体層304の表面に形成されている結晶領域から第1の酸化物半導体層の下方に向かって結晶成長が進行し、該非晶質領域が結晶化される場合もある。なお、絶縁層302を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

【0135】

また、第1の酸化物半導体層304と第2の酸化物半導体層305とに同一主成分の酸化物半導体材料を用いる場合、図3（C）に示すように、第1の酸化物半導体層304と、第2の酸化物半導体層306とが、同一の結晶構造を有する場合がある。このため、図3（C）では点線で示したが、第1の酸化物半導体層304と第2の酸化物半導体層306

50

の境界が判別できなくなり、第1の酸化物半導体層304と第2の酸化物半導体層306を同一の層と見なせる場合もある。

【0136】

次に、マスクを用いたエッティングなどの方法によって第1の酸化物半導体層304および第2の酸化物半導体層306を加工して、島状の第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを形成する(図3(D)参照)。なお、ここでは、第2の熱処理の後に、島状の酸化物半導体層への加工を行っているが、島状の酸化物半導体層への加工後に、第2の熱処理を行っても良い。この場合、ウェットエッティングを用いる場合であっても、エッティングレートが高い状態でエッティングを行うことができるため、エッティングにかかる時間を短縮することができるというメリットがある。

10

【0137】

第1の酸化物半導体層304および第2の酸化物半導体層306のエッティングには、ドライエッティング、ウェットエッティングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッティングできるよう、材料に合わせてエッティング条件(エッティングガス、エッティング液、エッティング時間、温度等)は適宜設定する。第1の酸化物半導体層304および第2の酸化物半導体層306のエッティングは、先の実施の形態における酸化物半導体層のエッティングと同様に行うことができる。詳細については、先の実施の形態を参照すればよい。

【0138】

なお、酸化物半導体層のうち、チャネル形成領域となる領域は、平坦な表面を有していることが望ましい。例えば、第2の酸化物半導体層306表面の高低差(P-V)は、ゲート電極314と重畳する領域(チャネル形成領域)において、1nm以下(好ましくは0.5nm以下)であると好適である。なお、上述の高低差には、例えば、10μm×10μmの領域において測定した値を用いることができる。

20

【0139】

次に、第2の酸化物半導体層306aに接するように導電層を形成する。それから、該導電層を選択的にエッティングして、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを形成する(図3(D)参照)。ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bは、先の実施の形態におけるソース電極またはドレイン電極208a、ソース電極またはドレイン電極208bと同様に形成することができる。詳細については、先の実施の形態を参照すればよい。

30

【0140】

なお、図3(D)に示す工程で、第1の酸化物半導体層304aまたは第2の酸化物半導体層306aの、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと接する結晶層が非晶質状態となることもある。このため、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aのすべての領域が結晶構造であるとは限らない。

【0141】

次に、第2の酸化物半導体層306aの一部に接するゲート絶縁層312を形成する。ゲート絶縁層312は、先の実施の形態のゲート絶縁層212と同様に形成することができる。詳細については、先の実施の形態を参照すればよい。その後、ゲート絶縁層312上の、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aと重畳する領域にゲート電極314を形成する。そして、ゲート絶縁層312およびゲート電極314上に、層間絶縁層316および層間絶縁層318を形成する(図3(E)参照)。ゲート電極314、層間絶縁層316および層間絶縁層318は、先の実施の形態におけるゲート電極214、層間絶縁層216、層間絶縁層218などと同様に形成することができる。詳細については、先の実施の形態を参照すればよい。

40

【0142】

ゲート絶縁層312の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第3の熱処理を行うのが望ましい。第3の熱処理の温度は、200以上450以下、望ましく

50

は 250 以上 350 以下である。例えば、酸素を含む雰囲気下で 250 、 1 時間の熱処理を行えばよい。第 3 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 312 が酸素を含む絶縁層である場合、第 2 の酸化物半導体層 306a に酸素を供給することもできる。

【 0143 】

なお、本実施の形態では、ゲート絶縁層 312 の形成後に第 3 の熱処理を行っているが、第 3 の熱処理のタイミングはこれに限定されない。また、第 2 の熱処理など、他の処理によって第 2 の酸化物半導体層 306a に酸素を供給している場合には、第 3 の熱処理は省略しても良い。

【 0144 】

以上により、第 1 の酸化物半導体層 304a 、および、第 2 の酸化物半導体層 306a を用いたトランジスタ 350 が完成する（図 3（E）参照）。

【 0145 】

図 3（E）に示すトランジスタ 350 は、基板 300 上に絶縁層 302 を介して設けられた第 1 の酸化物半導体層 304a と、第 1 の酸化物半導体層 304a 上に設けられた第 2 の酸化物半導体層 306a と、第 2 の酸化物半導体層 306a と電気的に接続するソース電極またはドレイン電極 308a 、ソース電極またはドレイン電極 308b と、第 2 の酸化物半導体層 306a 、ソース電極またはドレイン電極 308a 、ソース電極またはドレイン電極 308b を覆うゲート絶縁層 312 と、ゲート絶縁層 312 上のゲート電極 314 と、ゲート絶縁層 312 およびゲート電極 314 上の層間絶縁層 316 と、層間絶縁層 316 上の層間絶縁層 318 とを有する。

【 0146 】

本実施の形態において示すトランジスタ 350 では、第 1 の酸化物半導体層 304a および第 2 の酸化物半導体層 306a が高純度化されているため、その水素濃度は、 5×10^{-9} atoms / cm³ 以下、望ましくは 5×10^{-8} atoms / cm³ 以下、より望ましくは 5×10^{-7} atoms / cm³ 以下となる。また、第 1 の酸化物半導体層 304a および第 2 の酸化物半導体層 306a のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ 1×10^{14} / cm³ 程度）と比較して、十分に小さい値（例えば、 1×10^{12} / cm³ 未満、より好ましくは、 1.45×10^{10} / cm³ 未満）とする。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 350 の室温でのオフ電流密度（オフ電流をトランジスタのチャネル幅で除した値）は 1×10^{-20} A / μm ($10 z$ A / μm) から 1×10^{-19} A / μm ($100 z$ A / μm) 程度となる。

【 0147 】

このように高純度化され、真性化された第 1 の酸化物半導体層 304a および第 2 の酸化物半導体層 306a を用いることで、トランジスタのオフ電流を十分に低減することができる。

【 0148 】

さらに、本実施の形態では、酸化物半導体層として、結晶領域を有する第 1 の酸化物半導体層 304a と、第 1 の酸化物半導体層 304a の結晶領域から結晶成長させた第 2 の酸化物半導体層 306a を用いているため、電界効果移動度を向上させ、良好な電気特性を有するトランジスタを実現することができる。例えば、電界効果移動度 $\mu > 100$ cm² / V · s を実現することも可能である。

【 0149 】

そして、本実施の形態に示すように、酸化物半導体層や、ゲート絶縁層の厚さ、ソース電極とドレイン電極の間隔などを所定の範囲におさめることで、良好な特性を維持しつつ、微細化を達成することができる。

【 0150 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0151】

(実施の形態4)

本実施の形態では、酸化物半導体を用いた半導体装置の作製方法、具体的には、図1(C)に相当する半導体装置の作製方法について、図4を用いて説明する。なお、本実施の形態に係る半導体装置の作製方法は、先の実施の形態(特に、実施の形態2)において説明した半導体装置の作製方法と多くの部分で共通している。このため、以下では主として相違点について説明することとする。なお、本実施の形態の作製方法を先の実施の形態(実施の形態3など)の一部と組み合わせることで、図1(D)に相当する半導体装置を作製することも可能である。

【0152】

10

まず、基板400上に、絶縁層402を形成する。そして、絶縁層402上に酸化物半導体層406を形成する(図4(A)参照)。詳細については先の実施の形態を参照すればよい。

【0153】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層406を加工して、島状の酸化物半導体層406aを形成し、当該酸化物半導体層406aを覆うように、導電層408および絶縁層410を形成する(図4(B)参照)。なお、絶縁層410は必須の構成要素ではないが、後に形成されるソース電極またはドレイン電極の側面を選択的に酸化させるためには有効である。また、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点においても有効である。

20

【0154】

島状の酸化物半導体層406aの形成や熱処理などの詳細については、先の実施の形態を参照することができる。また、導電層408の詳細についても、先の実施の形態を参照すればよい。

【0155】

絶縁層410は、CVD法やスパッタリング法等を用いて形成することができる。また、絶縁層410は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、絶縁層410は、単層構造としても良いし、積層構造としても良い。絶縁層410の厚さは特に限定されないが、例えば、10nm以上200nm以下とすることができる。

30

【0156】

次に、導電層408および絶縁層410を選択的にエッチングして、ソース電極またはドレイン電極408a、ソース電極またはドレイン電極408b、絶縁層410a、絶縁層410bを形成する(図4(C)参照)。詳細は、先の実施の形態におけるソース電極またはドレイン電極の形成工程と同様である。なお、アルミニウム、チタン、モリブデン、銅などの材料は、後に行われるプラズマ酸化処理に向いており、ソース電極またはドレイン電極408a、ソース電極またはドレイン電極408bなどの材料として好適である。

【0157】

次に、酸化物半導体層406aに酸素を供給すべく酸化処理を行う。当該酸化処理によって、ソース電極またはドレイン電極408aの一部には酸化領域411aが、ソース電極またはドレイン電極408bの一部には酸化領域411bが形成される(図4(D)参照)。また、当該酸化処理によって、ソース電極またはドレイン電極408aや、ソース電極またはドレイン電極408bの外周部にも、酸化領域が形成される。

40

【0158】

酸化処理は、マイクロ波(300MHz ~ 300GHz)によって励起された酸素プラズマを用いた酸化処理(プラズマ酸化処理)とするのが好適である。マイクロ波によってプラズマを励起することで、高密度プラズマが実現され、酸化物半導体層406aへのダメージを十分に低減することができるからである。

【0159】

より具体的には、例えば、周波数を300MHz ~ 300GHz(代表的には2.45G

50

H_z）、圧力を50Pa～5000Pa（代表的には500Pa）、基板温度を200～400（代表的には300）とし、酸素とアルゴンとの混合ガスを用いて上記処理を行うことができる。

【0160】

上記酸化処理によって、酸化物半導体層406aには酸素が供給されることになるため、酸化物半導体層406aへのダメージを十分に低減しつつ、酸素欠損に起因するエネルギーギャップ中の欠陥準位を減少させることができる。つまり、酸化物半導体層406aの特性を一層向上させることができる。

【0161】

なお、酸化物半導体層406aへのダメージを十分に低減しつつ、酸化物半導体層406aに酸素を供給することができる方法であれば、マイクロ波を用いたプラズマ酸化処理に限定する必要は無い。例えば、酸素を含む雰囲気における熱処理などの方法を用いることもできる。

10

【0162】

また、上記酸化処理と併せて、酸化物半導体層406aから水や水素などを除去する処理を行ってもよい。この場合、例えば、窒素やアルゴンなどのガスを用いたプラズマ処理を用いることができる。

【0163】

なお、上記酸化処理によって、ソース電極またはドレイン電極408a、および、ソース電極またはドレイン電極408bの一部（特に、その側面に相当する部分）には酸化領域411aや酸化領域411bが形成されることになる。この酸化領域は、トランジスタ450が微細化されている場合（例えば、チャネル長が1000nm未満、特に70nm以下である場合）には、特に有効である。トランジスタの微細化に伴い、ゲート絶縁層412に対してはその厚みを小さくすることが要求されるが、当該酸化領域を有することで、ゲート絶縁層412の薄型化やカバレッジ不良などに起因して生じ得る、ゲート電極414と、ソース電極またはドレイン電極408a、およびゲート電極414と、ソース電極またはドレイン電極408bのショートを防止できるためである。なお、当該酸化領域は、5nm以上（好ましくは10nm以上）の厚みを有していれば、十分に効果的である。

20

【0164】

また、上記酸化処理は、露出した絶縁層402の膜質改善の観点からも有効である。

30

【0165】

なお、ソース電極またはドレイン電極408aや、ソース電極またはドレイン電極408bの上部の酸化を防止する役割を有する点で、絶縁層410aおよび絶縁層410bは重要である。エッティングの際に用いるマスクを残存させたまま、上記プラズマ処理をするには大きな困難が伴うからである。

【0166】

次に、大気に触れさせることなく、酸化物半導体層406aの一部に接するゲート絶縁層412を形成する。そして、ゲート絶縁層412上の、酸化物半導体層406aと重畳する領域にゲート電極414を形成し、ゲート絶縁層412およびゲート電極414上に、層間絶縁層416および層間絶縁層418を形成する（図4（E）参照）。詳細については、先の実施の形態を参照することができる。

40

【0167】

以上により、酸化物半導体を用いたトランジスタ450が完成する。

【0168】

本実施の形態では、酸化物半導体層406aに酸素を供給すべく、酸化物半導体層406aに酸素プラズマ処理を施している。このため、トランジスタ450の特性はさらに高いものとなる。また、ソース電極またはドレイン電極の側面に相当する領域が酸化されることになるため、ゲート絶縁層の薄膜化に起因して生じるおそれのある、ゲート電極-ソース電極（またはドレイン電極）間の短絡を防止することができる。

【0169】

50

また、ソース電極およびドレイン電極の上に絶縁層を設けることにより、ソース電極およびドレイン電極と、ゲート電極との間に形成される容量を低減させ、さらなる高速動作を実現することが可能である。

【0170】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0171】

(実施の形態5)

本実施の形態では、先の実施の形態に示すトランジスタを用いた半導体装置の例につき、図5乃至図8を参照して説明する。

10

【0172】

半導体装置の構成例

図5(A)に、先の実施の形態に示すトランジスタを、ダイオードとして用いる場合の回路構成を示す。ダイオード接続されたトランジスタ110は、ゲート端子および第1端子側がアノードであり、第2端子側がカソードとなる。

【0173】

図5(B)に、nチャネル型のトランジスタとpチャネル型のトランジスタが相補的に組み合わされたCMOS回路の一例を示す。ここでは、CMOS回路のうち、最も単純な回路構成のCMOSインバータ回路について説明する。当該CMOSインバータ回路において、第1のトランジスタ112のゲート電極が第2のトランジスタ114のゲート電極と電気的に接続され、第1のトランジスタ112のソース電極が一方の端子VLに電気的に接続され、第1のトランジスタ112のドレイン電極が第2のトランジスタ114のソース電極と電気的に接続され、第2のトランジスタ114のドレイン電極は他方の端子VHに電気的に接続されている。

20

【0174】

第1のトランジスタ112は、nチャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。また、第2のトランジスタ114は、pチャネル型のトランジスタであり、酸化物半導体、またはそれ以外の材料(例えば、シリコンなど)を用いて形成することができる。

【0175】

30

図6(A)には、いわゆるDRAM(Dynamic Random Access Memory)に相当する構成の半導体装置の一例を示す。図6(A)に示すメモリセルアレイ120は、複数のメモリセル130がマトリクス状に配列された構成を有している。また、メモリセルアレイ120は、複数本の第1の配線、および複数本の第2の配線を有する。

【0176】

メモリセル130は、トランジスタ131と、容量素子132と、から構成されている。トランジスタ131のゲート電極は、第1の配線と電気的に接続されている。またトランジスタ131のソース電極またはドレイン電極の一方は、第2の配線と電気的に接続されており、トランジスタ131のソース電極またはドレイン電極の他方は、容量素子の電極の一方と電気的に接続されている。また、容量素子の電極の他方には、一定の電位が与えられている。トランジスタ131には、先の実施の形態に示すトランジスタが適用される。

40

【0177】

先の実施の形態において示したトランジスタは、オフ電流が極めて小さいという特徴を有する。このため、いわゆるDRAMとして認識されている図6(A)に示す半導体装置に当該トランジスタを適用する場合、実質的な不揮発性メモリを得ることが可能である。

【0178】

図6(B)には、いわゆるSRAM(Static Random Access Memory)に相当する構成の半導体装置の一例を示す。図6(B)に示すメモリセルアレ

50

イ 1 4 0 は、複数のメモリセル 1 5 0 がマトリクス状に配列された構成とすることができる。また、メモリセルアレイ 1 4 0 は、第 1 の配線、第 2 の配線、第 3 の配線、および第 4 の配線をそれぞれ複数本有する。

【 0 1 7 9 】

メモリセル 1 5 0 は、第 1 のトランジスタ 1 5 1 ~ 第 6 のトランジスタ 1 5 6 を有している。第 1 のトランジスタ 1 5 1 、および第 2 のトランジスタ 1 5 2 は、選択トランジスタとして機能する。また、第 3 のトランジスタ 1 5 3 と第 4 のトランジスタ 1 5 4 のうち、一方は n チャネル型トランジスタ（ここでは、第 4 のトランジスタ 1 5 4 ）であり、他方は p チャネル型トランジスタ（ここでは、第 3 のトランジスタ 1 5 3 ）である。つまり、第 3 のトランジスタ 1 5 3 と第 4 のトランジスタ 1 5 4 によって C M O S 回路が構成されている。同様に、第 5 のトランジスタ 1 5 5 と第 6 のトランジスタ 1 5 6 によって C M O S 回路が構成されている。10

【 0 1 8 0 】

第 1 のトランジスタ 1 5 1 、第 2 のトランジスタ 1 5 2 、第 4 のトランジスタ 1 5 4 、第 6 のトランジスタ 1 5 6 は、 n チャネル型のトランジスタであり、先の実施の形態において示したトランジスタを適用することができる。第 3 のトランジスタ 1 5 3 と第 5 のトランジスタ 1 5 5 は、 p チャネル型のトランジスタであり、酸化物半導体、またはそれ以外の材料（例えば、シリコンなど）を用いて形成することができる。20

【 0 1 8 1 】

不揮発性の記憶装置の構成例

次に、先の実施の形態に係るトランジスタを用いた、不揮発性の記憶装置の構成例について、図 7 および図 8 を用いて説明する。20

【 0 1 8 2 】

図 7 (A - 1) に示す半導体装置において、第 1 の配線 (1 s t L i n e : ソース線とも呼ぶ) とトランジスタ 1 6 0 のソース電極とは、電気的に接続され、第 2 の配線 (2 n d L i n e : ビット線とも呼ぶ) とトランジスタ 1 6 0 のドレイン電極とは、電気的に接続されている。また、第 3 の配線 (3 r d L i n e : 第 1 信号線とも呼ぶ) とトランジスタ 1 6 2 のソース電極またはドレイン電極の一方とは、電気的に接続され、第 4 の配線 (4 t h L i n e : 第 2 信号線とも呼ぶ) と、トランジスタ 1 6 2 のゲート電極とは、電気的に接続されている。そして、トランジスタ 1 6 0 のゲート電極と、トランジスタ 1 6 2 のソース電極またはドレイン電極の他方は、容量素子 1 6 4 の電極の一方と電気的に接続され、第 5 の配線 (5 t h L i n e : ワード線とも呼ぶ) と、容量素子 1 6 4 の電極の他方は電気的に接続されている。30

【 0 1 8 3 】

ここで、少なくともトランジスタ 1 6 2 には、先の実施の形態において説明した酸化物半導体を用いたトランジスタが適用される。先の実施の形態において説明した酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、トランジスタ 1 6 0 のゲート電極に与えられた電荷の保持が容易になり、また、記憶内容の読み出しが容易になる。なお、酸化物半導体を用いたトランジスタ 1 6 2 は、チャネル長 (L) を 1 0 n m 以上 1 0 0 0 n m 以下、例えば、1 0 n m 以上 7 0 n m 以下としているため、消費電力が小さく、動作速度もきわめて高いという特徴を有する。また、トランジスタ 1 6 0 は酸化物半導体を用いたものとしてもよいし、それ以外の材料を用いたものとしてもよい。40

【 0 1 8 4 】

図 7 (A - 1) に示す半導体装置では、トランジスタ 1 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 1 8 5 】

10

20

30

40

50

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかを与えるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

【0186】

10

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0187】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th-H} は、トランジスタ160のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値電圧 V_{th-L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th-H} と V_{th-L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $> V_{th-H}$ ）となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が V_0 （ $< V_{th-L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

20

【0188】

30

なお、情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th-H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th-L} より大きい電位を第5の配線に与えればよい。

【0189】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

40

【0190】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作を実現できる。

【0191】

なお、トランジスタ162のソース電極またはドレイン電極は、トランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため

50

、図中、トランジスタ 162 のソース電極またはドレイン電極とトランジスタ 160 のゲート電極が電気的に接続される部位をフローティングゲート部 FG と呼ぶ場合がある。トランジスタ 162 がオフの場合、当該フローティングゲート部 FG は絶縁体中に埋設されたと見ることができ、フローティングゲート部 FG には電荷が保持される。酸化物半導体を用いたトランジスタ 162 のオフ電流は、シリコン半導体などで形成されるトランジスタの 10 万分の 1 以下であるため、トランジスタ 162 のリークによる、フローティングゲート部 FG に蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ 162 により、不揮発性の記憶装置を実現することが可能である。

【 0192 】

図 7 (A - 1) に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図 7 (A - 2) のような回路に置き換えることが可能である。つまり、図 7 (A - 2) では、トランジスタ 160 および容量素子 164 が、それぞれ、抵抗および容量を含んで構成されていると考えることができる。R 1 および C 1 は、それぞれ、容量素子 164 の抵抗値および容量値であり、抵抗値 R 1 は、容量素子 164 を構成する絶縁層による抵抗値に相当する。また、R 2 および C 2 は、それぞれ、トランジスタ 160 の抵抗値および容量値であり、抵抗値 R 2 はトランジスタ 160 がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 C 2 はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量）値に相当する。なお、抵抗値 R 2 は、トランジスタ 160 のゲート電極とチャネル形成領域との間の抵抗値を示すものに過ぎないから、この点を明確にするために、接続の一部を点線で示している。

【 0193 】

トランジスタ 162 がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）を ROS とすると、R 1 および R 2 が、ROS が R 1 以下かつ、ROS が R 2 以下を満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ 162 のオフ電流によって決定されることになる。

【 0194 】

逆に、当該条件を満たさない場合には、トランジスタ 162 のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ 162 以外において生じるリークが大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

【 0195 】

一方で、C 1 と C 2 は、C 1 は C 2 以上の関係を満たすことが望ましい。C 1 を大きくすることで、第 5 の配線によってフローティングゲート部 FG の電位を制御する際（例えば、読み出しの際）に、第 5 の配線の電位を低く抑えることができるためである。

【 0196 】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R 1 および R 2 は、トランジスタ 160 のゲート絶縁層やトランジスタ 162 のゲート絶縁層によって制御される。C 1 および C 2 についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【 0197 】

図 7 (B) には、上述の半導体装置とは構成の一部が異なる半導体装置を示す。図 7 (B) に示す半導体装置において、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の一方と、容量素子 164 の電極の一方とは、電気的に接続されている。また、第 1 の配線とトランジスタ 160 のソース電極とは、電気的に接続され、第 2 の配線とトランジスタ 160 のドレイン電極とは、電気的に接続されている。そして、第 3 の配線とトランジスタ 162 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 4 の配線と、トランジスタ 162 の第 1 のゲート電極とは、電気的に接続されている。また、第 5 の配線と、容量素子 164 の電極の他方とは、電気的に接続されている。

10

20

30

40

50

接続され、第6の配線と、トランジスタ162の第2のゲート電極とは、電気的に接続されている。第6の配線には第4の配線と等しい電位を与えても良いし、第4の配線とは異なる電位を与えて、第4の配線とは独立に制御しても良い。

【0198】

つまり、図7(B)に示す半導体装置は、図7(A-1)に示す半導体装置のトランジスタ162を、第2のゲート電極を有するトランジスタ162に置き換えた構成である。これにより、図7(B)に示す半導体装置では、図7(A-1)に示す半導体装置において得られる効果に加え、トランジスタ162の電気的特性(例えば、しきい値電圧)の調節が容易になるという効果が得られる。例えば、第6の配線に負電位を与えることで、トランジスタ162を容易にノーマリーオフとすることが可能である。

10

【0199】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタ(pチャネル型トランジスタ)を用いることができるの

はいうまでもない。

【0200】

次に、図7に示す半導体装置の応用例につき、図8を用いて説明する。図8(A)および図8(B)は、図7(A-1)に示す半導体装置(以下、メモリセル190とも記載する。)を複数用いて形成される半導体装置の回路図である。図8(A)は、メモリセル190が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図8(B)は、メモリセル190が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

20

【0201】

図8(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル190を有する。図8(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0202】

各メモリセル190において、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子164の電極の他方とは電気的に接続されている。

30

【0203】

また、メモリセル190が有するトランジスタ160のソース電極は、隣接するメモリセル190のトランジスタ160のドレイン電極と電気的に接続され、メモリセル190が有するトランジスタ160のドレイン電極は、隣接するメモリセル190のトランジスタ160のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル190が有するトランジスタ160のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル190が有するトランジスタ160のソース電極は、ソース線と電気的に接続される。

40

【0204】

図8(A)に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ162がオン状態となる電位を与え、書き込みを行う行のトランジスタ162をオン状態にする。これにより、指定した行のトランジスタ160のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

50

【0205】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ160のゲート電極の電荷によらず、トランジスタ160がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ160のゲート電極が有する電荷によって、トランジスタ160のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ160は、読み出しを行う行を除いてオン状態であるため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ160の状態によって決定される。つまり、読み出しを行う行のトランジスタ160のゲート電極が有する電荷によって、読み出し回路が読み出すビット線BLの電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

【0206】

図8(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル190を有する。各トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ160のソース電極とは、電気的に接続され、ビット線BLとトランジスタ160のドレイン電極とは、電気的に接続されている。また、第1信号線S1とトランジスタ162のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ162のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子164の電極の他方とは電気的に接続されている。

【0207】

図8(B)に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図8(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ160のゲート電極の電荷によらず、トランジスタ160がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ160をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ160のゲート電極が有する電荷によって、トランジスタ160のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ160の状態によって決定される。つまり、読み出しを行う行のトランジスタ160のゲート電極が有する電荷によって、読み出し回路が読み出すビット線BLの電位は異なる値をとる。このようにして、指定した行のメモリセルからデータを読み出すことができる。

【0208】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0209】

(実施の形態6)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図9を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0210】

10

20

30

40

50

図9(A)は、ノート型のパーソナルコンピュータであり、筐体601、筐体602、表示部603、キーボード604などによって構成されている。筐体601と筐体602内には、先の実施の形態に示す半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたノート型のパーソナルコンピュータが実現される。

【0211】

図9(B)は、携帯情報端末(PDA)であり、本体611には、表示部613と、外部インターフェイス615と、操作ボタン614等が設けられている。また、携帯情報端末を操作するスタイルス612などを備えている。本体611内には、先の実施の形態に示す半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯情報端末が実現される。

10

【0212】

図9(C)は、電子ペーパーを実装した電子書籍620であり、筐体621と筐体623の2つの筐体で構成されている。筐体621及び筐体623には、それぞれ表示部625及び表示部627が設けられている。筐体621と筐体623は、軸部637により接続されており、該軸部637を軸として開閉動作を行うことができる。また、筐体621は、電源631、操作キー633、スピーカー635などを備えている。筐体621、筐体623の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた電子書籍が実現される。

【0213】

図9(D)は、携帯電話機であり、筐体640と筐体641の2つの筐体で構成されている。さらに、筐体640と筐体641は、スライドし、図9(D)のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。また、筐体641は、表示パネル642、スピーカー643、マイクロフォン644、ポイントティングデバイス646、カメラ用レンズ647、外部接続端子648などを備えている。また、筐体640は、携帯電話機の充電を行う太陽電池セル649、外部メモリスロット650などを備えている。また、アンテナは、筐体641に内蔵されている。筐体640と筐体641の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯電話機が実現される。

20

【0214】

図9(E)は、デジタルカメラであり、本体661、表示部667、接眼部663、操作スイッチ664、表示部665、バッテリー666などによって構成されている。本体661内には、先の実施の形態に示す半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたデジタルカメラが実現される。

30

【0215】

図9(F)は、テレビジョン装置670であり、筐体671、表示部673、スタンド675などで構成されている。テレビジョン装置670の操作は、筐体671が備えるスイッチや、リモコン操作機680により行うことができる。筐体671及びリモコン操作機680には、先の実施の形態に示す半導体装置が搭載されている。そのため、高速動作、低消費電力、といった特徴を備えたテレビジョン装置が実現される。

40

【0216】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、小型、高速動作、低消費電力、といった特徴を備えた電子機器が実現される。

【実施例1】

【0217】

開示する発明に係るトランジスタを用いることにより、短チャネル効果を十分に抑制した半導体装置が実現される。当該効果について、計算機シミュレーションを用いて確認した結果を、図10乃至図12を参照して説明する。

【0218】

50

本実施例の計算機シミュレーションでは、図1(A)に相当する構成のトランジスタをモデルとして用いた。また、酸化物半導体層のバンドギャップを3.15eV、酸化物半導体層の比誘電率を15、酸化物半導体の電子移動度を $10 \text{ cm}^2/\text{V}\cdot\text{s}$ 、と仮定した。また、ソース電極またはドレイン電極の電子親和力と酸化物半導体層の電子親和力が等しい(4.3eV)と仮定し、ゲート電極にはタンゲステンを想定して仕事関数を4.6eVと仮定した。計算には、デバイスシミュレータAtlas(Silvaco Data Systems Inc.)を用いた。

【0219】

計算に係るパラメータとしては、酸化物半導体層の厚さ(t_{os})、ゲート絶縁層の厚さ(d)、トランジスタのしきい値電圧(V_{th})、トランジスタのチャネル長(L)などを用いた。図10に、当該計算結果を示す。図10において、横軸はチャネル長 L (nm)を表し、縦軸はしきい値電圧 V_{th} を表す。また、図10では、4つの異なるゲート絶縁層厚さに関して、チャネル長 L としきい値電圧 V_{th} の関係を示している。

【0220】

図11の結果から、ノーマリーオフが実現されるために必要なチャネル長 L (nm)の下限を算出することができる。図11に、酸化物半導体層の厚さ(t_{os})、ゲート絶縁層の厚さ(d)、との関係において、ノーマリーオフが実現されるために必要なチャネル長 L (nm)の下限値を示す。図11において、横軸は、比誘電率 r をゲート絶縁層の厚さ(d)で除した値(nm^{-1})を表し、縦軸は許容されるチャネル長の下限値 L_{min} (nm)を表す。なお、ノーマリーオフが実現されるための条件としては、 $V_{th} > 0$ を用いた。つまり、図11は、図10において $V_{th} > 0$ を満たす最小の L を、酸化物半導体層の厚さ(t_{os})やゲート絶縁層の厚さ(d)との関係を考慮してプロットしたものである。なお、図中の曲線は近似曲線である。

【0221】

図11から、 t_{os} が30nmの場合、 r/d が、 $1.3(\text{nm}^{-1})$ 以上 $7.9(\text{nm}^{-1})$ 以下におけるチャネル長 L の範囲は、 L が $20(\text{nm})$ 以上 $70(\text{nm})$ 以下であることがわかる。また、 t_{os} が10nmの場合、 r/d が、 $1.3(\text{nm}^{-1})$ 以上 $7.9(\text{nm}^{-1})$ 以下におけるチャネル長 L の範囲は、 L が $15(\text{nm})$ 以上 $40(\text{nm})$ 以下であることがわかる。また、 t_{os} が3nmの場合、 r/d が、 $1.3(\text{nm}^{-1})$ 以上 $7.9(\text{nm}^{-1})$ 以下におけるチャネル長 L の範囲は、 L が $10(\text{nm})$ 以上 $30(\text{nm})$ 以下であることがわかる。

【0222】

このことから、 t_{os} が $3(\text{nm})$ 以上 $30(\text{nm})$ 以下、および r/d が、 $1.3(\text{nm}^{-1})$ 以上 $7.9(\text{nm}^{-1})$ 以下を満たす場合、 L が $10(\text{nm})$ 以上 $70(\text{nm})$ 以下ということができる。

【0223】

図12には、開示する発明に係るトランジスタのスイッチング速度(スイッチング周波数)とチャネル長 L との関係を示す。図12において、横軸はチャネル長 L (nm)を表し、縦軸はスイッチング速度(GHz)を表す。ここで、スイッチング速度は、スイッチングに要する時間の逆数である。

【0224】

例えば、 L が $10(\text{nm})$ 以上 $70(\text{nm})$ 以下の範囲において、 $1/\tau$ が $1(\text{GHz})$ 以上 $20(\text{GHz})$ 以下の高速動作が実現されることが理解できる。

【符号の説明】

【0225】

- 110 トランジスタ
- 112 トランジスタ
- 114 トランジスタ
- 120 メモリセルアレイ
- 130 メモリセル

10

20

30

40

50

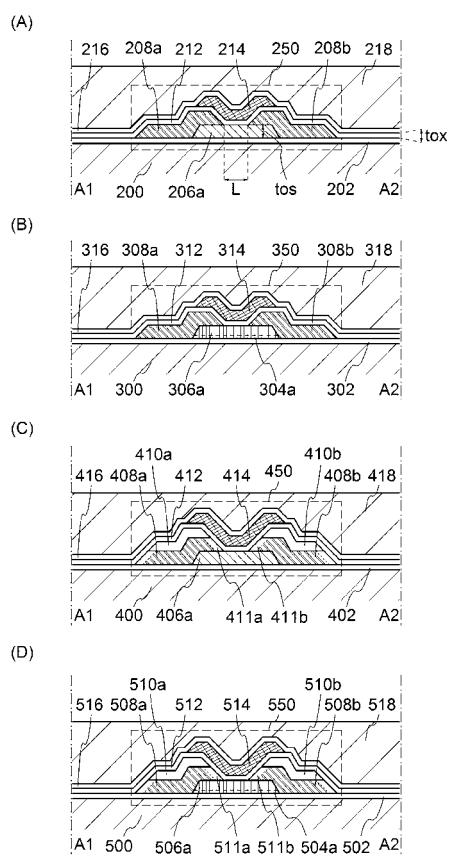
1 3 1	トランジスタ	
1 3 2	容量素子	
1 4 0	メモリセルアレイ	
1 5 0	メモリセル	
1 5 1	トランジスタ	
1 5 2	トランジスタ	
1 5 3	トランジスタ	
1 5 4	トランジスタ	
1 5 5	トランジスタ	
1 5 6	トランジスタ	10
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 9 0	メモリセル	
2 0 0	基板	
2 0 2	絶縁層	
2 0 6	酸化物半導体層	
2 0 6 a	酸化物半導体層	
2 0 8 a	ソース電極又はドレイン電極	
2 0 8 b	ソース電極又はドレイン電極	20
2 1 2	ゲート絶縁層	
2 1 4	ゲート電極	
2 1 6	層間絶縁層	
2 1 8	層間絶縁層	
2 5 0	トランジスタ	
3 0 0	基板	
3 0 2	絶縁層	
3 0 4	酸化物半導体層	
3 0 4 a	酸化物半導体層	
3 0 5	酸化物半導体層	30
3 0 6	酸化物半導体層	
3 0 6 a	酸化物半導体層	
3 0 8 a	ソース電極又はドレイン電極	
3 0 8 b	ソース電極又はドレイン電極	
3 1 2	ゲート絶縁層	
3 1 4	ゲート電極	
3 1 6	層間絶縁層	
3 1 8	層間絶縁層	
3 5 0	トランジスタ	
4 0 0	基板	40
4 0 2	絶縁層	
4 0 6	酸化物半導体層	
4 0 6 a	酸化物半導体層	
4 0 8	導電層	
4 0 8 a	ソース電極又はドレイン電極	
4 0 8 b	ソース電極又はドレイン電極	
4 1 0	絶縁層	
4 1 0 a	絶縁層	
4 1 0 b	絶縁層	
4 1 1 a	酸化領域	50

4 1 1 b	酸化領域	
4 1 2	ゲート絶縁層	
4 1 4	ゲート電極	
4 1 6	層間絶縁層	
4 1 8	層間絶縁層	
4 5 0	トランジスタ	
5 0 0	基板	
5 0 2	絶縁層	
5 0 4 a	酸化物半導体層	10
5 0 6 a	酸化物半導体層	
5 0 8 a	ソース電極又はドレイン電極	
5 0 8 b	ソース電極又はドレイン電極	
5 1 0 a	絶縁層	
5 1 0 b	絶縁層	
5 1 1 a	酸化領域	
5 1 1 b	酸化領域	
5 1 2	ゲート絶縁層	
5 1 4	ゲート電極	
5 1 6	層間絶縁層	
5 1 8	層間絶縁層	20
5 5 0	トランジスタ	
6 0 1	筐体	
6 0 2	筐体	
6 0 3	表示部	
6 0 4	キーボード	
6 1 1	本体	
6 1 2	スタイルス	
6 1 3	表示部	
6 1 4	操作ボタン	
6 1 5	外部インターフェイス	30
6 2 0	電子書籍	
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	
6 2 7	表示部	
6 3 1	電源	
6 3 3	操作キー	
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	40
6 4 1	筐体	
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	外部メモリスロット	
6 6 1	本体	50

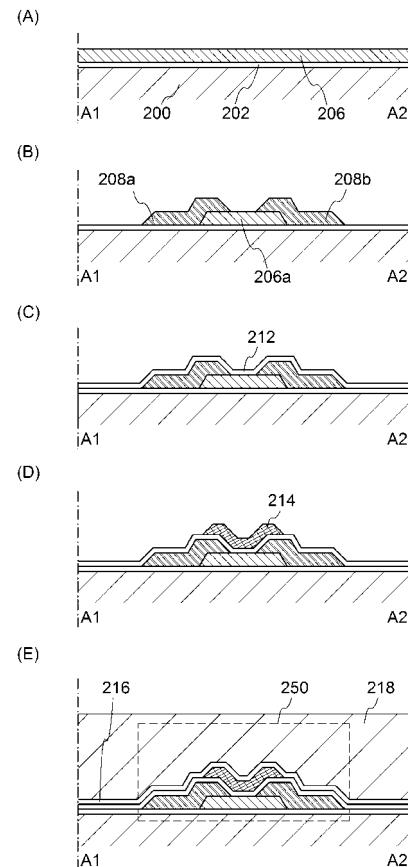
6 6 3 接眼部
 6 6 4 操作スイッチ
 6 6 5 表示部
 6 6 6 パッテリー
 6 6 7 表示部
 6 7 0 テレビジョン装置
 6 7 1 筐体
 6 7 3 表示部
 6 7 5 スタンド
 6 8 0 リモコン操作機

10

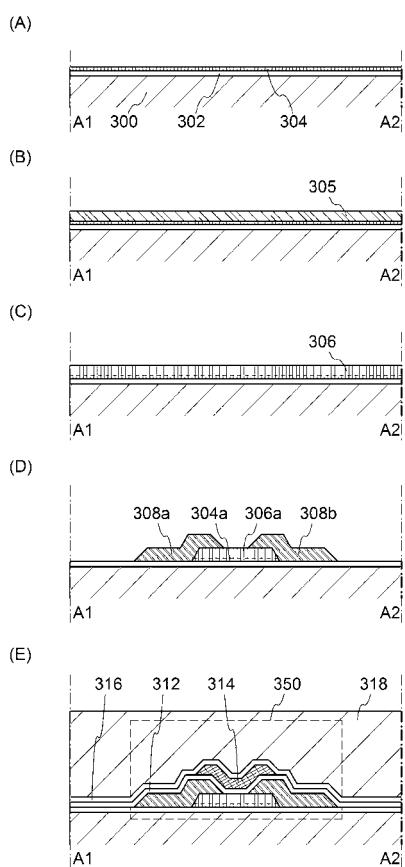
【図1】



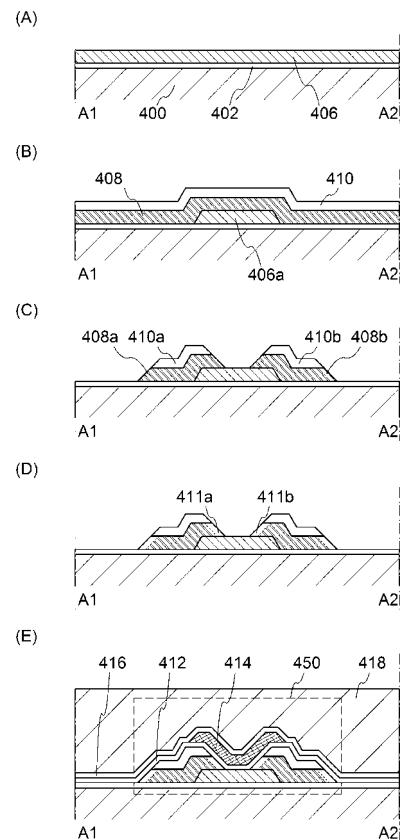
【図2】



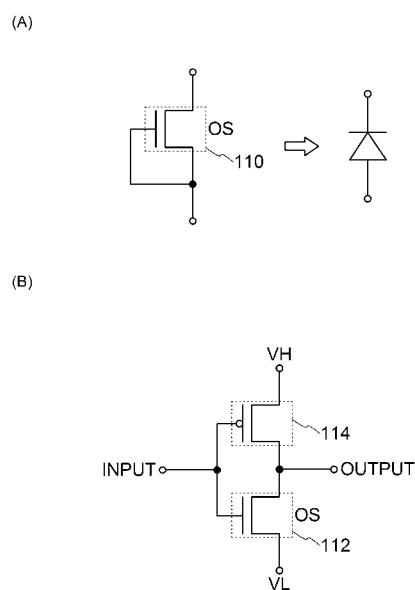
【図3】



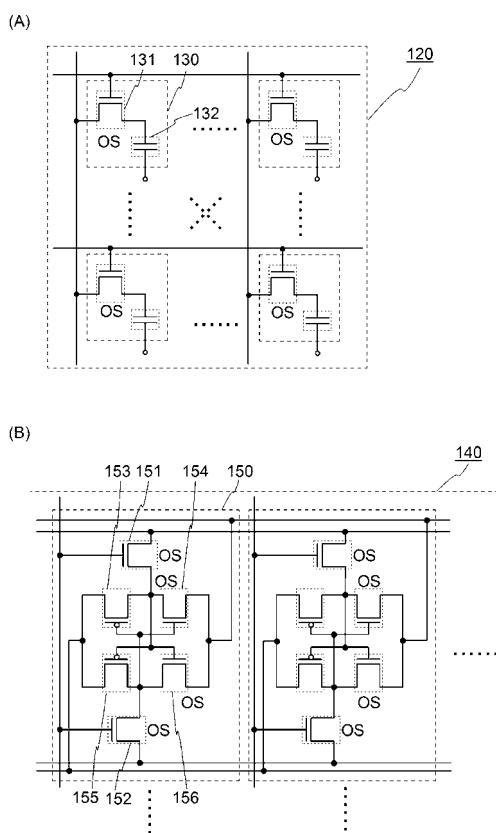
【図4】



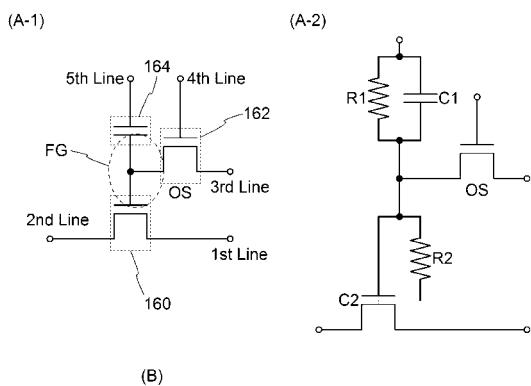
【図5】



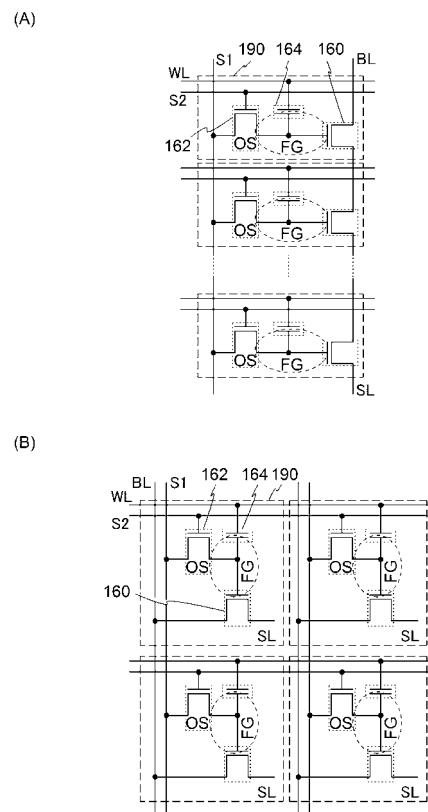
【図6】



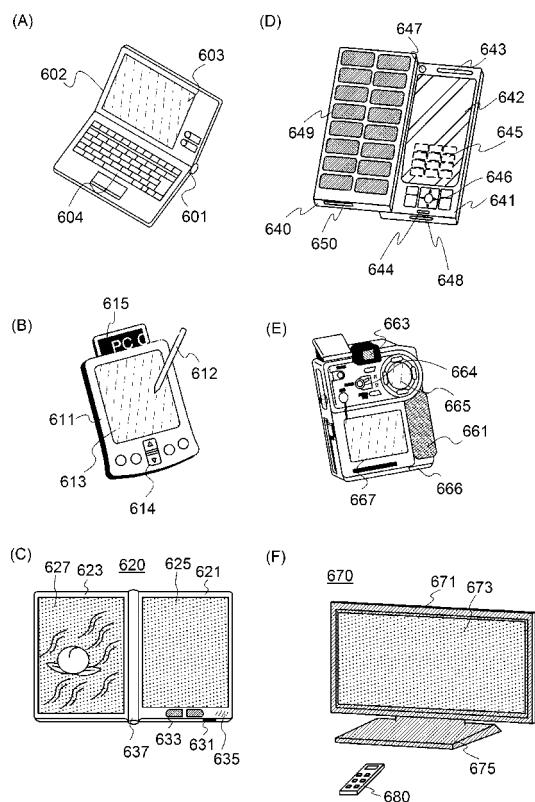
【図7】



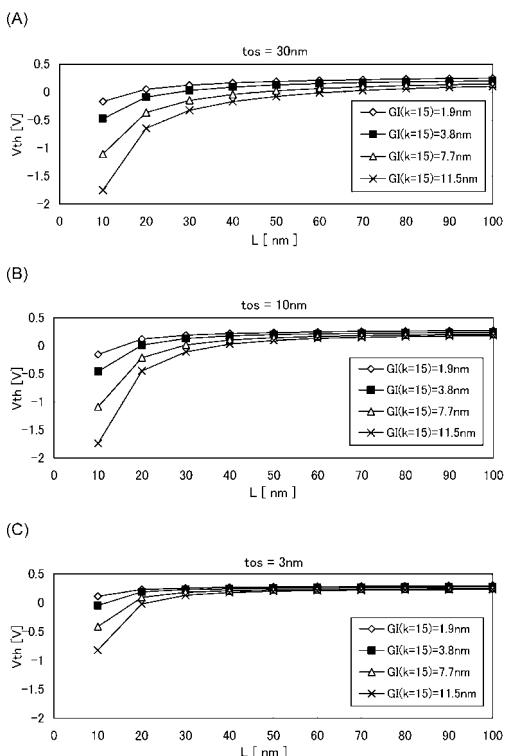
【図8】



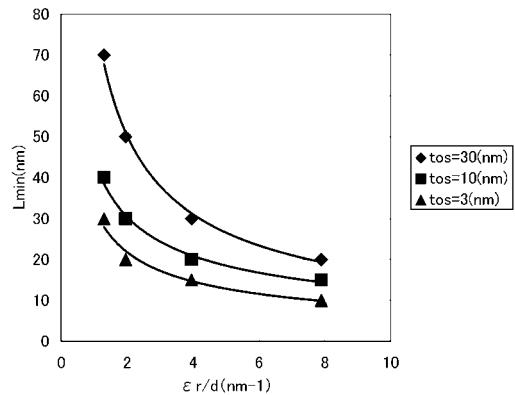
【図9】



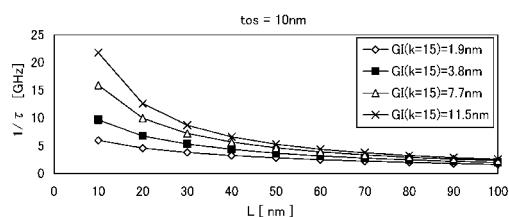
【図10】



【図 1 1】



【図 1 2】



フロントページの続き

(56)参考文献 国際公開第2007/029844 (WO, A1)
米国特許出願公開第2005/0056826 (US, A1)
実開平03-101556 (JP, U)
特開2011-082380 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/336