

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6076223号
(P6076223)

(45) 発行日 平成29年2月8日(2017.2.8)

(24) 登録日 平成29年1月20日(2017.1.20)

(51) Int.Cl.

F I

H02H 7/20 (2006.01)

H02H 7/20

D

H02M 1/08 (2006.01)

H02M 1/08

A

請求項の数 18 (全 26 頁)

(21) 出願番号 特願2013-183887 (P2013-183887)
 (22) 出願日 平成25年9月5日(2013.9.5)
 (65) 公開番号 特開2015-53749 (P2015-53749A)
 (43) 公開日 平成27年3月19日(2015.3.19)
 審査請求日 平成27年10月27日(2015.10.27)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 堀口 剛司
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 中山 靖
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 坂本 聡生

最終頁に続く

(54) 【発明の名称】 電力用半導体素子の駆動回路

(57) 【特許請求の範囲】

【請求項1】

外部から入力されるオン指令またはオフ指令に基づいて、電力用半導体素子の開閉状態を制御する制御指令部と、

前記制御指令部が前記電力用半導体素子を閉状態に遷移させる指令を出力してから前記電力用半導体素子のゲートに供給される電荷量を検出する電荷量検出部と、

前記電力用半導体素子のゲート電圧を検出するゲート電圧検出部と、

前記電荷量検出部で検出された電荷量と、第1の基準値とを比較する第1の比較器と、

前記ゲート電圧検出部で検出されたゲート電圧と、第2の基準値とを比較する第2の比較器と、

前記第1の比較器の比較結果と前記第2の比較器の比較結果の論理演算結果に基づいて、前記電力用半導体素子が短絡状態か否かを判定する第1の短絡判定部と、

前記電力用半導体素子が短絡状態であることを前記第1の短絡判定部が判定した際に、前記第1の短絡判定部の出力信号を保持する検出信号保持部とを備えた電力用半導体素子の駆動回路。

【請求項2】

前記電荷量検出部は、

前記電力用半導体素子のゲート端子に流入するゲート電流を検出するゲート電流検出部と、

前記検出したゲート電流を積分する積分部とを含む、請求項1に記載の電力用半導体素

子の駆動回路。

【請求項 3】

前記電荷量検出部は、

前記電力用半導体素子のゲート端子に流入するゲート電流に対応する電圧を検出するゲート電流対応電圧検出部と、

前記検出したゲート電流に対応する電圧を積分する積分部とを含む、請求項 1 に記載の電力用半導体素子の駆動回路。

【請求項 4】

前記ゲート電流対応電圧検出部は、一方の入力端子がオンゲート抵抗の一端と接続し、他方の入力端子がオンゲート抵抗の他端と接続する差動増幅回路で構成される、請求項 3 記載の電力用半導体素子の駆動回路。

10

【請求項 5】

前記積分部による積分値を初期化する積分値初期化部をさらに備えた、請求項 2 または 3 に記載の電力用半導体素子の駆動回路。

【請求項 6】

前記第 1 の基準値および前記第 2 の基準値は、前記電力用半導体素子のゲート電圧と電荷量の関係を示すグラフにおいて、正常なターンオン動作時の前記電力用半導体素子のゲート電圧 - 電荷量曲線と、アーム短絡状態でのターンオン動作時の前記電力用半導体素子のゲート電圧 - 電荷量曲線と、前記電力用半導体素子のゲート駆動電源電圧を示す直線とで囲まれる領域内に含まれ、前記第 1 の短絡判定部は、前記電荷量検出部で検出された電荷量が前記第 1 の基準値よりも小さく、かつ前記ゲート電圧検出部で検出されたゲート電圧が前記第 2 の基準値よりも大きい場合に、前記電力用半導体素子が短絡状態であると判定する、請求項 1 記載の電力用半導体素子の駆動回路。

20

【請求項 7】

外部から入力されるオン指令またはオフ指令に基づいて、電力用半導体素子の開閉状態を制御する制御指令部と、

前記制御指令部が前記電力用半導体素子を閉状態に遷移させる指令を出力してから前記電力用半導体素子のゲートに供給される電荷量を検出する電荷量検出部と、

前記電力用半導体素子のゲート電圧を検出するゲート電圧検出部と、

前記電荷量検出部で検出された電荷量と、第 3 の基準値とを比較する第 3 の比較器と、

30

前記ゲート電圧検出部で検出されたゲート電圧と、第 4 の基準値とを比較する第 4 の比較器と、

前記第 3 の比較器の比較結果と前記第 4 の比較器の比較結果に基づいて、前記電力用半導体素子が短絡状態か否かを判定する第 2 の短絡判定部と、

前記電力用半導体素子が短絡状態であることを前記第 2 の短絡判定部が判定した際に、前記第 2 の短絡判定部の出力信号を保持する検出信号保持部とを備え、

前記第 3 の基準値は、前記ゲート電圧が前記電力用半導体素子のゲート駆動電源電圧のときに検出される電荷量よりも小さな値であり、かつ前記第 4 の基準値は、前記ゲート駆動電源電圧以上の値であり、

前記第 2 の短絡判定部は、前記電荷量検出部で検出された電荷量が前記第 3 の基準値よりも小さく、かつ前記ゲート電圧検出部で検出されたゲート電圧が前記第 4 の基準値よりも大きい場合に、前記電力用半導体素子が短絡状態であると判定する、電力用半導体素子の駆動回路。

40

【請求項 8】

前記第 1 の基準値および前記第 2 の基準値は、前記電力用半導体素子のゲート電圧と電荷量の関係を示すグラフにおいて、正常なターンオン動作時の前記電力用半導体素子のゲート電圧 - 電荷量曲線と、アーム短絡状態でのターンオン動作時の前記電力用半導体素子のゲート電圧 - 電荷量曲線と、前記電力用半導体素子のゲート駆動電源電圧を示す直線とで囲まれる領域内に含まれ、前記第 1 の短絡判定部は、前記電荷量検出部で検出された電荷量が前記第 1 の基準値よりも小さく、かつ前記ゲート電圧検出部で検出されたゲート電

50

圧が前記第 2 の基準値よりも大きい場合に、前記電力用半導体素子が短絡状態であると判定し、

前記電力用半導体素子の駆動回路は、さらに、

前記電荷量検出部で検出された電荷量と、第 3 の基準値とを比較する第 3 の比較器と、

前記ゲート電圧検出部で検出されたゲート電圧と、第 4 の基準値とを比較する第 4 の比較器と、

前記第 3 の比較器の比較結果と前記第 4 の比較器の比較結果に基づいて、前記電力用半導体素子が短絡状態か否かを判定する第 2 の短絡判定部とを備え、

前記第 3 の基準値は、前記ゲート電圧が前記ゲート駆動電源電圧のときに検出される電荷量よりも小さな値であり、かつ前記第 4 の基準値は、前記ゲート駆動電源電圧以上の値であり、

10

前記第 2 の短絡判定部は、前記電荷量検出部で検出された電荷量が前記第 3 の基準値よりも小さく、かつ前記ゲート電圧検出部で検出されたゲート電圧が前記第 4 の基準値よりも大きい場合に、前記電力用半導体素子が短絡状態であると判定し、

前記検出信号保持部は、前記電力用半導体素子が短絡状態であることを前記第 1 の短絡判定部が判定した際に、前記第 1 の短絡判定部の出力信号を保持し、前記電力用半導体素子が短絡状態であることを前記第 2 の短絡判定部が判定した際に、前記第 2 の短絡判定部の出力信号を保持する、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 9】

前記電力用半導体素子が SiC-MOSFET である、請求項 1 ~ 8 のいずれか 1 項に記載の電力用半導体素子の駆動回路。

20

【請求項 10】

前記第 1 の短絡判定部の判定結果を表す信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 11】

前記第 1 の比較器の比較結果を表す信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 12】

30

前記第 2 の比較器の比較結果を表す信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 13】

前記電荷量検出部の検出結果を表す信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 14】

前記ゲート電圧検出部の検出結果を表す信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

40

【請求項 15】

前記電荷量検出部の検出結果を出力するか、前記ゲート電圧検出部の検出結果を表す信号を出力するか、前記電荷量検出部の検出結果を表す信号と前記ゲート電圧検出部の検出結果を表す信号の両方を出力するかを指定するための第 1 のセレクト端子を備え、

前記第 1 のセレクト端子を通じて指定された信号を出力する出力部と、

前記出力部からの信号を外部へ出力する出力端子とをさらに備えた、請求項 1 記載の電力用半導体素子の駆動回路。

【請求項 16】

前記出力部は、前記検出結果をオンパルスもしくはオフパルスのデューティ比とする信

50

号を前記出力端子を通じて外部へ出力する、請求項 13 ~ 15 のいずれか 1 項に記載の電力用半導体素子の駆動回路。

【請求項 17】

前記出力部は、前記検出結果を表すデジタル値を含むシリアル信号を前記出力端子を通じて外部へ出力する、請求項 13 ~ 15 のいずれか 1 項に記載の電力用半導体素子の駆動回路。

【請求項 18】

前記検出結果をオンパルスもしくはオフパルスのデューティ比で出力するか、またはシリアル信号で出力するかを指定するための第 2 のセレクト端子をさらに備え、

前記出力部は、前記第 2 のセレクト端子を通じて指定された形式で、前記信号を前記出力端子を通じて外部へ出力する、請求項 13 ~ 15 のいずれか 1 項に記載の電力用半導体素子の駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体素子の駆動回路に関し、特に、I G B T (Insulated Gate Bipolar Transistor) や M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) などの電力用半導体素子の短絡状態を検知、保護する機能を備えた駆動回路に関する。

【背景技術】

【0002】

I G B T や M O S F E T などの電力用半導体素子において短絡状態が発生すると、大電流が流れることから、電力用半導体素子が熱破壊する可能性がある。そのため、電力用半導体素子の短絡状態を検知、保護する機能が必要となる。

【0003】

特許文献 1 (特開 2001 - 197724 号公報) に記載の電力用半導体素子の駆動回路では、電力用半導体素子の主端子間電圧 (I G B T に対してはコレクタ - エミッタ間電圧) を検出し、主端子間電圧が所定の判定値より大きい時、過電流状態や短絡状態であることを判定する。

【0004】

特許文献 2 (特開 2007 - 259533 号公報) に記載の駆動回路では、電力用半導体素子 (I G B T) のコレクタ電流とゲート電圧を検出する。短絡状態においてはゲート電圧がゲート駆動電源電圧まで一気に上昇し、また、大きなコレクタ電流が流れることから、ゲート電圧があらかじめ設定した所定の電圧より高く、かつ、コレクタ電流値があらかじめ設定した所定の電流値より高い時、短絡状態であると判定する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2001 - 197724 号公報 (段落 [0022] ~ [0028]、図 1 - 図 3)

【特許文献 2】特開 2007 - 259533 号公報 (段落 [0013] ~ [0017]、図 1)

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献 1 に記載の駆動回路は、電力用半導体素子のコレクタ電圧を検出することにより、短絡状態であることを検出するが、正常状態と短絡状態とを区別するために、ターンオン動作指令後から一定期間は判定動作を行うことができない。そのため、短絡状態であることを検知するまでに長い時間を要するという問題がある。また、コレクタ電圧を検出する手段として高耐圧ダイオードを用いる必要があり、高コストになるという問題もある

10

20

30

40

50

。

【 0 0 0 7 】

特許文献 2 の電力用半導体素子のゲート駆動回路は、コレクタ電流とゲート電圧を用いることにより短絡状態であることを検出するが、コレクタ電流を検出するために C T (カレントトランス) やシャント抵抗といった電流検出器が必要となる。そのため、装置が大型化し、高コストになるという問題がある。

【 0 0 0 8 】

それゆえに、本発明は、低コストで、電力用半導体素子の短絡状態を迅速に検出することができる電力用半導体素子の駆動回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

上記課題を解決するために、本発明の電力用半導体素子の駆動回路は、外部から入力されるオン指令またはオフ指令に基づいて、電力用半導体素子の開閉状態を制御する制御指令部と、制御指令部が電力用半導体素子を閉状態に遷移させる指令を出力してから電力用半導体素子のゲートに供給される電荷量を検出する電荷量検出部と、電力用半導体素子のゲート電圧を検出するゲート電圧検出部と、電荷量検出部で検出された電荷量と、第 1 の基準値とを比較する第 1 の比較器と、ゲート電圧検出部で検出されたゲート電圧と、第 2 の基準値とを比較する第 2 の比較器と、第 1 の比較器の比較結果と第 2 の比較器の比較結果の論理演算結果に基づいて、電力用半導体素子が短絡状態か否かを判定する第 1 の短絡判定部と、電力用半導体素子が短絡状態であることを第 1 の短絡判定部が判定した際に、第 1 の短絡判定部の出力信号を保持する検出信号保持部とを備える。

【発明の効果】

【 0 0 1 0 】

本発明によれば、低コストで、電力用半導体素子の短絡状態を迅速に検出することができる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】本発明の実施の形態 1 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 2】 I G B T におけるターンオン動作時のゲート電圧と電荷量の関係を、正常時とアーム短絡時のそれぞれについて示す図である。

【図 3】 S i C - M O S F E T におけるターンオン動作時のゲート電圧と電荷量の関係を、正常時とアーム短絡時のそれぞれについて示す図である。

【図 4】本発明の実施の形態 1 の変形例による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 5】本発明の実施の形態 2 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 6】積分部の構成を示す図である。

【図 7】本発明の実施の形態 3 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 8】本発明の実施の形態 3 による電力用半導体素子の駆動回路のゲート電流対応電圧検出部の構成を示す図である。

【図 9】本発明の実施の形態 4 による電力用半導体素子の駆動回路のゲート電流対応電圧検出部の構成を示す図である。

【図 1 0】本発明の実施の形態 5 による電力用半導体素子の駆動回路の積分部と、積分値初期化部の構成を示す図である。

【図 1 1】本発明の実施の形態 5 の変形例 1 による電力用半導体素子の駆動回路の積分部と、積分値初期化部の構成を示す図である。

【図 1 2】本発明の実施の形態 5 の変形例 2 による電力用半導体素子の駆動回路の積分部と、積分値初期化部の構成を示す図である。

10

20

30

40

50

【図 1 3】負荷短絡動作時におけるターンオン波形の概略図である。

【図 1 4】負荷短絡時におけるゲート電圧と電荷量の関係を示す図である。

【図 1 5】本発明の実施の形態 6 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 1 6】本発明の実施の形態 7 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 1 7】本発明の実施の形態 8 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 1 8】本発明の実施の形態 8 による駆動回路から出力される信号を示す図である。

【図 1 9】本発明の実施の形態 9 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 2 0】実施の形態 9 におけるセレクト信号 S L と出力内容との関係を示す図である。

【図 2 1】本発明の実施の形態 1 0 による電力用半導体素子およびその駆動回路の構成を示す図である。

【図 2 2】実施の形態 1 0 におけるセレクト信号 S L と出力内容との関係を示す図である。

【図 2 3】(a) ~ (c) は、本発明の実施の形態 1 0 による駆動回路から出力される信号を示す図である。

【図 2 4】本発明の実施の形態 1 0 の変形例による駆動回路から出力される信号を示す図である。

【図 2 5】本発明の実施の形態 1 0 の変形例による駆動回路から出力される信号を示す図である。

【図 2 6】本発明の実施の形態 1 1 による電力用半導体素子およびその駆動回路の構成を示す図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、本発明の実施の形態について図面を用いて説明する。

[実施の形態 1]

図 1 は本発明の実施の形態 1 による電力用半導体素子およびその駆動回路の構成を示す図である。図 1 では電力用半導体素子 1 として I G B T (Insulated Gate Bipolar Transistor) を例に示しているが、必ずしも I G B T に限定されるものではなく、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) などの自己消弧型半導体素子であってもよい。

【 0 0 1 3 】

この駆動回路 5 1 は、制御指令部 1 1 と、バッファ回路 3 と、電荷量検出部 4 と、第 1 の基準電圧発生回路 5 と、第 1 の比較器 6 と、ゲート電圧検出部 7 と、第 2 の基準電圧発生回路 8 と、第 2 の比較器 9 と、第 1 の短絡判定部 1 0 と、積分値初期化部 1 2 と、短絡保護部 1 3 と、低速遮断部 1 4 と、検出信号保持部 2 8 と、オンゲート抵抗 2 a と、オフゲート抵抗 2 b とを備える。

【 0 0 1 4 】

制御指令部 1 1 は、外部からオン指令が入力されると、電力用半導体素子 1 を閉状態に遷移 (以下、ターンオンという) させるゲート指令 (ターンオン指令) をバッファ回路 3 に出力する。バッファ回路 3 は、ターンオン指令をオンゲート抵抗 2 a を介して電力用半導体素子 1 のゲートに出力する。これにより、電力用半導体素子 1 がターンオンする。

【 0 0 1 5 】

制御指令部 1 1 は、外部からオフ指令が入力されると、電力用半導体素子 1 を開状態に遷移 (以下、ターンオフという) させるゲート指令 (ターンオフ指令) をバッファ回路 3 に出力する。バッファ回路 3 は、ターンオフ指令をオフゲート抵抗 2 b を介して電力用半導体素子 1 のゲートに出力する。これにより、電力用半導体素子 1 がターンオフする。

【 0 0 1 6 】

低速遮断部 1 4 は、短絡保護部 1 3 から低速遮断の指示を受けると、制御指令部 1 1 から通常動作時のターンオフ指令が出力されるときよりも、電力用半導体素子 1 をターンオフさせる際の遮断速度を遅くする。低速遮断部 1 4 は、オフゲート抵抗を内蔵している。

【 0 0 1 7 】

短絡状態では大電流が流れており、このような大電流を通常動作時の速度で遮断すると、大きなサージ電圧が発生して電力用半導体素子 1 を破壊するおそれがあるので、正常時にターンオフさせる場合よりも、遮断速度を遅くすることにより、サージ電圧を抑制する。

【 0 0 1 8 】

10

電力用半導体素子 1 の通常のターンオフ動作時には、低速遮断部 1 4 の内部動作によって、バッファ回路 3 と電力用半導体素子 1 のゲートの間の抵抗は、オフゲート抵抗 2 b と、低速遮断部 1 4 の抵抗とが並列接続された抵抗となる。

【 0 0 1 9 】

一方、電力用半導体素子 1 の短絡が検知された場合、ターンオフ動作時には、低速遮断部 1 4 の内部動作によって、バッファ回路 3 と電力用半導体素子 1 のゲートの間の抵抗は、オフゲート抵抗 2 b のみとなる。したがって、短絡時には正常時に比べて、遅い速度で電力用半導体素子 1 を遮断することができる。

【 0 0 2 0 】

20

電荷量検出部 4 は、制御指令部 1 1 からターンオン指令を受けてから電力用半導体素子 1 のゲートに供給される電荷量を検出して、検出した電荷量を表す電圧 E を出力する。たとえば、出力される電圧 E は、検出した電荷量 Q の K 倍とする。

【 0 0 2 1 】

第 1 の基準電圧発生回路 5 は、第 1 の基準電圧 V_{REF1} を発生する。

第 1 の比較器 6 は、検出された電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E と、第 1 の基準電圧 V_{REF1} とを比較して、比較結果を表す信号 S 1 を出力する。電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E が第 1 の基準電圧 V_{REF1} よりも低い場合、信号 S 1 は「H」レベルとなる。電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E が第 1 の基準電圧 V_{REF1} 以上の場合、信号 S 1 は「L」レベルとなる。

30

【 0 0 2 2 】

第 1 の比較器 6 は、換言すれば、検出された電力用半導体素子 1 のゲートに供給される電荷量 Q と第 1 の基準電荷量（第 1 の基準値）とを比較することを意味する。第 1 の基準電荷量（第 1 の基準値）は、第 1 の基準電圧 V_{REF1} を $1/K$ 倍した値である。

【 0 0 2 3 】

ゲート電圧検出部 7 は、電力用半導体素子 1 のゲート電圧を検出する。

第 2 の基準電圧発生回路 8 は、第 2 の基準電圧 V_{REF2} （第 2 の基準値）を発生する。

【 0 0 2 4 】

40

第 2 の比較器 9 は、検出された電力用半導体素子 1 のゲート電圧と、第 2 の基準電圧 V_{REF2} とを比較して、比較結果を表す信号 S 2 を出力する。検出された電力用半導体素子 1 のゲート電圧が第 2 の基準電圧 V_{REF2} よりも高い場合、信号 S 2 は「H」レベルの信号となる。検出された電力用半導体素子 1 のゲート電圧が第 2 の基準電圧 V_{REF2} 以下の場合、信号 S 2 は「L」レベルの信号となる。

【 0 0 2 5 】

第 1 の短絡判定部 1 0 は、第 1 の比較器 6 の出力と、第 2 の比較器 9 の出力との論理積を演算することによって短絡状態を判定して、判定結果を表す信号 S 0 を出力する。

【 0 0 2 6 】

電荷量検出部 4 により検出された電荷量を表す電圧が第 1 の基準電圧 V_{REF1} よりも低く、かつ、ゲート電圧検出部 7 により検出されたゲート電圧が第 2 の基準電圧 V_{REF2}

50

2 よりも高い場合に、信号 S 0 は電力用半導体素子 1 が短絡状態であることを表す「H」レベルとなる。S 1 または S 2 のいずれか一方が「L」レベルの信号を出力すると信号 S 0 は「L」レベルとなる。

【0027】

検出信号保持部 28 は、電力用半導体素子 1 が短絡状態であると第 1 の短絡判定部 10 により判定された際に短絡判定部 10 から出力される「H」レベルの信号を保持する。

【0028】

短絡保護部 13 は、検出信号保持部 28 から「H」レベルの信号を受けると、電力用半導体素子 1 を遮断するために、制御指令部 11 と低速遮断部 14 に対して電力用半導体素子 1 の低速遮断を要求する信号を出力する。

10

【0029】

電力用半導体素子 1 のゲートに供給される電荷量は、バッファ回路 3 から電力用半導体素子 1 のゲート端子に流れる電流の積分値で表される。短絡状態は必ずしも電力変換器の始動時に発生するとは限らず、連続動作中の任意のタイミングで発生する。このような場合にも短絡状態を検知および保護するために、積分値初期化部 12 は、電力用半導体素子 1 の任意のターンオン動作開始時において、電荷量検出部 4 の検出電荷量を 0 にリセットする。

【0030】

図 2 は、IGBT におけるターンオン動作時のゲート電圧と電荷量の関係を、正常時とアーム短絡時のそれぞれについて示す図である。正常時では、ターンオン指令に基づいてゲート電圧が上昇するに伴い IGBT のゲートに供給される電荷量は増加する。ゲート電圧が所定の値（ミラー電圧： V_m ）にまで上昇すると、ゲート電圧は V_m のまま一定となるが、IGBT のゲートに供給される電荷量は所定の値（ Q_1 ）まで増加する。ゲート電圧が V_m で一定となっている期間はミラー期間と呼ばれる。その後、IGBT のゲートに供給される電荷量が Q_1 を超えると再びゲート電圧は上昇し、ゲート駆動電源電圧 V_d にまで到達する。

20

【0031】

図 2 に示したような IGBT におけるゲート電圧と電荷量の関係には、帰還容量の存在が大きく寄与している。IGBT における帰還容量はコレクタ・ゲート間の容量に相当し、大きな電圧依存性を有している。正常時のターンオン動作時においては、バッファ回路 3 からのターンオン指令に基づき、ゲート電圧は上昇してゲート・エミッタ間容量を充電する。ゲート電圧が IGBT の閾値電圧を超えると、コレクタ電流が流れ始めるとともにコレクタ電圧が低下し、バッファ回路 3 から IGBT のゲートに供給されるゲート電流は帰還容量を介してゲート端子からコレクタ端子へと流れる。その結果、ゲート電圧が一定となる期間、いわゆるミラー期間が出現する。

30

【0032】

帰還容量には大きな電圧依存性があり、コレクタ・エミッタ間電圧が IGBT のオン電圧まで低下すると帰還容量の値は 1 桁ないし 2 桁大きな値となるため、ミラー期間終了後、ゲート電圧はゲート駆動電源電圧 V_d まで緩やかに上昇していく。

【0033】

40

一方、アーム短絡時においてはコレクタ・エミッタ間電圧が高電圧状態のままほとんど変化せず、帰還容量はほぼ一定値のままである。その結果、駆動回路 51 から供給されるゲート電流はゲート端子からコレクタ端子へと流れることはなく、ゲート電圧はミラー期間が現れずにゲート駆動電源電圧 V_d にまで一気に上昇することになる。このように正常動作時とアーム短絡動作時とでは、ゲート電圧と電荷量の関係に大きな差異が認められる。

【0034】

図 3 は、SiC-MOSFET におけるターンオン動作時のゲート電圧と電荷量の関係を、正常時とアーム短絡時のそれぞれについて示す図である。正常時では、ターンオン指令に基づいてゲート電圧が上昇すると、SiC-MOSFET に供給される電荷量は増加

50

する。ゲート電圧が所定の値 (V_0) にまで上昇すると、ゲート電圧はゲート電圧 V_1 に到達するまでごく緩やかに上昇し、電荷量は所定の値 (Q_1) に到達する。図 2 に示した IGBT の場合のようにゲート電圧が一定の値にはならないが、ゲート電圧が V_0 から V_1 の間の期間が IGBT におけるミラー期間に相当する。その後、SiC-MOSFET に供給される電荷量が Q_1 を超えると、ゲート電圧は再び上昇してゲート駆動電源電圧 V_d にまで到達する。

【0035】

SiC-MOSFET におけるゲート電圧と電荷量の関係においても、IGBT の場合と同様に、帰還容量の存在が大きく寄与している。SiC-MOSFET における帰還容量はドレイン・ゲート間の容量に相当し、大きな電圧依存性を有している。正常時のターンオン動作時においては、バッファ回路 3 からのターンオン指令に基づき、ゲート電圧は上昇してゲート・ソース間容量を充電する。ゲート電圧が閾値電圧を超えるとドレイン電流が流れ始めるとともにドレイン電圧は低下し、バッファ回路 3 から SiC-MOSFET に供給されるゲート電流は帰還容量を介してゲート端子からドレイン端子に流れる。その結果、IGBT のミラー期間に相当するゲート電圧の上昇がごく緩やかな期間が現れる。帰還容量には大きな電圧依存性があり、ドレイン・ソース間電圧の値が SiC-MOSFET のオン電圧まで低下すると帰還容量の値は 1 桁ないし 2 桁大きな値となる。その結果、ミラー期間終了後、ゲート電圧はゲート駆動電源電圧 V_d まで緩やかに上昇する。しかしながら、アーム短絡時においては IGBT と同様にこのようなミラー期間は現れることなくゲート電圧はゲート駆動電源電圧 V_d まで一気に上昇する。

【0036】

次に、図 2 または図 3 に示したようなゲート電圧と電荷量の関係を利用してアーム短絡状態を判定するための、電荷量の基準値 Q_R (第 1 の基準値 (= 第 1 の基準電圧 V_{REF1}/K) に相当) とゲート電圧の基準値 V_R (第 2 の基準値 (= 第 2 の基準電圧 V_{REF2}) に相当) について説明する。正常時のゲート電圧 - 電荷量曲線と、アーム短絡時のゲート電圧 - 電荷量曲線と、ゲート駆動電源電圧 V_d とで囲まれる領域内に、電荷量の基準値 Q_R の値とゲート電圧の基準値 V_R の値とが含まれるように設定する。なお、検出誤差などの可能性を考慮すると一定のマージンを設定することが望ましい。

【0037】

具体的には、正常な場合のターンオン動作時においてミラー電圧が一定となるような電力用半導体素子 (例えば IGBT) の場合には、図 2 に示すようなハッチングで示した領域内にゲート電圧の基準値 V_R の値と電荷量の基準値 Q_R の値とが含まれるように設定する。特に、電荷量の基準値 Q_R の値をハッチングで示した領域内で、かつ、 Q_1 より小さい値に設定し、ゲート電圧の基準値 V_R の値をハッチングで示した領域内で、かつ、 V_m に近い値に設定することにより、高速にアーム短絡保護することが可能となる。

【0038】

また、正常な場合のターンオン動作時においてミラー電圧が一定ではなく緩やかに上昇するような電力用半導体素子 (例えば SiC-MOSFET) の場合には、図 3 に示すようなハッチングで示した領域内にゲート電圧の基準値 V_R の値と電荷量の基準値 Q_R の値とが含まれるように設定する。やはり、電荷量の基準値 Q_R の値をハッチングで示した領域内で、かつ、 Q_1 より小さい値に設定し、ゲート電圧の基準値 V_R をハッチングで示した領域内で、かつ、 V_0 に近い値に設定することにより、高速にアーム短絡保護することが可能となる。

【0039】

アーム短絡保護するために、制御指令部 11 と低速遮断部 14 に対して短絡保護部 13 から信号が出力され、電力用半導体素子 1 がターンオフするとゲート電圧は低下していく。このとき、電力用半導体素子 1 のゲート電圧 V_{ge} が第 2 の基準電圧 V_{REF2} より低くなると、第 2 の比較器 9 の出力信号 S_2 は「L」レベルの信号となるため、第 1 の短絡判定部 10 は「L」レベルの信号を出力することになり、アーム短絡状態ではないと判定されることになる。検出信号保持部 28 は、電力用半導体素子 1 が短絡状態であると判定

された際、第1の短絡判定部10からの出力信号を保持することによって、電力用半導体素子を保護するために遮断指令が出力されてゲート電圧が第2の基準電圧 V_{REF2} 以下となった場合においても、短絡保護部13からは保護指令が出力され続けることになり、確実にアーム短絡保護を行うことができる。

【0040】

以上のような実施の形態1の構成によれば、第1の比較器6が電荷量検出部4により検出した電荷量を表す電圧が第1の基準電圧 V_{REF1} よりも低いと判定し、かつ、第2の比較器9がゲート電圧検出部7により検出したゲート電圧が第2の基準電圧 V_{REF2} よりも高いと判定した場合に、電力用半導体素子1が短絡状態にあることを判定することができる。そのため、短絡を検知する期間を設定することなく、かつ、高耐圧部品を用いることなく、電力用半導体素子1の短絡状態を速やかに検知し、保護することができる。

10

【0041】

また、第1の短絡判定部10が電力用半導体素子1が短絡状態にあると判定した場合に、短絡保護部13は電力用半導体素子1を遮断する指令を制御指令部11に出力するとともに、低速遮断部14に正常時よりも遅い速度で電力用半導体素子1を遮断するように指示するので、遮断時に発生するサージ電圧を抑制し、遮断による電力用半導体素子1の破損を防ぐことができる。

【0042】

また、SiC-MOSFETのようにミラー期間におけるゲート電圧が一定でない場合においても第1の基準電圧および第2の基準電圧を容易に設定することができるため、電力用半導体素子1の短絡状態を速やかに検知し、保護することができる効果がある。

20

【0043】

[実施の形態1の変形例]

図4は、本発明の実施の形態1の変形例による電力用半導体素子およびその駆動回路の構成を示す図である。

【0044】

図4の駆動回路551では、第1の比較器6と第2の比較器9それぞれにおいて、反転入力端子と非反転入力端子に接続する信号が図1の場合と逆である。第1の短絡判定部29は、NOR回路で構成される。

【0045】

30

第1の比較器6が電荷量検出部4により検出した電荷量を表す電圧が第1の基準電圧 V_{REF1} よりも低いと判定し、かつ、第2の比較器9がゲート電圧検出部7により検出したゲート電圧が第2の基準電圧 V_{REF2} よりも高いと判定した場合に、第1の短絡判定部29は電力用半導体素子1が短絡状態にあると判定することができる。

【0046】

[実施の形態2]

本実施の形態は、電荷量検出部の具体的な構成に関する。

【0047】

図5は、本発明の実施の形態2による電力用半導体素子およびその駆動回路の構成を示す図である。

40

【0048】

図5の駆動回路52では、電荷量検出部4が、ゲート電流検出部15と、積分部16とで構成される。

【0049】

バッファ回路3から電力用半導体素子1のゲート端子に流入するゲート電流 i_g と、電力用半導体素子1に供給される電荷量 Q には式(1)の関係がある。それゆえ、実施の形態2では、電荷量検出部4を、ゲート電流 i_g を検出するゲート電流検出部15と積分部16を用いて構成している。

【0050】

【数 1】

$$Q = \int i_g(t) dt \quad \dots (1)$$

【 0 0 5 1 】

図 6 は、積分部 1 6 の構成を示す図である。

積分部 1 6 は、反転積分回路 2 6 と、反転増幅回路 2 7 とを備える。

【 0 0 5 2 】

反転積分回路 2 6 は、オペアンプ 1 8 a と、抵抗素子 R 0 と、容量素子 C 0 とを含む。容量素子 C 0 は、オペアンプ 1 8 a の出力端子と反転入力端子との間に設けられる。オペアンプ 1 8 a の反転入力端子は、抵抗素子 R 0 を介して入力電圧 V i n を受ける。オペアンプ 1 8 a の非反転入力端子は、グランドに接地される。オペアンプ 1 8 a の出力端子は、電圧 V 0 を出力する。

10

【 0 0 5 3 】

反転増幅回路 2 7 は、抵抗素子 R 1 , R 2 と、オペアンプ 1 8 b とを含む。

抵抗素子 R 2 は、オペアンプ 1 8 b の出力端子と反転入力端子との間に設けられる。オペアンプ 1 8 b の反転入力端子は、抵抗素子 R 1 を介して、反転積分回路 2 6 の出力電圧 V 0 を受ける。オペアンプ 1 8 b の非反転入力端子は、グランドに接地される。オペアンプ 1 8 b の出力端子は、電圧 V o u t を出力する。

20

【 0 0 5 4 】

ゲート電流検出部 1 5 で検出したゲート電流 i g を表す電圧を V i n として表すと、反転積分回路 2 6 の出力電圧 V 0 は式 (2) で表され、反転増幅回路 2 7 から出力される電圧 V o u t は式 (3) で表される。これによって、電荷量またはそれに対応する物理量を得ることができる。ここで、抵抗素子 R 0 ~ R 2 の抵抗値を R 0 ~ R 2 とし、容量素子 C 0 の容量値を C 0 とする。

【 0 0 5 5 】

【数 2】

$$V_0 = - \int \frac{1}{C_0 \times R_0} V_{in}(t) dt \quad \dots (2)$$

30

$$V_{out} = - \frac{R_2}{R_1} V_0 = \frac{R_2}{C_0 \times R_0 \times R_1} \int V_{in}(t) dt \quad \dots (3)$$

【 0 0 5 6 】

以上のような実施の形態 2 の構成によれば、ゲート電流検出部 1 5 を用いて検出した電力用半導体素子 1 のゲート端子に流入するゲート電流を容易に積分することができるため、簡単な回路構成で電荷量またはそれに対応する物理量を算出することができる。

【 0 0 5 7 】

なお、実施の形態 2 では、ゲート電流の方向をバッファ回路 3 から電力用半導体素子 1 のゲート端子に流れる方向を正とし、また、電荷量あるいはそれに対応する物理量を正の値として取り扱うために、積分部 1 6 を反転積分回路 2 6 と反転増幅回路 2 7 とで構成する。ゲート電流の正方向を電力用半導体素子 1 のゲート端子からバッファ回路 3 の方向とすると、反転増幅回路 2 7 を不要とすることができる。

40

【 0 0 5 8 】

[実施の形態 3]

本実施の形態は、電荷量検出部の別の具体的な構成に関する。

【 0 0 5 9 】

図 7 は、本発明の実施の形態 3 による電力用半導体素子およびその駆動回路の構成を示す図である。

50

【 0 0 6 0 】

図 7 の駆動回路 5 3 では、電荷量検出部 4 が、ゲート電流対応電圧検出部 1 7 と、積分部 1 6 とで構成される。

【 0 0 6 1 】

ゲート電流対応電圧検出部 1 7 は、オンゲート抵抗 2 a 両端に発生する電圧を検出する。このオンゲート抵抗 2 a の両端に発生する電圧は、バッファ回路 3 から電力用半導体素子 1 のゲート端子に流入するゲート電流に相当する。

【 0 0 6 2 】

図 8 は、実施の形態 3 のゲート電流対応電圧検出部の構成を示す図である。

図 8 に示すように、ゲート電流対応電圧検出部 1 7 は差動増幅回路で構成される。差動増幅回路は、抵抗素子 R 1 ~ R 4 と、オペアンプ 1 9 で構成される。オンゲート抵抗 2 a の一端である電力用半導体素子 1 のゲート端子側の電位を V a とし、他端であるバッファ回路 3 側の電位を V b とする。

【 0 0 6 3 】

抵抗素子 R 2 は、オペアンプ 1 9 の出力端子と反転入力端子との間に設けられる。オペアンプ 1 9 の反転入力端子は、抵抗素子 R 1 を介して入力電圧 V a を受ける。オペアンプ 1 9 の非反転入力端子は、抵抗素子 R 3 を介して入力電圧 V b を受けるとともに、抵抗素子 R 4 を介してグラウンドに接地される。オペアンプ 1 9 の出力端子は、電圧 V c を出力する。オペアンプ 1 9 の出力電圧 V c は、以下の式 (4) で表される。ここで、抵抗素子 R 1 ~ R 4 の抵抗値を R 1 ~ R 4 とする。

【 0 0 6 4 】

【 数 3 】

$$V_c = \left(\frac{R_1 + R_2}{R_3 + R_4} \right) \frac{R_4}{R_1} V_b - \frac{R_2}{R_1} V_a \quad \dots (4)$$

【 0 0 6 5 】

さらに、抵抗素子 R 1 と抵抗素子 R 3 の抵抗値が同一で、かつ抵抗素子 R 2 と抵抗素子 R 4 の抵抗値が同一の場合には、オペアンプ 1 9 の出力電圧は、以下の式 (5) で表される。したがって、ゲート電流対応電圧検出部 1 7 は、オンゲート抵抗 2 a の両端の電圧 (V b - V a) を定数倍した値を出力することになる。

【 0 0 6 6 】

【 数 4 】

$$V_c = \frac{R_2}{R_1} (V_b - V_a) \quad \dots (5)$$

【 0 0 6 7 】

以上のような実施の形態 3 の構成によれば、ゲート抵抗両端の電圧を検出することにより、容易にゲート電流に対応した電圧を検出し、電荷量またはそれに対応する物理量を算出することができる。

【 0 0 6 8 】

[実施の形態 4]

図 9 は、本発明の実施の形態 4 による電力用半導体素子の駆動回路のゲート電流対応電圧検出部の構成を示す図である。

【 0 0 6 9 】

図 9 のゲート電流対応電圧検出部 3 7 は、差動増幅回路の 1 種であるインストルメンテーションアンプで構成される。インストルメンテーションアンプは、図 8 に示したような

差動増幅回路と比較して、ノイズの多い環境下においても安定した動作が得られることから工業用計測回路によく用いられ、計装アンプとも呼ばれている。

【 0 0 7 0 】

このインストルメンテーションアンプは、オペアンプ 2 0 a , 2 0 b , 2 0 c と、抵抗素子 R 0 , R 1 a , R 1 b , R 3 a , R 3 b , R 4 a , R 4 b とを備える。

【 0 0 7 1 】

オンゲート抵抗 2 a の一端である電力用半導体素子 1 のゲート端子側の電位を V a とし、他端であるバッファ回路 3 側の電位を V b とする。

【 0 0 7 2 】

抵抗素子 R 1 a は、オペアンプ 2 0 a の出力端子と反転入力端子との間に設けられる。オペアンプ 2 0 a の非反転入力端子は、入力電圧 V a を受ける。抵抗素子 R 1 b は、オペアンプ 2 0 b の出力端子と反転入力端子との間に設けられる。オペアンプ 2 0 b の非反転入力端子は、入力電圧 V b を受ける。オペアンプ 2 0 a の反転入力端子とオペアンプ 2 0 b の反転入力端子は、抵抗素子 R 0 を介して接続される。

【 0 0 7 3 】

オペアンプ 2 0 a の出力端子は、抵抗素子 R 3 a を介してオペアンプ 2 0 c の反転入力端子に接続される。オペアンプ 2 0 b の出力端子は、抵抗素子 R 3 b を介してオペアンプ 2 0 c の非反転入力端子に接続される。オペアンプ 2 0 c の出力端子は、抵抗素子 R 4 a を介してオペアンプ 2 0 c の反転入力端子に接続される。オペアンプ 2 0 c の非反転入力端子は、抵抗素子 R 4 b を介してグランドに接続される。

【 0 0 7 4 】

このインストルメンテーションアンプの出力 V c は以下の式 (6) で表される。ここで、抵抗素子 R 0 の抵抗値を R 0 、抵抗素子 R 1 a , R 1 b の抵抗値を R 1 、抵抗素子 R 3 a , R 3 b の抵抗値を R 3 、抵抗素子 R 4 a , R 4 b の抵抗値を R 4 とする。

【 0 0 7 5 】

【 数 5 】

$$V_c = \frac{R_4}{R_3} \left(1 + \frac{2R_1}{R_0} \right) (V_b - V_a) \quad \dots (6)$$

【 0 0 7 6 】

以上のような実施の形態 4 の構成によれば、ゲート電流対応電圧検出部を用いて安定してゲート抵抗両端の電圧を検出することができ、また、容易に電荷量またはそれに対応する物理量を算出することができる。

【 0 0 7 7 】

[実施の形態 5]

図 1 0 は、本発明の実施の形態 5 による電力用半導体素子の駆動回路の積分部 1 6 と、積分値初期化部 1 2 の構成を示す図である。

【 0 0 7 8 】

短絡状態は必ずしも始動時に発生するとは限らず、連続動作中の任意のタイミングで発生した短絡動作に対しても検知および保護するためには、積分部 1 6 においてターンオン動作開始時に積分値を初期化する必要がある。積分値初期化部 1 2 は、電力用半導体素子 1 のターンオン動作開始時において、バッファ回路 3 から電力用半導体素子 1 のゲートに供給される電荷量を算出する積分部 1 6 の初期値を 0 に設定する。

【 0 0 7 9 】

積分部 1 6 は、図 6 に示される構成と同じなので、説明を繰り返さない。

図 1 0 に示すように、積分値初期化部 1 2 は、リセットスイッチ 2 1 と抵抗素子 2 2 とを備える。

【 0 0 8 0 】

リセットスイッチ 21 と抵抗素子 22 は、オペアンプ 18 a の反転入力端子と出力端子間に直列に接続され、容量素子 C0 と並列に接続される。

【0081】

リセットスイッチ 21 は、制御指令部 11 がターンオン指令を出力している期間はオフ状態で、ターンオフ指令を出力している期間はオン状態となる。このように設定することによって、積分部 16 はターンオン指令期間のみ積分する。制御指令部 11 がターンオフ指令を出力すると容量素子 C0 に蓄積された電荷は抵抗素子 22 を介して放電されるため積分値をリセットすることができ、次のターンオン動作時における積分値の初期値を 0 にすることができる。

【0082】

[実施の形態 5 の変形例 1]

図 11 は、本発明の実施の形態 5 の変形例 1 による電力用半導体素子の駆動回路の積分部 16 と、積分値初期化部 72 の構成を示す図である。

【0083】

積分部 16 は、図 6 に示される構成と同じなので、説明を繰り返さない。

図 11 に示すように、積分値初期化部 72 は、リセットスイッチとしての PNP トランジスタ 24 と、抵抗素子 22 とを備える。

【0084】

制御指令部 11 からの出力信号が「H」レベルのときに電力用半導体素子 1 がターンオンするものとする。PNP トランジスタ 24 は、制御指令部 11 が「H」レベルの信号を出力している期間（すなわちターンオン指令を出力している期間）はオフ状態となる。また、PNP トランジスタ 24 は、制御指令部 11 が「L」レベルの信号を出力している期間（すなわちターンオフ指令を出力している期間）はオン状態となる。このように設定することにより、積分部 16 はターンオン指令期間のみ積分する。ターンオフ指令期間は容量素子 C0 に蓄積された電荷を放電することにより積分値をリセットすることができる。

【0085】

なお、制御指令部 11 からの出力信号が「L」レベルの信号のときに電力用半導体素子 1 がターンオンする場合には、PNP トランジスタ 24 の代わりに、NPN トランジスタを用いれば同等の効果を得ることができることはいうまでもない。

【0086】

[実施の形態 5 の変形例 2]

図 12 は、本発明の実施の形態 5 の変形例 2 による電力用半導体素子の駆動回路の積分部 16 と、積分値初期化部 82 の構成を示す図である。

【0087】

積分部 16 は、図 6 に示される構成と同じなので、説明を繰り返さない。

図 12 に示すように、積分値初期化部 82 は、リセットスイッチとしての P チャネル MOSFET 25 と、抵抗素子 22 とを備える。

【0088】

制御指令部 11 からの出力信号が「H」レベルのときに電力用半導体素子 1 がターンオンするものとする。P チャネル MOSFET 25 は、制御指令部 11 が「H」レベルの信号を出力している期間（すなわちターンオン指令を出力している期間）はオフ状態となる。また、P チャネル MOSFET 25 は、制御指令部 11 が「L」レベルの信号を出力している期間（すなわちターンオフ指令を出力している期間）はオン状態となる。このように設定することにより、積分部 16 はターンオン指令期間のみ積分する。ターンオフ指令期間は容量素子 C0 に蓄積された電荷を放電することにより積分値をリセットすることができる。

【0089】

なお、制御指令部 11 からの出力信号が「L」レベルの信号のときに電力用半導体素子 1 がターンオンする場合には、P チャネル MOSFET 25 の代わりに N チャネル MOSFET を用いれば同等の効果を得ることができることはいうまでもない。

10

20

30

40

50

【 0 0 9 0 】

このような構成によれば、ターンオン動作時において積分値を初期化することができるため、任意のターンオン動作時における電荷量またはそれに対応する物理量を検出することができ、始動時以外の連続動作中においても短絡状態を検出することができる。

【 0 0 9 1 】

以上、アーム短絡について述べてきた。短絡状態にはアーム短絡の他に、モータ等の負荷で短絡状態となる負荷短絡がある。

【 0 0 9 2 】

図 1 3 は、負荷短絡動作時におけるターンオン波形の概略図である。負荷短絡時では、通常のターンオン動作時と同様に I G B T のコレクタ・エミッタ間電圧はオン電圧まで一旦低下するものの、その後、コレクタ電流が急激に増加するとともにコレクタ・エミッタ間電圧は上昇していく。コレクタ・エミッタ間電圧の上昇に伴い、コレクタ・ゲート間に存在する帰還容量の値は小さくなり、I G B T のコレクタ端子からゲート端子を介してゲート駆動回路へと電流が流れるためゲート電荷量は減少し、また、ゲート電圧はゲート駆動電源電圧以上の値にまで上昇する。負荷短絡時のゲート電圧と電荷量の関係を示すと図 1 4 のようになる。

10

【 0 0 9 3 】

ゲート電圧と電荷量の関係を利用して負荷短絡状態を判定するための、電荷量の基準値 Q_R とゲート電圧の基準値 V_R について説明する。ゲート駆動電源電圧 V_d 、ゲート電圧 V_{ge} とし、 $V_{ge} = V_d$ のときのゲート電荷量を Q_d としたとき、電荷量の基準値 Q_R を Q_d より小さな値に、ゲート電圧の基準値 V_R をゲート駆動電源電圧 V_d 以上の値に設定する。

20

【 0 0 9 4 】

[実施の形態 6]

図 1 5 は、本発明の実施の形態 6 による電力用半導体素子およびその駆動回路の構成を示す図である。

【 0 0 9 5 】

図 1 5 の駆動回路 5 5 2 が、図 1 の駆動回路 5 1 と相違する点は、第 1 の基準電圧発生回路 5 と、第 1 の比較器 6 と、第 2 の基準電圧発生回路 8 と、第 2 の比較器 9 と、第 1 の短絡判定部 1 0 の代わりに、第 3 の基準電圧発生回路 1 0 5 と、第 3 の比較器 1 0 6 と、第 4 の基準電圧発生回路 1 0 8 と、第 4 の比較器 1 0 9 と、第 2 の短絡判定部 1 1 0 を備えることである。

30

【 0 0 9 6 】

第 3 の基準電圧発生回路 1 0 5 は、第 3 の基準電圧 V_{REF3} を発生する。第 4 の基準電圧発生回路 1 0 8 は、第 4 の基準電圧 V_{REF4} を発生する。第 3 の基準電圧 V_{REF3} として、図 1 4 に示す Q_R (第 3 の基準値) を K 倍した値を用い、第 4 の基準電圧 V_{REF4} として、図 1 4 に示す V_R (第 4 の基準値) を用いる。

【 0 0 9 7 】

前述したように、 V_R (第 4 の基準値) は、電力用半導体素子 1 のゲートの駆動電源電圧 V_d 以上の値である。 Q_R (第 3 の基準値) は、ゲート電圧 V_{ge} がゲート駆動電源電圧 V_d のときに検出される電荷量 Q_d よりも小さな値である。

40

【 0 0 9 8 】

第 3 の比較器 1 0 6 は、検出された電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E と、第 3 の基準電圧 V_{REF3} とを比較して、比較結果を表す信号 S_3 を出力する。電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E が第 3 の基準電圧 V_{REF3} よりも低い場合、信号 S_3 は「H」レベルとなる。電力用半導体素子 1 のゲートに供給される電荷量を表す電圧 E が第 3 の基準電圧 V_{REF3} 以上の場合、信号 S_3 は「L」レベルとなる。

【 0 0 9 9 】

第 4 の比較器 1 0 9 は、検出された電力用半導体素子 1 のゲート電圧と、第 4 の基準電

50

圧VREF4とを比較して、比較結果を表す信号S4を出力する。検出された電力用半導体素子1のゲート電圧が第4の基準電圧VREF4よりも高い場合、信号S4は「H」レベルの信号となる。検出された電力用半導体素子1のゲート電圧が第4の基準電圧VREF4以下の場合、信号S4は「L」レベルの信号となる。

【0100】

第2の短絡判定部110は、第3の比較器106の出力と、第4の比較器109の出力との論理積を演算することによって短絡状態を判定して、判定結果を表す信号S5を出力する。

【0101】

電荷量検出部4により検出された電荷量を表す電圧が第3の基準電圧VREF3よりも低く、かつ、ゲート電圧検出部7により検出されたゲート電圧が第4の基準電圧VREF4よりも高い場合に、信号S5は電力用半導体素子1が短絡状態であることを表す「H」レベルとなる。S3またはS4のいずれか一方が「L」レベルの信号を出力すると信号S5は「L」レベルとなる。

10

【0102】

また、本実施の形態の検出信号保持部28は、電力用半導体素子1が短絡状態であると第2の短絡判定部110が判定した際に、第2の短絡判定部110の出力信号S5を保持する。

【0103】

なお、ターン動作の初動時においてはゲート電荷量を表す電圧が第3の基準電圧VREF3より低いために第3の比較器106は「H」レベルの信号を出力するが、第4の基準電圧VREF4及び第4の比較器109を設けているため、ターンオン動作の初動時において負荷短絡状態であると誤判定することはない。また、通常ターンオフ動作時において、ゲート端子からゲート駆動回路にゲート電流が流れてゲート電荷は減少するが、やはり、第4の基準電圧VREF4、第4の比較器109を設けているため、通常ターンオフ動作時において負荷短絡状態であると誤判定することはない。

20

【0104】

[実施の形態7]

図16は、本発明の実施の形態7による電力用半導体素子およびその駆動回路の構成を示す図である。

30

【0105】

図16の駆動回路553が、図1の駆動回路51と相違する点は、さらに、第3の基準電圧発生回路105と、第3の比較器106と、第4の基準電圧発生回路108と、第4の比較器109と、第2の短絡判定部110と、OR回路100とを備えることである。第3の基準電圧発生回路105と、第3の比較器106と、第4の基準電圧発生回路108と、第4の比較器109と、第2の短絡判定部110は、実施の形態6で説明したものと同様である。

【0106】

本実施の形態の駆動回路553は、第1の短絡判定部10の出力と第2の短絡判定部110の出力を受けて、それらの論理和を検出信号保持部28に出力するOR回路100を備える。

40

【0107】

また、本実施の形態の検出信号保持部28は、電力用半導体素子1が短絡状態であることを第1の短絡判定部10と第2の短絡判定部110のいずれか一方が判定した際に、第1の短絡判定部10の出力信号S0または第2の短絡判定部110の出力信号S5を保持する。

【0108】

このような構成とすることにより、アーム短絡、負荷短絡のいずれかが発生した際に、電力用半導体素子1が短絡状態であることを判定するため、電力用半導体素子を短絡状態から保護することができる。

50

【 0 1 0 9 】

以下の実施の形態 8 ~ 1 1 は、実施の形態 1 ~ 7 で検出したゲート電圧、電荷量、第 1 の比較器の比較結果、第 2 の比較器の比較結果、短絡判定部の判定結果を外部に出力するための構成に関する。このような情報を外部に出力することによって、電力用半導体素子の状態を知ることができ、故障原因の特定などに供することができる。

【 0 1 1 0 】

[実施の形態 8]

図 1 7 は、本発明の実施の形態 8 による電力用半導体素子およびその駆動回路の構成を示す図である。

【 0 1 1 1 】

図 1 7 の駆動回路 5 4 は、出力部 9 1 と、出力端子 P D とを備える。

出力部 9 1 は、図 1 8 に示すように、第 1 の短絡判定部 1 0 の出力信号 S 0 をそのまま出力する。すなわち、電荷量検出部 4 により検出された電荷量を表す電圧が第 1 の基準電圧 V R E F 1 よりも低く、かつ、ゲート電圧検出部 7 により検出されたゲート電圧が第 2 の基準電圧 V R E F 2 よりも高い場合に、電力用半導体素子 1 が短絡状態であることを表す「H」レベルの信号 S 0 が出力端子 P D から出力される。

【 0 1 1 2 】

電荷量検出部 4 により検出された電荷量を表す電圧が第 1 の基準電圧 V R E F 1 以上の場合、またはゲート電圧検出部 7 により検出されたゲート電圧が第 2 の基準電圧 V R E F 2 以下の場合に、電力用半導体素子 1 が正常状態であることを表す「L」レベルの信号 S 0 が出力端子 P D から出力される。

【 0 1 1 3 】

なお、出力部 9 1 は、アナログ信号の代わりに、デジタル信号を出力してもよい。すなわち、出力部 9 1 は、正常であることを表す「0」値、または短絡状態であることを表す「1」値を出力端子 P D を通じて出力するものとしてもよい。

【 0 1 1 4 】

[実施の形態 9]

図 1 9 は、本発明の実施の形態 9 による電力用半導体素子およびその駆動回路の構成を示す図である。

【 0 1 1 5 】

図 1 9 の駆動回路 5 5 は、出力部 9 2 と、出力端子 P D と、セレクト端子 P D S とを備える。

【 0 1 1 6 】

外部のコントローラが、セレクト端子 P D S を通じて、2 ビットのセレクト信号 S L を送る。

【 0 1 1 7 】

出力部 9 2 は、図 2 0 に示すような関係に従って、セレクト信号 S L に応じた信号を出力する。出力部 9 2 は、セレクト信号 S L が「00」の場合には、何も出力しない。出力部 9 2 は、セレクト信号 S L が「01」の場合には、第 2 の比較器 9 の出力信号 S 2 を出力端子 P D から出力する。出力部 9 2 は、セレクト信号 S L が「10」の場合には、第 1 の比較器 6 の出力信号 S 1 を出力端子 P D から出力する。出力部 9 2 は、セレクト信号 S L が「11」の場合には、第 1 の短絡判定部 1 0 の出力信号 S 0 を出力端子 P D から出力する。

【 0 1 1 8 】

なお、出力部 9 2 は、アナログ信号の代わりに、デジタル信号を出力してもよい。すなわち、出力部 9 2 は、出力信号 S 0、S 1、または S 2 が「H」レベルのときには「1」値を出力端子 P D を通じて出力し、出力信号 S 0、S 1、または S 2 が「L」レベルのときには「0」値を出力端子 P D を通じて出力するものとしてもよい。

【 0 1 1 9 】

[実施の形態 1 0]

図 2 1 は、本発明の実施の形態 1 0 による電力用半導体素子およびその駆動回路の構成を示す図である。

【 0 1 2 0 】

図 2 1 の駆動回路 5 6 は、出力部 9 3 と、出力端子 P D と、セレクト端子 P D S とを備える。

【 0 1 2 1 】

外部のコントローラが、セレクト端子 P D S を通じて、2 ビットのセレクト信号 S L を送る。

【 0 1 2 2 】

出力部 9 3 は、図 2 2 に示すような関係に従って、セレクト信号 S L に応じた信号を出力する。

10

【 0 1 2 3 】

出力部 9 3 は、セレクト信号 S L が「 0 0 」の場合には、何も出力しない。

出力部 9 3 は、セレクト信号 S L が「 0 1 」の場合には、ゲート電圧検出部 7 で検出されたゲート電圧 V_{ge} を最大ゲート電圧 V_{MAX} で除算し、ゲート電圧比 $R_{V_{ge}}$ を求める。出力部 9 3 は、図 2 3 (a) に示すように、ゲート電圧比 $R_{V_{ge}}$ をオンパルスまたはオフパルスのデューティ比とする信号を生成して、出力端子 P D から出力する。

【 0 1 2 4 】

出力部 9 3 は、セレクト信号 S L が「 1 0 」の場合には、電荷量検出部 4 で検出された電荷量 Q_g を最大電荷量 Q_{MAX} で除算し、電荷量比 R_{Q_g} を求める。出力部 9 3 は、図 2 3 (b) に示すように、電荷量比 R_{Q_g} をオンパルスまたはオフパルスのデューティ比とする信号を生成して、出力端子 P D から出力する。

20

【 0 1 2 5 】

出力部 9 3 は、セレクト信号 S L が「 1 1 」の場合には、電荷量検出部 4 で検出された電荷量 Q_g を最大電荷量 Q_{MAX} で除算し、電荷量比 R_{Q_g} を求める。また、出力部 9 3 は、ゲート電圧検出部 7 で検出されたゲート電圧 V_{ge} を最大ゲート電圧 V_{MAX} で除算し、ゲート電圧比 $R_{V_{ge}}$ を求める。

【 0 1 2 6 】

出力部 9 3 は、図 2 3 (c) に示すように、電荷量比 R_{Q_g} を第 1 番目のオンパルスまたはオフパルスのデューティ比とし、ゲート電圧比 $R_{V_{ge}}$ を第 2 番目のオンパルスまたはオフパルスのデューティ比とする信号を生成して、出力端子 P D から出力する。

30

【 0 1 2 7 】

[実施の形態 1 0 の変形例]

出力部 9 3 は、図 2 3 (a) ~ (c) に示すようなアナログ信号ではなく、デジタル信号を出力するものとしてもよい。本実施の形態では、一例として、ゲート電圧比 $R_{V_{ge}}$ および電荷量比 R_{Q_g} を 6 ビットのデジタル値で表すことにする。

【 0 1 2 8 】

出力部 9 3 は、セレクト信号 S L が「 0 0 」の場合には、何も出力しない。

出力部 9 3 は、セレクト信号 S L が「 0 1 」の場合には、図 2 4 に示すように、スタートビットと、6 ビットのゲート電圧比 $R_{V_{ge}}$ (第 0 ビット b_0 ~ 第 5 ビット b_5) と、ストップビットとを含むシリアル信号を生成して、出力端子 P D から出力する。

40

【 0 1 2 9 】

出力部 9 3 は、セレクト信号 S L が「 1 0 」の場合には、図 2 4 に示すように、スタートビットと、6 ビットの電荷量比 R_{Q_g} (第 0 ビット b_0 ~ 第 5 ビット b_5) と、ストップビットとを含むシリアル信号を生成して、出力端子 P D から出力する。

【 0 1 3 0 】

出力部 9 3 は、セレクト信号 S L が「 1 1 」の場合には、図 2 5 に示すように、スタートビットと、6 ビットの電荷量比 R_{Q_g} (第 0 ビット b_0 ~ 第 5 ビット b_5) と、6 ビットのゲート電圧比 $R_{V_{ge}}$ (第 6 ビット b_6 ~ 第 1 1 ビット b_{11}) と、ストップビットとを含むシリアル信号を生成して、出力端子 P D から出力する。

50

【 0 1 3 1 】

[実施の形態 1 1]

図 2 6 は、本発明の実施の形態 1 1 による電力用半導体素子およびその駆動回路の構成を示す図である。

【 0 1 3 2 】

図 2 6 の駆動回路 5 7 は、出力部 9 4 と、出力端子 P D と、セレクト端子 P D S と、セレクト端子 P S とを備える。

【 0 1 3 3 】

実施の形態 1 0 およびその変形例と同様に、外部のコントローラが、セレクト端子 P D S を通じて、2 ビットのセレクト信号 S L を送る。

10

【 0 1 3 4 】

外部コントローラは、セレクト端子 P S を通じて、1 ビットのセレクト信号 S E を送る。セレクト信号 S E は、出力部 9 4 が、実施の形態 1 0 に記載したアナログ信号を出力するか、実施の形態 1 0 の変形例に記載したデジタル信号を出力するかを指定する信号である。

【 0 1 3 5 】

セレクト信号 S E が「1」の場合には、出力部 9 4 は、図 2 2 に示すような関係に従って、セレクト信号 S L に応じた信号を図 2 3 (a) ~ (c) で表されるようなアナログ信号の形式出力端子 P D を通じて出力する。

【 0 1 3 6 】

セレクト信号 S E が「0」の場合には、出力部 9 4 は、図 2 2 に示すような関係に従って、セレクト信号 S L に応じた信号を図 2 4、図 2 5 で表されるようなデジタル信号の形式で出力端子 P D を通じて出力する。

20

【 符号の説明 】

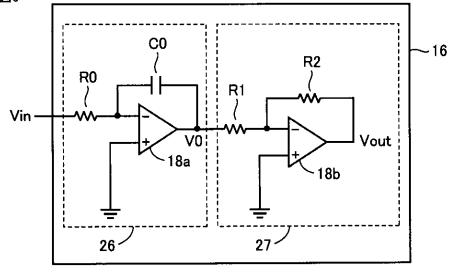
【 0 1 3 7 】

1 電力用半導体素子、2 a オンゲート抵抗、2 b オフゲート抵抗、3 バッファ回路、4 電荷量検出部、5 第 1 の基準電圧発生回路、6 第 1 の比較器、7 ゲート電圧検出部、8 第 2 の基準電圧発生回路、9 第 2 の比較器、1 0、2 9 第 1 の短絡判定部、1 1 制御指令部、1 2、7 2、8 2 積分値初期化部、1 3 短絡保護部、1 4 低速遮断部、1 5 ゲート電流検出部、1 6 積分部、1 7、3 7 ゲート電流対応電圧検出部、1 8 a、1 8 b、1 9、2 0 a、2 0 b、2 0 c オペアンプ、2 1 リセットスイッチ、R 0 ~ R 4、R 1 a、R 1 b、R 3 a、R 3 b、R 4 a、R 4 b、2 2 抵抗素子、C 0 容量素子、2 4 P N P トランジスタ、2 5 P チャネル M O S F E T、2 6 反転積分回路、2 7 反転増幅回路、2 8 検出信号保持部、5 1、5 2、5 3、5 4、5 5、5 6、5 7、5 5 1、5 5 2、5 5 3 駆動回路、9 1、9 2、9 3、9 4 出力部、1 0 0 O R 回路、1 0 5 第 3 の基準電圧発生回路、1 0 6 第 3 の比較器、1 0 8 第 4 の基準電圧発生回路、1 0 9 第 4 の比較器、1 1 0 第 2 の短絡判定部、P D、P D S、P S 端子。

30

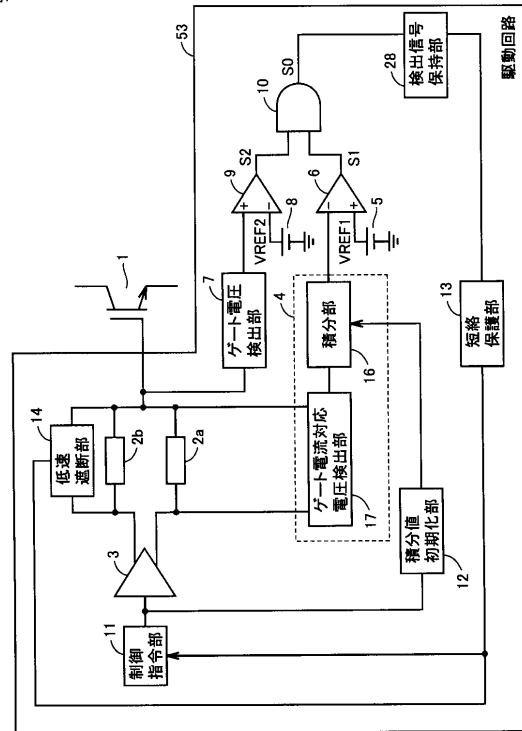
【図 6】

図6



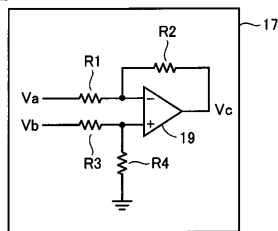
【図 7】

図7



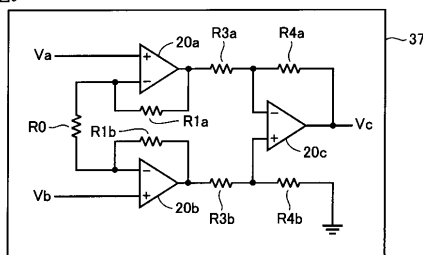
【図 8】

図8



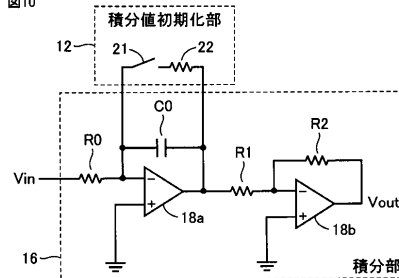
【図 9】

図9



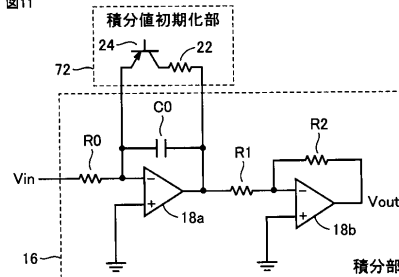
【図 10】

図10



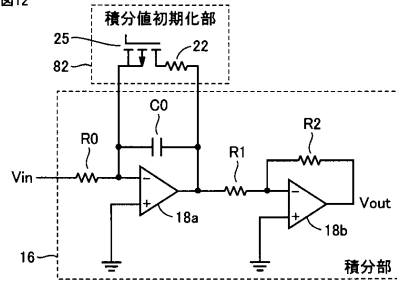
【図 11】

図11



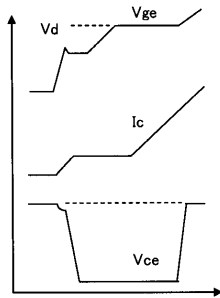
【図12】

図12



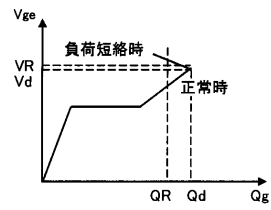
【図13】

図13



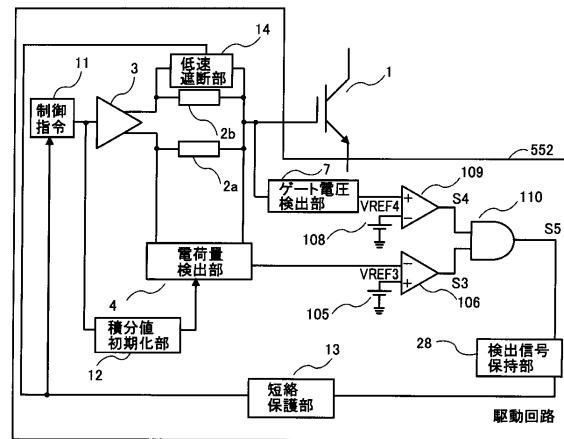
【図14】

図14



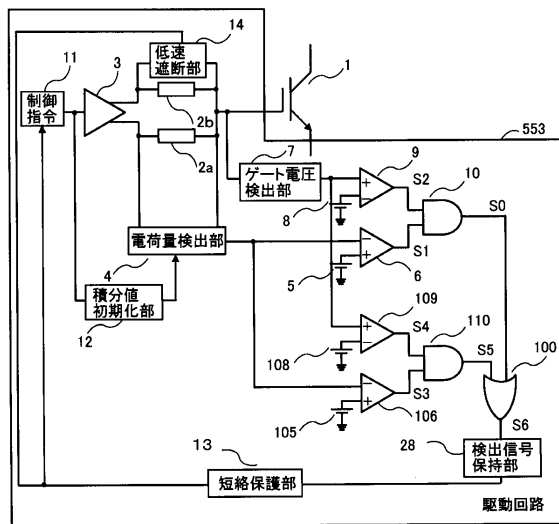
【図15】

図15



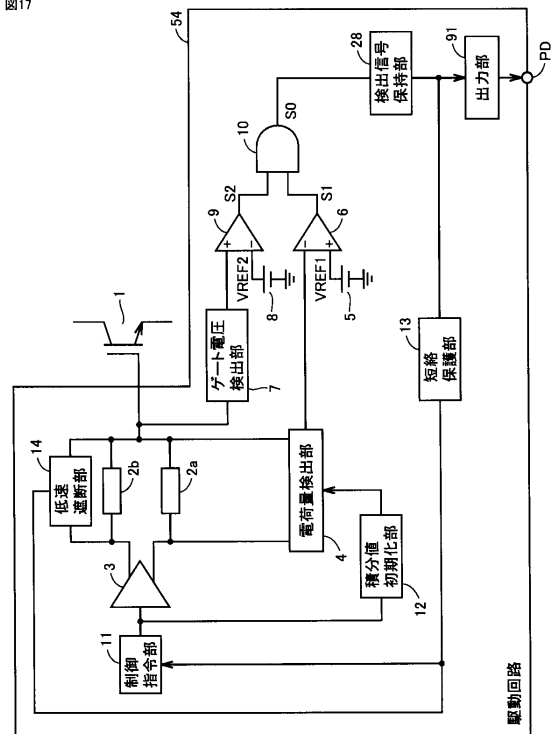
【図16】

図16

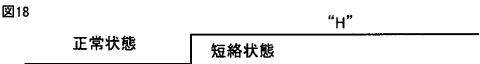


【図17】

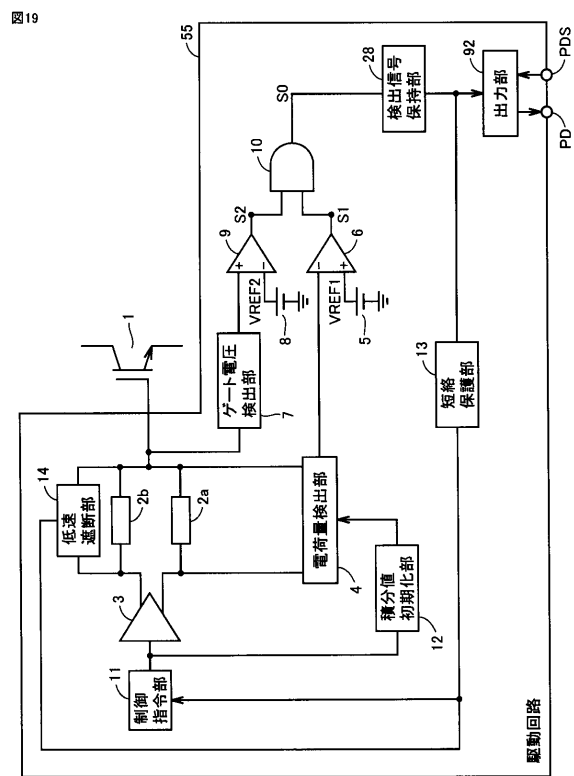
図17



【図 18】



【図 19】

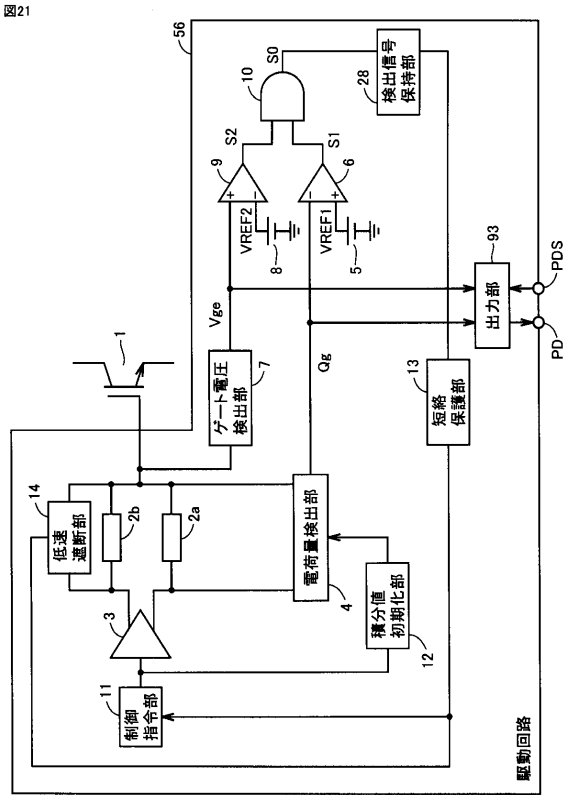


【図 20】

図20

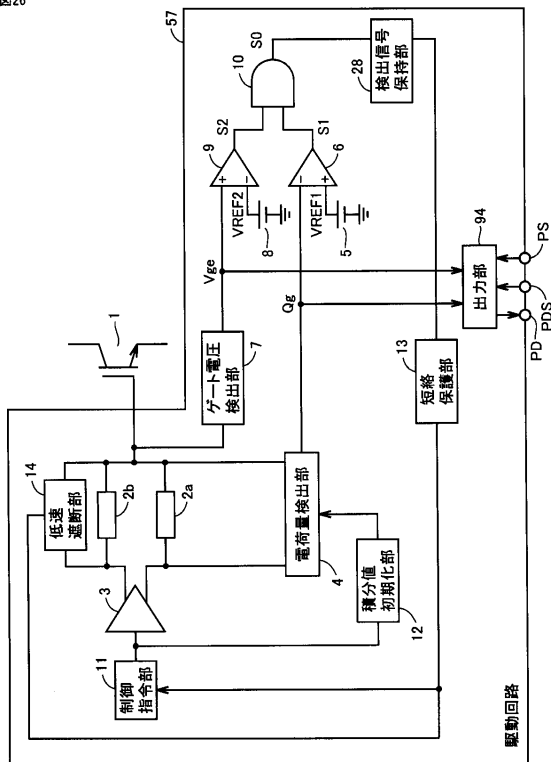
SL	出力
00	—
01	S2
10	S1
11	S0

【図 21】



【 図 2 6 】

Figure 26 is a line graph showing the percentage of the population aged 65 and over in the United States from 1950 to 2050. The Y-axis represents the percentage of the population aged 65 and over, ranging from 0 to 20. The X-axis represents the year, from 1950 to 2050. The graph shows a steady increase in the percentage of the population aged 65 and over, starting at approximately 10% in 1950 and reaching approximately 20% by 2050.



フロントページの続き

(56)参考文献 国際公開第2007/116900(WO,A1)
特開2012-244365(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H02H 7/20

H02M 1/08

H02M 7/48

H03K17/00-17/70