

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7496942号
(P7496942)

(45)発行日 令和6年6月7日(2024.6.7)

(24)登録日 令和6年5月30日(2024.5.30)

(51)国際特許分類 F I
H 0 1 L 25/07 (2006.01) H 0 1 L 25/08 B
H 0 1 L 25/065 (2023.01)
H 0 1 L 25/18 (2023.01)

請求項の数 24 (全60頁)

(21)出願番号	特願2023-542430(P2023-542430)	(73)特許権者	390022471 アオイ電子株式会社 香川県高松市香西南町4 5 5 番地の1
(86)(22)出願日	令和4年8月17日(2022.8.17)	(74)代理人	110002066 弁理士法人筒井国際特許事務所
(86)国際出願番号	PCT/JP2022/031116	(72)発明者	栗田 洋一郎 東京都目黒区大岡山2丁目1番1号 国立大学法人東京工業大学内
(87)国際公開番号	WO2023/022179	審査官	正山 旭
(87)国際公開日	令和5年2月23日(2023.2.23)		
審査請求日	令和5年12月6日(2023.12.6)		
(31)優先権主張番号	特願2021-135043(P2021-135043)		
(32)優先日	令和3年8月20日(2021.8.20)		
(33)優先権主張国・地域又は機関	日本国(JP)		
(31)優先権主張番号	特願2022-32024(P2022-32024)		
(32)優先日	令和4年3月2日(2022.3.2)		
(33)優先権主張国・地域又は機関	日本国(JP)		
早期審査対象出願			

最終頁に続く

(54)【発明の名称】 半導体モジュールおよびその製造方法、電子装置、電子モジュール、ならびに電子装置の製造方法

(57)【特許請求の範囲】

【請求項1】

(a) 第1支持体の第1面上に、前記第1面の面外方向に延びる第1柱状接続部を含む第1接続部と、前記第1面の面外方向に延びる第2柱状接続部を含む第2接続部と、を形成する工程、

(b) 第1ICチップおよび前記第1ICチップに接続される第1ダイ電極を有する第1半導体ダイと、第2ICチップおよび前記第2ICチップに接続される第2ダイ電極を有する第2半導体ダイと、を準備して、前記第1接続部上に前記第1ダイ電極が配置され、かつ、前記第2接続部上に前記第2ダイ電極が配置されるように、前記第1半導体ダイおよび前記第2半導体ダイのそれぞれを前記第1支持体上に搭載する工程、

(c) 前記(b)工程の後、前記第1半導体ダイ、前記第2半導体ダイ、前記第1接続部、および前記第2接続部を、第1封止体により封止する工程、

(d) 前記(c)工程の後、前記第1支持体を取り除き、かつ、前記第1柱状接続部の一部分および前記第2柱状接続部の一部分をそれぞれ前記第1封止体から露出させる工程、

(e) 前記第1接続部に接続される第1ブリッジ電極、および前記第2接続部に接続される第2ブリッジ電極を含むブリッジを準備して、前記(d)工程の後、前記第1柱状接続部上に前記第1ブリッジ電極が配置され、かつ、前記第2柱状接続部上に前記第2ブリッジ電極が配置されるように、前記ブリッジを前記第1封止体で封止された構造体に搭載する工程、

を含む、半導体モジュールの製造方法。

【請求項 2】

請求項 1 において、

(f) 前記 (e) 工程の後、前記第 1 ブリッジ電極および前記第 2 ブリッジ電極を、第 2 封止体で封止する工程、
を更に含む、半導体モジュールの製造方法。

【請求項 3】

請求項 2 において、

前記第 1 封止体は、複数の第 1 フィラ粒子を含み、
前記第 2 封止体は、複数の第 2 フィラ粒子を含み、
前記複数の第 1 フィラ粒子の平均粒径は、前記複数の第 2 フィラ粒子の平均粒径より大きい、半導体モジュールの製造方法。 10

【請求項 4】

請求項 1 において、

前記 (a) 工程では、前記第 1 接続部および前記第 2 接続部のそれぞれは、下地のシード層上に形成され、
前記 (b) 工程では、前記第 1 接続部の側面および前記第 2 接続部の側面は、酸化被膜で覆われている、半導体モジュールの製造方法。

【請求項 5】

請求項 4 において、

前記 (b) 工程では、
前記第 1 ダイ電極は半田材を介して前記第 1 接続部に接合され、
前記第 2 ダイ電極は半田材を介して前記第 2 接続部に接合される、半導体モジュールの製造方法。 20

【請求項 6】

請求項 4 において、

前記 (e) 工程では、
前記第 1 ブリッジ電極は半田材を介して前記第 1 接続部に接合され、
前記第 2 ブリッジ電極は半田材を介して前記第 2 接続部に接合される、半導体モジュールの製造方法。

【請求項 7】

請求項 1 において、

前記 (e) 工程において、前記ブリッジを準備する工程は、
(e 1) 第 2 支持体上に第 1 絶縁層、配線、および第 2 絶縁層を積層するように順に形成する工程、
(e 2) 前記 (e 1) 工程の後、前記第 2 絶縁層よりも厚い第 3 絶縁層を介して前記第 2 支持体上の前記第 2 絶縁層と、基板とを貼り合わせる工程、
(e 3) 前記 (e 2) 工程の後、前記第 2 支持体を除去する工程、
(e 4) 前記 (e 3) 工程の後、前記第 1 絶縁層上に前記配線と電氣的に接続された前記第 1 ブリッジ電極および前記第 2 ブリッジ電極を形成する工程、
を更に有する、半導体モジュールの製造方法。 30 40

【請求項 8】

(a) 第 1 支持体の第 1 面上に、第 1 絶縁層を形成した後、前記第 1 絶縁層に第 1 開口部および第 2 開口部を形成する工程、

(b) 前記第 1 開口部内に形成される第 1 柱状接続部を含む第 1 接続部と、前記第 2 開口部内に形成される第 2 柱状接続部を含む第 2 接続部と、を形成する工程、

(c) 第 1 ICチップ、前記第 1 ICチップに接続される第 1 ダイ電極、および前記第 1 ダイ電極のを封止する第 2 絶縁層を有する第 1 半導体ダイと、第 2 ICチップ、前記第 2 ICチップに接続される第 2 ダイ電極、および前記第 2 ダイ電極を封止する第 3 絶縁層を有する第 2 半導体ダイと、を準備して、前記第 1 接続部上に前記第 1 ダイ電極が配置され、かつ、前記第 2 接続部上に前記第 2 ダイ電極が配置されるように、前記第 1 半導体ダ 50

イおよび前記第 2 半導体ダイのそれぞれを前記第 1 支持体上に搭載する工程、

(d) 前記 (c) 工程の後、前記第 1 半導体ダイおよび前記第 2 半導体ダイを、第 1 封止体により封止する工程、

(e) 前記 (d) 工程の後、前記第 1 支持体を取り除き、かつ、前記第 1 柱状接続部の一部分および前記第 2 柱状接続部の一部分をそれぞれ前記第 1 絶縁層から露出させる工程、

(f) 前記第 1 接続部に接続される第 1 ブリッジ電極と、前記第 2 接続部に接続される第 2 ブリッジ電極と、を含むブリッジを準備して、前記 (e) 工程の後、前記第 1 柱状接続部上に前記第 1 ブリッジ電極が配置され、かつ、前記第 2 柱状接続部上に前記第 2 ブリッジ電極が配置されるように、前記ブリッジを前記第 1 封止体で封止された構造体に搭載する工程、

10

を含み、

前記 (c) 工程において、

前記第 1 絶縁層と前記第 2 絶縁層とは互いに接合され、かつ、前記第 1 ダイ電極は前記第 1 絶縁層および前記第 2 絶縁層により封止され、

前記第 1 絶縁層と前記第 3 絶縁層とは互いに接合され、かつ、前記第 2 ダイ電極は前記第 1 絶縁層および前記第 3 絶縁層により封止される、半導体モジュールの製造方法。

【請求項 9】

請求項 8 において、

前記 (b) 工程では、

前記第 1 ダイ電極は半田材を介して前記第 1 接続部に接合され、

前記第 2 ダイ電極は半田材を介して前記第 2 接続部に接合される、半導体モジュールの製造方法。

20

【請求項 10】

請求項 9 において、

前記 (f) 工程で準備する前記ブリッジは、前記第 1 ブリッジ電極および前記第 2 ブリッジ電極のそれぞれの一部分を封止する第 4 絶縁層を更に有し、

前記 (f) 工程では、

前記第 1 ブリッジ電極は半田材を介して前記第 1 接続部に接合され、

前記第 2 ブリッジ電極は半田材を介して前記第 2 接続部に接合され、

前記第 1 絶縁層と前記第 4 絶縁層とは互いに接合される、半導体モジュールの製造方法。

30

【請求項 11】

第 1 IC チップおよび前記第 1 IC チップに接続される第 1 ダイ電極を有する第 1 半導体ダイと、

第 2 IC チップおよび前記第 2 IC チップに接続される第 2 ダイ電極を有する第 2 半導体ダイと、

前記第 1 ダイ電極に電氣的に接続される第 1 接続部と、

前記第 2 ダイ電極に電氣的に接続される第 2 接続部と、

前記第 1 接続部に接続された第 1 ブリッジ電極、および前記第 2 接続部に接続された第 2 ブリッジ電極を有するブリッジと、

前記第 1 半導体ダイおよび前記第 2 半導体ダイを封止する第 1 封止体と、

40

を備え、

前記第 1 接続部は、前記第 1 半導体ダイと前記ブリッジとの間に配置され、前記第 1 半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第 1 柱状接続部を含み、

前記第 2 接続部は、前記第 2 半導体ダイと前記ブリッジとの間に配置され、前記第 2 半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第 2 柱状接続部を含み、

前記第 1 ブリッジ電極および前記第 2 ブリッジ電極は、前記第 1 封止体から露出し、

前記第 1 柱状接続部および前記第 2 柱状接続部のそれぞれは、前記第 1 封止体に封止されている、半導体モジュール。

【請求項 12】

請求項 11 において、

50

前記第 1 ブリッジ電極および前記第 2 ブリッジ電極のそれぞれは、第 2 封止体に封止されている、半導体モジュール。

【請求項 1 3】

請求項 1 2 において、

前記第 1 封止体は、複数の第 1 フィラ粒子を含み、

前記第 2 封止体は、複数の第 2 フィラ粒子を含み、

前記複数の第 1 フィラ粒子の平均粒径は、前記複数の第 2 フィラ粒子の平均粒径より大きい、半導体モジュール。

【請求項 1 4】

請求項 1 1 において、

前記第 1 接続部の側面および前記第 2 接続部の側面は、酸化被膜で覆われている、半導体モジュール。

【請求項 1 5】

請求項 1 1 において、

前記ブリッジは、

チップと、

前記チップ上に順に積層された第 1 絶縁層、第 2 絶縁層、および第 3 絶縁層と、

前記第 2 絶縁層と前記第 3 絶縁層との間に挟まれ、前記第 1 ブリッジ電極および前記第 2 ブリッジ電極のそれぞれに接続された配線と、

を有し、

前記第 1 絶縁層の厚さは前記第 2 絶縁層の厚さよりも厚い、半導体モジュール。

【請求項 1 6】

第 1 の電極を有する第 1 のダイと、

第 2 の電極を有する第 2 のダイと、

前記第 1 の電極に電氣的に接続される第 1 の接続部と、

前記第 2 の電極に電氣的に接続される第 2 の接続部と、

前記第 1 の接続部と前記第 2 の接続部とに電氣的に接続されたブリッジと、

を備え、

前記第 1 の接続部は、前記ブリッジから前記第 1 のダイに向けた柱状接続部を有し、
前記柱状接続部は、前記ブリッジから前記第 1 の電極に向けた第 1 の柱状接続部と、前記第 1 の柱状接続部の端部に接続されており、前記第 1 の柱状接続部の端部から前記第 1 の電極に向けた第 2 の柱状接続部と、を有し、
前記第 1 の柱状接続部の前記第 2 の柱状接続部に接続されている部分の断面積は、前記第 2 の柱状接続部の前記第 1 の柱状接続部に接続されている部分の断面積よりも大きい、電子装置。

【請求項 1 7】

前記第 1 のダイ、前記第 2 のダイ、前記第 1 の接続部、および前記第 2 の接続部を、一体となって封止する封止部材をさらに備える、請求項 1 6 に記載の電子装置。

【請求項 1 8】

前記第 1 のダイおよび前記第 2 のダイを一体となって封止する第 1 の封止部材と、前記第 1 の接続部および前記第 2 の接続部を一体となって封止する第 2 の封止部材をさらに備える、請求項 1 6 に記載の電子装置。

【請求項 1 9】

前記ブリッジは、はんだを介して前記柱状接続部に接続されている、請求項 1 6 に記載の電子装置。

【請求項 2 0】

前記第 1 のダイは、ハイブリッドボンディングにより前記第 1 の接続部に接続されており、

前記第 2 のダイは、ハイブリッドボンディングにより前記第 2 の接続部に接続されており、

10

20

30

40

50

前記第 1 のダイおよび前記第 2 のダイは、一体となって封止部材により封止されている、請求項 16 に記載の電子装置。

【請求項 2 1】

請求項 16 に記載の電子装置と、
配線が内部に設けられている配線層と、
前記配線と前記電子装置とを電氣的に接続する接続部と、
を備える、電子モジュール。

【請求項 2 2】

前記第 1 のダイは、第 3 の接続部が電氣的に接続されている第 3 の電極を有し、
前記第 1 のダイ、前記第 3 の電極および前記第 3 の接続部は、一体となって封止部材により封止されており、

10

前記第 3 の接続部は、前記封止部材を貫通して、前記配線層に接続されている、請求項 2.1 に記載の電子モジュール。

【請求項 2 3】

支持体上に前記支持体から突出した柱状接続部を含む第 1 の接続部と、第 2 の接続部とを形成する形成工程と、

前記第 1 の接続部に第 1 のダイが有する第 1 の電極を結合させ、前記第 2 の接続部に第 2 のダイが有する第 2 の電極を結合させるダイ結合工程と、

前記第 1 のダイ、前記第 2 のダイ、前記第 1 の接続部を樹脂により封止する封止工程と、
前記第 1 の接続部の下部と前記第 2 の接続部の下部とにブリッジを結合させるブリッジ

20

結合工程と、

を含む、電子装置の製造方法。

【請求項 2 4】

前記第 1 の接続部は、第 1 の柱状接続部と、第 2 の柱状接続部とを有し、

前記形成工程は、前記第 1 の接続部が前記支持体から前記第 1 のダイに向かって突出するように、前記支持体上に前記第 1 の接続部を形成する工程と、前記第 2 の柱状接続部が前記第 1 の柱状接続部から前記第 1 のダイに向かって突出するように、第 2 の接続部を前記第 1 の接続部の上に形成する工程を含み、

前記第 1 の柱状接続部の前記第 2 の柱状接続部に接続されている部分の断面積は、前記第 2 の柱状接続部の前記第 1 の柱状接続部に接続されている部分の断面積よりも大きく、

30

前記ダイ結合工程は、前記第 2 の柱状接続部に前記第 1 のダイを接続する工程を含む、
請求項 2.3 に記載の電子装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュールおよびその製造方法に関する。

【背景技術】

【0002】

複数の IC (Integrated Circuit) チップを接続する技術がある。たとえば、特許文献 1 には 2 つの IC チップをインタポーザとともにモールドされたブリッジ (ネステッドコンポーネント) によって接続する半導体パッケージが記載されている。特許文献 2 には、アンダーフィル材料を介してインタポーザと一体に形成されたブリッジを介して 2 つの IC チップが電氣的に接続された半導体パッケージが記載されている。

40

【先行技術文献】

【特許文献】

【0003】

【文献】米国特許出願公開第 2021 / 0005542 号明細書

【文献】米国特許出願公開第 2020 / 0395313 号明細書

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 4 】

本願発明者が、ブリッジを介して接続された複数のＩＣチップを備えた半導体パッケージや、これを用いた半導体モジュールについて検討した結果、上に記した半導体パッケージや半導体モジュールには改善の余地があることが判った。例えば、インタポーザと一体化されたブリッジを介して２つのＩＣチップを電氣的接続する場合、２つのＩＣチップのそれぞれの端子と、ブリッジの端子との位置合わせを高精度で行うことが難しい。この場合、ＩＣチップとブリッジとを電氣的に接続する端子部分の高密度化が制約される。

【 0 0 0 5 】

本発明に係る状況においてなされたものであり、そのある態様の例示的な目的のひとつは、ＩＣチップとブリッジとをより高密度に結合させることを可能とする技術の提供にある。

10

【課題を解決するための手段】

【 0 0 0 6 】

一実施の形態である半導体モジュールの製造方法は、(a) 第 1 支持体の第 1 面上に、前記第 1 面の面外方向に延びる第 1 柱状接続部を含む第 1 接続部と、前記第 1 面の面外方向に延びる第 2 柱状接続部を含む第 2 接続部と、を形成する工程、(b) 第 1 ＩＣチップおよび前記第 1 ＩＣチップに接続される第 1 ダイ電極を有する第 1 半導体ダイと、第 2 ＩＣチップおよび前記第 2 ＩＣチップに接続される第 2 ダイ電極を有する第 2 半導体ダイと、を準備して、前記第 1 接続部上に前記第 1 ダイ電極が配置され、かつ、前記第 2 接続部上に前記第 2 ダイ電極が配置されるように、前記第 1 半導体ダイおよび前記第 2 半導体ダイのそれぞれを前記第 1 支持体上に搭載する工程、(c) 前記 (b) 工程の後、前記第 1 半導体ダイ、前記第 2 半導体ダイ、前記第 1 接続部、および前記第 2 接続部を、第 1 封止体により封止する工程、(d) 前記 (c) 工程の後、前記第 1 支持体を取り除き、かつ、前記第 1 柱状接続部の一部分および前記第 2 柱状接続部の一部分をそれぞれ前記第 1 封止体から露出させる工程、(e) 前記第 1 接続部に接続される第 1 ブリッジ電極、および前記第 2 接続部に接続される第 2 ブリッジ電極を含むブリッジを準備して、前記 (d) 工程の後、前記第 1 柱状接続部上に前記第 1 ブリッジ電極が配置され、かつ、前記第 2 柱状接続部上に前記第 2 ブリッジ電極が配置されるように、前記ブリッジを前記第 1 封止体で封止された構造体に搭載する工程、を含む。

20

【 0 0 0 7 】

他の実施の形態である半導体モジュールの製造方法は、(a) 第 1 支持体の第 1 面上に、第 1 絶縁層を形成した後、前記第 1 絶縁層に第 1 開口部および第 2 開口部を形成する工程、(b) 前記第 1 開口部内に形成される第 1 柱状接続部を含む第 1 接続部と、前記第 2 開口部内に形成される第 2 柱状接続部を含む第 2 接続部と、を形成する工程、(c) 第 1 ＩＣチップ、前記第 1 ＩＣチップに接続される第 1 ダイ電極、および前記第 1 ダイ電極を封止する第 2 絶縁層を有する第 1 半導体ダイと、第 2 ＩＣチップ、前記第 2 ＩＣチップに接続される第 2 ダイ電極、および前記第 2 ダイ電極を封止する第 3 絶縁層を有する第 2 半導体ダイと、を準備して、前記第 1 接続部上に前記第 1 ダイ電極が配置され、かつ、前記第 2 接続部上に前記第 2 ダイ電極が配置されるように、前記第 1 半導体ダイおよび前記第 2 半導体ダイのそれぞれを前記第 1 支持体上に搭載する工程、(d) 前記 (c) 工程の後、前記第 1 半導体ダイおよび前記第 2 半導体ダイを、第 1 封止体により封止する工程、(e) 前記 (d) 工程の後、前記第 1 支持体を取り除き、かつ、前記第 1 柱状接続部の一部分および前記第 2 柱状接続部の一部分をそれぞれ前記第 1 絶縁層から露出させる工程、(f) 前記第 1 接続部に接続される第 1 ブリッジ電極と、前記第 2 接続部に接続される第 2 ブリッジ電極と、を含むブリッジを準備して、前記 (e) 工程の後、前記第 1 柱状接続部上に前記第 1 ブリッジ電極が配置され、かつ、前記第 2 柱状接続部上に前記第 2 ブリッジ電極が配置されるように、前記ブリッジを前記第 1 封止体で封止された構造体に搭載する工程、を含む。前記 (c) 工程において、前記第 1 絶縁層と前記第 2 絶縁層とは互いに接合され、かつ、前記第 1 ダイ電極は前記第 1 絶縁層および前記第 2 絶縁層により封止される。前記 (c) 工程において、前記第 1 絶縁層と前記第 3 絶縁層とは互いに接合され、か

30

40

50

つ、前記第 2 ダイ電極は前記第 1 絶縁層および前記第 3 絶縁層により封止される。

【0008】

他の実施の形態である半導体モジュールは、第 1 ICチップおよび前記第 1 ICチップに接続される第 1 ダイ電極を有する第 1 半導体ダイと、第 2 ICチップおよび前記第 2 ICチップに接続される第 2 ダイ電極を有する第 2 半導体ダイと、前記第 1 ダイ電極に電氣的に接続される第 1 接続部と、前記第 2 ダイ電極に電氣的に接続される第 2 接続部と、前記第 1 接続部に接続された第 1 ブリッジ電極、および前記第 2 接続部に接続された第 2 ブリッジ電極を有するブリッジと、前記第 1 半導体ダイおよび前記第 2 半導体ダイを封止する第 1 封止体と、を備える。前記第 1 接続部は、前記第 1 半導体ダイと前記ブリッジとの間に配置され、前記第 1 半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第 1 柱状接続部を含む。前記第 1 接続部は、前記第 1 半導体ダイと前記ブリッジとの間に配置され、前記第 1 半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第 2 柱状接続部を含む。前記第 1 ブリッジ電極および前記第 2 ブリッジ電極は、前記第 1 封止体から露出している。前記第 1 柱状接続部および前記第 2 柱状接続部のそれぞれは、前記第 1 封止体に封止されている。

10

【0009】

本発明の別の態様は、電子装置に関する。電子装置は、第 1 の電極を有する第 1 のダイと、第 2 の電極を有する第 2 のダイと、第 1 の電極に電氣的に接続される第 1 の接続部と、第 2 の電極に電氣的に接続される第 2 の接続部と、第 1 の接続部と第 2 の接続部とに電氣的に接続されたブリッジと、を備える。第 1 の接続部は、ブリッジから第 1 のダイに向けた柱状接続部を有する。

20

【0010】

本発明の別の態様は、電子モジュールに関する。電子モジュールは、上記の電子装置と、配線が内部に設けられている配線層と、配線と電子装置とを電氣的に接続する柱状の接続部と、を備える。

【0011】

本発明の別の態様は、電子装置の製造方法に関する。電子装置の製造方法は、支持体上に柱状の前記支持体から突出した柱状の柱状接続部を含む第 1 の接続部と、第 2 の接続部とを形成する形成工程と、第 1 の接続部に第 1 のダイが有する第 1 の電極を結合させ、第 2 の接続部に第 2 のダイが有する第 2 の電極を結合させるダイ結合工程と、第 1 のダイ、第 2 のダイ、第 1 の接続部を樹脂により封止する封止工程と、第 1 の接続部の下部と第 2 の接続部の下部とにブリッジを結合させるブリッジ結合工程と、を含む。

30

【0012】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0013】

上記した実施の形態によれば、ICチップとブリッジとをより高密度に結合させることができる。

40

【図面の簡単な説明】

【0014】

【図 1】一実施の形態に係るチップ集積システムの模式図である。

【図 2】図 1 に示すチップ集積体の構成例を示す斜視図である。

【図 3】図 2 に示すチップ集積体の構成例を示す説明図である。

【図 4】図 3 に示すチップ集積モジュールのうちの一部分の構成例を示す拡大断面図である。

【図 5】図 3 に示す光モジュールの構成例を模式的に示す説明図である。

【図 6】一実施の形態に対する検討例であるチップ集積モジュールの製造方法の概要を示す説明図である。

50

- 【図 7】図 4 に示すチップ集積モジュールの製造工程の概要を示す説明図である。
- 【図 8】図 7 に示す接続部形成工程の詳細を示す拡大断面図である。
- 【図 9】図 8 に続く接続部形成工程の詳細を示す拡大断面図である。
- 【図 10】図 9 に続く接続部形成工程の詳細を示す拡大断面図である。
- 【図 11】図 10 に続く接続部形成工程の詳細を示す拡大断面図である。
- 【図 12】図 11 に続く接続部形成工程の詳細を示す拡大断面図である。
- 【図 13】図 7 に示す半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 14】図 13 に続く半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 15】図 14 に続く半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 16】図 7 に示す第 1 封止工程の詳細を示す拡大断面図である。 10
- 【図 17】図 7 に示す支持体除去工程の詳細を示す拡大断面図である。
- 【図 18】図 7 に示す接続部露出工程の詳細を示す拡大断面図である。
- 【図 19】図 18 に続く接続部露出工程の詳細を示す拡大断面図である。
- 【図 20】図 7 に示すブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 21】図 20 に続くブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 22】図 21 に続くブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 23】図 7 に示す第 2 封止工程の詳細を示す拡大断面図である。
- 【図 24】図 23 に対する変形例を示す拡大断面図である。
- 【図 25】図 4 に示す封止体に対する変形例を示す拡大断面図である。
- 【図 26】図 4 に示す封止体に対する他の変形例を示す拡大断面図である。 20
- 【図 27】図 4 に示す封止体に対する他の変形例を示す拡大断面図である。
- 【図 28】図 4 に対する変形例であるチップ集積モジュールの拡大断面図である。
- 【図 29】図 28 に示すチップ集積モジュールの製造工程の概要を示す説明図である。
- 【図 30】図 29 に示す絶縁層形成工程の詳細を示す拡大断面図である。
- 【図 31】図 30 に続く絶縁層形成工程の詳細を示す拡大断面図である。
- 【図 32】図 29 に示す接続部形成工程の詳細を示す拡大断面図である。
- 【図 33】図 29 に示す半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 34】図 33 に続く半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 35】図 34 に続く半導体ダイ搭載工程の詳細を示す拡大断面図である。
- 【図 36】図 29 に示す封止工程の詳細を示す拡大断面図である。 30
- 【図 37】図 29 に示す接続部露出工程の詳細を示す拡大断面図である。
- 【図 38】図 37 に続く接続部露出工程の詳細を示す拡大断面図である。
- 【図 39】図 29 に示すブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 40】図 39 に続くブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 41】図 40 に続くブリッジ搭載工程の詳細を示す拡大断面図である。
- 【図 42】図 3 に示すチップ集積体に対する変形例を示す説明図である。
- 【図 43】図 3 に示すチップ集積体に対する他の変形例を示す説明図である。
- 【図 44】図 4 に示すブリッジに対する変形例を示す断面図である。
- 【図 45】図 44 に示すブリッジの製造工程のうち、配線層形成工程の概要を示す断面図である。 40
- 【図 46】図 44 に示すブリッジの製造工程のうち、配線層転写工程の概要を示す断面図である。
- 【図 47】図 44 に示すブリッジの製造工程のうち、支持体除去工程の概要を示す断面図である。
- 【図 48】図 4 に示すブリッジに対する他の変形例を示す説明図である。
- 【図 49】図 4 に対する変形例であるチップ集積モジュールの一部の構成を示す図である。
- 【図 50】図 49 に示すチップ集積モジュールに対する第 1 変形例に係るチップ集積モジュールの構成を示す図である。
- 【図 51】図 49 に示すチップ集積モジュールに対する第 2 変形例に係るチップ集積モジュールの構成を示す図である。 50

【図 5 2】図 4 9 に示すチップ集積モジュールに対する第 3 変形例に係るチップ集積モジュールの構成を示す図である。

【図 5 3】図 4 9 に示すチップ集積モジュールに対する第 4 変形例に係るチップ集積モジュールの構成を示す図である。

【図 5 4】図 4 9 に示すチップ集積モジュールに対する第 5 変形例に係るチップ集積モジュールの構成を示す図である。

【図 5 5】他の実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

【図 5 6】同実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

10

【図 5 7】同実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

【図 5 8】同実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

【図 5 9】同実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

【図 6 0】同実施形態に係るチップ集積モジュールの製造方法について説明するための図である。

【図 6 1】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 6 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

20

【図 6 2】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 6 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 3】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 6 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 4】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 6 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 5】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 7 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 6】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 7 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

30

【図 6 7】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 8 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 8】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 8 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 6 9】図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 8 変形例に係るチップ集積モジュールの製造方法を説明するための図である。

【図 7 0】一実施形態に係る光モジュールの製造方法について説明するための図である。

【図 7 1】同実施形態に係る光モジュールの製造方法について説明するための図である。

【図 7 2】同実施形態に係る光モジュールの製造方法について説明するための図である。

【図 7 3】同実施形態に係る光モジュールの製造方法について説明するための図である。

40

【図 7 4】同実施形態に係る光モジュールの製造方法について説明するための図である。

【図 7 5】他の実施形態に係るチップ集積体の製造方法について説明するための図である。

【図 7 6】同実施形態に係るチップ集積体の製造方法について説明するための図である。

【図 7 7】同実施形態に係るチップ集積体の製造方法について説明するための図である。

【図 7 8】同実施形態に係るチップ集積体の製造方法について説明するための図である。

【図 7 9】同実施形態に係るチップ集積体の製造方法について説明するための図である。

【図 8 0】一実施の形態である集積回路チップの構成例を示す図である。

【発明を実施するための形態】

【0015】

以下に、本発明の実施の形態について、図面を参照しつつ説明する。以下の説明におい

50

て、半導体基板上にトランジスタや配線などの回路素子が形成された構造物をICチップと呼ぶ。ICチップには超電導集積回路(量子コンピュータ)等を含む。ICチップの主面上に積層された配線層を備える構造物を半導体ダイと呼ぶ。ICチップ上にさらに再配線層を形成されている場合もあり、その場合、再配線層は配線層に含まれる。複数の半導体ダイが封止体により封止され、一体化された構造物をチップ集積モジュールと呼ぶ。チップ集積モジュールには、複数の半導体ダイを互いに電氣的に接続するブリッジも含まれる。チップ集積モジュールを含む複数のモジュールが一体化された構造物をチップ集積体と呼ぶ。チップ集積体は、チップ集積モジュールの他、光モジュールなどのモジュールを含む場合がある。チップ集積体は複数のチップ集積モジュールを含む場合がある。また、チップ集積体は、複数のモジュールを電氣的に接続する広域配線層や、各モジュールで発生した熱を外部に放散させる機能を備える放熱機構または放熱部材を含む場合がある。チップ集積体のうち、放熱用の部品を除いた部分を集積層と呼ぶ。以下の説明では、半導体モジュールの一例としてチップ集積モジュールを取り上げる。また、半導体パッケージの一例として集積層を取り上げる。

10

【0016】

ただし、半導体モジュールの範囲、および半導体パッケージの範囲は上記の定義には限定されない。例えば、後述する図1に示すように、チップ集積体10は、チップ集積システム1内に組み込まれる一つの電子部品(モジュール)である。この場合、チップ集積体10は、チップ集積システム1に組み込まれる半導体モジュールとして考えることができる。また、以下で説明するチップ集積モジュール、集積層、チップ集積体のそれぞれは、ICチップを含み、かつ、パッケージングされた半導体パッケージとして流通する場合がある。したがって、チップ集積モジュール、集積層、チップ集積体のそれぞれの態様を半導体パッケージとして考えることができる。

20

【0017】

<チップ集積システム>

図1は、本発明の一実施の形態に係るチップ集積システムの模式図である。本実施形態に係るチップ集積システム1は、複数のチップ集積体10を備える。これらのチップ集積体10は、光配線110によって互いに接続されている。光配線は、例えば異なるチップ集積体間を接続する場合があるが、チップ集積体の規模が大きい場合は、チップ集積体内の異なる部分を接続する事にも用いられる場合もある。チップ集積システム1は、例えば、各種プロセッサとメモリを高度に集積した人工知能システムなどに利用され得る。なお、図1には2つのチップ集積体10a, 10bが示されているが、チップ集積システム1は、3つ以上のチップ集積体10を備えている場合があり、あるいは、チップ集積システム1は、1つのチップ集積体10のみから成る場合がある。

30

【0018】

チップ集積体10は、複数のチップ集積モジュールを内部に備える集積体である。チップ集積モジュールのサイズは、特に限定されるものではないが、たとえば50mm角程度から大きいものでは300mm角程度のサイズであるものを例示できる。ここで、チップ集積モジュールは、複数のICチップを備えた半導体モジュールである。図1には、チップ集積体10においてチップ集積モジュールが配置されている領域が破線で示されている。図1に示す例では、チップ集積モジュールが縦に8個、横に8個並べられており、チップ集積体10は合計64個のチップ集積モジュールを備えている。ただし、チップ集積体10が備えるチップモジュールの数は、これに限定されるものではなく、63個以下である場合、あるいは、65個以上である場合がある。

40

【0019】

また、本実施の形態に係るチップ集積体10は、光トランシーバモジュール(以下、「光モジュール」と称する。)を備える。本実施の形態に係るチップ集積体10は、例えば、6個の光モジュールを備えている。図1に示す例では、チップ集積体10aは、光モジュール11a, 12a, 13a, 14a, 15a, および16aを備える。チップ集積体10bは、光モジュール11b, 12b, 13b, 14b, 15b, および16bを備え

50

る。図 1 に示す光モジュール 11 a ~ 16 a、および光モジュール 11 b ~ 16 b のそれぞれは、後述する図 2 に示す光モジュール 11 ~ 16 に対応する。これらの光モジュールは、同一のチップ集積体 10 に設けられている光モジュール、あるいは他のチップ集積体 10 に設けられている光モジュールと光配線 110 によって接続されている。光配線の代表例としては光ファイバが挙げられるが、これに限定されるものではなく、例えば光導波路を備えた平面上のパネルやシート、もしくは自由空間を用いた光配線も用いることができる。本実施の形態に係るチップ集積システム 1 では、チップ集積体 10 における信号が光によって伝達されるため、電気信号のみにより信号が伝達される場合よりも高速で信号が伝達される。

【0020】

<チップ集積体>

図 2 は、図 1 に示すチップ集積体の構成例を示す斜視図である。本実施の形態に係るチップ集積体 10 は、集積層（半導体パッケージまたは電子モジュールともいう）100 と、集積層 100 の上面に配置された光モジュール 11 ~ 16 と、集積層 100 の上面に配置された放熱機構 20 と、集積層 100 の下面に配置された外部端子 30 と、を備える。

【0021】

集積層 100 は、積層構造を有し、複数のチップ集積モジュール（半導体モジュールまたは電子装置ともいう）を有する層である。集積層 100 の詳細な構成については、図 3 を参照して後述する。

【0022】

放熱機構 20 は、チップ集積体 10 において発生した熱を放散する機構である。放熱機構 20 は、たとえば集積層 100 に内蔵される複数の IC チップおよび光モジュール 11 ~ 16 のそれぞれが有する IC チップが動作時に発する熱を放散する機能を備えている。言い換えれば、放熱機構 20 は、たとえば集積層 100 が有する集積回路チップおよび光モジュール 11 ~ 16（図 2 参照）が有する集積回路チップが動作時に発する熱を放散できる。

【0023】

外部端子 30 は、光モジュール 11 ~ 16 のいずれか、あるいはチップ集積モジュール 40（後述する図 3 参照）と電気的に接続される端子である。図 2 に示す例では、外部端子 30 は、半田ボールであって、電気信号の伝送経路の一部を構成する。本実施形態では、外部端子 30 を用いて光モジュールやチップ集積モジュールに電力を供給したり、外部との電気信号の入出力に使用したりすることが可能である。外部端子の形状は図 2 のように球状であってよく、あるいはピン形状、もしくはパッド形状など各種の形状であってよい。

【0024】

図 3 は、図 2 に示すチップ集積体の構成例を示す説明図である。図 3 は、チップ集積体の断面構造を示す図であるが、見易さのため、ハッチングを省略している。また、図 3 では、図 1 に示す 6 4 個のチップ集積モジュールのうちの 2 個分を図示している。

【0025】

図 2 に示す複数の光モジュール 11 ~ 16 のそれぞれは、光トランシーバ、コネクタ、および放熱部材を備える。例えば図 3 に示す光モジュール 13 は、光トランシーバ 130、コネクタ 132、および放熱部材 136 を備える。放熱部材 136 は、光トランシーバ 130 上に固定される支持板（ヒートスプレッド）と、支持板上に固定され、光トランシーバ 130 から離れる方向に向かって突出する複数の放熱フィンとを備えている。

【0026】

光トランシーバ 130 は、光配線 110（図 1 参照）を介して受信した光信号を電気信号に変換する機能、および電気信号を光信号に変換して光配線 110 を介して外部に光信号を送信する機能を備えた光電変換部品である。光トランシーバ 130 の下面には、コネクタ 132 が接続されている。また、コネクタ 132 は、半田 138 を介して、集積層 100 の表面に形成された電極 140 に接続されている。光トランシーバ 130 は、コネク

10

20

30

40

50

タ 1 3 2 を介して、集積層 1 0 0 と電気信号の送受信ができる。コネクタを用いることにより、光トランシーバの容易な着脱が可能になり、例えば光トランシーバの故障などの際の迅速な交換が可能となる。

【 0 0 2 7 】

また、光トランシーバ 1 3 0 の上面には、放熱部材 1 3 6 が配置されている。放熱部材 1 3 6 は、たとえば光トランシーバ 1 3 0 などの熱を放散できる。放熱部材 1 3 6 は、小さな体積で大きな表面積を実現する放熱フィンが上面に設けられたヒートスプレッドを備えている。放熱フィンは、たとえば光トランシーバ 1 3 0 などの熱を放散できる。

【 0 0 2 8 】

放熱機構 2 0 は、集積層 1 0 0 の表面に配置された支持部材 2 1 0 に支持されている。放熱機構 2 0 は、支持部材 2 1 0 に固定される支持板と、支持板上に固定され、チップ集積モジュール 4 0 から離れる方向に向かって突出する複数の放熱フィンとを備えている。放熱機構 2 0 は、支持部材 2 1 0 を介して、集積層 1 0 0 の内部（詳しくはチップ層 1 0 4 内）に配置されたチップ集積モジュール 4 0（言い換えれば、複数の IC チップのそれぞれ）と熱的に接続されている。支持部材 2 1 0 は、例えば、サーマル・インターフェイス・マテリアル（TIM：Thermal Interface Material）であり、集積層 1 0 0 の内部に配置された IC チップと熱的に接続されている。

10

【 0 0 2 9 】

図 3 に示す集積層 1 0 0 は、広域配線層 1 0 2、チップ層 1 0 4 および接続層 1 0 6 を備える。

20

【 0 0 3 0 】

広域配線層 1 0 2 は、複数の層により構成された積層構造を有している層である。広域配線層 1 0 2 が有する複数の層のそれぞれは、配線などの導体パターンと、導体パターンを覆う絶縁層とを備えている。絶縁層は、例えば絶縁性の樹脂から成る。配線などの導体パターンは、下地の絶縁層上に形成されている。厚さ方向において互いに隣り合う層に設けられている 2 つの配線は、導体ビアによって電氣的に接続されている。図 3 に示す例では、広域配線層 1 0 2 は、4 つの層を有しており、一番下の層（チップ層 1 0 4 から最も遠い層）に設けられている配線上には、外部端子 3 0 が形成されている。また、広域配線層 1 0 2 の一番上の層（チップ層 1 0 4 に最も近い層）に設けられている配線は、チップ層 1 0 4 に設けられている電極と電氣的に接続されている。

30

【 0 0 3 1 】

チップ層 1 0 4 は、絶縁性の封止体 1 0 5 と、封止体 1 0 5 に埋め込まれた各種の導体および機能デバイスを備える層である。封止体 1 0 5 には、たとえば、導体ポスト 1 4 6 および複数のチップ集積モジュール 4 0 などが埋め込まれている。図 3 に示す例では、導体ポスト 1 4 6 の下面には、電極 1 4 8 が設けられており、導体ポスト 1 4 6 は、電極 1 4 8 を介して、広域配線層 1 0 2 の一番上の層に配置されている配線に電氣的に接続されている。

【 0 0 3 2 】

図 3 に示す例では、チップ集積モジュール 4 0 は、導体のトールピラー 4 0 1 および電極 4 0 3 を介して、広域配線層 1 0 2 の一番上の層に配置されている配線に電氣的に接続されている。チップ集積モジュール 4 0 の構成の詳細については、図 4 を参照して後述する。

40

【 0 0 3 3 】

接続層 1 0 6 は、集積層 1 0 0 の表面に配置された構成部品とチップ層 1 0 4 とを接続する層である。たとえば、接続層 1 0 6 は、チップ層 1 0 4 の導体ポスト 1 4 6 と、光トランシーバ 1 3 0 に電氣的に接続された電極 1 4 0 とを接続する導体ビア 1 4 2 および電極 1 4 4 を有する。

【 0 0 3 4 】

また、接続層 1 0 6 は、複数のチップ集積モジュール 4 0 のそれぞれに熱的に接続された金属の接触部 2 2 2 を有し、接触部 2 2 2 は、放熱機構 2 0 の支持部材 2 1 0 の内部に

50

設けられた結合部 2 2 0 に接続されている。このように、本実施形態に係るチップ集積モジュール 4 0 は、接触部 2 2 2 および結合部 2 2 0 を介して、放熱機構 2 0 に熱的に接続されている。

【 0 0 3 5 】

< チップ集積モジュール >

図 4 は、図 3 に示すチップ集積モジュールの一部分の構成例を示す拡大断面図である。図 4 に示すように、本実施の形態に係るチップ集積モジュール 4 0 は、半導体ダイ 4 1 と半導体ダイ 4 2 と、半導体ダイ 4 1 および半導体ダイ 4 2 を封止する封止体 4 5 と、を備えている。また、チップ集積モジュール 4 0 は、半導体ダイ 4 1 と半導体ダイ 4 2 とを電気的に接続するブリッジ 4 3 を備えている。さらに、チップ集積モジュール 4 0 は、半導体ダイ 4 1 とブリッジ 4 3 とを電気的に接続する接続部 4 7 と、半導体ダイ 4 2 とブリッジ 4 3 とを電気的に接続する接続部 4 8 と、を備えている。接続部 4 7 および接続部 4 8 のそれぞれは、封止体 4 5 に封止されている。また、半導体ダイ 4 1 は、接続部 4 9 を介して、チップ集積モジュール 4 0 の外部（例えば図 3 に示す外部端子 3 0）と電気的に接続されている。

10

【 0 0 3 6 】

半導体ダイ 4 1 は、主面 4 1 1 t を有する IC チップ 4 1 1 および IC チップ 4 1 1 の主面 4 1 1 t 上に積層される絶縁層 4 1 2 および絶縁層 4 1 3 を有する。半導体ダイ 4 1 は、IC チップ 4 1 1 に電気的に接続された配線 4 1 4 および配線 4 1 5 を有する。また、半導体ダイ 4 1 は、配線 4 1 4 に接続されたダイ電極 4 1 6、および配線 4 1 5 に接続されたダイ電極 4 1 7 を有している。図 4 に示す例では、半導体ダイ 4 1 は 2 層の絶縁層 4 1 2、4 1 3 を有している。ただし、半導体ダイ 4 1 が有する絶縁層の総数は 2 層には限定されず、例えば 3 層以上の絶縁層を有する場合がある。

20

【 0 0 3 7 】

IC チップ 4 1 1 は、例えばシリコンなどの半導体基板ならびにトランジスタやダイオードなどの回路素子を含む。IC チップ 4 1 1 内の回路素子の集積形態としては種々のものを取りることが可能であり、例えば IC チップの主面 4 1 1 t に回路素子が二次元的に、もしくは三次元的に形成されたもの、さらには半導体基板自体が多層に積層された上で各層に回路素子が形成され、半導体基板を貫通するビア（TSV: Through Silicon Via）で接続されたものなど、各種のものが想定されうる。

30

【 0 0 3 8 】

半導体ダイ 4 2 は、主面 4 2 1 t を有する IC チップ 4 2 1 および IC チップ 4 2 1 の主面 4 2 1 t 上に積層される絶縁層 4 2 2 および絶縁層 4 2 3 を有する。半導体ダイ 4 2 は、IC チップ 4 2 1 に電気的に接続された配線 4 2 5 を有する。また、半導体ダイ 4 2 は、配線 4 2 5 に接続されたダイ電極 4 2 7 を有している。図 4 に示す例では、半導体ダイ 4 2 は 2 層の絶縁層 4 2 2、4 2 3 を有している。ただし、半導体ダイ 4 2 が有する絶縁層の総数は 2 層には限定されず、例えば 3 層以上の絶縁層と 2 層以上の配線層を有する場合がある。また、半導体ダイ 4 2 の構造は、例えば上記した半導体ダイ 4 1 の構造と同様である。

【 0 0 3 9 】

ブリッジ 4 3 は、主面 4 3 1 t を有するチップ 4 3 1 およびチップ 4 3 1 の主面 4 3 1 t 上に積層される絶縁層 4 3 2 および絶縁層 4 3 3 を有する。ブリッジ 4 3 は、絶縁層 4 3 2 上に形成された配線 4 3 4 を有している。チップ 4 3 1 は、例えばシリコンウエハなどの半導体基板から形成されるが、変形例としてガラス等の無機材料によって形成されている場合もある。ただし、ブリッジ 4 3 が有する絶縁層の総数は 2 層には限定されず、例えば 3 層以上の絶縁層と 2 層以上の配線層を有する場合がある。また、チップ 4 3 1 が回路を有する場合は、配線 4 3 4 と電気的に接続されている場合もある。ブリッジ 4 3 は、接続部 4 7 に接続されたブリッジ電極 4 3 6、および接続部 4 8 に接続されたブリッジ電極 4 3 7 を有している。ブリッジ電極 4 3 6 とブリッジ電極 4 3 7 とは、配線 4 3 4 を介して互いに電気的に接続されている。

40

50

【 0 0 4 0 】

本実施の形態に係るブリッジ 4 3 は、ピラーによるサスペンデド・ブリッジ (P i l l a r S u s p e n d e d B r i d g e) である。本実施の形態に係る配線 4 3 4 はチップ 4 3 1 と電氣的に接続されており、配線 4 3 4 およびチップ 4 3 1 が一体となってブリッジとして機能している。ただし、後述するように、ブリッジ 4 3 は、半導体ダイ 4 1 と半導体ダイ 4 2 とを電氣的に接続する機能を備えていればブリッジ回路としての機能を果たせる。このため、変形例としては、チップ 4 3 1 を有していない場合、あるいはチップ 4 3 1 と配線 4 3 4 とが電氣的に接続されていない場合がある。また、図 4 に示す例では、ブリッジ 4 3 は 2 層の絶縁層 4 3 2 , 4 3 3 を有している。ただし、ブリッジ 4 3 が有する絶縁層の総数は 2 層には限定されず、例えば 3 層以上の絶縁層を有する場合がある。

10

【 0 0 4 1 】

接続部 4 7 は、柱状接続部 4 7 2 を含む。図 4 に示す例では、接続部 4 7 は、柱状接続部 4 7 2 と、柱状接続部 4 7 2 およびダイ電極 4 1 7 を接続する半田層 4 7 3 と、柱状接続部 4 7 2 およびブリッジ電極 4 3 6 を接続する半田層 4 7 4 と、を有している。

【 0 0 4 2 】

接続部 4 8 は、柱状接続部 4 8 2 を含む。図 4 に示す例では、接続部 4 8 は、柱状接続部 4 8 2 と、柱状接続部 4 8 2 およびダイ電極 4 2 7 を接続する半田層 4 8 3 と、柱状接続部 4 8 2 およびブリッジ電極 4 3 7 を接続する半田層 4 8 4 と、を有している。

【 0 0 4 3 】

本実施の形態において、柱状接続部 4 7 2 および柱状接続部 4 8 2 のそれぞれは、 μm サイズの柱状の導体 (「マイクロピラー」ともいう。) である。柱状接続部 4 7 2 および柱状接続部 4 8 2 のそれぞれの本体部分は、例えば銅を主成分とする金属材料から成る。柱状接続部 4 7 2 と半田層 4 7 3 との接合界面、および柱状接続部 4 7 2 と半田層 4 7 4 との接合界面のそれぞれには、本体部分よりも酸化耐性が高い、言い換えれば金属の酸化物生成自由エネルギーが大きな、例えば金などの金属材料と、例えば錫を主成分とする半田との合金層が形成されている。合金層は、柱状接続部 4 7 2 を半田層 4 7 3 , 4 7 4 と接合する際に、柱状接続部と半田層との接合界面に形成された金属膜と半田層とが共晶反応することにより形成された層である。合金層の詳細は後述する。

20

【 0 0 4 4 】

同様に、柱状接続部 4 8 2 と半田層 4 8 3 との接合界面、および柱状接続部 4 8 2 と半田層 4 8 4 との接合界面のそれぞれには、本体部分よりも酸化耐性が高い、例えば金などの金属材料から成る接合膜が形成されている。ただし、柱状接続部 4 8 2 を半田層 4 8 3 , 4 8 4 と接合する際に、接合膜の近傍には半田層 4 8 3 , 4 8 4 との合金層が形成され、接合膜の元々の構成成分自体は半田層内に拡散している状態となっている場合もある。

30

【 0 0 4 5 】

図 4 に示す例では、接続部 4 9 は、ツールピラー 4 0 1 に接続された電極 4 9 2 と、電極 4 9 2 およびダイ電極 4 2 6 を接続する半田層 4 9 3 と、を有している。図 4 に示す例では、電極 4 9 2 に接続されるツールピラー 4 0 1 は、チップ集積モジュール 4 0 に含まれないので、点線で示している。ただし、変形例としてツールピラー 4 0 1 をチップ集積モジュール 4 0 の一部とみなすこともできる。

40

【 0 0 4 6 】

本実施の形態の場合、図 4 に示す例では、ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 のそれぞれは、封止体 4 5 とは別体として形成された封止体 4 4 に封止されている。封止体 4 4 は、例えばアンダーフィル樹脂である。ただし、変形例として、チップ 4 3 1 およびブリッジ電極 4 3 6 , 4 3 7 を一括して封止する封止体を用いることもできる。あるいは、別の変形例として、封止体 4 4 の部分を図 3 に示す封止体 1 0 5 に置き換える場合もある。図 4 に示すように、接続部 4 7 および接続部 4 8 が封止体 4 5 に封止され、かつ、ブリッジ 4 3 が封止体 4 5 から露出する構造は、以下で説明するチップ集積モジュール 4 0 の製造方法によって得られる構造である。図 4 に示す構造が得られる理由の詳細については後述する。

50

【 0 0 4 7 】

なお、本実施の形態では、ブリッジ 4 3 がチップ 4 3 1 を含む半導体ダイである例について説明したが、ブリッジがチップ 4 3 1 を含まず、主として配線 4 3 4、その配線が埋め込まれた絶縁層 4 3 2、4 3 3、およびブリッジ電極 4 3 6、4 3 7 により構成されている場合がある。また、本実施の形態では、接続部 4 7 および接続部 4 8 のそれぞれは、一つの柱状接続部 4 7 2、4 8 2 を有している。ただし、半導体ダイ 4 1 とブリッジ 4 3 との離間距離によっては、接続部 4 7 および接続部 4 8 のそれぞれが、積層された二つ以上の柱状接続部を有している場合もある。積層された柱状接続部の断面形状、および断面積は異なっている場合もある。

【 0 0 4 8 】

< 光モジュール >

図 5 は、図 3 に示す光モジュールの構成例を模式的に示す説明図である。本実施の形態に係る光モジュール 1 3 は、主として、光学系機構 1 3 1、光トランシーバ 1 3 0 およびコネクタ 1 3 2 を備えている。また光モジュール 1 3 は、光信号を外部に送信するための機構（以下、「送信機構 1 3 T」ともいう。）と、光信号を外部から受信するための機構（以下、「受信機構 1 3 R」ともいう。）と、を有している。図 5 では、紙面に対して左側に送信機構 1 3 T を示し右側に受信機構 1 3 R を示しているが、送信機構 1 3 T と受信機構 1 3 R の位置関係は、図 5 に示す態様以外に種々の変形例がある。また、以下では、送信機構 1 3 T の構造を取り上げて説明し、受信機構 1 3 R の構造のうち、送信機構 1 3 T の構造と共通する部分については説明を省略する場合がある。

【 0 0 4 9 】

送信機構 1 3 T の光学系機構 1 3 1 は、光ファイバ 6 0 0、レンズ 6 0 1、反射機構（図 5 では反射鏡）6 0 2 およびレンズ 6 0 3 を備える。光トランシーバ 1 3 0 からレンズ 6 0 3 に入射した光は、レンズ 6 0 3 を透過して反射機構 6 0 2 において反射される。反射された光は、レンズ 6 0 1 を透過して、光ファイバ 6 0 0 に入射する。これにより、光信号が光ファイバ 6 0 0 を介して、外部に送信される。

【 0 0 5 0 】

受信機構 1 3 R の光学系機構 1 3 1 は、光ファイバ 6 1 0、レンズ 6 1 1、反射機構（図 5 では反射鏡）6 1 2 およびレンズ 6 1 3 を備える。光ファイバ 6 1 0 から出射された光は、レンズ 6 1 1 を透過して、反射機構 6 1 2 により反射される。反射された光は、レンズ 6 1 3 を透過して、光トランシーバ 1 3 0 に入射する。これにより、光ファイバ 6 1 0 が受信した光信号が電気信号に変換されて、各種の処理が実施される。光学系機構 1 3 1 を構成するレンズや反射機構については、設計上の要求に基づき適宜追加、削除が可能であり、例えば光ファイバがレンズや反射機構を経由せず、光トランシーバの光素子チップ、場合によっては発光素子や受光素子に直接的に結合される構成もありうる。

【 0 0 5 1 】

光トランシーバ 1 3 0 は、主として、チップ層 6 2 0、配線層 6 3 0、配線層 6 3 0 の上に配置された 2 つの光素子チップ 6 0 5、6 1 5、発光素子 6 0 6 および受光素子 6 1 6 を含む。本実施の形態では、2 つの光素子チップ 6 0 5、6 1 5、発光素子 6 0 6 および受光素子 6 1 6 は配線層 6 3 0 と電氣的に接続され、接続部はアンダーフィル樹脂 6 0 7 などにより封止されている。言い換えれば、本実施形態では、2 つの光素子チップ 6 0 5、6 1 5、発光素子 6 0 6 および受光素子 6 1 6 は、樹脂などにより構成された固定部材（アンダフィル樹脂 6 0 7）により固定されている。

【 0 0 5 2 】

本実施の形態に係る配線層 6 3 0 は、例えば 2 層構造により構成されている。配線層 6 3 0 のそれぞれの層には、たとえば配線および電極などの導体パターンが形成されている。また、チップ層 6 2 0 は、光素子駆動チップ 6 2 1 および光素子駆動チップ 6 2 2 を備える。光素子駆動チップ 6 2 1 および 6 2 2 は、光素子チップ 6 0 5 および光素子チップ 6 1 5 の駆動をそれぞれ制御するチップである。光素子駆動チップ 6 2 1 および 6 2 2 は、光素子が適切に光 / 電気を変換するのに必要とされる電気信号レベル（電圧、電流）と

10

20

30

40

50

、光トランシーバ外部から入出される電気信号レベルを変換する機能などを含んでいても良い。

【0053】

送信機構の発光素子606は、光素子チップ605の表面に設けられており、光素子チップ605から伝送された電気信号に応じて、光信号を発する素子である。発光素子606が発する光信号は、光学系機構131のレンズ603に入射する。

【0054】

光素子チップ605は、電極端子608および半田層609を介して、配線層630の上側の層に形成されている電極631に接続されており、光素子駆動チップ621は、電極端子623および半田層634を介して、配線層630の下側の層に形成されている電極633に接続されている。よって、光素子チップ605と光駆動素子チップ621は、配線層630を介して電氣的に接続されている。この構造は、光素子チップと光素子駆動チップ間の、配線層630内の概垂直な電氣的接続により、多並列かつ短距離の接続を実現できる。これは、二次元アレイ的に配置された光素子群と光素子駆動チップ間の広帯域な信号伝送を可能とする。なお、光トランシーバの製造方法によっては、半田層634は必ずしも必要とはされない。また、電極端子608、導体ビア632、電極端子623を概ね直線上に配置する事で、光素子チップと光駆動素子チップ間の電氣的接続経路長を最小化、寄生インピーダンスの小さな優れた電氣的接続とすることが可能となる。

10

【0055】

光素子駆動チップ621の下側の面には、金属で構成された金属層629が形成されている。金属層629は、結合部材640を介して、コネクタ132に設けられている導体ビア641と熱的に接続されている。これにより、光素子駆動チップ621が駆動時に発する熱は、結合部材640を介して、図5に模式的に示す矢印の方向（金属層629からコネクタ132に向かう方向）に放散される。なお、金属層629は放熱に関して存在すると望ましいものの、必ずしも存在しなくても効果は得られる。

20

【0056】

コネクタ132の導体ビア641は、半田層642を介して、接続層106の表面に形成されている電極140と接続されている。また、図3に示すように、電極140は、導体ビア142を介して、チップ層104に形成されている導体ポスト146に接続されている電極148と接続されている。このため、コネクタ132に放散された熱は、導体ポスト146を通じて放散される。

30

【0057】

光素子駆動チップ621の上面には、電極端子624が形成されており、この電極端子624は、半田層もしくは導体接続部625を介して、配線層630の下側に形成されている電極626と接続されている。また、配線層630には、配線635が形成されている。配線635は、導体ビア636を介して、光素子駆動チップ621に電氣的に接続された電極626と接続されている。また、配線635は、導体ビア637を介して、チップ層620に形成された導体ポスト628と結合している電極627に接続されている。

【0058】

導体ポスト628は、結合部材643を介して、コネクタ132の導体ビア644と電氣的に接続されている。図5に示す例において、結合部材643では、例えば光トランシーバ130とコネクタ132との間の電気信号が相互に伝送される。ただし、変形例としては、光トランシーバ130とコネクタ132との間の電気信号の伝送方向がいずれか一方方向である場合がある。すなわち、送信機構13Tの場合には、コネクタ132から光トランシーバ130に向かって電気信号が伝送され、受信機構13Rの場合には、光トランシーバ130からコネクタ132に向かって電気信号が伝送される。

40

【0059】

<チップ集積モジュールの製造方法>

次に、図3および図4に示すチップ集積モジュール40の製造方法について説明する。本実施の形態に係るチップ集積モジュールの製造方法を説明する前に、本願発明者が検討

50

した製造方法の概要について簡単に説明する。図6は、本実施の形態に対する検討例であるチップ集積モジュールの製造方法の概要を示す説明図である。

【0060】

図6に示すチップ集積モジュールの製造方法では、まず、図6の上段に示すように、複数の半導体ダイ51と、ブリッジ構造体52と、を準備する。ブリッジ構造体52は、複数のブリッジ520および複数の接続部521のそれぞれが、封止体523により封止されることにより一体化された構造体である。図6に示す例では、複数のトールピラー401が複数のブリッジ520と共に封止体523に封止されている。

【0061】

次に、図6の中段に示すように、複数の半導体ダイ51をブリッジ構造体52上に搭載する。この時、半導体ダイ51の複数のダイ電極511と、ブリッジ構造体52の複数の接続部521とはそれぞれ接合される。

10

【0062】

次に、図6の下段に示すように、複数の半導体ダイ51を封止体512による封止することで、複数の半導体ダイ51およびブリッジ構造体52を一体化して、チップ集積モジュール50を得る。

【0063】

図6に示す検討例の場合、複数のブリッジ構造体52を予め一体化させておくことにより、複数の半導体ダイ51と複数のブリッジ520とを電氣的に接続する作業を効率化することができる。

20

【0064】

ところが、図6に示す製造方法の場合、以下の懸念があることが判った。すなわち、ブリッジ構造体52を構成する封止体523の収縮または膨張により、複数の接続部521のそれぞれの位置精度を向上させることが困難であることが判った。この課題に対する対策として、複数の接続部521のそれぞれの接合界面の面積を大きくして、位置ずれに対して許容できるマージンを大きくする方法が考えられる。ただし、この場合には、隣り合う接続部521の配置ピッチも大きくする必要があるので、接続部521の高密度化が阻害される。すなわち、半導体ダイ51とブリッジ520とを電氣的に接続する端子部分の高密度化が制約される。

【0065】

30

上記のように、複数の接続部521のそれぞれの位置精度を向上させることが困難になる原因は、封止体523の体積が大きいことに起因すると考えられる。封止体523内に後述するような無機フィラ粒子を混合することにより封止体523の線膨張係数を低減させる対策も考えられるが、その対策にも限界がある。

【0066】

上記の検討結果を踏まえ、本願発明者は、本実施の形態に係るチップ集積モジュールの製造方法を見出した。製造方法の詳細は後述するが、本実施の形態に係るチップ集積モジュールの製造方法は、複数の半導体ダイおよび複数の接続部を封止体により一体化させた構造体を準備して、概構造体に複数のブリッジをそれぞれ搭載するものである。複数の半導体ダイおよび複数の接続部を一体化させた構造体における封止体の体積は、図6に示すブリッジ構造体52における封止体523の体積よりも小さくすることができる。特に、隣り合うICチップの間の隙間を小さくすることにより、熱収縮および熱膨張の影響を低減させることができる。この結果、本実施の形態に係るチップ集積モジュールの製造方法によれば、複数の接続部のそれぞれの位置精度を向上させることができるので、半導体ダイとブリッジとを電氣的に接続する端子部分の高密度化が実現可能である。

40

【0067】

以下、本実施の形態に係るチップ集積モジュールの製造方法の詳細を説明する。図7は、図4に示すチップ集積モジュールの製造工程の概要を示す説明図である。図7に示すように、本実施の形態のチップ集積モジュールの製造方法は、接続部形成工程、半導体ダイ搭載工程、第1封止工程、支持体除去工程、接続部露出工程、ブリッジ搭載工程、および

50

第2封止工程を含んでいる。

【0068】

図7に示す接続部形成工程は、図8～図12に示す各工程を含んでいる。図8～図12のそれぞれは、図7に示す接続部形成工程の詳細を示す拡大断面図である。接続部形成工程では、図11に示すように、支持体70の上面70t上に、上面70tの面外方向に延びる柱状接続部472を含む接続部47と、上面70tの面外方向に延びる柱状接続部482を含む接続部48と、を形成する。

【0069】

詳しくは、まず、図8に示すように上面70tを有する支持体70を準備する。支持体70の上面70t上には、剥離層71およびシード層72が予め形成されている。支持体70は、図7に示す支持体除去工程までの各工程において作業性を損なわない程度の剛性を備えた板であれば材料は特に限定されない。例えば、シリコンウェハなどの半導体基板、ガラスやサファイア基板などの無機材料から成る板や、樹脂製の板などを例示することができる。ただし、接続時の加熱による膨張を考慮し、支持体の線膨張係数は半導体ダイの線膨張係数に近い事が望ましい。

10

【0070】

剥離層71は、図7に示す支持体除去工程において、支持体70を剥離する事を可能とする機能を備えた機能層であり、レーザなどのエネルギービームにより剥離する方法や機械的に剥離する方法など、種々の手法に応じて各種材料の選択がなされる。シード層72は、接続部47、48、49などの導体部材をメッキ法により形成するための下地としてのシード膜である。シード層72は、例えば銅をスパッタ法により剥離層71上に成膜することにより形成できる。

20

【0071】

次に、図9に示すように、支持体70の上面70t上、詳しくは、シード層72上にレジストマスク73を形成する。レジストマスク73には、例えばフォトリソグラフィ技術を利用して複数の開口部73Hが形成される。

【0072】

次に、図10に示すように、レジストマスク73の開口部73H内に金属膜をめっき法などにより堆積させることにより、接続部47、接続部48、および接続部49を形成する。支持体70の上面70t上には予めシード層72が形成されているので、例えばメッキ法により接続部47の一部分である柱状接続部472、接続部48の一部分である柱状接続部482、および接続部49の一部分である電極492を形成することができる。図10に示す例では、柱状接続部472は本体部472Aおよび金属膜472Bを備える。柱状接続部482は本体部482Aおよび金属膜482Bを備える。電極492は本体部492Aおよび金属膜492Bを備える。本体部472A、482A、492Aのそれぞれは、例えば銅から成り、金属膜472B、482B、492Bのそれぞれは、例えば金など、銅よりも酸化耐性が高い金属材料から成る。金属膜472B、482B、492Bのそれぞれは、銅から成る本体部472A、482A、492Aのそれぞれの接合面の酸化を防止し、後述する半導体ダイ搭載工程において、フラックスレスでの半田接合を可能とする機能を備えている。

30

40

【0073】

次に、図11に示すように、レジストマスク73（図10参照）を除去する。レジストマスク73を除去すると、接続部47、48、49のそれぞれの側面およびシード層72の上面の一部が露出する。図11の状態でも図7に示す半導体ダイ搭載工程に進むこともできるが、図12に示すように、接続部47、48、49のそれぞれの側面およびシード層72の露出面に酸化被膜72Aを形成する工程を含んでいることが好ましい。酸化被膜72Aを半導体ダイ搭載工程の前に形成しておくことにより、半導体ダイ搭載工程において半田が接続部の側面に濡れ広がり、接合形状が不安定なることを防ぐことができる。接続部47、48、49のそれぞれの側面およびシード層72の露出面に酸化被膜72Aを形成する工程を含んでいる場合、図4に示すように、接続部47、48、49のそれぞれの

50

側面は、酸化被膜 7 2 A に覆われている。本工程において、酸化被膜 7 2 A を形成しない場合には、例えば後述する図 2 4 のように、図 4 に示す酸化被膜 7 2 A が形成されていない場合もある。

【 0 0 7 4 】

酸化被膜 7 2 A を形成する方法は、例えば以下の方法が挙げられる。例えば、図 1 0 に示すレジストマスク 7 3 を取り除いた状態で、図 1 2 に示す酸化被膜 7 2 A が形成されるまでの間、酸素を含む雰囲気中に曝露させる方法がある。また、より短時間で酸化被膜 7 2 A を形成する方法としては、酸素を含む雰囲気中で接続部 4 7 , 4 8 , 4 9 のそれぞれの側面およびシード層 7 2 の露出面を加熱する方法が挙げられる。なお、図 1 2 では見易さのため、酸化被膜 7 2 A を厚く示しているが、酸化被膜 7 2 A は、接続部 4 7 , 4 8 , 4 9 のそれぞれの側面およびシード層 7 2 の露出面に薄く形成されていれば足りる。

10

【 0 0 7 5 】

図 7 に示す半導体ダイ搭載工程は、図 1 3 ~ 図 1 5 に示す各工程を含んでいる。図 1 3 ~ 図 1 5 のそれぞれは、図 7 に示す半導体ダイ搭載工程の詳細を示す拡大断面図である。半導体ダイ搭載工程では、図 1 5 に示すように、ICチップ 4 1 1 および ICチップ 4 1 1 に接続されるダイ電極 4 1 7 を有する半導体ダイ 4 1 と、ICチップ 4 2 1 および ICチップ 4 2 1 に接続されるダイ電極 4 2 7 を有する半導体ダイ 4 2 と、を準備する。また、半導体ダイ搭載工程では、接続部 4 7 上にダイ電極 4 1 7 が配置され、かつ、接続部 4 8 上にダイ電極 4 2 7 が配置されるように、半導体ダイ 4 1 および半導体ダイ 4 2 のそれぞれを支持体 7 0 上に搭載する。

20

【 0 0 7 6 】

詳しくは、まず、図 1 3 に示すように半導体ダイ 4 1 および半導体ダイ 4 2 を準備する。半導体ダイ 4 1 および半導体ダイ 4 2 の詳細な構造は、既に図 4 を用いて説明した通りなので重複する説明は省略する。次に、図 1 3 に示すように、接続部 4 7 上にダイ電極 4 1 7 が配置され、かつ、接続部 4 8 上にダイ電極 4 2 7 が配置されるように、半導体ダイ 4 1 および半導体ダイ 4 2 のそれぞれと、支持体 7 0 との位置合わせを行う。半導体ダイ 4 1 のダイ電極 4 1 7 には半田層 4 7 3 が形成されている。半導体ダイ 4 1 のダイ電極 4 1 6 には半田層 4 9 3 が形成されている。半導体ダイ 4 2 のダイ電極 4 2 7 には半田層 4 8 3 が形成されている。

【 0 0 7 7 】

次に、図 1 4 に示すように、半導体ダイ 4 1 のダイ電極 4 1 7 は、半田層 4 7 3 を介して接続部 4 7 に押し付けられる。この時、半導体ダイ 4 1 のダイ電極 4 1 6 は、半田層 4 9 3 を介して接続部 4 9 に押し付けられる。同様に、半導体ダイ 4 2 のダイ電極 4 2 7 は、半田層 4 8 3 を介して接続部 4 8 に押し付けられる。本工程において、半田層 4 7 3 と接続部 4 7 の柱状接続部 4 7 2 とは、固相拡散接合により仮接合される。同様に、半田層 4 9 3 と接続部 4 9 の電極 4 9 2 とは、固相拡散接合により仮接合される。同様に、半田層 4 8 3 と接続部 4 8 の柱状接続部 4 8 2 とは、固相拡散接合により仮接合される。

30

【 0 0 7 8 】

次に、図 1 4 に示す半田層 4 7 3 と柱状接続部 4 7 2 の金属膜 4 7 2 B との接合界面、半田層 4 9 3 と電極 4 9 2 の金属膜 4 9 2 B との接合界面、および半田層 4 8 3 と柱状接続部 4 8 2 の金属膜 4 8 2 B との接合界面のそれぞれを、半田の熔融温度まで加熱してこれを保持する。これにより、各接合界面に液相を生じさせることができる。図 1 5 に示すように、各接合界面には、合金層 4 7 2 D , 合金層 4 8 2 D、および合金層 4 9 2 D が形成される。液相が生じた温度を維持すると、液相中の元素が合金層側に拡散することにより液相の融点が上昇する。この結果、液相部分が凝固する。このような接合方式は液相拡散接合と呼ばれる。本実施の形態のように、固相拡散接合による仮接合と、液相拡散接合による接合を組み合わせる場合、半田を用いた接合工程において、フラックスを用いることなく強固で熱的に安定な接合状態を実現することができる。フラックスを用いたりフロー接合方式の場合、本実施例のような微細な接合においては接合部周辺にフラックス残渣が残る可能性が高い。一方、本実施の形態の場合には、フラックス残渣が残留しないので

40

50

、これを洗浄する工程を省略できる。またフラックス残渣を洗浄して除去する工程は、接続部が微細化し、高密度化することにより困難になる。本実施の形態の場合、フラックス残渣を洗浄する必要がないので、接続部の微細化や高密度化を実現できる。なお、接合部のサイズや配置によっては、接合プロセスの選択肢として、上記以外にも通常の半田接合（ろう付け）や、フラックスを用いた半田接合、金属同士の固相拡散接合を用いる場合もある。

【0079】

半田接合を行う際に、各半田層の半田成分が、柱状接続部の側面に濡れ広がることを抑制することが好ましい。柱状接続部の側面やシード層72の上面に半田成分が濡れ広がると、接合部の形状が安定しないため、あるいは、シード層や剥離層に半田が悪影響を及ぼす可能性が高い為である。本実施の形態の場合、上記したように、柱状接続部の側面およびシード層72の露出面には、酸化被膜72Aが形成されている。この場合、半田成分の濡れ広がりを抑制することができるので、少量の半田によりダイ電極と接続部とを接合することができる。

10

【0080】

図7に示す第1封止工程では、半導体ダイ搭載工程の後、図16に示すように、半導体ダイ41、半導体ダイ42、接続部47、および接続部48を、封止体45により封止する。図16は、図7に示す第1封止工程の詳細を示す拡大断面図である。本工程では、半導体ダイ41、半導体ダイ42、接続部47、および接続部48を、封止体45により一体化する。また、図16に示す例では、接続部49も封止体45により封止される。封止体45は、例えば熱硬化性樹脂などを含む樹脂材料を例示することができる。封止体45の変形例として、後述するように、樹脂に多数の無機フィラ粒子を含有させる場合がある。

20

【0081】

図4に示すチップ集積モジュール40において、半導体ダイ41と半導体ダイ42との離間距離は、狭い。例えば、図16に示す例では、半導体ダイ41と半導体ダイ42との離間距離G1は、支持体70の上面70tから半導体ダイ41のダイ電極416,417を除く部分までの最短距離G2よりも短い。また、半導体ダイ41および半導体ダイ42の大部分を占めるICチップは、封止体45と比較して線膨張係数が非常に低い半導体材料から成る。このため、封止体45が熱膨張や熱収縮をした場合でも、ダイ電極416,417,427のそれぞれの位置は、その影響を受け難い。また、接続部47,48,49のそれぞれは第1封止工程の前に、既に半導体ダイ41または半導体ダイ42に固定されている。このため、接続部47,48,49のそれぞれは、封止体45により封止されている場合でも高い位置精度を維持することができる。したがって、図6を用いて説明した、ブリッジ構造体52の複数の接続部521のそれぞれの位置精度を向上させることが困難であるという課題は、本実施の形態の場合には生じ難い。

30

【0082】

図7に示す支持体除去工程では、第1封止工程の後、図17に示すように、支持体70（図16参照）を取り除く。図17は、図7に示す支持体除去工程の詳細を示す拡大断面図である。本工程では、剥離層71にレーザなどでエネルギーを付与することにより、剥離層71を分解（アブレーション）させることで、剥離層71による支持体への接着を大幅に低下させることで、支持体70を容易に剥離させることができる。支持体除去工程では、他に機械的な応力により剥離層において剥離を行う事も可能である。

40

【0083】

図7に示す接続部露出工程では、支持体除去工程の後、図18に示すように、柱状接続部472の一部分（下面）および柱状接続部482の一部分（下面）をそれぞれ封止体45から露出させる。図18は、図7に示す接続部露出工程の詳細を示す拡大断面図である。本工程では、例えばエッチングにより、図17に示す剥離層71、シード層72を除去する。また、本工程では、図17に示す酸化被膜72Aのうち、シード層72の上面に形成された部分を除去する。図18に示す例では、本工程では、電極492の一部分（下面）も封止体45から露出する。

50

【 0 0 8 4 】

本工程では、図 1 9 に示すように、接続部を封止体 4 5 から露出させた後、各接続部の露出面に金属膜 4 7 2 C , 4 8 2 C , 4 9 2 C を形成することが好ましい。図 1 9 は、図 1 8 に続く接続部露出工程の詳細を示す拡大断面図である。図 1 9 に示すように、本工程では、柱状接続部 4 7 2 の封止体 4 5 からの露出面に金属膜 4 7 2 C が形成される。同様に、柱状接続部 4 8 2 の封止体 4 5 からの露出面に金属膜 4 8 2 C が形成される。電極 4 9 2 の封止体 4 5 からの露出面に金属膜 4 9 2 C が形成される。金属膜 4 7 2 C , 4 8 2 C , 4 9 2 C のそれぞれは、銅から成る本体部 4 7 2 A , 4 8 2 A , 4 9 2 A のそれぞれの接合面の酸化を防止する機能と、後述する半導体ダイ搭載工程において、錫を主成分とする半田との間で共晶反応することで、低温プロセスでの接合を可能とする機能を備えている。例えば、金属膜 4 7 2 C , 4 8 2 C , 4 9 2 C のそれぞれは、金属膜 4 7 2 B , 4 8 2 B , 4 9 2 B のそれぞれと同様に、本体部 4 7 2 A , 4 8 2 A , 4 9 2 A の材料よりも酸化耐性が高い金属材料（例えば金など）から成る。上記の機能を備える金属材料の例として、金を例示できる。金属膜 4 7 2 C , 4 8 2 C , 4 9 2 C を設けることにより、図 7 に示すブリッジ搭載工程において、上に記した半田接合を行うことができる。

10

【 0 0 8 5 】

図 7 に示すブリッジ搭載工程は、図 2 0 ~ 図 2 2 に示す各工程を含んでいる。図 2 0 ~ 図 2 2 のそれぞれは、図 7 に示すブリッジ搭載工程の詳細を示す拡大断面図である。ブリッジ搭載工程では、図 2 2 に示すように、接続部 4 7 に接続されるブリッジ電極 4 3 6、および接続部 4 8 に接続されるブリッジ電極 4 3 7 を含むブリッジ 4 3 を準備する。また、ブリッジ搭載工程では、接続部露出工程の後、柱状接続部 4 7 2 上にブリッジ電極 4 3 6 が配置され、かつ、柱状接続部 4 8 2 上にブリッジ電極 4 3 7 が配置されるように、ブリッジ 4 3 を封止体 4 5 で封止された構造体に搭載する。

20

【 0 0 8 6 】

詳しくは、まず、図 2 0 に示すようにブリッジ 4 3 を準備する。ブリッジ 4 3 の詳細な構造は、既に図 4 を用いて説明した通りなので重複する説明は省略する。次に、図 2 0 に示すように、柱状接続部 4 7 2 上にブリッジ電極 4 3 6 が配置され、かつ、柱状接続部 4 8 2 上にブリッジ電極 4 3 7 が配置されるように、ブリッジ 4 3 と封止体 4 5 で封止された構造体との位置合わせを行う。ブリッジ電極 4 3 6 には半田層 4 7 4 が形成されている。ブリッジ電極 4 3 7 には半田層 4 8 4 が形成されている。

30

【 0 0 8 7 】

次に、図 2 1 に示すように、ブリッジ 4 3 のブリッジ電極 4 3 6 は、半田層 4 7 4 を介して接続部 4 7 の柱状接続部 4 7 2 に押し付けられる。この時、ブリッジ 4 3 のブリッジ電極 4 3 7 は、半田層 4 8 4 を介して接続部 4 8 の柱状接続部 4 8 2 に押し付けられる。本工程において、半田層 4 7 4 と接続部 4 7 の柱状接続部 4 7 2（詳しくは柱状接続部 4 7 2 の金属膜 4 7 2 C）とは、固相拡散接合により仮接合される。同様に、半田層 4 8 4 と接続部 4 8 の柱状接続部 4 8 2（詳しくは柱状接続部 4 8 2 の金属膜 4 8 2 C）とは、固相拡散接合により仮接合される。

【 0 0 8 8 】

次に、図 2 1 に示す半田層 4 7 4 と柱状接続部 4 7 2 の金属膜 4 7 2 C との接合界面、および半田層 4 8 4 と柱状接続部 4 8 2 の金属膜 4 8 2 C との接合界面を液相拡散接合により接合する。液相拡散接合の方法は、上記した通りなので重複する説明は省略する。液相拡散接合することにより、図 2 1 に示す金属膜 4 7 2 C , 4 8 2 C のそれぞれは、図 2 2 に示す通り、半田層の主成分である錫と金属膜の材料（例えば金）との共晶反応により形成された合金層 4 7 2 E , 4 8 2 E となる。なお、上述した半導体ダイ搭載工程を含め、フラックス残渣を洗浄することが可能であれば、上記した固相拡散接合および液相拡散接合の組み合わせに変えて、フラックスを用いた半田リフロー処理を行う場合もある。

40

【 0 0 8 9 】

ただし、本実施の形態のように、ブリッジ搭載工程において、柱状接続部 4 7 2 , 7 8 2 と、ダイ電極 4 1 7 , 4 2 7 とを接合する半田層 4 7 3 , 4 8 3 が既に封止体 4 5 で封

50

止されている場合、封止された半田層 4 7 3 , 4 8 3 の熔融を防止する観点から、液相拡散接合を適用することが特に好ましい。液相拡散接合であれば、半田層 4 7 3 , 4 8 3 の融点よりも低い温度で半田層 4 7 4 と柱状接続部 4 7 2 の界面、および半田層 4 8 4 と柱状接続部 4 8 2 の界面のそれぞれを接合させることができる。

【 0 0 9 0 】

図 7 に示す第 2 封止工程では、ブリッジ搭載工程の後、図 2 3 に示すように、ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 を、封止体 4 4 で封止する。図 2 3 は、図 7 に示す第 2 封止工程の詳細を示す拡大断面図である。図 2 3 に示す例の場合、封止体 4 4 は、ブリッジ 4 3 と封止体 4 5 との間に埋め込まれるアンダーフィル樹脂である。ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 を、封止体 4 4 で封止することにより封止体 4 5 から露出する柱状接続部 4 7 2 , 4 8 2 の一部分を保護することができる。

10

【 0 0 9 1 】

ただし、図 2 3 に示す態様には種々の変形例がある。例えば、図 7 に示す第 2 封止工程を省略し、図 2 2 に示す状態の半導体モジュールを製品として出荷する場合がある。あるいは、図 2 4 に変形例として示すように、導体のトールピラー 4 0 1 と一緒に、ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 を、封止体 1 0 5 により封止する場合がある。この封止工程は一般にモールド・アンダーフィル (M U F) と呼ばれる。この変形例の場合、第 2 封止工程の前に、トールピラー 4 0 1 を形成する工程が必要になる。例えば、トールピラーを形成する工程は、接続部露出工程の後、かつ、ブリッジ搭載工程の前、に行うことが好ましい。トールピラー 4 0 1 の形成方法としては、図 8 ~ 図 1 2 を用いて説明した、接続部形成工程と同様に行うことができる。すなわち、図 2 4 に示す封止体 4 5 の下面 4 5 b 上にレジストマスクを形成する。レジストマスクは、接続部 4 9 の一部分と重なる位置に開口部が形成される。このマスクの開口部内に金属膜をめっき法などにより堆積させることで、トールピラー 4 0 1 を形成する。この場合、トールピラー 4 0 1 は、電極 4 9 2 上に直接的に形成される。

20

【 0 0 9 2 】

図 2 4 に示す変形例の場合、図 3 に示すチップ層 1 0 4 全体、集積層 1 0 0 全体、あるいはチップ集積体 1 0 全体を半導体モジュールと見なすこともできる。

【 0 0 9 3 】

図 7 に示すように、第 1 封止工程により複数の半導体ダイを一体化させた後、ブリッジ搭載工程を行う製造方法の場合、複数のダイ電極および複数の接続部のそれぞれを、高い位置精度で配置することができるので、ICチップとブリッジとをより高密度に結合させることができる。また、図 4 に用いて説明したように、接続部 4 7、接続部 4 8、半導体ダイ 4 1、および半導体ダイ 4 2 のそれぞれが、一つの封止体 4 5 により封止された構造は、図 7 ~ 図 2 4 を用いて説明した製造方法で製造されたことにより得られる構造である。

30

【 0 0 9 4 】

< 封止体の変形例 >

次に、図 4 に示す封止体 4 5 および封止体 4 4 に係る変形例について説明する。図 2 5 ~ 図 2 7 のそれぞれは、図 4 に示す封止体に対する変形例を示す拡大断面図である。

【 0 0 9 5 】

図 2 5 に示すチップ集積モジュール 4 0 A は、封止体 4 5 A および封止体 4 4 A が図 4 に示すチップ集積モジュール 4 0 と相違する。封止体 4 5 A は、複数のフィラ粒子 4 5 1 を含み、封止体 4 4 A は、複数のフィラ粒子 4 4 1 を含んでいる。複数のフィラ粒子 4 5 1 の平均粒径は、複数のフィラ粒子 4 4 1 の平均粒径より大きい。本変形例のように、封止体 4 5 A が平均粒径の大きい複数のフィラ粒子 4 5 1 を含んでいることにより、封止体 4 5 A 全体としての線膨張係数を低下させることができる。この結果、図 7 および図 2 0 ~ 図 2 2 を用いて説明したブリッジ搭載工程において、接続部 4 7 および接続部 4 8 の位置精度をさらに向上させることができる。なお、複数のフィラ粒子 4 5 1 は、図 7 に用いる第 1 封止工程において用いる封止樹脂中に予め混合されている。同様に、複数のフィラ粒子 4 4 1 は、図 7 に示す第 2 封止工程において用いる封止樹脂中に予め混合されている。

40

50

【 0 0 9 6 】

図 2 6 に示すチップ集積モジュール 4 0 B は、封止体 4 5 B および封止体 4 4 B が図 4 に示すチップ集積モジュール 4 0 と相違する。封止体 4 5 B は、複数のフィラ粒子 4 5 2 を含み、封止体 4 4 B は、複数のフィラ粒子 4 4 2 を含んでいる。封止体 4 5 B への複数のフィラ粒子 4 5 2 の充填率は、封止体 4 4 B への複数のフィラ粒子 4 4 2 の充填率より大きい。「フィラ粒子 4 5 2 の充填率」は、樹脂 4 5 3 および複数のフィラ粒子 4 5 2 を含む封止体 4 5 B 全体の体積に含まれる複数のフィラ粒子 4 5 2 の体積の合計値として規定される。「フィラ粒子 4 4 2 の充填率」は、絶縁樹脂 4 4 3 および複数のフィラ粒子 4 4 2 を含む封止体 4 4 B 全体の体積に含まれる複数のフィラ粒子 4 4 2 の体積の合計値として規定される。

10

【 0 0 9 7 】

ただし、充填率を算出する場合には、例えば、封止体 4 5 A のうち、無作為に決定される 2 か所以上の領域の断面を撮像し、撮像された範囲のそれぞれにおいて、封止体 4 5 A の断面積に占めるフィラ粒子 4 5 2 の断面積の割合を計測し、各領域の平均値を「フィラ粒子 4 5 2 の充填率」と見なすことができる。「フィラ粒子 4 4 2 の充填率」についても同様である。本変形例のように、封止体 4 5 B における複数のフィラ粒子 4 5 2 の充填率を大きくすることにより、封止体 4 5 B 全体としての線膨張係数を低下させることができる。この結果、図 7 および図 2 0 ~ 図 2 2 を用いて説明したブリッジ搭載工程において、接続部 4 7 および接続部 4 8 の位置精度をさらに向上させることができる。なお、複数のフィラ粒子 4 5 2 は、図 7 に用いる第 1 封止工程において用いる封止樹脂中に予め混合されている。同様に、複数のフィラ粒子 4 4 2 は、図 7 に示す第 2 封止工程において用いる封止樹脂中に予め混合されている。

20

【 0 0 9 8 】

図 2 7 に示すチップ集積モジュール 4 0 C は、封止体 4 5 B が図 4 に示すチップ集積モジュール 4 0 と相違する。封止体 4 5 B は、複数のフィラ粒子 4 5 2 を含み、封止体 4 4 は、フィラ粒子を含まない絶縁樹脂 4 4 3 である。本変形例のように、封止体 4 4 中のフィラ粒子の有無によらず、封止体 4 5 B 中にフィラ粒子が含まれていれば、封止体 4 5 B 全体としての線膨張係数を低下させることができる。この結果、図 7 および図 2 0 ~ 図 2 2 を用いて説明したブリッジ搭載工程において、接続部 4 7 および接続部 4 8 の位置精度をさらに向上させることができる。

30

【 0 0 9 9 】

< 製造方法の変形例 >

次に、図 7 ~ 図 2 3 を用いて説明したチップ集積モジュール 4 0 の製造方法に対する変形例について説明する。図 2 8 は、図 4 に対する他の変形例であるチップ集積モジュールの拡大断面図である。図 2 8 に示すチップ集積モジュール 4 0 D は、接続部 4 7 および接続部 4 8 が絶縁層 8 1 に封止され、半導体ダイ 4 1 のダイ電極 4 1 6 , 4 1 7、および半導体ダイ 4 2 のダイ電極 4 2 7 のそれぞれは絶縁層 8 1 に密着する絶縁層 8 2 に封止されている点で、図 4 に示すチップ集積モジュール 4 0 と相違する。また、チップ集積モジュール 4 0 D は、ブリッジ 4 3 のブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 のそれぞれが、絶縁層 8 1 と密着する絶縁層 8 4 に封止されている点で、図 4 に示すチップ集積モジュール 4 0 と相違する。

40

【 0 1 0 0 】

以下に、図 2 8 に示すチップ集積モジュール 4 0 D の製造方法について説明する。以下の説明において、図 7 ~ 図 2 3 を用いて説明したチップ集積モジュール 4 0 の製造方法との相違点を中心に説明し、共通する工程については説明を省略する場合がある。図 2 9 は、図 2 8 に示すチップ集積モジュールの製造工程の概要を示す説明図である。図 2 9 に示すように、本変形例のチップ集積モジュールの製造方法は、絶縁層形成工程、接続部形成工程、半導体ダイ搭載工程、封止工程、支持体除去工程、接続部露出工程、およびブリッジ搭載工程を含んでいる。

【 0 1 0 1 】

50

図 29 に示す絶縁層形成工程は、図 30 および図 31 に示す各工程を含んでいる。図 30 および図 31 のそれぞれは、図 29 に示す絶縁層形成工程の詳細を示す拡大断面図である。絶縁層形成工程では、図 30 に示すように、支持体 70 の上面 70 t 上に、絶縁層 81 を形成した後、図 31 に示すように、絶縁層 81 に開口部 81 H1 および開口部 81 H2 を形成する。図 31 に示す例では、図 28 に示す接続部 49 を形成するための開口部 81 H3 が合わせて形成されている。絶縁層 81 は、後述する半導体ダイ搭載工程において、図 28 に示す絶縁層 82 に接合される。このため絶縁層 82 に用いる絶縁材料には、電気的な絶縁特性の他、耐熱性の高い材料を用いることが好ましい。このような材料として、例えばポリイミドや PBO (ポリベンゾオキサゾール) などの有機絶縁材料を例示することができる。図 30 および図 31 に示す支持体 70、剥離層 71、およびシード層 72 のそれぞれは、図 8 を用いて既に説明した通りなので、重複する説明を省略する。

10

【0102】

図 29 に示す接続部形成工程では、図 32 に示すように、開口部 81 H1 内に形成される柱状接続部 472 を含む接続部 47 と、開口部 81 H2 内に形成される柱状接続部 482 を含む接続部 48 と、を形成する。図 32 は、図 29 に示す接続部形成工程の詳細を示す拡大断面図である。図 32 に示す例では、開口部 81 H3 内には接続部 49 を構成する電極 492 が形成される。本変形例の場合、図 10 を用いて説明したレジストマスク 73 に変えて、絶縁層 81 をマスクとして用いている点で、図 10 を用いて説明した製造方法と相違する。柱状接続部 472、482、および電極 492 のそれぞれの構造は、図 10 を用いて説明した通りなので、重複する説明を省略する。

20

【0103】

上記したように、本変形例の場合、絶縁層 81 をマスクとして接続部 47、48、49 を形成する。したがって、図 11 を用いて説明したレジストマスク 73 を除去する工程、および図 12 を用いて説明した酸化被膜 72A を形成する工程は、本変形例の場合には適用されない。

【0104】

図 29 に示す半導体ダイ搭載工程は、図 33 ~ 図 35 に示す各工程を含んでいる。図 33 ~ 図 35 のそれぞれは、図 29 に示す半導体ダイ搭載工程の詳細を示す拡大断面図である。半導体ダイ搭載工程では、図 35 に示すように、ICチップ 411 および ICチップ 411 に接続されるダイ電極 417 を有する半導体ダイ 41 と、ICチップ 421 および ICチップ 421 に接続されるダイ電極 427 を有する半導体ダイ 42 と、を準備する。また、半導体ダイ搭載工程では、接続部 47 上にダイ電極 417 が配置され、かつ、接続部 48 上にダイ電極 427 が配置されるように、半導体ダイ 41 および半導体ダイ 42 のそれぞれを支持体 70 上に搭載する。

30

【0105】

詳しくは、まず、図 33 に示すように半導体ダイ 41 および半導体ダイ 42 を準備する。本変形例では、半導体ダイ 41 の上面 (ダイ電極形成面) に絶縁層 82 が形成され、半導体ダイ 42 の上面 (ダイ電極形成面) に絶縁層 83 が形成されている点で、図 13 ~ 図 15 を用いて説明した半導体ダイ搭載工程と相違する。絶縁層 82 は、本工程において絶縁層 81 と接合される絶縁層である。絶縁層 82、83 の材料は、絶縁層 81 との接合性を考慮すると、絶縁層 81 と同じ材料から成ることが特に好ましい。半導体ダイ 41 および半導体ダイ 42 の上記相違点以外の詳細な構造は、既に図 4 を用いて説明した通りなので重複する説明は省略する。

40

【0106】

次に、図 33 に示すように、接続部 47 上にダイ電極 417 が配置され、かつ、接続部 48 上にダイ電極 427 が配置されるように、半導体ダイ 41 および半導体ダイ 42 のそれぞれと、支持体 70 との位置合わせを行う。半導体ダイ 41 のダイ電極 417 には半田層 473 が形成されている。半導体ダイ 42 のダイ電極 427 には半田層 483 が形成されている。なお、本変形例の場合、図 29 に記載される封止工程では、接続部 47、接続部 48、および接続部 49 のそれぞれに封止体 45 が接触しない。このため、ダイ電極 4

50

16と比較して相対的に面積が大きい電極492の接合面に半田層493が形成されていることが好ましい。これにより、半導体ダイ搭載工程の後、半田層493の周囲の空隙の体積を小さくすることができる。一方、ダイ電極416の接合面の酸化を防止する観点からは、ダイ電極416にも半田層が形成されていることが好ましい。

【0107】

次に、図34に示すように、半導体ダイ41のダイ電極417は、半田層473を介して接続部47に押し付けられる。この時、半導体ダイ41のダイ電極416は、半田層493に押し付けられる。同様に、半導体ダイ42のダイ電極427は、半田層483を介して接続部48に押し付けられる。本工程において、半田層473と接続部47の柱状接続部472とは、固相拡散接合により仮接合される。同様に、半田層493と接続部49の電極492とは、固相拡散接合により仮接合される。同様に、半田層483と接続部48の柱状接続部482とは、固相拡散接合により仮接合される。この時点で、絶縁層81は、絶縁層82および絶縁層83のそれぞれと接触するが、まだ接合はされていない。

10

【0108】

次に、図34に示す半田層473と柱状接続部472の金属膜472Bとの接合界面、半田層493と電極492の金属膜492Bとの接合界面、および半田層483と柱状接続部482の金属膜482Bとの接合界面のそれぞれを上記した液相拡散接合により接合させる。この場合、図35に示すように、各接合界面には、共晶反応による合金層472D、合金層482D、および合金層492Dが形成される。液相拡散接合の詳細は既に説明した通りなので、重複する説明は省略する。

20

【0109】

また、本変形例の場合、半導体ダイ搭載工程において、絶縁層81と絶縁層82とは互いに接合され、かつ、ダイ電極417は絶縁層81および絶縁層82により封止される。また、半導体ダイ搭載工程において、絶縁層81と絶縁層83とは互いに接合され、かつ、ダイ電極427は絶縁層81および絶縁層83により封止される。絶縁層81が絶縁層82および絶縁層83のそれぞれと接合されるタイミングは、液相拡散接合を行うタイミングとほぼ同じでよい。すなわち、図34に示す半田層473と金属膜472Bとが共晶反応を生じる温度まで昇温させた時に、絶縁層81、82、83のそれぞれも一緒に加熱される。これにより、絶縁層81、82、83を構成する材料が軟化して、その接触界面が接合される。絶縁層同士の接合原理としては、絶縁層表面の水酸基同士の脱水重合による接合（フュージョン・ボンディング）などを用いることができる他、材料によっては軟化、溶融による接着も用いることができる。フュージョン・ボンディング法を用いる場合は、絶縁層同士の接合前に、プラズマによる絶縁層表面の活性化を行うことが望ましい。

30

【0110】

本変形例の場合、接続部47、接続部48、および接続部49の周囲は、絶縁層81に囲われている。このため、液相拡散接合を行う際に、半田成分の濡れ広がりを抑制することができる。したがって、本変形例の場合にも、少量の半田によりダイ電極と接続部とを接合することができる。

【0111】

図29に示す封止工程では、半導体ダイ搭載工程の後、図36に示すように、半導体ダイ41および半導体ダイ42を、封止体45により封止する。図36は、図29に示す封止工程の詳細を示す拡大断面図である。本工程では、半導体ダイ41および半導体ダイ42を、封止体45により一体化する。本変形例の場合、接続部47、接続部48および接続部49のそれぞれは既に封止されているので、厳密には、半導体ダイ41および半導体ダイ42のそれぞれは、絶縁層81を介して一体化されている。本工程では、封止体45により封止することで、半導体ダイ41および半導体ダイ42を一体化した構造体の剛性を向上させる。

40

【0112】

本変形例の場合、封止体45の体積は、図4に示す封止体45の体積と比較してさらに小さい。このため、封止体45が熱膨張あるいは熱収縮した場合でも、接続部47、48

50

、49のそれぞれは、封止体45により封止されている場合でも高い位置精度を維持することができる。

【0113】

図29に示す支持体除去工程では、封止工程の後、図36に示す支持体70を取り除く。支持体70を取り除く方法は、図17を用いて説明した支持体除去工程と同様なので、重複する説明は省略する。

【0114】

図29に示す接続部露出工程では、支持体除去工程の後、図37に示すように、柱状接続部472の一部分(下面)および柱状接続部482の一部分(下面)をそれぞれ絶縁層81から露出させる。図37は、図29に示す接続部露出工程の詳細を示す拡大断面図である。本工程では、例えばエッチングにより、図36に示す剥離層71、シード層72を除去する。図37に示す例では、本工程では、電極492の一部分(下面)も絶縁層81から露出する。

10

【0115】

本工程では、図38に示すように、接続部を絶縁層81から露出させた後、各接続部の露出面に金属膜472C、482C、492Cを形成することが好ましい。図38は、図37に続く接続部露出工程の詳細を示す拡大断面図である。図38に示すように、本工程では、柱状接続部472の封止体45からの露出面に金属膜472Cが形成される。同様に、柱状接続部482の封止体45からの露出面に金属膜482Cが形成される。電極492の封止体45からの露出面に金属膜492Cが形成される。金属膜472C、482C、492Cの詳細は、既に図19を用いて説明した通りなので、重複する説明は省略する。

20

【0116】

図29に示すブリッジ搭載工程は、図39～図41に示す各工程を含んでいる。図39～図41のそれぞれは、図29に示すブリッジ搭載工程の詳細を示す拡大断面図である。ブリッジ搭載工程では、図41に示すように、接続部47に接続されるブリッジ電極436、および接続部48に接続されるブリッジ電極437を含むブリッジ43を準備する。また、ブリッジ搭載工程では、接続部露出工程の後、柱状接続部472上にブリッジ電極436が配置され、かつ、柱状接続部482上にブリッジ電極437が配置されるように、ブリッジ43を封止体45で封止された構造体に搭載する。

30

【0117】

詳しくは、まず、図39に示すようにブリッジ43を準備する。本変形例では、ブリッジ43の上面(ブリッジ電極形成面)に絶縁層84が形成され、ブリッジ電極436およびブリッジ電極437のそれぞれが、絶縁層84により封止されている点で、図13～図15を用いて説明した半導体ダイ搭載工程と相違する。上記相違点を除くブリッジ43の詳細な構造は、既に図4を用いて説明した通りなので重複する説明は省略する。

【0118】

次に、図39に示すように、柱状接続部472上にブリッジ電極436が配置され、かつ、柱状接続部482上にブリッジ電極437が配置されるように、ブリッジ43と封止体45で封止された構造体との位置合わせを行う。ブリッジ電極436には半田層474が形成されている。ブリッジ電極437には半田層484が形成されている。

40

【0119】

次に、図40に示すように、ブリッジ43のブリッジ電極436が、半田層474を介して接続部47の柱状接続部472に押し付けられる。この時、ブリッジ43のブリッジ電極437は、半田層484を介して接続部48の柱状接続部482に押し付けられる。本工程において、半田層474と接続部47の柱状接続部472(詳しくは柱状接続部472の金属膜472C)とは、固相拡散接合により仮接合される。同様に、半田層484と接続部48の柱状接続部482(詳しくは柱状接続部482の金属膜482C)とは、固相拡散接合により仮接合される。

【0120】

50

本変形例の場合、この時、絶縁層 8 1 と絶縁層 8 4 とは互いに接触する。ただしこの時点では、絶縁層 8 1 と絶縁層 8 4 とは、まだ接合はされていない。

【 0 1 2 1 】

次に、図 4 0 に示す半田層 4 7 4 と柱状接続部 4 7 2 の金属膜 4 7 2 C との接合界面、および半田層 4 8 4 と柱状接続部 4 8 2 の金属膜 4 8 2 C との接合界面を液相拡散接合により接合する。液相拡散接合の方法は、上記した通りなので重複する説明は省略する。液相拡散接合することにより、図 4 0 に示す金属膜 4 7 2 C , 4 8 2 C のそれぞれは、半田層の主成分である錫と金属膜の材料（例えば金）との共晶反応により形成された合金層 4 7 2 E , 4 8 2 E（図 4 1 参照）となる。

【 0 1 2 2 】

また、本変形例の場合、ブリッジ搭載工程において、絶縁層 8 1 と絶縁層 8 4 とは互いに接合される。絶縁層 8 1 と絶縁層 8 4 とが互いに接合されるタイミングは、液相拡散接合を行うタイミングである。すなわち、図 4 0 に示す半田層 4 7 4 と金属膜 4 7 2 C とが共晶反応を生じる温度まで昇温させた時に、絶縁層 8 1 および絶縁層 8 4 のそれぞれも一緒に加熱される。これにより、絶縁層 8 1 および絶縁層 8 4 を構成する材料が軟化して、その接触界面が接合される。絶縁層同士の接合原理としては、前述の、絶縁層表面の水酸基同士の脱水重合による接合（フュージョン・ボンディング）などを用いる事もできる。

【 0 1 2 3 】

なお、本変形例は、図 2 8 に示す絶縁層 8 1 ~ 絶縁層 8 4 を用いた例として説明したが、図 4 に示す構成例、あるいは図 2 4 を用いて説明した変形例の構成を部分的に適用する
20
場合がある。例えば、図 2 8 に示す絶縁層 8 4 に変えて、ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 のそれぞれが、図 4 に示す封止体 4 4、あるいは図 2 4 に示す封止体 1 0 5 により封止されている場合がある。

【 0 1 2 4 】

また、本変形例では、ブリッジ 4 3 の上面が絶縁層 8 4 に覆われている例を用いて説明したが、絶縁層 8 4 が形成されていない場合もある。例えば、絶縁層 8 4 に変えて、N C F（Non Conductive Film）と呼ばれる機能性絶縁膜を用いる場合、N C F は図 3 8 に示す工程の後、絶縁層 8 1 および接続部 4 7 および接続部 4 8 を覆うように配置される。この場合、ブリッジ搭載工程では、図 2 0 に示す構造のブリッジ 4 3 を N C F に向かって押し付けることにより、ブリッジ電極 4 3 6 およびブリッジ電極 4 3 7 のそれぞれが N C F を貫通して接続部 4 7 または接続部 4 8 に接触するこの状態で上記した固相拡散接合および液相拡散接合を行うことで、図 2 8 に示すチップ集積モジュール 4 0 D と同様の構造
30
が得られる。

【 0 1 2 5 】

< チップ集積体の製造方法 >

次に、図 3 を用いてチップ集積体の製造方法について説明する。まず、図示しない支持体上に、広域配線層 1 0 2 を形成する。広域配線層 1 0 2 の形成方法は、特に限定されず、例えばビルドアップ工法を用いることができる。次に、広域配線層 1 0 2 上に、複数の電極 4 0 3 およびツールピラー 4 0 1 を形成する。電極 4 0 3 およびツールピラー 4 0 1 の形成方法は、図 8 ~ 図 1 2 を用いて説明した接続部形成工程を応用して適用することができる。また、本工程では、電極 1 4 8 および導体ポスト 1 4 6 も形成される。電極 1 4 8 と電極 4 0 3 の厚さが同じであれば、これらは同じタイミングで一括して形成することができる。一方、導体ポスト 1 4 6 とツールピラー 4 0 1 とは厚さが異なるので、これらは別々に形成される。

【 0 1 2 6 】

次に、ツールピラー 4 0 1 上にチップ集積モジュール 4 0 を搭載する。ツールピラー 4 0 1 は、図 4 に示す接続部 4 9 に接続される。ツールピラー 4 0 1 と接続部 4 9 との接続方法は特に限定されないが、例えば図示しない半田層を介して接続することができる。この時、チップ集積モジュール 4 0 内の半田層が再溶融することを防ぐ観点からは、液相拡散接合を用いることが好ましい。

10

20

30

40

50

【 0 1 2 7 】

次に、チップ層 1 0 4 に形成された各種の部材を封止体 1 0 5 で封止する。図 3 に示す例では、導体ポスト 1 4 6、電極 1 4 8、チップ集積モジュール 4 0、トールピラー 4 0 1、および電極 4 0 3 のそれぞれが、封止体 1 0 5 により封止される。その後、図示しない支持体を広域配線層 1 0 2 から除去する。さらに、導体ポスト 1 4 6 およびチップ集積モジュール 4 0 が露出するように、封止体 1 0 5 の上部を研削する。

【 0 1 2 8 】

次に、接続層 1 0 6 を封止体 1 0 5 上に形成する。より具体的には、接続層 1 0 6 に含まれる配線が、導体ポスト 1 4 6 の露出した部分あるいはチップ集積モジュール 4 0 の露出した部分と接続されるように、接続層 1 0 6 を封止体 1 0 5 の上に形成する。例えば、接続層 1 0 6 の上に形成された電極 1 4 0 は、導体ビア 1 4 2 を通じて導体ポスト 1 4 6 に接続される。

10

【 0 1 2 9 】

次に、接触部 2 2 2 の上に、放熱機構 2 0 を搭載する。さらに、電極 1 4 0 に、光ファイバ 6 0 0 (図 5 参照) や光ファイバ 6 1 0 (図 5 参照) が接続された光モジュール 1 3 を接続する。放熱部材 1 3 6 は、予め光モジュール 1 3 に接続されている。次に、複数の外部端子 3 0 を広域配線層 1 0 2 に搭載すれば、図 3 に示すチップ集積体 1 0 が得られる。

【 0 1 3 0 】

< チップ集積体の変形例 >

次に、図 3 に示すチップ集積体の変形例について説明する。図 4 2 および図 4 3 のそれぞれは、図 3 に示すチップ集積体に対する変形例を示す説明図である。図 4 2 に示すチップ集積体 1 0 A は、光モジュール 1 3 の一部分が集積層 1 0 0 のチップ層 1 0 4 内に埋め込まれている点で図 3 に示すチップ集積体 1 0 と相違する。詳しくは、光モジュール 1 3 のうち、コネクタ 1 3 2 の部分が封止体 1 0 5 により封止されている。コネクタ 1 3 2 と電極 1 4 8 とは導体ビア 1 4 2 を介して接続されている。コネクタ 1 3 2 部分がチップ層 1 0 4 に埋め込まれている場合、チップ集積体 1 0 A 全体の高さを低減させることができる上、図 3 の場合に比べて、チップ集積モジュールから光トランシーバまでの距離を短縮することで信号の伝送特性を向上できる。また、光トランシーバ 1 3 0 は、チップ層 1 0 4 および接続層 1 0 6 から露出しているため、光トランシーバ 1 3 0 の着脱は容易である。

20

【 0 1 3 1 】

図 4 3 に示すチップ集積体 1 0 B は、光モジュール 1 3 が集積層 1 0 0 の背面 1 0 0 b 側に配置されている点で、図 3 に示すチップ集積体 1 0 と相違する。集積層 1 0 0 は、放熱機構 2 0 が搭載される前面 1 0 0 f と、前面 1 0 0 f の反対側の背面 1 0 0 b を備えている。光モジュール 1 3 は、背面 1 0 0 b 側に搭載されている。光モジュール 1 3 を背面 1 0 0 b に配置することにより、放熱機構 2 0 と光モジュール 1 3 との離間距離が大きくなるので、放熱機構 2 0 からの熱影響を低減できる。また、図 4 3 に示す例では、光モジュール 1 3 は、集積層 1 0 0 の厚さ方向において、チップ集積モジュール 4 0 と重なる位置に配置されている。この場合、チップ集積モジュール 4 0 と光モジュール 1 3 との距離が近くなるので、電気信号の伝送効率を向上させることができる。

30

【 0 1 3 2 】

< ブリッジに生じる寄生容量低減対策の変形例 >

図 4 に示すブリッジ 4 3 を介した信号伝送経路では、超高速で信号が伝送される。高速の信号伝送経路の場合、伝送経路に付与される電気的寄生容量を低減させることが好ましい。以下では、図 4 に示すチップ 4 3 1 と配線 4 3 4 との間に生じる寄生容量を低減する技術について、変形例として説明する。図 4 4 は、図 4 に示すブリッジに対する変形例を示す断面図である。

40

【 0 1 3 3 】

図 4 4 に示すブリッジ 4 3 A は、絶縁層 4 3 2 とチップ 4 3 1 との間に絶縁層 4 3 8 を更に備えている点で、図 4 に示すブリッジ 4 3 と相違する。他の点は、図 4 に示すブリッジ 4 3 と同様である。ブリッジ 4 3 A は、チップ 4 3 1 と、チップ 4 3 1 上に順に積層さ

50

れた絶縁層438、絶縁層432、および絶縁層433と、絶縁層432と絶縁層438との間に挟まれ、ブリッジ電極436およびブリッジ電極437のそれぞれに接続された配線434と、を有している。絶縁層438は、厚膜絶縁層である。絶縁層438の厚さは、絶縁層432の厚さ、および絶縁層433の厚さよりも厚い。絶縁層438は、絶縁層432に接着される面438tおよびチップ431に接着される面438bを有している。面438tおよび面438bのそれぞれは、接着機能を備え、絶縁層438は、面438tおよび面438bの接着機能を介して絶縁層432およびチップ431に接着固定されている。絶縁層438の全体が接着層であってもよい。

【0134】

ブリッジ43Aのように、絶縁層432とチップ431との間に絶縁層438が介在している場合、配線434とチップ431との離間距離を大きくすることができる。この結果、図4に示すブリッジ43と比較して、チップ431と配線434との間に生じる寄生容量を低減することができる。

10

【0135】

絶縁層438が設けられたブリッジ43Aの場合、図4に示すブリッジ43と比較して、ブリッジの反り変形が生じやすい。ブリッジの反り変形は、絶縁層438を形成する際に生じる膜形成応力（樹脂の硬化収縮や熱収縮）に起因して発生する。この反り変形を低減させる観点からは、絶縁層438は、弾性率の低い材料を用いることが望ましい。また、同様の観点から、絶縁層432および絶縁層433と比較して、硬化温度および熱分解温度が低い樹脂材料を用いることが好ましい。例えば、絶縁層432および絶縁層433がポリイミド樹脂から成り、絶縁層438がエポキシ樹脂から成る場合、絶縁層438は、絶縁層432および絶縁層433と比較して、硬化温度および熱分解温度が低い樹脂材料から成るので、ブリッジ43Aの反り変形を抑制できる。

20

【0136】

図44に示すブリッジ43Aは、例えば以下のように製造される。図45～47は、図44に示すブリッジの製造工程の概要を示す断面図である。ブリッジ43Aの製造方法は、図45に示す配線層形成工程、図46に示す配線層転写工程、図47に示す支持体除去工程、および図44に示すブリッジ電極形成工程を含んでいる。

【0137】

まず、配線層形成工程では、図45に示す支持体80上に、絶縁層433、配線434、および絶縁層432を積層するように順に形成する。詳しくは、配線層形成工程では、図45に示す支持体80を準備する。支持体80の上面80t上には、剥離層81Aおよびシード層82Aが予め形成されている。支持体80は、後述する支持体除去工程までの各工程において作業性を損なわない程度の剛性を備えた板であれば材料は特に限定されない。例えば、シリコンウェハなどの半導体基板、ガラスやサファイア基板などの無機材料から成る板や、樹脂製の板などを例示することができる。剥離層81Aは、図8を用いて説明した剥離層71と同様であり、シード層82Aは、図8を用いて説明したシード層72と同様なので、重複する説明を省略する。

30

【0138】

また、配線層形成工程では、支持体80を準備した後、シード層82A上に絶縁層433を堆積させる。次に、絶縁層433の一部に開口部を形成し、開口部内に配線434を形成する。重複する説明は省略するが、開口部の形成方法および開口部内での配線434の形成方法は、図9および図10を用いて説明したフォトリソグラフィ技術を利用する方法により形成できる。次に、絶縁層433および配線434を覆うように絶縁層432を形成することにより、図45に示す構造物が得られる。

40

【0139】

次に、配線層転写工程では、図46に示すように、絶縁層438を介して支持体80上の絶縁層432と、チップ431とを貼り合わせる。なお、図46では個片化されたチップ431を貼り付ける例を図示している。ただし、変形例として本工程ではチップ431に変えて、個片化前のシリコンウェハや個片化前のガラス基板、あるいは個片化前のサフ

50

ファイア基板を貼り付ける場合がある。本工程において個片化前の状態の基板を貼り付ける場合、ブリッジ電極形成工程の後、基板をダイシングして複数のブリッジ43A（図44参照）を取得する個片化工程を実施する。この変形例の場合、一括して多数のブリッジ43Aを製造できるので、製造効率の向上という観点から好ましい。これらの変形例を含めると、本工程は以下のように表現できる。すなわち、配線層転写工程では、絶縁層438を介して支持体80上の絶縁層432と、基板とを貼り合わせる。ここでいう「基板」には、図46に示すチップの他、個片化前のシリコンウエハなどの半導体基板や個片化前のガラス基板、あるいは個片化前のサファイア基板などが含まれる。図44を用いて説明したように、絶縁層438の面438tおよび面438bのそれぞれは、接着機能を備えているので、絶縁層438を介して支持体80上の絶縁層432と、チップ431とは、絶縁層438を介して接着固定される。なお、本変形例の場合、チップ431と配線434とが電氣的に接続されていない。チップ431の部分が他の回路に接続されない場合には、図44に示すチップ431の部分が、集積回路の形成されていない基板（例えば半導体基板やガラス基板など）に置き換えられる場合がある。あるいは、後述するように、チップ431の部分が除去されたブリッジとする場合がある。

10

【0140】

次に、支持体除去工程では、図47に示すように、例えば、剥離層81A（図46参照）にエネルギーを付与することにより、剥離層81Aを分解することで行う。支持体除去工程の後、ブリッジ電極437およびブリッジ電極436に接続される導体部（ブリッジ電極437に接続される導体部437Aおよびブリッジ電極436に接続される導体部436A）を露出させる。導体部436Aおよび導体部437Aのそれぞれは、配線基板とブリッジ電極とを電氣的に接続するためのコンタクトとして機能する。本工程では、例えばエッチングにより、図46に示す剥離層81Aおよびシード層82Aを除去する。

20

【0141】

次に、ブリッジ電極形成工程では、図44に示すように、配線434に接続された導体部437A上にブリッジ電極437を形成し、配線434に接続された導体部436A上にブリッジ電極436を形成する。また、本工程では、ブリッジ電極436の先端面に半田層474を形成し、ブリッジ電極437の先端に半田層484を形成する。

【0142】

以上の工程をウエハやパネルといった大型のサイズで実施をした上で、所定のサイズのブリッジに分割する事で、図44に示すブリッジ43Aを形成することができる。ブリッジ43Aは、例えば図4に示すブリッジ43と置き換えて利用することができる。ブリッジ43をブリッジ43Aに置き換えた場合、チップ431と配線434との間の寄生容量が低減するので、高速信号を伝送する場合に特に好適である。なお、本変形例では、図4に示すブリッジ43に対する変形例として図44に示すブリッジ43Aおよび後述する図48に示すブリッジ43Bについて説明する。ただし、ブリッジ43Aおよびブリッジ43Bは、図25に示すチップ集積モジュール40A、図26に示すチップ集積モジュール40B、図27に示すチップ集積モジュール40C、および図28に示すチップ集積モジュール40Dのいずれかに図示されるブリッジ43と置き換えることができる。

30

【0143】

図48は、図4に示すブリッジに対する他の変形例を示す断面図である。図48に示すブリッジ43Bは、チップ431に相当する部分が除去されている点で、図4に示すブリッジ43と相違する。ブリッジ43Bの場合、配線434の近傍にチップ431が配置されていないので、配線434に対する寄生容量の影響をさらに低減できる。

40

【0144】

ただし、ブリッジ43Bの場合、図4に示すブリッジ43や図44に示すブリッジ43Aと比較して、剛性が低い。このため、チップ集積モジュール40Eの製造工程において、半導体ダイ41および半導体ダイ42のそれぞれと、ブリッジ43Bとが接合され、ブリッジ電極436およびブリッジ電極437の周囲が封止されるまでは、チップ431上に絶縁層433が保持された状態で図20～図23を用いて説明した製造方法と同様に、

50

各工程を実施することが好ましい。その後、図 23 に示す状態において、チップ 431 を除去する製造方法が好ましい。チップ 431 を除去する方法としては、例えば、チップ 431 がシリコンで形成されている場合は、ドライエッチング等により除去することができ、ガラス等の無機材料で形成されている場合は、チップ 431 と絶縁層 433 との間に剥離層を介在させておき、剥離層をレーザなどのエネルギービームにより分解（アブレーション）することによりチップ 431 を除去する方法を用いることができる。なお、ブリッジ 43B の製造方法の変形例として、図 44 ~ 図 47 を用いて説明した製造方法を用いる場合もある。

【0145】

<チップ集積モジュールの他の変形例>

図 49 は、図 4 に対する変形例であるチップ集積モジュールの一部の構成を示す図である。図 49 に示すように、本実施形態に係るチップ集積モジュール 40E は、第 1 のダイ 41E、第 2 のダイ 42E、ブリッジ 43E およびこれらを封止する封止部材 45E、46E を含む。第 1 のダイ 41E は、第 1 の接続部 47E を介してブリッジ 43E に接続されている。また、ブリッジ 43E は、第 2 の接続部 48E を介して第 2 のダイ 42E に接続されている。さらに、第 1 のダイ 41E は、第 3 の接続部 49E を介して、チップ集積モジュール 40E の外部と接続されている。

【0146】

第 1 のダイ 41E は、第 1 の集積回路チップ 402E、ダイ電極 408E、410E、第 1 の集積回路チップ 402E に接続されている配線 404E、406E、および配線 404E、406E が埋め込まれている絶縁層 412E、414E を備える。配線 404E、406E は、第 1 の集積回路チップ 402E に含まれる配線層とは別の配線である。より詳細には、配線 404E、406E は、有機（場合により無機）樹脂の絶縁膜を用いた厚膜配線であってよく、いわゆる再配線（RDL: Redistributive Layer）と呼ばれるものである。なお、第 2 のダイおよびブリッジが備える配線も再配線と呼ばれるものである。また、後述する第 2 の集積回路チップ 420 および第 3 の集積回路チップ 442E も、第 1 の集積回路チップ 402E と同様の構成を有してよい。

【0147】

第 2 のダイ 42E は、第 2 の集積回路チップ 420E、ダイ電極 424E、第 2 の集積回路チップ 420E に接続されている配線 422E、および配線 422E が埋め込まれている絶縁層 426E、428E を備える。

【0148】

ブリッジ 43E は、第 3 の集積回路チップ 442E、ブリッジ電極 446E、448E、第 3 の集積回路チップ 442E に接続されている配線 444E、および配線 444E が埋め込まれている絶縁層 450E、452E を備える。本実施形態では、配線 444E は、第 1 の接続部 47E と第 2 の接続部 48E とに電気的に接続されるブリッジの一部を構成する。本実施形態に係るブリッジは、ピラーによるサスペンデッド・ブリッジ（Pillar Suspended Bridge）である。本実施形態に係る配線 444E は第 3 の集積回路チップ 442E と電気的に接続されており、配線 444E および第 3 の集積回路チップ 442E が一体となってブリッジとして機能している。

【0149】

第 1 の接続部 47E は、柱状接続部 474E、472E を備える。本実施形態において、柱状接続部は、 μm サイズの柱状の導体（「マイクロピラー」ともいう。）である。柱状接続部 472E、474E は、ブリッジ 43E から第 1 のダイ 41E に向かうように形成されている柱状の導体である。本実施形態では、柱状接続部 472E の柱状接続部 474E と接続されている部分の断面積は、柱状接続部 474E の柱状接続部 472E と接続されている部分の断面積よりも大きい。本変形例では、柱状接続部 474E は、はんだ 478E を介して、ダイ電極 408E と接続されている。また、柱状接続部 472E は、はんだ 476E を介して、ブリッジ電極 446E と接続されている。

【0150】

10

20

30

40

50

第2の接続部48Eは、柱状接続部480E, 482Eを備える。柱状接続部480E, 482Eは、ブリッジ43Eから第2のダイ42Eに向かうように形成されている柱状の導体である。本変形例では、柱状接続部480Eの柱状接続部482Eと接続されている部分の断面積は、柱状接続部482Eの柱状接続部480Eと接続されている部分の断面積よりも大きい。本変形例では、柱状接続部482Eは、はんだ486Eを介して、ダイ電極424Eと接続されている。また、柱状接続部480Eは、はんだ484Eを介して、ブリッジ電極448Eと接続されている。

【0151】

第3の接続部49Eは、柱状接続部492Eを備える。柱状接続部492Eは、第1のダイ41Eから外側に向かうように形成されている柱状の導体である。柱状接続部492Eは、はんだ490Eを介して、ダイ電極410Eに接続されている。また、柱状接続部492Eは、外部(たとえば広域配線層102など)に接続される電極パッド494Eと接続されている。なお、第3の接続部49Eは、図49に示す構成に加えて(あるいは代えて)各種の構造物を備えてよい。たとえば、第3の接続部49Eは、電極パッド494Eより下側に設けられたディープビア、トールピラー、柱状接続部などの広域配線層102(図3参照)に接続され得る各種の構造物を含んでよい。

【0152】

なお、本変形例では、ブリッジが集積回路チップを含むダイである例について説明したが、ブリッジは集積回路チップを含まず、主として配線およびその配線が埋め込まれた絶縁層により構成されてよい。また、本実施形態では、互いに径が異なる2つの柱状接続部によりダイとブリッジとが接続される例について説明した。これに限らず、ダイとブリッジとは、1つの柱状接続部により接続されてもよいし、3つ以上の柱状接続部により接続されてもよい。

【0153】

(第1変形例)

図50は、図49に示すチップ集積モジュールに対する第1変形例に係るチップ集積モジュールの構成を示す図である。図50に示すチップ集積モジュール40Fが有する構成のうち、図49に示したチップ集積モジュール40Eと実質的に同一の構成には同一の符号を付し、適宜説明を省略する。

【0154】

第1変形例に係るチップ集積モジュール40Fは、上述したチップ集積モジュール40E(図49参照)と比較して、第1接続部、第2接続部および第3接続部の構成が異なる。具体的には、第1変形例では、柱状接続部あるいは電極パッドは、はんだを介さずに、直接他の電極あるいは配線と接続されている。より具体的には、第1変形例に係る第1接続部では、柱状接続部502Fは、ダイ電極408Eおよびブリッジ電極446Eと接続されている。また、第2接続部では、柱状接続部504は、ダイ電極424Eおよびブリッジ電極448Eと接続されている。さらに、第3接続部では、ダイ電極410Eには、電極パッド494Eが接続されている。ここで、柱状接続部とダイ電極またはブリッジ電極と、あるいは、ダイ電極と電極パッドとは、ハイブリッドボンディングに関する各種の公知の技術により接続されてよい。

【0155】

第1変形例では、各種の導体は、絶縁体に埋め込まれている。具体的には、ダイ電極408E, 410E, 424Eは、絶縁膜510Fに埋め込まれている。また、電極パッド494Eおよび柱状接続部502F, 504Fは、絶縁層512Fに埋め込まれている。さらに、ブリッジ電極446E, 448Eは、絶縁膜514Fに埋め込まれている。そして、第1のダイ41Eおよび第2のダイ42Eは、絶縁樹脂506Fにより封止されている。ハイブリッドボンディングに関する各種公知の技術において適切な材料系とプロセス条件を選択することで、ダイ電極408Eと柱状接続部502F、および絶縁膜510Fと絶縁層512Fを接続・接合することができる。ブリッジについても同様に、ブリッジ電極446E, 448Eと絶縁層512F、および絶縁膜514Fと絶縁層512Fを接

10

20

30

40

50

続・接合できる。

【0156】

なお、第1変形例では、ブリッジが集積回路チップを含む例について説明したが、これに限らず、ブリッジは集積回路チップを含まなくてもよい。ブリッジは、例えば、集積回路チップの代わりに、シリコンおよびガラスなどの各種の素材等により構成された固体のチップを含んでもよい。

【0157】

(第2変形例)

図51は、図49に示すチップ集積モジュールに対する第2変形例に係るチップ集積モジュールの構成を示す図である。第2変形例に係るチップ集積モジュール40Gでは、ブリッジ43Eを封止する絶縁樹脂524Gにディーブピア520Gが形成されており、このディーブピア520Gを通じて、第1のダイ41Eが外部の導体と電氣的に接続される。より具体的には、ブリッジ43Eに接続された電極パッド494Eにディーブピア520Gが接続されており、ディーブピア520Gの端部には、外部の導体と接続されるはんだ522Gが形成されていてもよい。ここで、ディーブピア520Gは、電極パッド494Eからはんだ522Gに向かうにつれて径が大きくなるように形成されてよい。また、第2変形例では、第3の集積回路チップ442Eの下側の面が露出するように形成されてよい。

10

【0158】

第2変形例では、ブリッジ43Eを含むブリッジが絶縁樹脂524Gにより封止されている。このため、第2変形例では、ブリッジが絶縁樹脂524Gにより保護されている。また、ブリッジを封止すると同時に、ブリッジと他の部材との接続部分を封止(アンダーフィル)することも可能である。さらに、ダイの端子が形成される部分を平坦にすることにより、広域配線層との接続部分のピッチをより狭くすることも可能となる。

20

【0159】

(第3変形例)

図52は、図49に示すチップ集積モジュールに対する第3変形例に係るチップ集積モジュールを説明するための図である。図52では、図51に示すチップ集積モジュール40Gに対する変形例であるチップ集積モジュールHのディーブピア520Gおよび第3の集積回路チップ442Eの一部の近傍を示している。第3変形例では、第2変形例に係るチップ集積モジュール40Gと異なる点について主に説明する。また、第3変形例に係るチップ集積モジュールは、第2変形例に係るチップ集積モジュール40Gが有する構成を有してよい。すなわち、図52に示していない構成は、図51に示した構成と実質的に同一であってよい。第3変形例に係るチップ集積モジュール40Hでは、第2変形例と異なり、第3の集積回路チップ442Eの下側の面は露出していない。より具体的には、第3の集積回路チップ442Eの下側は、絶縁樹脂525Gにより覆われている。

30

【0160】

(第4変形例)

図53は、図49に示すチップ集積モジュールに対する第4変形例に係るチップ集積モジュールを示す図である。第4変形例に係るチップ集積モジュール40Kでは、ブリッジ43Eを埋め込んだ絶縁樹脂524の下部に、配線層570が形成されている。この配線層570Kに形成されている配線に、第1のダイ41Eおよびブリッジ43Eが接続されている。

40

【0161】

第4変形例に係る配線層570Kは、絶縁層に埋め込まれた各種の導体を有しており、具体的には、絶縁層572K, 574Kに埋め込まれた配線578Kおよび電極576などを有している。これらの配線578Kおよび電極576Kは、外部の導体に電氣的に接続されてよい。第4変形例によれば、たとえば、ブリッジに端子を配置することが可能となる。また、たとえば、外部からブリッジへの直接的な電源供給などが可能である。

【0162】

50

第4変形例に係る第3の集積回路チップ564Kは、破線により囲まれた領域に、各種の機能を有する機能素子566Kを備える。この機能素子566Kは、第3の集積回路チップ564Kの内部に形成されたビア568Kを通じて、配線層570Kに形成されている電極576Kに接続されている。また、本実施形態では、ブリッジ電極446Eは配線443Kに接続され、ブリッジ電極448Eは配線444Eに接続されている。このように、第4変形例では、第1のダイ41Eおよび第2のダイ42Eは、機能素子566Kを介して接続されている。

【0163】

また、第1のダイ41Eに電氣的に接続された電極パッド494Eは、トールピラー560Kを通じて、配線層570Kの配線578Kに接続されている。トールピラー560Kは、第2変形例において説明したディーブビア520G(図51参照)と異なり、電極パッド494Eから配線578Kまでにおいて、断面積の大きさが略一定となっていてよい。

10

【0164】

(第5変形例)

図54は、図49に示すチップ集積モジュールに対する第5変形例に係るチップ集積モジュールを示す図である。第5変形例に係るチップ集積モジュール40Mでは、ブリッジは主として配線を含む。具体的には、第5変形例に係るブリッジ580Mは、各種の配線およびその配線が埋め込まれた絶縁層を有するが、集積回路チップを有しない。

【0165】

20

ブリッジ580Mは、絶縁層582Mに埋め込まれた配線588Mを有し、この配線588Mは、ブリッジ電極446E、448Eと接続されている。また、絶縁層582M、584M、586Mには、配線589M、590Mが埋め込まれている。これらの配線589M、590Mは、コンタクトビア592Mを通じて、配線層570Kの電極576に接続されている。

【0166】

<チップ集積モジュールの製造方法の他の変形例>

図55～図60を参照して、チップ集積モジュールの製造方法の他の変形例について説明する。

【0167】

30

まず、図55に示す表面に剥離膜802が形成された平板の支持体800を準備する。この剥離膜802の上に、各種の導体を形成する(形成工程)。支持体としては、ガラス、シリコン、金属を始め、各種のものを適宜用いることができる。たとえば、剥離膜802の上に、支持体800の表面から突出した柱状の柱状接続部806、808を形成する。また、剥離膜802の上には、電極パッド804、809を形成してもよい。

【0168】

次いで、図56に示すように、剥離膜802の上に形成された各種導体に、第1のダイ81Eおよび第2のダイ82Eを含む複数のダイを接合させる。第1のダイ81Eは、第1の集積回路チップ810、その表面に形成された配線層812、さらにその表面に形成されたダイ電極814、816を含む各種電極を有する。また、第2のダイ82Eは、第2の集積回路チップ820、その表面に形成された配線層822、さらにその表面に形成されたダイ電極824、826を含む各種電極を有する。

40

【0169】

本実施形態では、ダイに形成されているダイ電極を各種導体に結合させる(ダイ結合工程)。たとえば、第1のダイ81Eのダイ電極814およびダイ電極816は、電極パッド804および柱状接続部806にそれぞれ結合される。また、第2のダイ82Eのダイ電極824およびダイ電極826は、電極パッド809および柱状接続部808にそれぞれ結合される。ダイ電極は、電極パッドあるいは柱状接続部に、はんだを介して接続されてもよいし、はんだを介さずにハイブリッドボンディングにより結合されてもよい。

【0170】

50

次いで、図 5 7 に示すように、剥離膜 8 0 2 の上に形成された各種導体および複数のダイを樹脂 8 1 8 (封止部材)により封止する(封止工程)。第 1 のダイ 8 1 E および第 2 のダイ 8 2 E と剥離層の間は、樹脂 8 1 8 による封止工程より前に、例えば液状アンダーフィル樹脂による毛細管現象を用いた注入と硬化(Capillary Underfill)や、NCF(Non Conductive Film)といった絶縁樹脂により予め封止ししても構わないし、樹脂 8 1 8 による封止工程で同時に封止しても構わない(Mold Underfill)。これにより、複数のダイが、柱状接続部および金属パッドに結合した状態で固定される。

【0171】

次いで、図 5 8 に示すように、剥離膜 8 0 2 および支持体 8 0 0 を取り除き、電極パッドなどに残った剥離膜を除去する処理を行う。支持体を取り除く方法としては、機械的に支持体を剥離させる方法、剥離膜にレーザー光を照射することで剥離させる方法、また場合によっては研削やエッチングにより支持体を除去する方法など各種方法を用いることができる。研削やエッチングによる方法の場合、剥離膜は不要となる場合もある。さらに、ダイの表面側の樹脂 8 1 8 を研削する。これにより、ダイを露出させることができる。以下では、図 5 5 ~ 図 5 8 を参照して説明した方法により、図 5 8 に示すように各種導体および複数のダイが埋め込まれ、研削された樹脂を中間体 8 4 E とも称する。

【0172】

次いで、図 5 9 に示すように、複数の柱状接続部にブリッジを結合させる(ブリッジ結合工程)。本実施形態では、ブリッジ 8 3 E を含む複数のダイのそれぞれをブリッジとして、複数の柱状接続部にそれぞれの下部にブリッジを結合させる。本実施形態では、ブリッジ 8 3 E は、第 3 の集積回路チップ 8 3 0、その表面に形成された配線層 8 3 2、さらにその上に形成されたブリッジ電極(ブリッジ電極 8 3 4、8 3 6 を含む)を有する。

【0173】

ブリッジ 8 3 E が有するブリッジ電極 8 3 4 は、第 1 のダイ 8 1 E に接続されている柱状接続部 8 0 6 に結合される。さらに、ブリッジ 8 3 E が有するブリッジ電極 8 3 6 は、第 2 のダイ 8 2 E に接続されている柱状接続部 8 0 8 に接合される。これにより、ブリッジ 8 3 E は、第 1 のダイ 8 1 E および第 2 のダイ 8 2 E に電氣的に接続されるブリッジとして機能し、ピラーによるサスペンデッド・ブリッジを特徴づける構造が形成される。なお、ブリッジ電極は柱状接続部に、はんだを介して結合されてもよいし、はんだを介さずにハイブリッドボンディングにより結合されてもよい。

【0174】

次いで、図 6 0 に示すように、チップ集積モジュール 8 0 毎に分断するように、樹脂 8 1 8 を切断する。これにより、各チップ集積モジュールが個別に形成される。

【0175】

本実施形態に係るチップ集積モジュールの製造方法によれば、図 5 7 を参照して説明したように、第 1 のダイ、第 2 のダイおよび柱状接続部を樹脂により固定したあとに、その後の工程が実施される。このため、この後の工程において、複数のダイの位置関係がずれず、より高い精度で集積回路チップ同士を接続することが可能となる。また、より簡便な工程およびハンドリングが可能となる。さらに、外部端子を集積回路チップの直下に直接形成することも可能となり、パワー・インテグリティ(Power Integrity)、シグナル・インテグリティ(Signal Integrity)の面で優れた特性が期待できる。またダイの安定した相対的位置精度がモジュールのサイズに依存せず確保できるため、本実施形態によれば、Panel-Scaleの大規模チップ集積への展開が容易となる。

【0176】

(第 6 変形例)

図 6 1 ~ 図 6 4 は、図 5 5 ~ 図 6 0 に示すチップ集積モジュールの製造方法に対する第 6 変形例に係るチップ集積モジュールの製造方法を説明するための図である。第 6 変形例では、図 5 0 を参照しながら説明した第 2 変形例に係るチップ集積モジュール 4 0 F と同

10

20

30

40

50

様の構成を有するチップ集積モジュールの製造方法を説明する。

【0177】

まず、図55～図58を参照して上述した方法と同様にして、樹脂818に埋め込まれた複数の中間体84Eを用意する。

【0178】

図61を参照して、次の工程について説明する。まず、柱状接続部にブリッジを接続する。第6変形例に係るブリッジは、配線層946および集積回路チップ948を有する。配線層946は、配線(図61には図示しない。)を有し、この配線は複数のブリッジ電極に接続されている。このブリッジ電極が柱状接続部に接続される。たとえば、ブリッジ電極942は柱状接続部806に接続され、ブリッジ電極944は柱状接続部808に接続される。これにより、ブリッジ電極942, 944、配線層946および集積回路チップは、ブリッジとして機能する。

10

【0179】

さらに、ダイ電極、配線層および集積回路チップを覆うように、樹脂封止を行う(図61)。さらに、研削等により集積回路チップを露出させる(図62)。

【0180】

図62を参照して、次の工程について説明する。図61では、集積回路チップの下面は、樹脂940により覆われている。集積回路チップの下面および下面の樹脂940を研削する。これにより、図62に示すように、集積回路チップの下面が露出する。

【0181】

図63を参照して、次の工程について説明する。この工程では、集積回路チップが埋め込まれている樹脂940にビアの開口950を形成する。たとえば、樹脂940にレーザを照射することにより、樹脂に開口950を形成してよい。開口950は、たとえば、集積回路チップに接続された電極パッド809が露出するように形成されてよい。また、形成されるビアの開口950は、電極パッド809から下方に向かうにつれて径が大きくなるように形成されてよい。

20

【0182】

図64を参照して、次の工程について説明する。この工程では、樹脂940に形成した開口に、たとえばめっきなどを行うことにより金属を形成し、その端部にはんだを設ける。これにより、図64に示すように、樹脂940に、端部にはんだ954が設けられたディープビア952が形成される。さらに、樹脂818, 940を切断することにより、所望のサイズのチップ集積モジュールに個別化できる。

30

【0183】

なお、第6変形例では、集積回路チップの下面および下面の樹脂940を研削する例について説明したが、これに限らず、樹脂940などを研削しない状態で、開口950を形成し、そこに端部にはんだが設けられたディープビアを形成してもよい。これにより、第3変形例において説明したチップ集積モジュールが作製されてよい。

【0184】

(第7変形例)

図65～図66を参照して、第7変形例に係るチップ集積モジュールの製造方法について説明する。第7変形例では、まず、図55～図58を参照して説明したように、中間体84Eを作製する。

40

【0185】

図65を参照して、次の工程について説明する。この工程では、樹脂818に埋め込まれている電極パッド809にツールピラー962を形成したり、接続部にブリッジを接合したりする。第7変形例に係るブリッジは、配線層964および集積回路チップ966を有する。配線層964は、配線を有しており、この配線の表面に設けられたブリッジ電極がたとえば柱状接続部806, 808に接続されることにより、ブリッジとして機能する。

【0186】

さらに、形成されたツールピラーおよび柱状接続部に結合されたブリッジを覆うように

50

、樹脂封止する（図 6 4）。さらに、研削等によりトールピラーとブリッジを露出させる（図 6 5）。

【 0 1 8 7 】

図 6 6 を参照して、次の工程について説明する。この工程では、トールピラーおよびブリッジを封止している樹脂 9 6 0、トールピラーおよび集積回路チップを研削する。これにより、図 6 6 に示すように、樹脂 9 6 0 の表面にトールピラーおよび集積回路チップの表面が露出する。さらに、樹脂 8 1 8、9 6 0 を切断することにより、所望のサイズのチップ集積モジュールを作製することができる。

【 0 1 8 8 】

（第 8 変形例）

図 6 7 ~ 図 6 9 を参照して、第 8 変形例に係るチップ集積モジュールの製造方法について説明する。第 8 変形例では、まず、図 5 5 ~ 図 5 8 を参照して説明したように、中間体 8 4 E を用意する。

【 0 1 8 9 】

図 6 7 を参照して、次の工程について説明する。この工程では、樹脂 8 1 8 に埋め込まれている接続部にブリッジを接合する。第 8 変形例に係るブリッジは、配線層 9 8 6 および集積回路チップ 9 8 8 を有する。配線層 9 8 6 は、配線を有している。この配線の表面に設けられたブリッジ電極が柱状接続部 8 0 6、8 0 8 に接続されることにより、ブリッジ電極および配線層 9 8 6 はブリッジとして機能する。

【 0 1 9 0 】

さらに、配線層 9 8 6 および配線層 9 8 6 に形成されたブリッジ電極を覆うように樹脂封止する。これにより、図 6 7 に示すように、ダイ電極および配線層 9 8 6 が樹脂 9 8 0 により固定された状態で、ブリッジが柱状接続部に接続される。

【 0 1 9 1 】

図 6 8 を参照して、次の工程について説明する。この工程では、集積回路チップ 9 8 8 を配線層 9 8 6 から除去する。さらに、樹脂 8 1 8 を切断することにより、所望のサイズのチップ集積モジュールを作製することができる。

【 0 1 9 2 】

図 6 9 を参照して、集積回路チップ 9 8 8 を配線層 9 8 6 から除去する工程について詳細に説明する。第 8 変形例では、集積回路チップ 9 8 8 と配線層の絶縁層 9 9 4 との間に、剥離層 9 9 6 が設けられている。この剥離層 9 9 6 にエネルギー粒子 9 8 1（たとえばレーザー光など）を照射することにより、剥離層 9 9 6 の少なくとも一部を分解（変質）させることができる。エネルギー粒子を照射する領域を矢印で示すスキャン方向に移動させることにより、剥離層 9 9 6 を全体的に分解させることができる。これにより、集積回路チップ 9 8 8 が絶縁層 9 9 4 から除去できる。

【 0 1 9 3 】

なお、ここでは、エネルギー粒子を照射する領域をスキャンすることにより剥離層 9 9 6 を分解する例について説明したが、これに限らず、スキャンを行わずに、エネルギー粒子を一度に剥離層 9 9 6 の全体に照射してもよい。

【 0 1 9 4 】

< 光モジュールの製造方法 >

図 7 0 ~ 図 7 4 を参照して、本発明の一実施形態に係る光モジュールの製造方法について説明する。

【 0 1 9 5 】

まず、剥離層 8 5 2 が表面に形成された支持体 8 5 0 を用意する。次いで、図 7 0 に示すように、剥離層 8 5 2 の表面に、配線層 8 6 0 を形成する。この配線層 8 6 0 は、2 層構造を有してよく、より詳細には、図 5 を参照して説明した配線層 6 3 0 と実質的に同一の構成を有してよい。本実施形態では、配線層 6 3 0 の上側の層には、複数の導体ビアが形成されており、それぞれの導体ビアには、電極が結合している。たとえば、導体ビア 8 6 1 には導体ポストが接続される電極 8 6 2 が結合しており、導体ビア 8 6 3 には光素子

10

20

30

40

50

駆動チップが接続される電極 8 6 4 が結合している。

【 0 1 9 6 】

次いで、図 7 1 に示すように、導体ポスト 8 7 0 および光素子駆動チップ 8 8 0 を電極に結合させる。たとえば、導体ポスト 8 7 0 は、電極 8 6 2 に結合される。また、光素子駆動チップ 8 8 0 は、複数の電極端子 8 7 4 を有している。電極端子 8 7 4 は、はんだ 8 8 2 を介して、配線層 8 6 0 の表面に形成された電極 8 7 2 と接続される。

【 0 1 9 7 】

次いで、図 7 2 に示すように、複数の導体ポスト 8 7 0 および光素子駆動チップ 8 8 0 を樹脂 8 8 2 により封止する。これにより、複数の導体ポスト 8 7 0 および光素子駆動チップ 8 8 0 が固定される。

10

【 0 1 9 8 】

次いで、剥離層 8 5 2 および支持体 8 5 0 を除去し、配線層 8 6 0 の下面に残った剥離層 8 5 2 を除去する処理を行う。さらに、樹脂 8 8 2 の上面を研削して、図 7 3 に示すように、光素子駆動チップ 8 8 0 の上面に金属層 8 8 4 を形成する。

【 0 1 9 9 】

次いで、図 7 4 に示すように、金属層 8 8 4 が下面となるように全体を上下に反転させ、配線層 8 6 0 の上面に光素子チップ 8 9 0 を接合する。光素子チップ 8 9 0 には、発光素子 8 9 2、受光素子 8 9 4 および複数の電極端子 8 9 6 が設けられている。複数の電極端子 8 9 6 のそれぞれを、はんだ 8 6 8 を介して配線層 8 6 0 の電極 8 6 6 に接合することにより、光素子チップ 8 9 0 が配線層 8 6 0 に接合される。さらに、光素子チップ 8 9 0 の下側、発光素子 8 9 2、受光素子 8 9 4 および複数の電極端子 8 9 6 を樹脂 8 9 8 により封止する。これにより光モジュール 8 9 が作製される。

20

【 0 2 0 0 】

< チップ集積体の製造方法の変形例 >

図 7 5 ~ 図 7 9 を参照して、他の実施形態に係るチップ集積体の製造方法について説明する。

【 0 2 0 1 】

まず、図 7 5 に示すように、剥離層 9 0 2 が表面に形成された支持体 9 0 0 を準備し、剥離層 9 0 2 の表面に各種の導体を形成する。具体的には、導体ポストが接続される電極 9 0 6 およびチップ集積モジュールが接続される柱状接続部 9 0 8 (トール・ピラー) などを形成する。

30

【 0 2 0 2 】

次いで、図 7 6 に示すように、剥離層 9 0 2 の上に形成した各種の導体に各種の部材を形成する。たとえば、電極 9 0 6 に導体ポスト 9 0 7 を形成したり、柱状接続部 9 0 8 にチップ集積モジュール 9 0 9 を接続したりしてよい。チップ集積モジュール 9 0 9 は、柱状接続部 9 0 8 の上に設けられたはんだによって、柱状接続部 9 0 8 に接続されてよい。チップ集積モジュールのブリッジの厚さが十分薄い場合は、柱状接続部 9 0 8 は、これに比べて高さの低い、はんだパンプによる代替も可能である。

【 0 2 0 3 】

次いで、図 7 7 に示すように、形成された各種の部材を樹脂で封止する。具体的には、導体ポスト 9 0 7、柱状接続部 9 0 8 およびチップ集積モジュール 9 0 9 などを樹脂 9 1 4 によって封止してよい。その後、支持体 9 0 0 を剥離層 9 0 2 とともに配線層 9 0 4 から除去する。さらに、導体ポスト 9 0 7 およびチップ集積モジュール 9 0 9 が露出するように、樹脂 9 1 4 を研削する。

40

【 0 2 0 4 】

次いで、図 7 8 に示すように、配線層 9 1 2 を樹脂 9 1 4 の上に形成する。より具体的には、配線層 9 1 2 に含まれる配線が、導体ポスト 9 0 7 の露出した部分あるいはチップ集積モジュール 9 0 9 の露出した部分と接続されるように、配線層 9 1 2 を樹脂 9 1 4 の上に形成する。たとえば、配線層 9 1 2 の上に形成された電極 9 1 6 は、導体ビアを通じて導体ポスト 9 0 7 に接続されてよい。また、コンタクトメタル 9 1 8 は、導体ビアを

50

通じてチップ集積モジュール909に接続されてよい。

【0205】

次いで、図79に示すように、コンタクトメタル918の上に、放熱機構922を搭載する。さらに、電極916に、光配線920が接続された光モジュール917を接続する。これにより、本実施形態に係るチップ集積体が作製される。

【0206】

<集積回路チップ>

図80は、一実施の形態である集積回路チップの構成例を示す図である。集積回路チップ35は、配線層350と、トランジスタ370と、配線層350とトランジスタ370とを接続する接続層390とを含む。

【0207】

配線層350は、5層の積層構造を有しており、各層は、層間を絶縁する膜、その膜に埋め込まれた配線、および互いに上下に隣接する層の配線を接続するビアを有している。たとえば、第2層の配線352と第3層の配線354は、ビア353を介して接続されており、配線354は、絶縁膜356に埋め込まれている。各層が有する膜は、たとえばBPSG(Boron-Phosphorous Silicate Glass)などにより構成されてよい。各層が有する配線は、たとえば銅などの金属により構成されてよい。なお、上層部(たとえば第5層および第4層)の配線は、電源あるいはアースとなるため、他の層の配線と比べて微細でなくてよい。

【0208】

以上、いくつかの代表的な実施形態について、図面を用いて説明したが、上記した実施形態および変形例には、さらに種々の変形例がある。上記した説明に対して矛盾を生じない範囲において、実施態様の一部を適宜変更することができる。また、例えば、上記した実施の形態および変形例の一部分を他の実施の形態の一部分と組み合わせて適用することができる。

【0209】

上記実施形態では、各種の柱状接続部が、ダイの表面の略垂直方向に向かう例について主に説明した。これに限らず、各種の柱状接続部は、他のダイに向かうような方向に延びていれば、どのような向きに向くように形成されてもよい。また、柱状接続部の各種寸法や断面形状、アスペクト比(断面方向の寸法とそれに垂直な方向の寸法の比)などは、性能・信頼性などからの要求、選択し得る製造プロセスなどに応じて適宜に設定することが可能である。

【0210】

上記実施形態では、ブリッジがチップを含む場合には、主として、ブリッジが配線を含んでおり、この配線を介してチップがブリッジ電極に接続されている例を説明した。これに限らず、ブリッジは配線を含まなくてよく、チップはブリッジ電極に直接的に接続されてもよい。

また、上記実施形態では、主として、各種のダイ(たとえば、第1のダイおよび第2のダイなど)が配線を含む例を説明した。これに限らず、ダイは、配線を含まなくてよい。この場合には、ダイが有する集積回路チップは、ダイ電極に直接的に接続されてよい。

【0211】

上記実施形態では、配線904として支持体900上に形成された薄膜配線層を用いたが、配線904はこれに限らず、各種公知のインタポーザや配線基板とすることも可能である。

【産業上の利用可能性】

【0212】

本発明は、半導体モジュールなどに広く適用可能である。

10

20

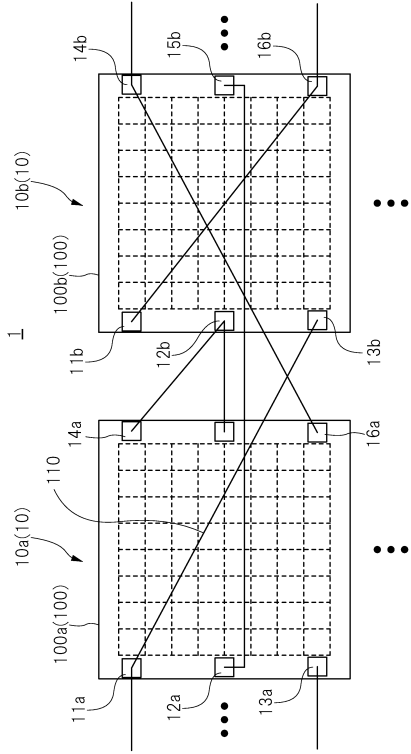
30

40

50

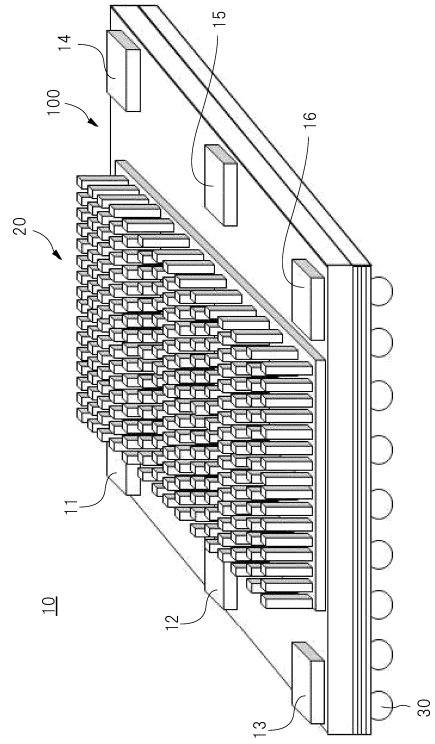
【図面】
【図 1】

図 1



【図 2】

図 2



10

20

30

40

50

【図 3】

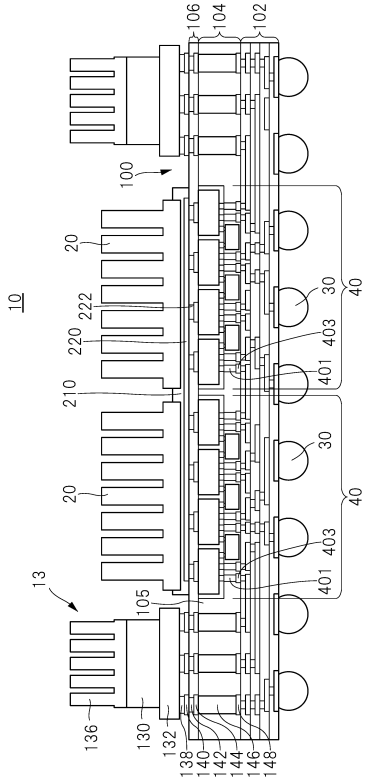


図 3

【図 4】

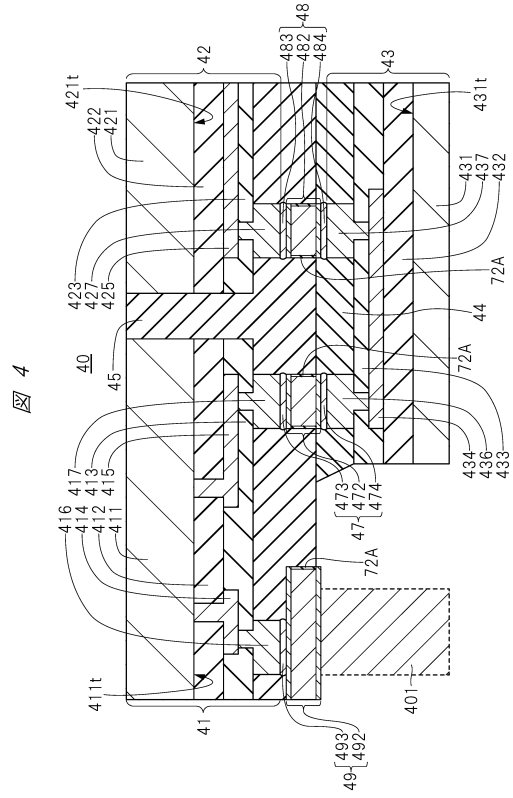


図 4

【図 5】

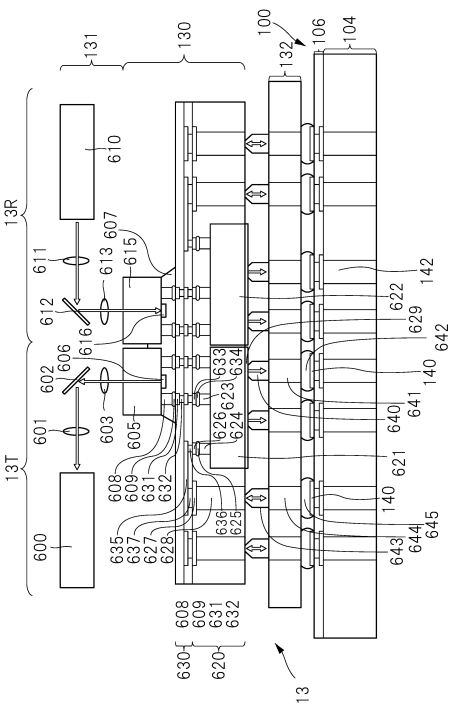


図 5

【図 6】

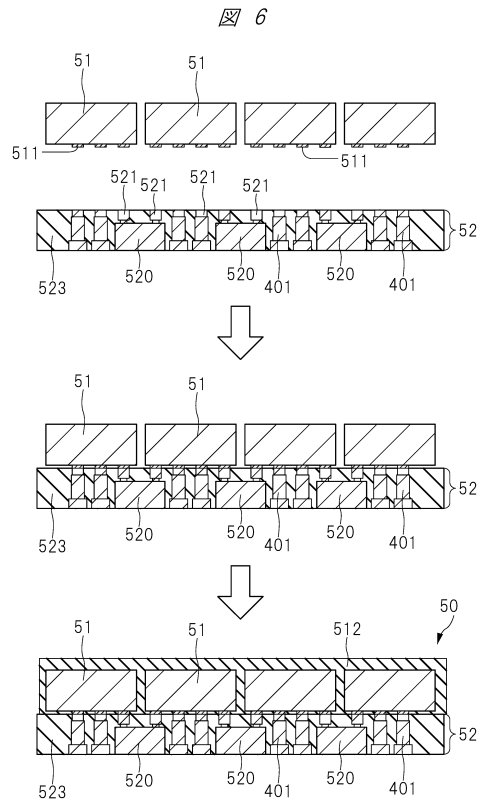


図 6

10

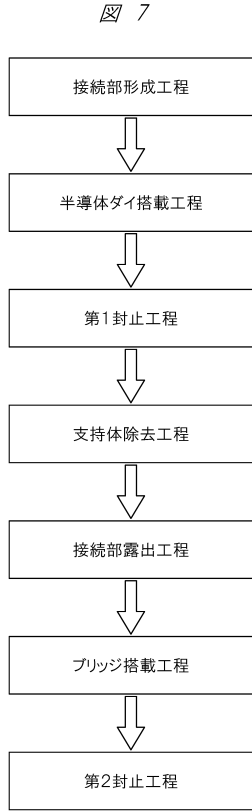
20

30

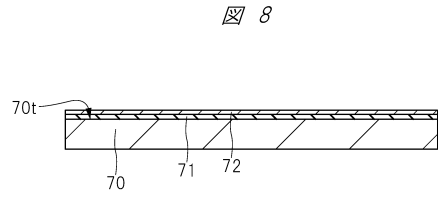
40

50

【 図 7 】



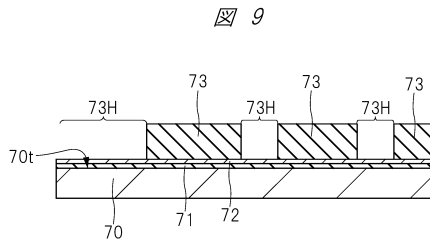
【 図 8 】



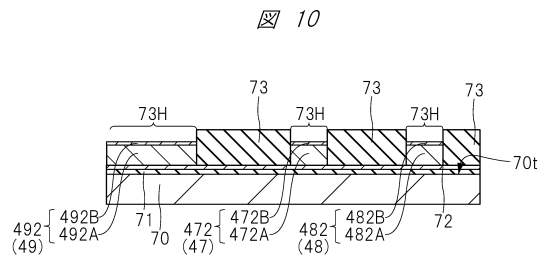
10

20

【 図 9 】



【 図 10 】



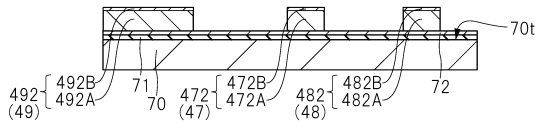
30

40

50

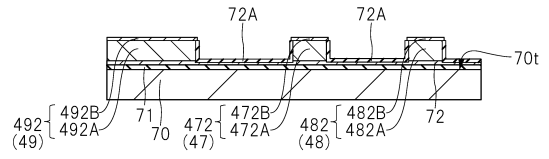
【 図 1 1 】

図 11



【 図 1 2 】

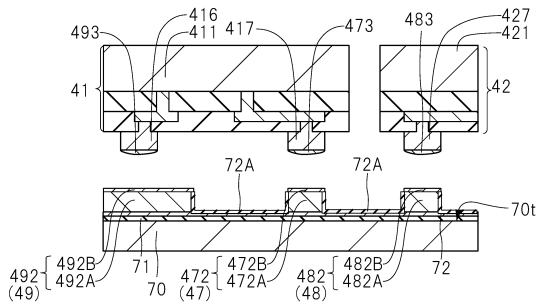
図 12



10

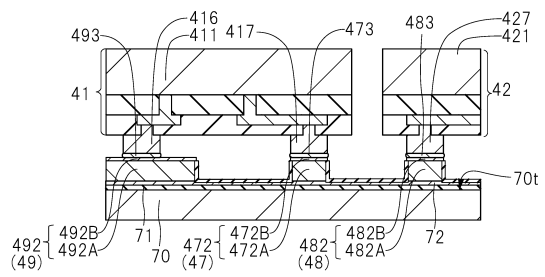
【 図 1 3 】

図 13



【 図 1 4 】

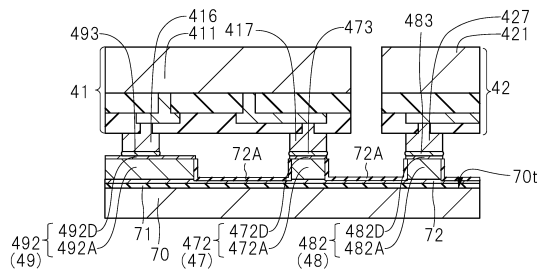
図 14



20

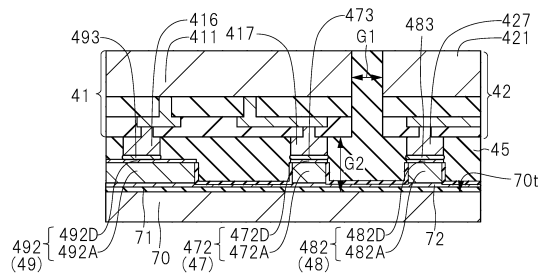
【 図 1 5 】

図 15



【 図 1 6 】

図 16



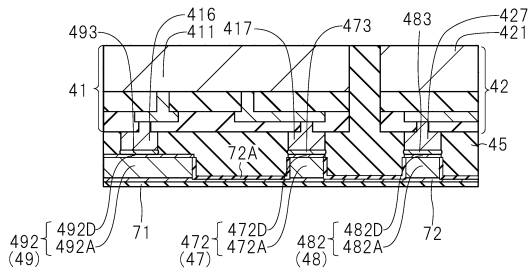
30

40

50

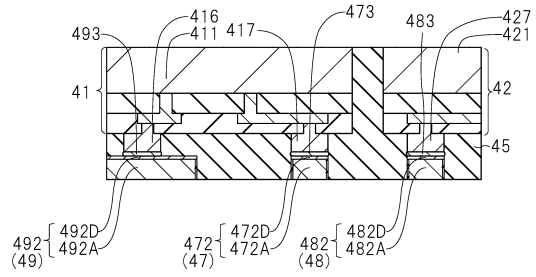
【 図 1 7 】

図 17



【 図 1 8 】

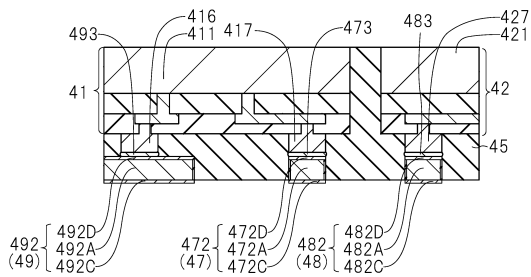
図 18



10

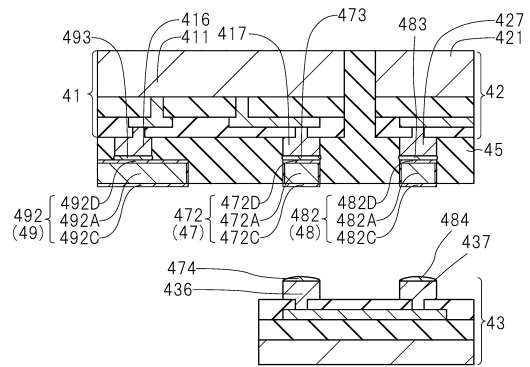
【 図 1 9 】

図 19



【 図 2 0 】

図 20



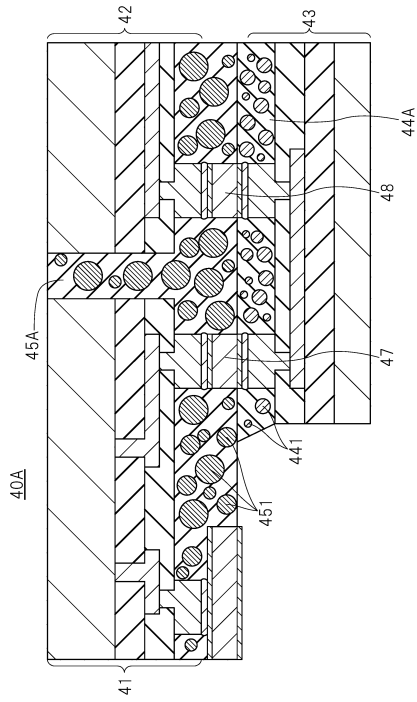
20

30

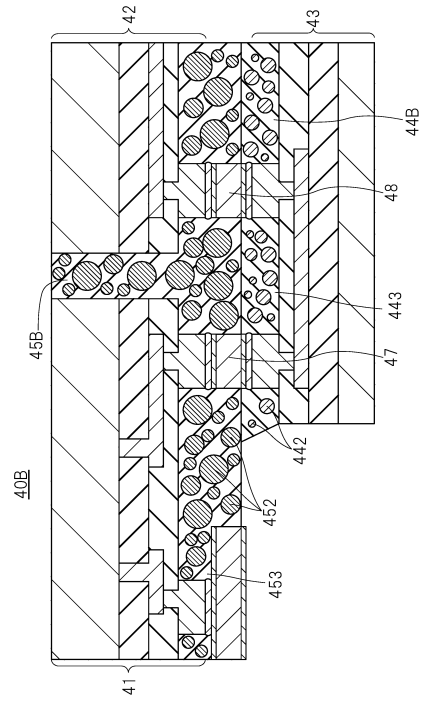
40

50

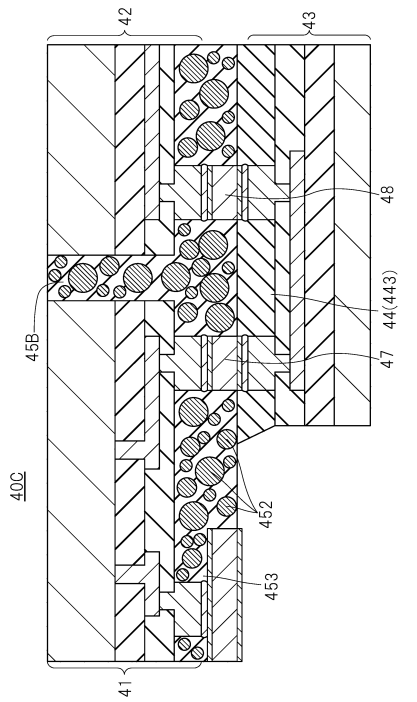
【 図 25 】



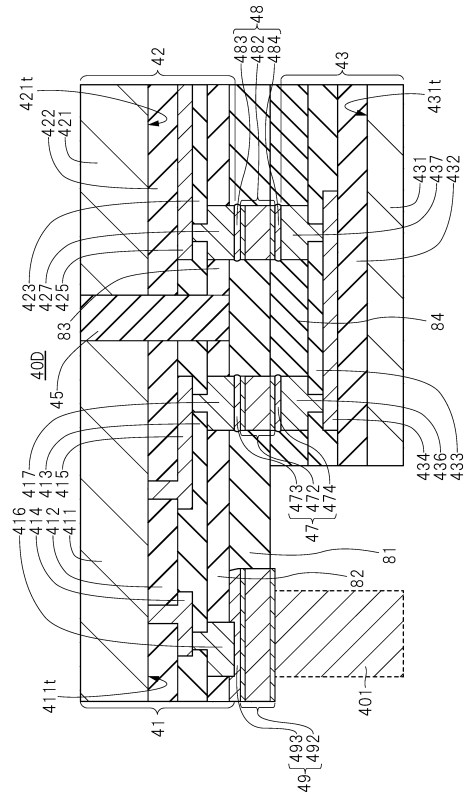
【 図 26 】



【 図 27 】



【 図 28 】



10

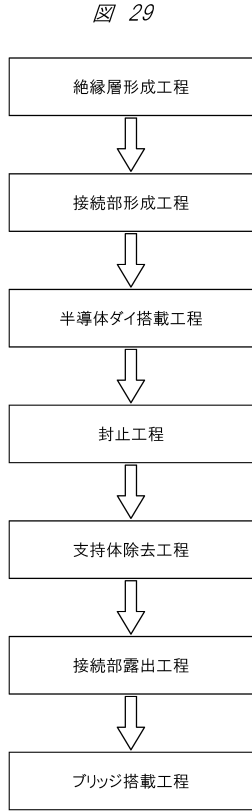
20

30

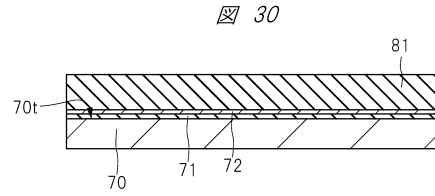
40

50

【図 29】



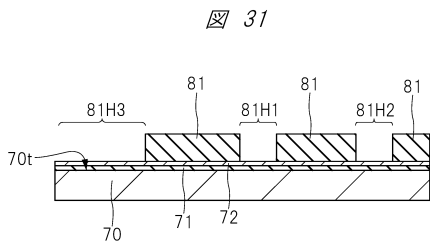
【図 30】



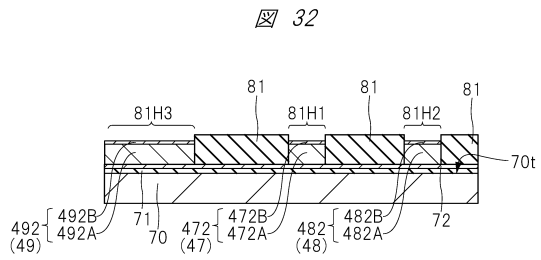
10

20

【図 31】



【図 32】

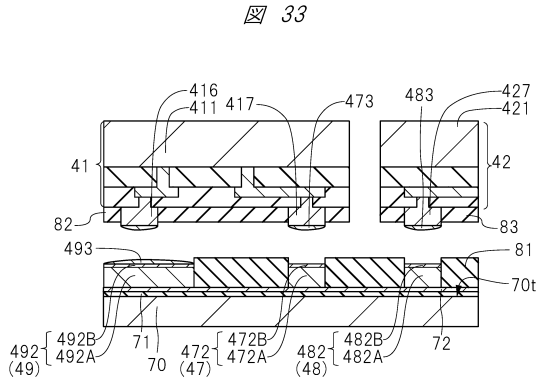


30

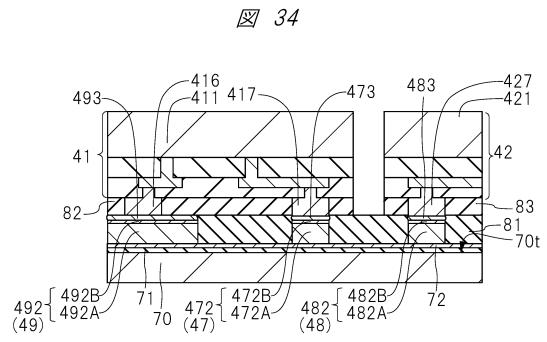
40

50

【図 3 3】

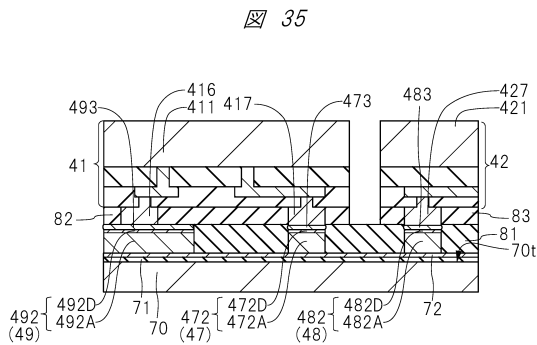


【図 3 4】

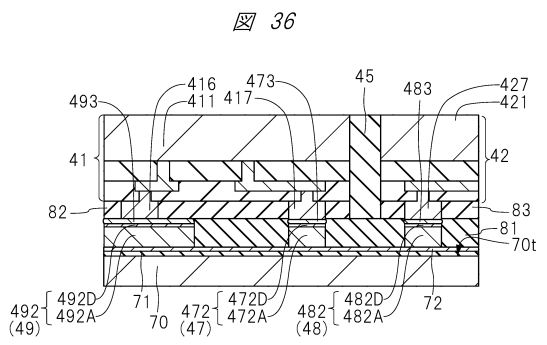


10

【図 3 5】

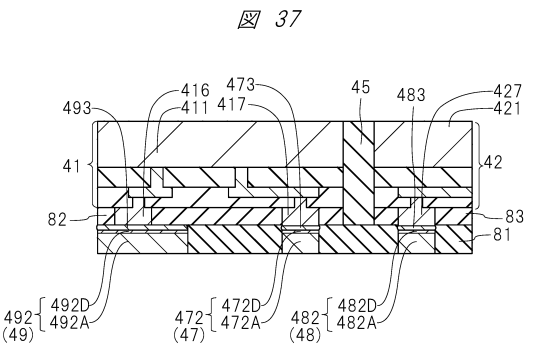


【図 3 6】

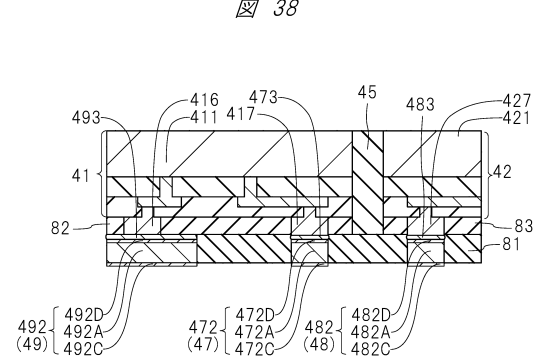


20

【図 3 7】



【図 3 8】

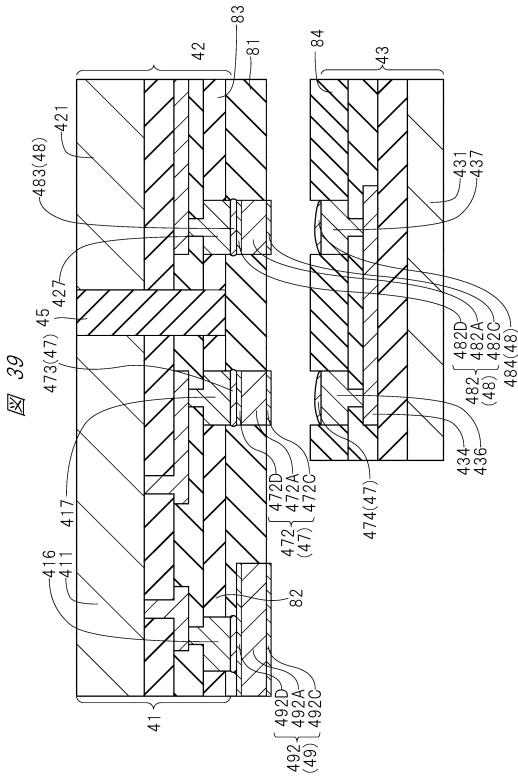


30

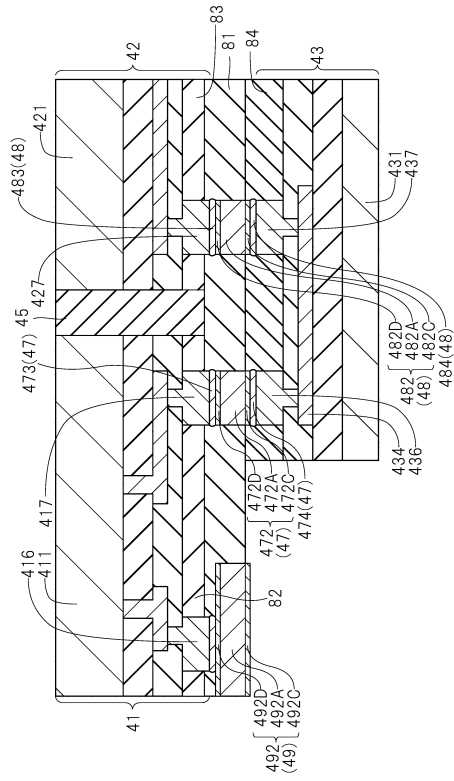
40

50

【図 39】



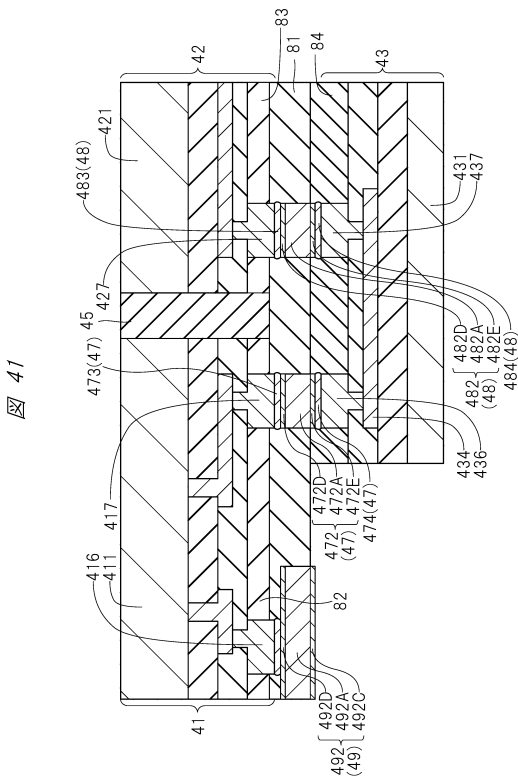
【図 40】



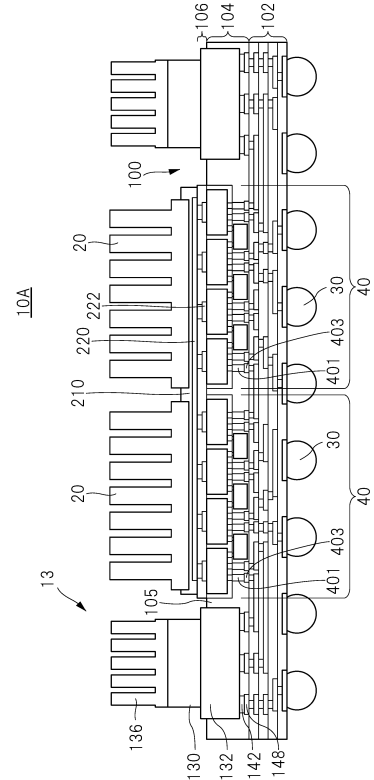
10

20

【図 41】



【図 42】



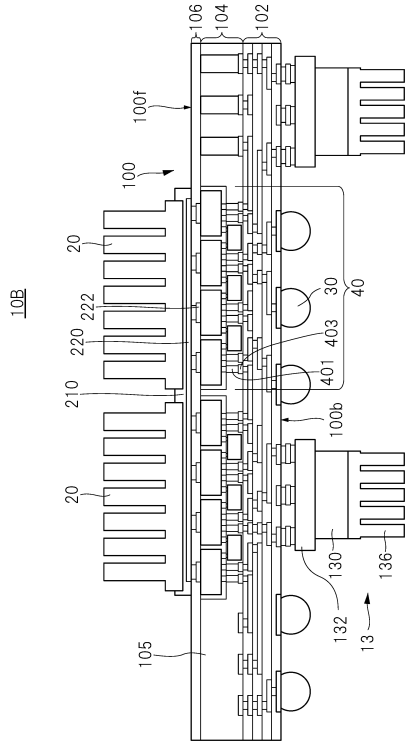
30

40

50

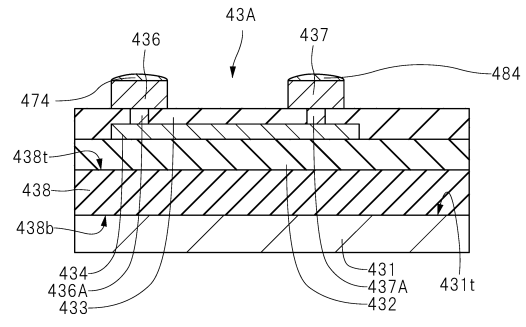
【 4 3 】

43



【 4 4 】

44

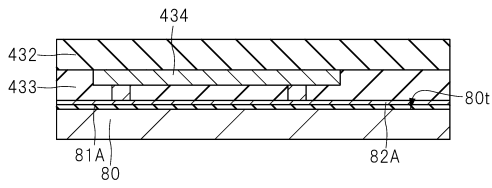


10

20

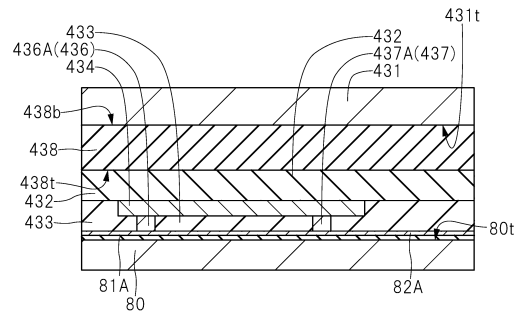
【 4 5 】

45



【 4 6 】

46

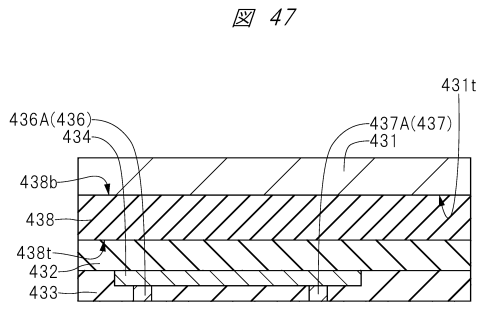


30

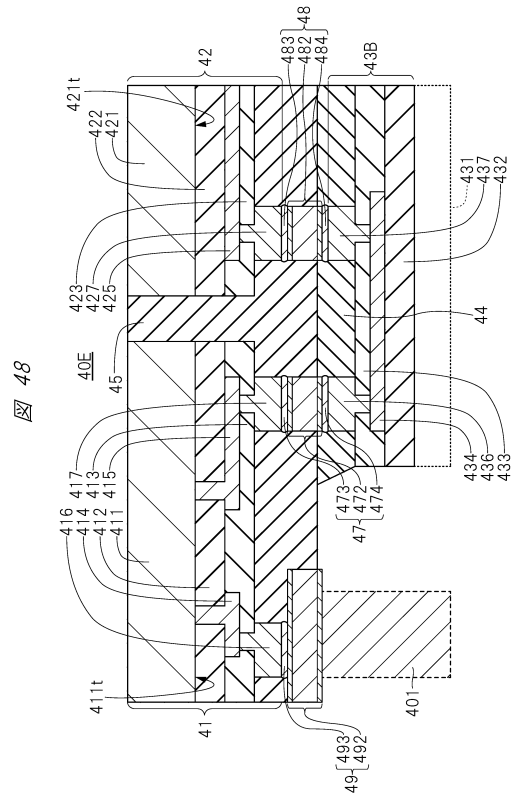
40

50

【 47 】



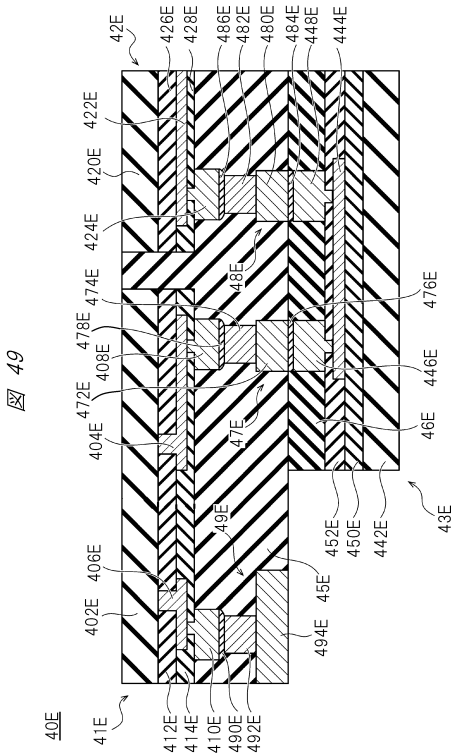
【 48 】



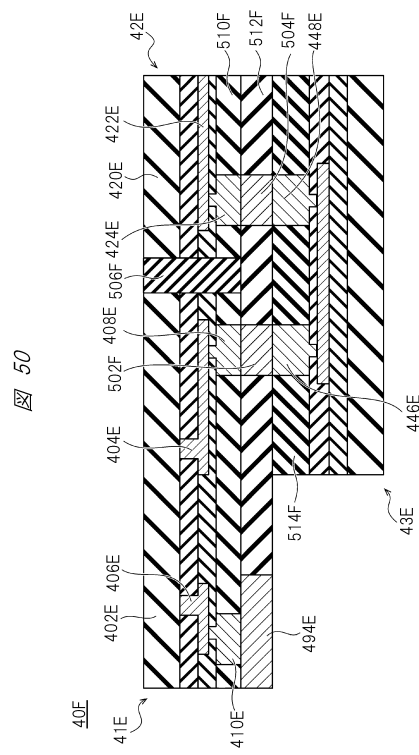
10

20

【 49 】



【 50 】



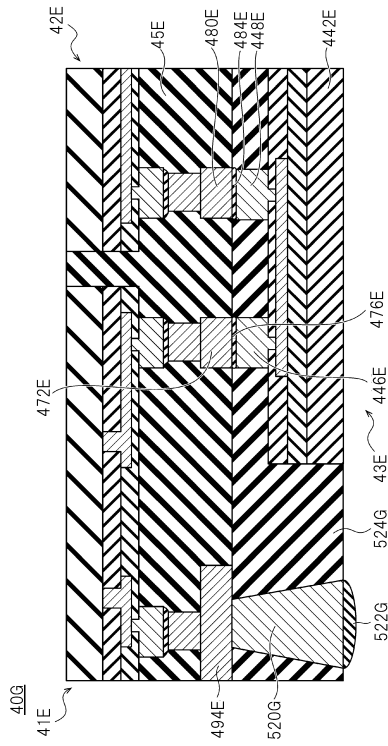
30

40

50

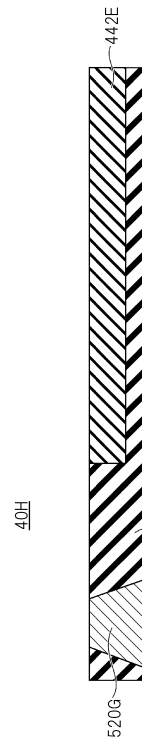
【 5 1 】

51



【 5 2 】

52

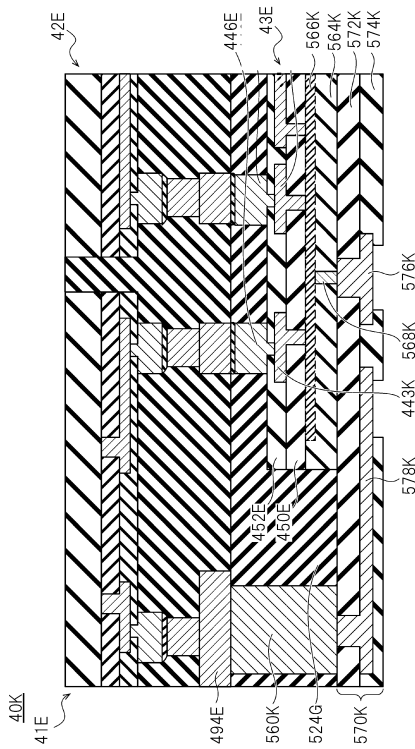


10

20

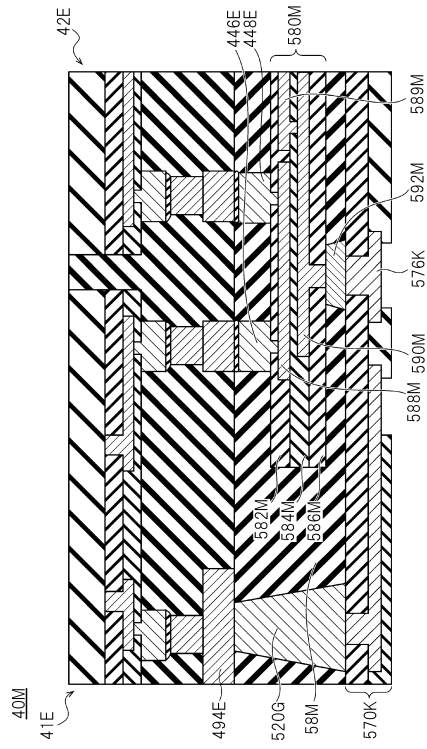
【 5 3 】

53



【 5 4 】

54



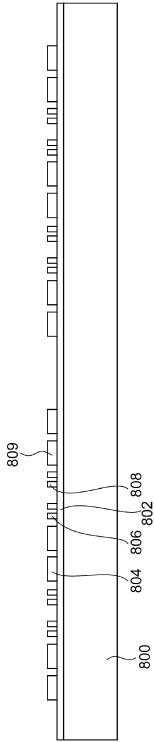
30

40

50

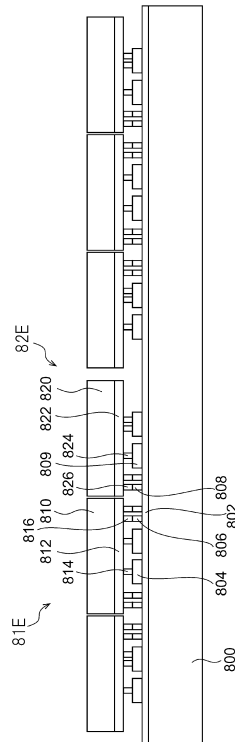
【 55 】

55



【 56 】

56

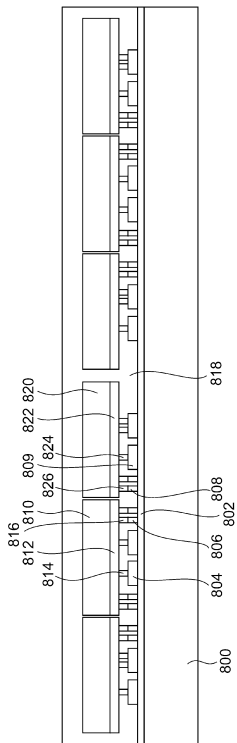


10

20

【 57 】

57

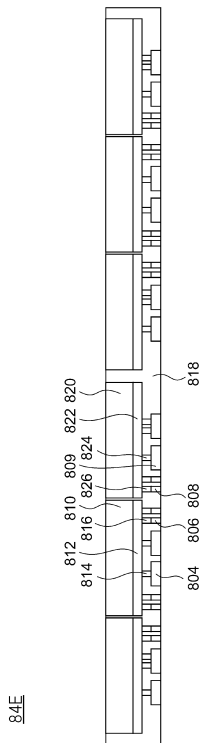


30

40

【 58 】

58



50

【図 59】

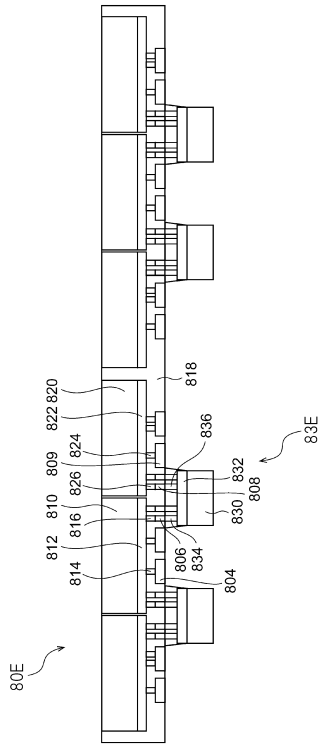


図 59

【図 60】

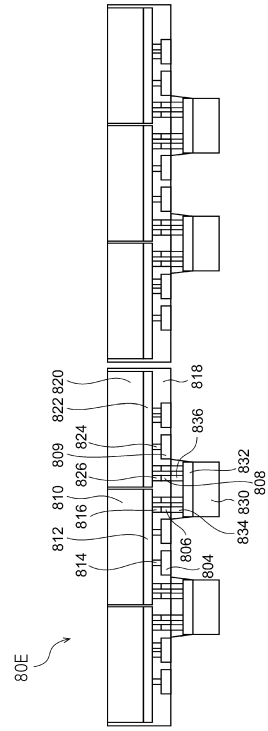


図 60

【図 61】

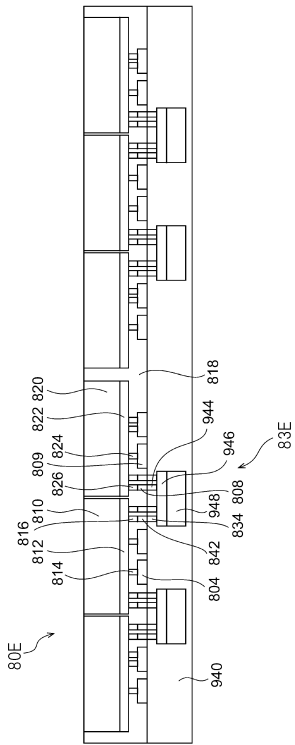


図 61

【図 62】

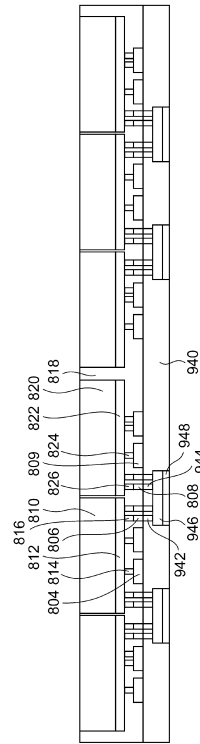


図 62

10

20

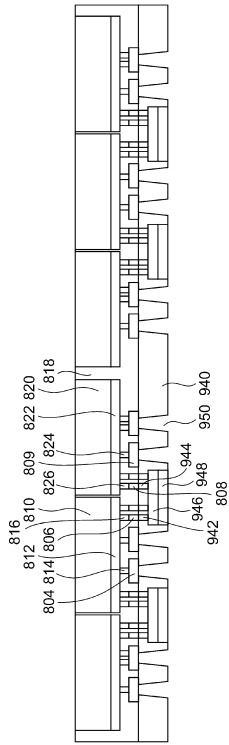
30

40

50

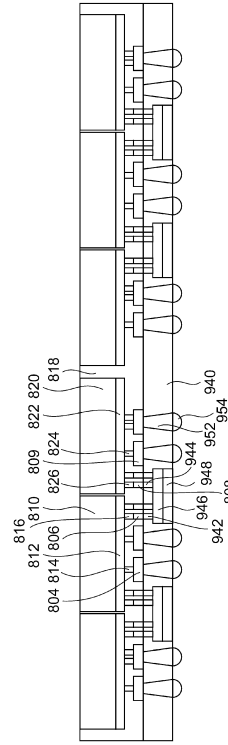
【 6 3 】

63



【 6 4 】

64

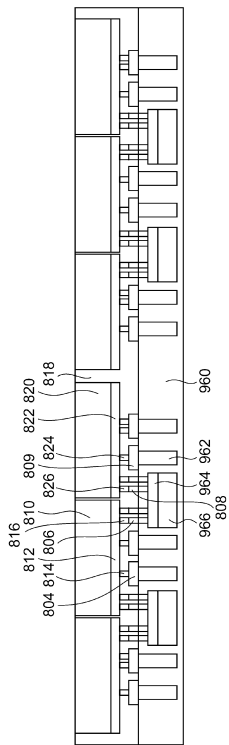


10

20

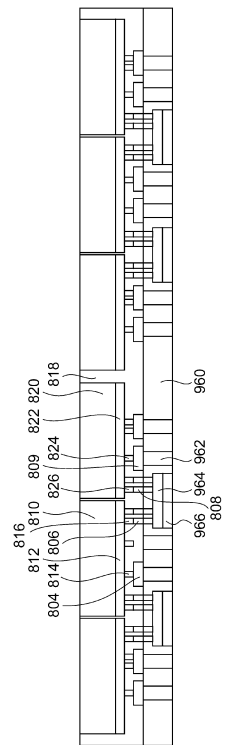
【 6 5 】

65



【 6 6 】

66



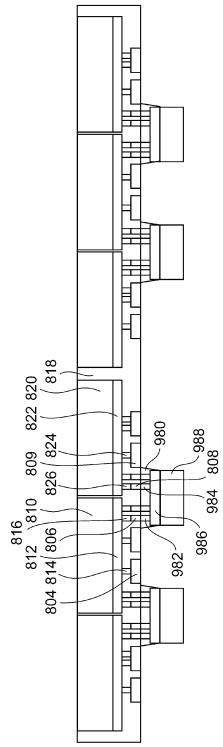
30

40

50

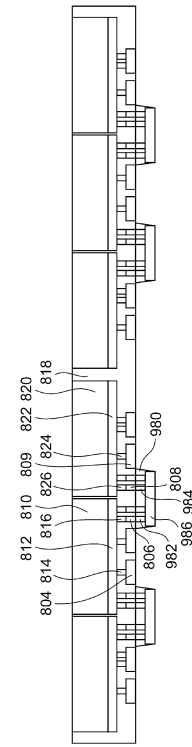
【図 67】

図 67



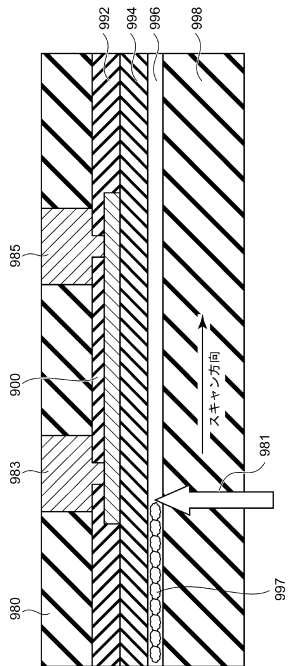
【図 68】

図 68



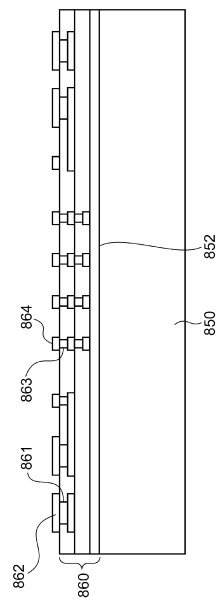
【図 69】

図 69



【図 70】

図 70



10

20

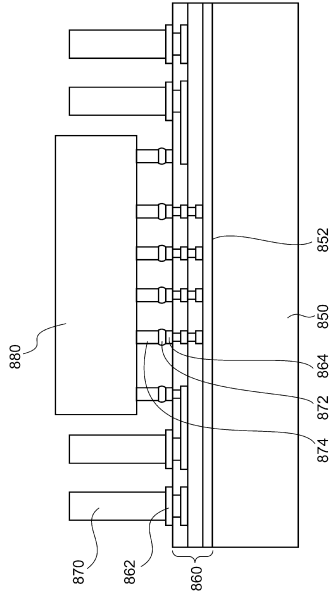
30

40

50

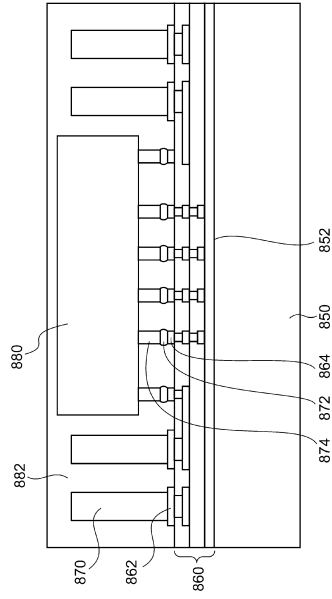
【図 7 1】

図 71



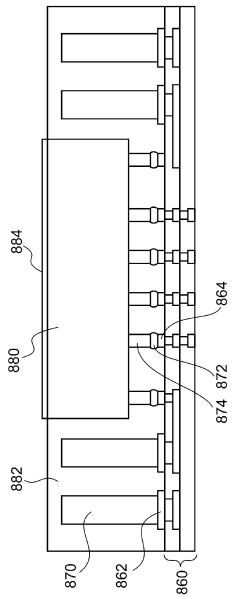
【図 7 2】

図 72



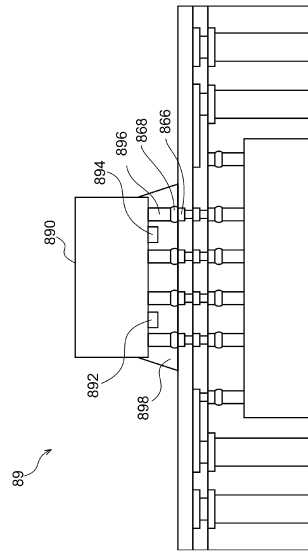
【図 7 3】

図 73



【図 7 4】

図 74



10

20

30

40

50

【図 75】

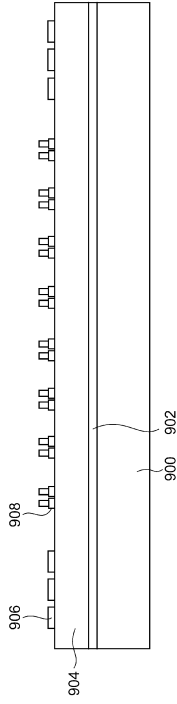


図 75

【図 76】

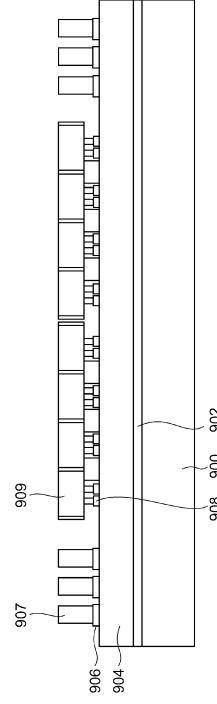


図 76

【図 77】

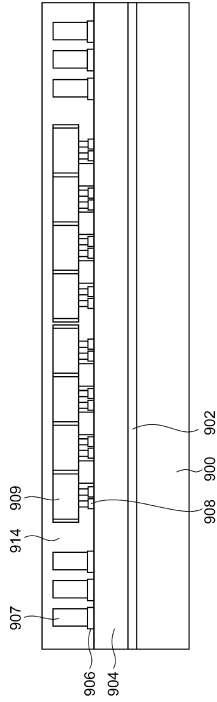


図 77

【図 78】

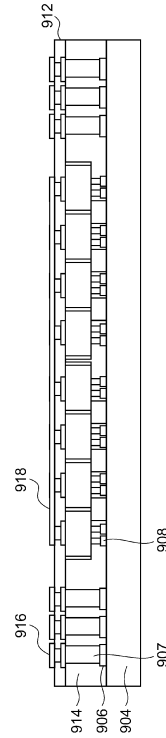


図 78

10

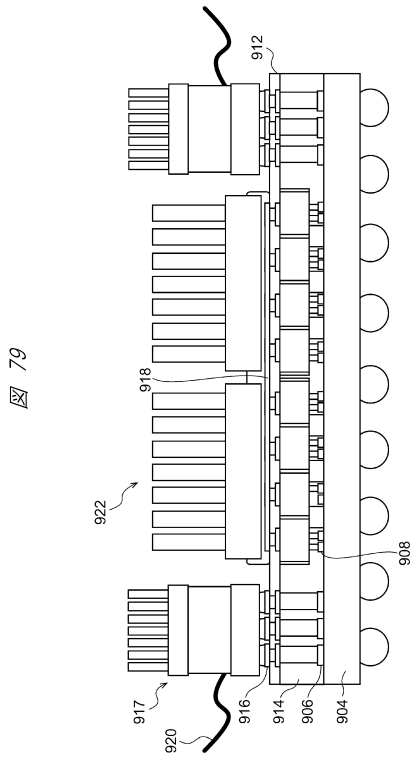
20

30

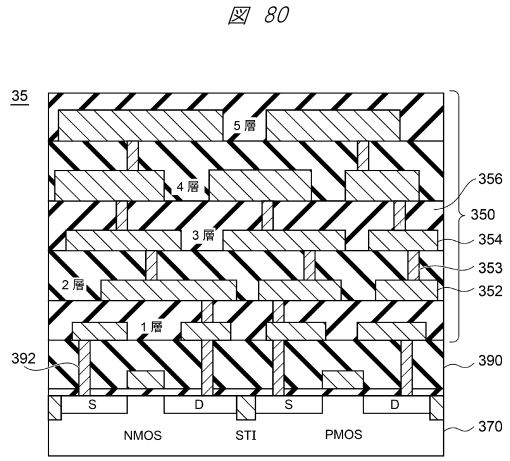
40

50

【 79 】



【 80 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特表 2020 - 528220 (JP, A)
米国特許出願公開第 2021 / 0134728 (US, A1)
米国特許出願公開第 2021 / 0091005 (US, A1)
特開 2019 - 125779 (JP, A)
米国特許出願公開第 2020 / 0176384 (US, A1)
- (58)調査した分野 (Int.Cl., DB名)
H01L 25 / 07