



(21)申請案號：112102033

(22)申請日：中華民國 112 (2023) 年 01 月 17 日

(51)Int. Cl. : **H02H9/04 (2006.01)**

(71)申請人：世界先進積體電路股份有限公司 (中華民國) VANGUARD INTERNATIONAL SEMICONDUCTOR CORPORATION (TW)

新竹縣園區三路一二三號

(72)發明人：黃紹璋 HUANG, SHAO-CHANG (TW)；王前偉 WANG, CHIEN-WEI (TW)；莊榮圳 CHUANG, JUNG-TSUN (TW)；林功凱 LIN, GONG-KAI (TW)；陳立凡 CHEN, LI-FAN (TW)；李慶和 LI, CHING-HO (TW)；許凱傑 HSU, KAI-CHIEH (TW)；陳俊智 CHEN, CHUN-CHIH (TW)

(74)代理人：吳豐任；戴俊彥；高銘良

(56)參考文獻：

TW 201320815A

US 10177566B2

US 2020/0014294A1

審查人員：林迺信

申請專利範圍項數：9 項 圖式數：7 共 22 頁

(54)名稱

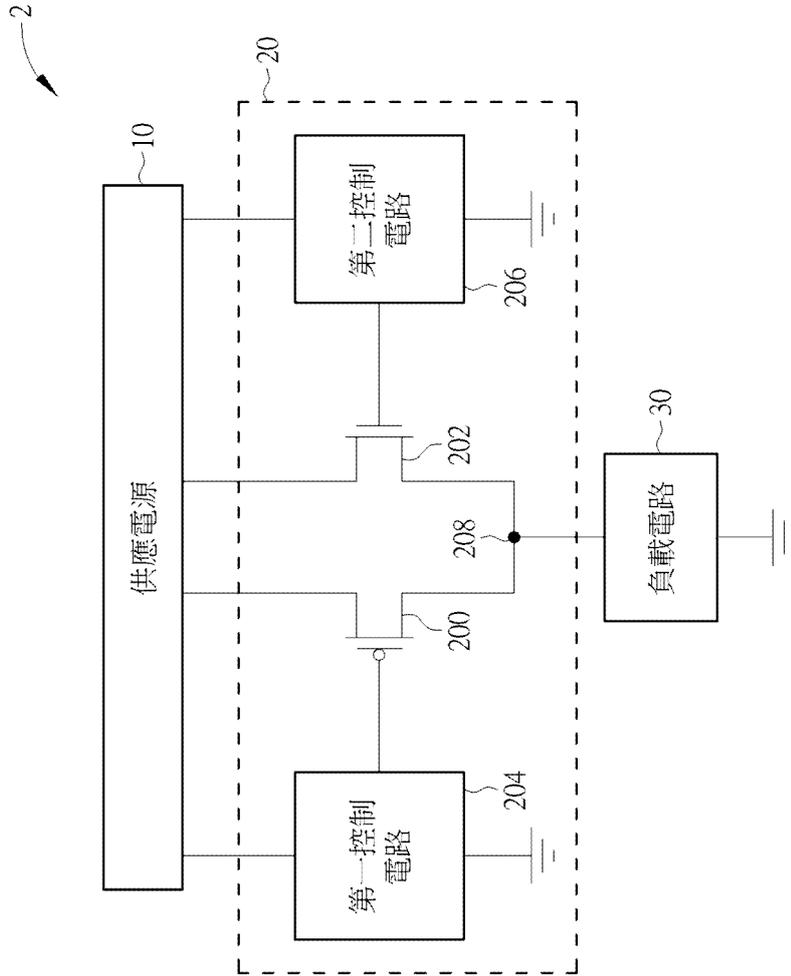
過度電性應力保護電路

(57)摘要

一種過度電性應力保護電路，用來提供一負載電流給一負載電路，包含有一第一場效電晶體，包含有一第一汲極，一第一閘極，以及一第一源極；一第二場效電晶體，包含有一第二汲極，一第二閘極，以及一第二源極，其中該第一源極和該第二汲極耦接一電壓供應端，該第一汲極和該第二源極耦接於一負載節點，該負載電路耦接於該負載節點和一接地電壓之間；一第一控制電路，耦接該第一閘極；以及一第二控制電路，耦接該第二閘極；其中，該第一控制電路和該第二控制電路被配置成用以調節該負載節點的一電壓值。

An electrical overstress protection circuit, for providing a load current to a load circuit, includes a first field-effect transistor including a first drain, a first gate and a first source; a second field-effect transistor including a second drain, a second gate and a second source, wherein the first source and the second drain are coupled to a voltage supply terminal, the first drain and the second source are coupled to a load node, the load circuit is coupled between the load node and a ground voltage; a first control circuit, coupled to the first gate; and a second control circuit, coupled to the second gate; wherein the first control circuit and the second control circuit are configured to adjust a voltage value of the load node.

指定代表圖：



符號簡單說明：

10: 供應電源

20: 過度電性應力保護
電路

30: 負載電路

200: 第一場效電晶體

202: 第二場效電晶體

204: 第一控制電路

206: 第二控制電路

208: 負載節點

第2圖



I856487

【發明摘要】

公告本

【中文發明名稱】過度電性應力保護電路

【英文發明名稱】Electrical Overstress Endurance Circuit

【中文】

一種過度電性應力保護電路，用來提供一負載電流給一負載電路，包含有一第一場效電晶體，包含有一第一汲極，一第一閘極，以及一第一源極；一第二場效電晶體，包含有一第二汲極，一第二閘極，以及一第二源極，其中該第一源極和該第二汲極耦接一電壓供應端，該第一汲極和該第二源極耦接於一負載節點，該負載電路耦接於該負載節點和一接地電壓之間；一第一控制電路，耦接該第一閘極；以及一第二控制電路，耦接該第二閘極；其中，該第一控制電路和該第二控制電路被配置成用以調節該負載節點的一電壓值。

【英文】

An electrical overstress protection circuit, for providing a load current to a load circuit, includes a first field-effect transistor including a first drain, a first gate and a first source; a second field-effect transistor including a second drain, a second gate and a second source, wherein the first source and the second drain are coupled to a voltage supply terminal, the first drain and the second source are coupled to a load node, the load circuit is coupled between the load node and a ground voltage; a first control circuit, coupled to the first gate; and a second control circuit, coupled to the second gate; wherein the first control circuit and the second control circuit are configured to adjust a voltage value of the load node.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

- 10: 供應電源
- 20: 過度電性應力保護電路
- 30: 負載電路
- 200: 第一場效電晶體
- 202: 第二場效電晶體
- 204: 第一控制電路
- 206: 第二控制電路
- 208: 負載節點

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 過度電性應力保護電路

【英文發明名稱】 Electrical Overstress Endurance Circuit

【技術領域】

【0001】 本發明係關於一種過度電性應力保護電路，尤指一種佔用面積較小的過度電性應力保護電路。

【先前技術】

【0002】 電子系統可能會受到過度電性應力（electrical overstress，EOS）的影響而導致電子系統的性能減弱或是損壞。過度電性應力可以是電源干擾、電源雜訊或是過電壓。當電壓源受到干擾，將會形成一突波電壓（peak voltage）。如果此突波電壓進入後端電路，將會傷害後端電路，使得後端電路無法正常工作。

【發明內容】

【0003】 因此，本發明之主要目的即在於提供一種過度電性應力保護電路，其可避免負載電路受到過度電性應力的影響而損害。

【0004】 本發明提供一種過度電性應力（electrical overstress，EOS）保護電路，用來提供負載電流給負載電路，過度電性應力保護電路包含有第一場效電晶體、第二場效電晶體、第一控制電路及第二控制電路。其中，第一場效電晶體包含有第一汲極，第一閘極，以及第一源極。第二場效電晶體包含第二汲極、

第 1 頁，共 8 頁(發明說明書)

第二閘極以及第二源極，其中第一源極和第二汲極耦接電壓供應端，第一汲極和第二源極耦接於負載節點，負載電路耦接於負載節點和接地電壓之間。第一控制電路，耦接第一閘極。第二控制電路，耦接第二閘極，且第一控制電路和第二控制電路用以調節負載節點的電壓值。

【圖式簡單說明】

【0005】

第1A圖為操作在供應電壓5伏特的一負載電路。

第1B圖為具有一週期性雜訊的供應電壓之波形圖。

第2圖為本發明實施例的一電子系統的示意圖。

第3圖本發明實施例電子系統之一過度電性應力保護電路的示意圖。

第4A、4B、4C圖為本發明實施例電子系統在不同供應電壓之操作示意圖。

第5A、5B、5C圖為本發明不同實施例的第一控制電路的示意圖。

【實施方式】

【0006】 在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有通常知識者應可理解，硬體製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來做為區分元件的方式，而是以元件在功能上的差異來做為區分的準則。在通篇說明書及後續的申請專利範圍當中提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。此外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接於一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

【0007】 第1A圖為一對比實施例，為操作在供應電壓5伏特（V）的一負載電路1。第1B圖為具有一週期性雜訊的供應電壓之波形圖。如第1B圖所示，週期性雜訊在高壓12V的持續時間很短（100毫秒），然而，負載電路1的電晶體可能僅能耐壓到8V，換言之，週期性雜訊可能導致負載電路1的損壞。因此，負載電路1與電源之間可以串接一過度電性應力保護電路（endurance circuit），以避免週期性雜訊的高壓直接耦合到負載電路。然於此對比實施例中，過度電性應力保護電路會有大電流通過，因此通常會使用大陣列元件（large array device）來實現，例如，D型（Depletion-mode；D-mode）金氧半場效電晶體（metal-oxide-semiconductor field-effect transistor，MOSFET）。然而，大陣列元件的面積很大，且D型金氧半場效電晶體需使用特殊製程製作。因此，本揭露利用面積較小且同時避免使用大陣列元件來實現過度電性應力保護電路。

【0008】 請參考第2圖，第2圖為本發明實施例的一電子系統2的示意圖。電子系統2包含一供應電源10、一過度電性應力保護電路20以及一負載電路30。負載電路30可以是一數位邏輯電路，但不以此為限。過度電性應力保護電路20串接在供應電源10和負載電路30之間，用來避免源自供應電源10的一過度電性應力直接耦合到負載電路30，並避免負載電路30受到損害。例如，過度電性應力可以是一週期性雜訊，週期性雜訊可能包含一高壓，若高壓的電壓值大於負載電路30的耐壓的一臨界值，當過度電性應力影響到負載電路30時，負載電路30可能因此而損壞，因此，過度電性應力保護電路20可以使得週期性雜訊耦合到負載電路30時的電壓值小於臨界值，並確保負載電路30可以正常工作。

【0009】 詳細來說，請繼續參考第2圖。過度電性應力保護電路20包含有一第
第3頁，共8頁(發明說明書)

一場效電晶體200、一第二場效電晶體202、一第一控制電路204以及一第二控制電路206。第一場效電晶體200和第二場效電晶體202分別是一P型金氧半場效電晶體及一N型金氧半場效電晶體，P型金氧半場效電晶體200的源極和N型金氧半場效電晶體202的汲極耦接到供應電源10，且P型金氧半場效電晶體200的汲極及N型金氧半場效電晶體202的源極和負載電路30耦接在一負載節點208。第一控制電路204耦接P型金氧半場效電晶體200的閘極，用來控制P型金氧半場效電晶體200流往負載電路30的一第一負載電流；以及第二控制電路206耦接N型金氧半場效電晶體202的閘極，用來控制N型金氧半場效電晶體202流往負載電路30的一第二負載電流。在一實施例中，當供應電源10的週期性雜訊的高壓大於負載電路30的耐壓的臨界值時，第一控制電路204和第二控制電路206分別調整第一負載電流和第二負載電流，使得負載節點208的一負載電壓小於臨界值。如此一來，可以避免過度電性應力影響負載電路30，且避免負載電路30的損害。

【0010】 因此，本發明實施例利用第一控制電路204和第二控制電路206控制負載節點208的負載電壓小於臨界值。詳細來說，請參考第3圖，第3圖為本發明實施例電子系統2之過度電性應力保護電路20的示意圖。第一控制電路204可以包含第三場效電晶體MP、第一電阻R1、第二電阻R2、第三電阻R3、第一齊納二極體（Zener diode）D1以及第二齊納二極體D2。第三場效電晶體MP是P型金氧半場效電晶體，P型金氧半場效電晶體MP的汲極耦接於P型金氧半場效電晶體200的閘極，P型金氧半場效電晶體MP的閘極耦接於第一節點210，P型金氧半場效電晶體MP的源極耦接於供應電源10。第一電阻R1耦接於P型金氧半場效電晶體MP的汲極和一接地電壓GND之間；第二電阻R2耦接於第一節點210和供應電源10之間；第三電阻R3耦接於第一節點210和第一齊納二極體D1的一陰極之間；第一齊納二極體D1的陽極耦接於接地電壓GND；以及第二齊納二極體D2的陽極

耦接於第一節點210，第二齊納二極體D2的陰極耦接於供應電源10。另一方面，第二控制電路206可以包含一第五電阻R5和一第三齊納二極體D3。第五電阻R5耦接於N型金氧半場效電晶體202的閘極和供應電源10之間；以及第三齊納二極體D3的陽極耦接於接地電壓GND，第三齊納二極體D3的陰極耦接於N型金氧半場效電晶體202的閘極。

【0011】 為了詳細說明過度電性應力保護電路20的操作，假設供應電源10提供5V的電壓，負載電路30耐壓的臨界值為8V。請參考第4A圖，關於第一控制電路204，由於供應電源10提供的電壓僅有5V，因此第二齊納二極體D2會關閉；此時，5V的電壓會透過第二電阻R2耦合到第一節點210或P型金氧半場效電晶體MP的閘極，使得P型金氧半場效電晶體MP關閉；接著，接地電壓GND會透過第一電阻R1耦合到P型金氧半場效電晶體200的閘極，使得P型金氧半場效電晶體開啟。另一方面，關於第二控制電路206，由於供應電源10提供的電壓僅有5V，因此齊納二極體D3會關閉；此時，5V的電壓會透過第五電阻R5耦合到第二節點212或N型金氧半場效電晶體202的閘極，使得N型金氧半場效電晶體202開啟。換言之，在供應電壓為5V的狀況下，P型金氧半場效電晶體200和N型金氧半場效電晶體202皆會導通，並一起提供第一負載電流和第二負載電流給負載電路30，並且使得負載節點208的電壓等於5V。如此一來，負載節點208的電壓會小於負載電路30耐壓的臨界值8V，因此，負載電路30可以正常操作。

【0012】 然而，供應電源10提供的電壓包含有具有高壓的週期性雜訊，假設週期性雜訊具有高壓12V。請參考第4B圖，當供應電壓10提供的電壓為12V時，第一控制電路204的第一齊納二極體D1開啟且第二齊納二極體D2關閉，由於齊納二極體穩壓的特性，第一節點210或P型金氧半場效電晶體MP的閘極的電壓會

穩定到6V，使得P型金氧半場效電晶體MP開啟；此時，P型金氧半場效電晶體200的閘極會提升到12V，使得P型金氧半場效電晶體200關閉。另一方面，在第二控制電路206，第三齊納二極體D3開啟，使得第二節點212或N型金氧半場效電晶體202的閘極的電壓穩定到6V；此時，N型金氧半場效電晶體202導通，並提供第二負載電流給負載電路30。需注意的是，當N型金氧半場效電晶體202導通時，負載節點208的電壓為N型金氧半場效電晶體202的閘極的電壓6V減去臨界值電壓 V_{thn} ，也就是5.3V。如此一來，負載節點208的電壓會小於負載電路30耐壓的臨界值8V，因此，負載電路30可以正常操作。

【0013】 進一步而言，週期性雜訊可能具有比12V更高的電壓，例如18V，只要本發明的第一場效電晶體200、第二場效電晶體202和P型金氧半場效電晶體MP選擇能夠耐壓18V的電晶體，第一控制電路204和第二控制電路206即可控制負載節點208的負載電壓小於臨界值，並讓負載電路30可以正常操作。請參考第4C圖，當供應電壓10提供的電壓為18V時，第一控制電路204的第一齊納二極體D1開啟且第二齊納二極體D2開啟，由於齊納二極體D1、D2交互作用下，使第一節點210或P型金氧半場效電晶體MP的閘源極的耐壓在安全範圍內，並使得P型金氧半場效電晶體MP開啟；此時，P型金氧半場效電晶體200的閘極會提升到18V，使得P型金氧半場效電晶體200關閉。另一方面，在第二控制電路206，第三齊納二極體D3開啟，使得第二節點212或N型金氧半場效電晶體202的閘極的電壓穩定到6V；此時，N型金氧半場效電晶體202導通，並提供第二負載電流給負載電路30。需注意的是，當N型金氧半場效電晶體202導通時，負載節點208的電壓為N型金氧半場效電晶體202的閘極的電壓6V減去臨界值電壓 V_{thn} ，也就是5.3V。如此一來，負載節點208的電壓會小於負載電路30耐壓的臨界值8V，因此，負載電路30可以正常操作。

【0014】 另一方面，第一控制電路204中的第三電阻R3在有電流流過的狀況下會具有一跨壓，因此，第三電阻R3可以用來微調第一節點210或P型金氧半場效電晶體MP的閘極的電壓以及降低漏電流。尤其是當供應電壓10的週期性雜訊的高壓愈高時，第一節點210或P型金氧半場效電晶體MP的閘源極的耐壓可能偏離安全範圍，可以適當選擇第三電阻R3的電阻值來確保第一節點210或P型金氧半場效電晶體MP的閘源極的耐壓在安全範圍內。此外，請參考第5A、5B、5C圖，第5A、5B、5C圖為本發明實施例的第一控制電路304、404和504之示意圖。第一控制電路304、404和504係由第一控制電路204所衍生，故相同元件以相同符號表示。與第一控制電路204不同之處在於，第一控制電路304中的第一齊納二極體D1直接耦接到第一節點210；第一控制電路404中的第一齊納二極體D1直接耦接到第一節點210，且第二齊納二極體D2與第一節點210之間串接一第四電阻R4；以及第一控制電路504中的第二齊納二極體D2與第一節點210之間串接一第四電阻R4。本發明可以適當選擇第一控制電路202、304、404和504中的第三電阻R3或第四電阻R4的電阻值，以微調來確保第一節點210或P型金氧半場效電晶體MP的閘源極的耐壓在安全範圍內且降低漏電流。關於第一控制電路204和第二控制電路206調整負載節點208的負載電壓，使得負載電路30正常操作的詳細過程，在此不再贅述。

【0015】 綜上所述，只要適當選擇足夠耐壓的過度電性應力保護電路的電晶體，本發明的過度電性應力保護電路即可在供應電源具有更高壓（例如，18V）的週期性雜訊的狀況下，使得負載電路可以正常操作。換言之，本發明的過度電性應力保護電路是一全範圍（full range）過度電性應力保護電路。此外，相較於先前技術所使用的D型金氧半場效電晶體，本發明的過度電性應力保護電路的

電晶體避免使用特殊製程的元件、占用的面積較小且可避免負載電路受到過度電性應力的影響而損害。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。且上述所使用的電壓所標示的數值僅用來更清楚地說明本發明的電路運作，並且不應對本發明請求項的範圍加以限制，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0016】

1: 負載電路

10: 供應電源

20: 過度電性應力保護電路

30: 負載電路

200: 第一場效電晶體

202: 第二場效電晶體

204、304、404、504: 第一控制電路

206: 第二控制電路

208: 負載節點

210: 第一節點

212: 第二節點

R1、R2、R3、R4: 電阻

D1、D2、D3: 齊納二極體

【發明申請專利範圍】

【請求項1】 一種過度電性應力（electrical overstress，EOS）保護電路，用來

提供一負載電流給一負載電路，包含有：

一第一場效電晶體，包含有一第一汲極，一第一閘極，以及一第一源極；

一第二場效電晶體，包含有一第二汲極，一第二閘極，以及一第二源極，

其中該第一源極和該第二汲極耦接一電壓供應端，該第一汲極和該第

二源極耦接於一負載節點，該負載電路耦接於該負載節點和一接地電

壓之間；

一第一控制電路，耦接該第一閘極；以及

一第二控制電路，耦接該第二閘極；

其中，該第一控制電路和該第二控制電路被配置成用以調節該負載節點的

一電壓值。

【請求項2】 如請求項1所述的過度電性應力保護電路，其中該第一場效電晶

體為一P型金氧半場效電晶體。

【請求項3】 如請求項2所述的過度電性應力保護電路，其中該第一控制電路

包含有：

一第一控制端，耦接該第一閘極；

一第一電源端，耦接於該電壓供應端；

一第一接地端，耦接於該接地電壓；

一第一節點；

一第三場效電晶體，包含有一第三汲極，一第三閘極，以及一第三源極，

其中該第三汲極耦接於該第一控制端，該第三閘極耦接於該第一節

- 點，以及該第三源極耦接於該第一電源端；
- 一第一電阻，耦接於該第一控制端和該第一接地端之間；
- 一第二電阻，耦接於該第一節點和該第一電源端之間；
- 一第一齊納二極體（Zener diode），其一陽極耦接於該第一接地端，一陰極耦接於該第一節點；以及
- 一第二齊納二極體，其一陽極耦接於該第一節點，一陰極耦接於該第一電源端。

【請求項4】 如請求項2所述的過度電性應力保護電路，其中該第一控制電路包含有：

- 一第一控制端，耦接該第一閘極；
- 一第一電源端，耦接於該電壓供應端；
- 一第一接地端，耦接於該接地電壓；
- 一第一節點；
- 一第三場效電晶體，包含有一第三汲極，一第三閘極，以及一第三源極，其中該第三汲極耦接於該第一控制端，該第三閘極耦接於該第一節點，以及該第三源極耦接於該第一電源端；
- 一第一電阻，耦接於該第一控制端和該第一接地端之間；
- 一第二電阻，耦接於該第一節點和該第一電源端之間；
- 一第三電阻，其一端耦接於該第一節點；
- 一第一齊納二極體（Zener diode），其一陽極耦接於該第一接地端，一陰極耦接於該第三電阻的另一端；以及
- 一第二齊納二極體，其一陽極耦接於該第一節點，一陰極耦接於該第一電源端。

【請求項5】 如請求項2所述的過度電性應力保護電路，其中該第一控制電路包含有：

- 一第一控制端，耦接該第一閘極；
- 一第一電源端，耦接於該電壓供應端；
- 一第一接地端，耦接於該接地電壓；
- 一第一節點；
- 一第三場效電晶體，包含有一第三汲極，一第三閘極，以及一第三源極，
其中該第三汲極耦接於該第一控制端，該第三閘極耦接於該第一節點，以及該第三源極耦接於該第一電源端；
- 一第一電阻，耦接於該第一控制端和該第一接地端之間；
- 一第二電阻，耦接於該第一節點和該第一電源端之間；
- 一第四電阻，其一端耦接於該第一節點；
- 一第一齊納二極體（Zener diode），其一陽極耦接於該第一接地端，一陰極耦接於該第一節點；以及
- 一第二齊納二極體，其一陽極耦接於該第四電阻的另一端，一陰極耦接於該第一電源端。

【請求項6】 如請求項2所述的過度電性應力保護電路，其中該第一控制電路包含有：

- 一第一控制端，耦接該第一閘極；
- 一第一電源端，耦接於該電壓供應端；
- 一第一接地端，耦接於該接地電壓；
- 一第一節點；

- 一第三場效電晶體，包含有一第三汲極，一第三閘極，以及一第三源極，
其中該第三汲極耦接於該第一控制端，該第三閘極耦接於該第一節點，以及該第三源極耦接於該第一電源端；
- 一第一電阻，耦接於該第一控制端和該第一接地端之間；
- 一第二電阻，耦接於該第一節點和該第一電源端之間；
- 一第三電阻，其一端耦接於該第一節點；
- 一第四電阻，其一端耦接於該第一節點；
- 一第一齊納二極體（Zener diode），其一陽極耦接於該第一接地端，一陰極耦接於該第三電阻的另一端；以及
- 一第二齊納二極體，其一陽極耦接於該第四電阻的另一端，一陰極耦接於該第一電源端。

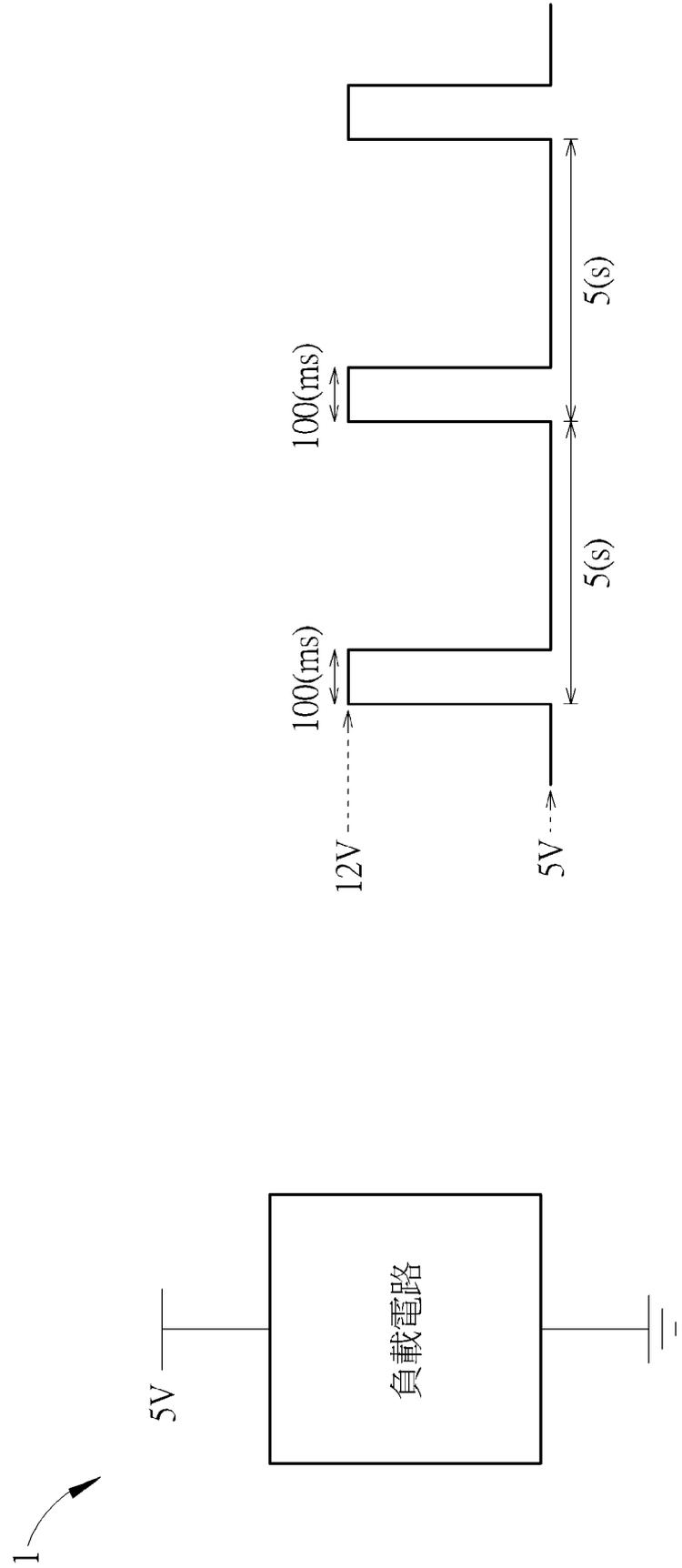
【請求項7】 如請求項1所述的過度電性應力保護電路，其中該第二場效電晶體為一N型金氧半場效電晶體。

【請求項8】 如請求項7所述的過度電性應力保護電路，其中該第二控制電路包含有：

- 一第二控制端，耦接該第二閘極；
- 一第二電源端，耦接於該電壓供應端；
- 一第二接地端，耦接於該接地電壓；
- 一第二節點；
- 一第五電阻，耦接於該第二控制端和該第二電源端之間；以及
- 一第三齊納二極體，其一陽極耦接於該第二接地端，一陰極耦接於該第二控制端。

【請求項9】 如請求項1所述的過度電性應力保護電路，其中該電壓供應端提供的一高電壓大於該負載電路的一臨界值電壓，該第一控制電路和該第二控制電路調節的該電壓值小於該臨界值電壓。

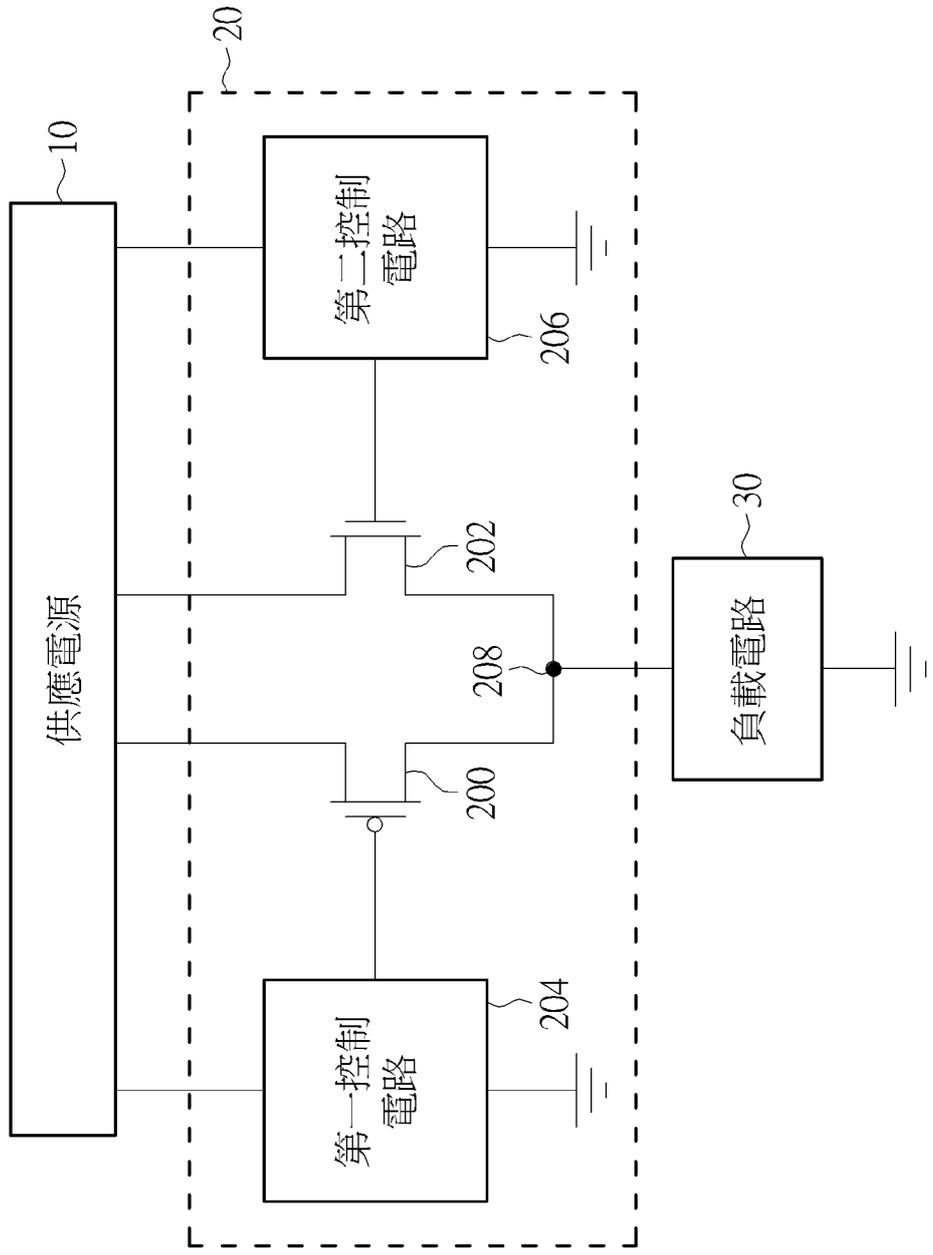
【發明圖式】



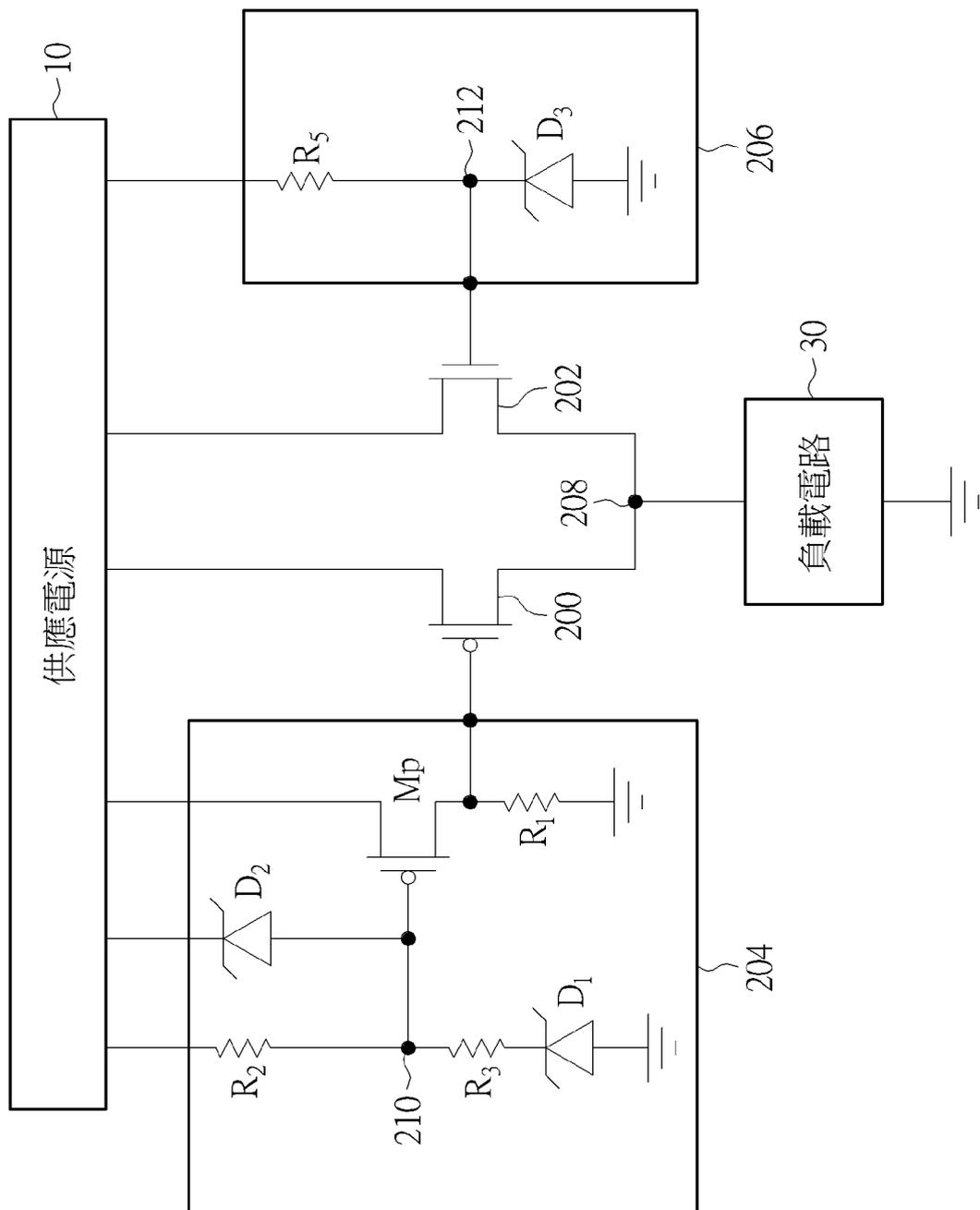
第1B圖

第1A圖

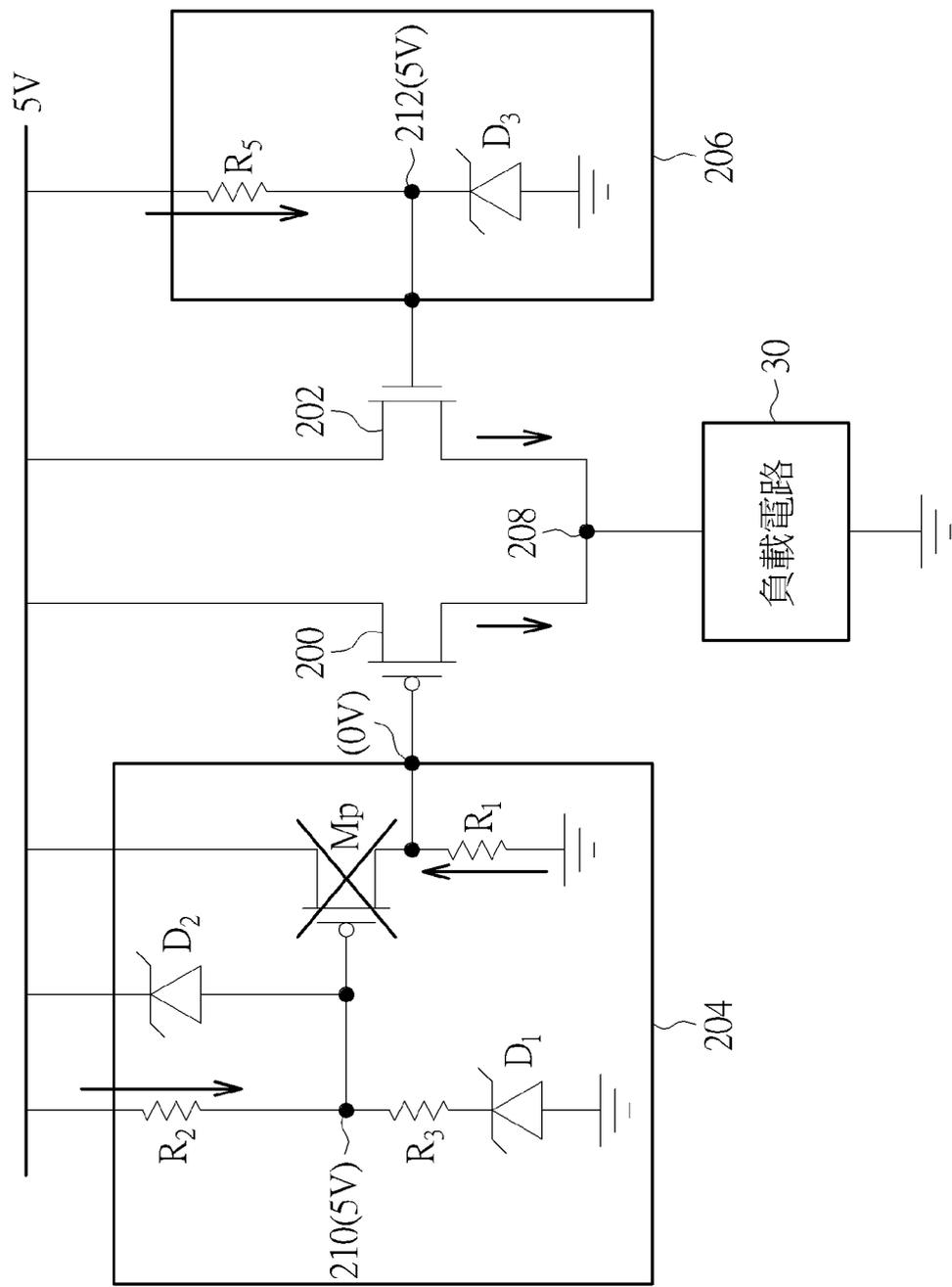
2



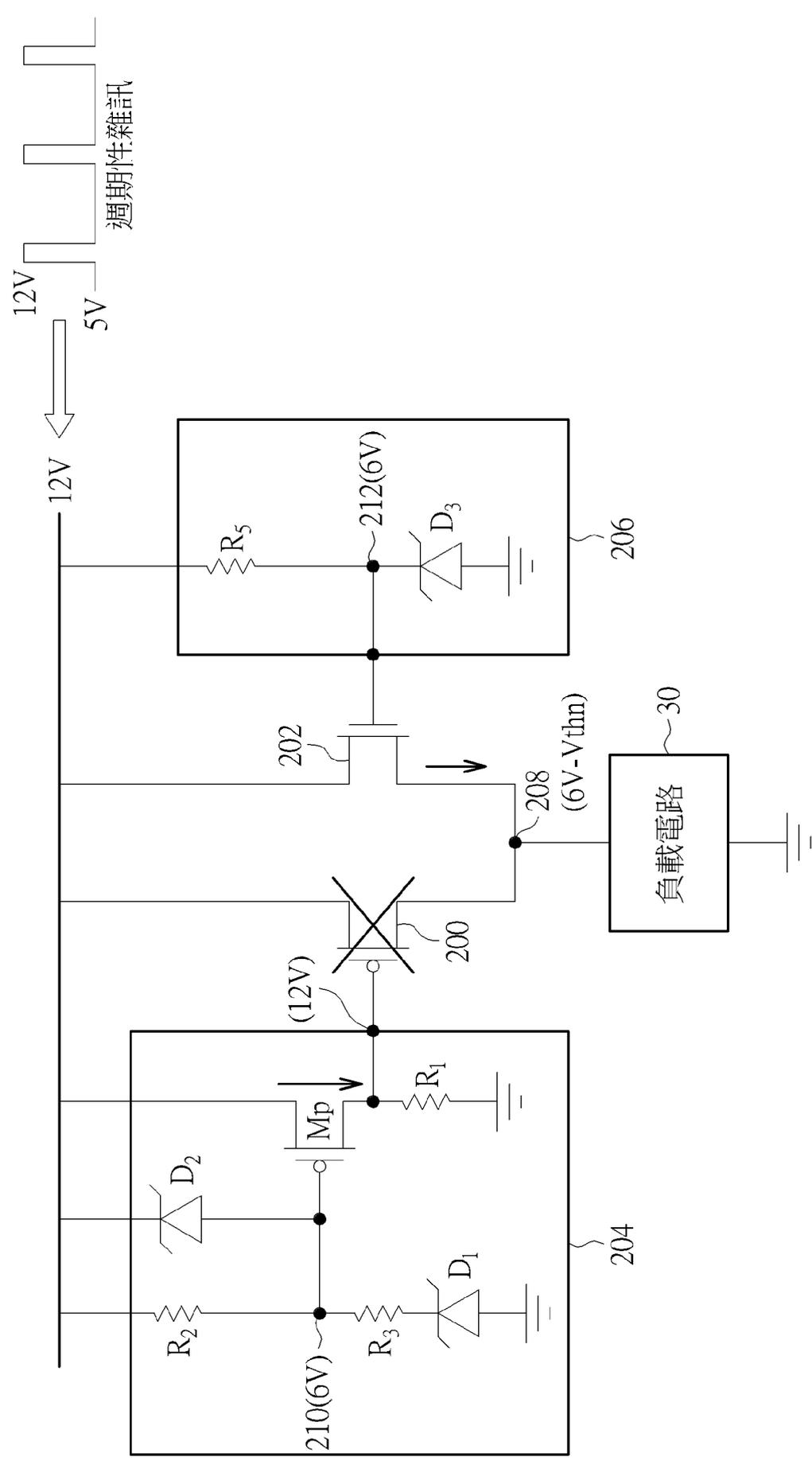
第2圖



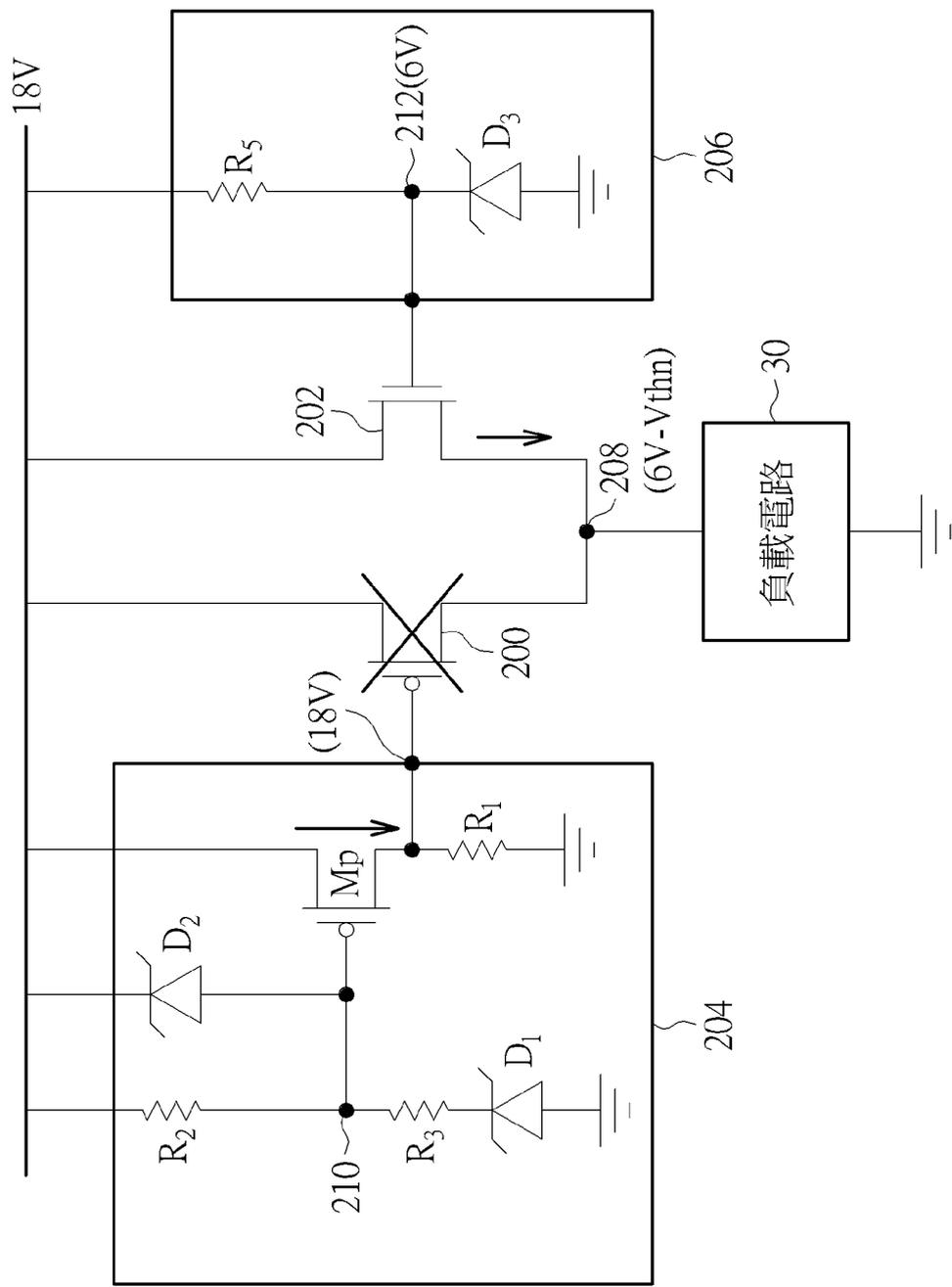
第3圖

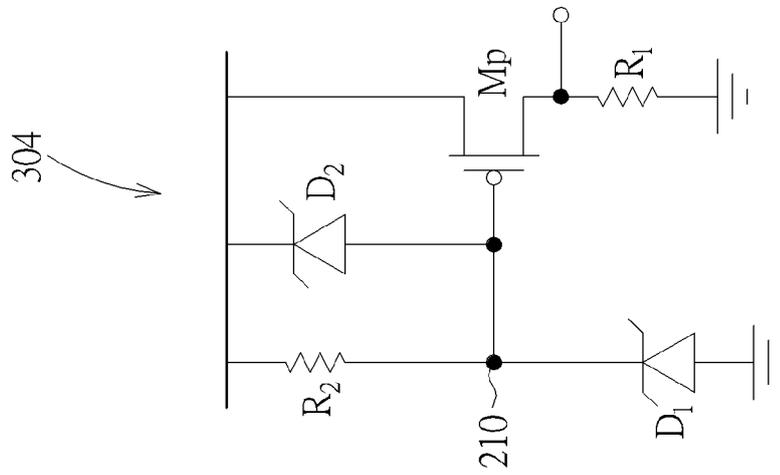
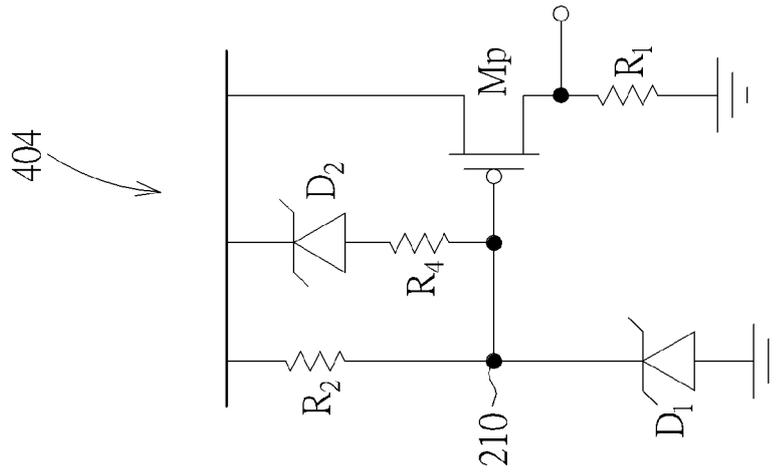
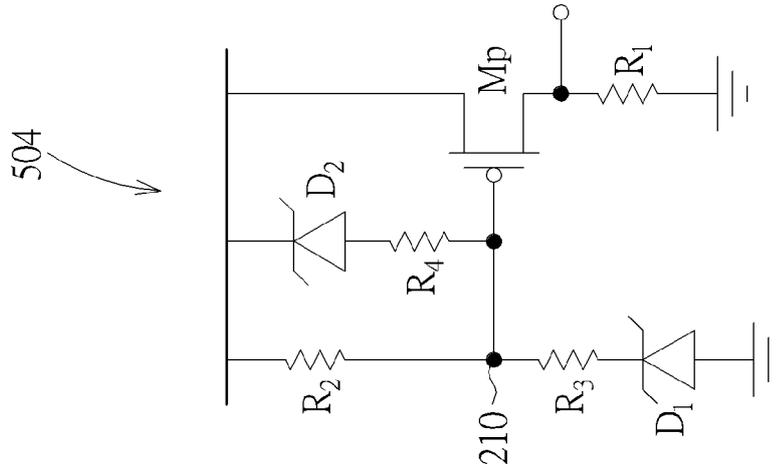


第4A圖



第4B圖





第5C圖

第5B圖

第5A圖