



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

197 121

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 30 06 78
(21) PV 4370-78

(51) Int. Cl.³ G 06 F 13/06

(40) Zveřejněno 31 07 79
(45) Vydáno 30 04 82

(75)

Autor vynálezu BARTŮNEK IVAN ing., DRÁPAL STANISLAV ing., KRYŠKA JAN ing. a
STRONER PETR ing., PRAHA

(54) Zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování

1

Vynález se týká zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování paměti, kde se kombinuje čtení pevně programovaných informací z pevné paměti se čtením nebo zápisem do proměnné paměti.

Kombinace činnosti obou pamětí je vhodná v těch případech, kde je třeba určitou neměnnou část informací uložených v paměti vyvolat bez ohledu na počáteční podmínky provozu zařízení, jehož je tato paměť součástí. To jsou např. okamžiky po zapnutí zařízení, kdy je třeba zajistit jistou sekvenci činnosti zařízení nebo v případě, že se jedná o částečně neměnný blok informací, u něhož je neekonomické jeho obnovování.

Dosavadní způsoby řeší problém trvalého uchování a ochrany pevných částí programů různým způsobem, z nichž každý má své nevýhody. Jedním z nich je, že výše uvedený programový blok je ukládán ve vyhrazené části paměti, která je různými prostředky chráněna proti porušení neoprávněným zásahem. Žádná z těchto ochranných opatření však není natolik dokonalá, aby zabránila změnám v této části paměti v případě nějaké poruchy. Rovněž v případě, že zařízení pracuje právě v této oblasti programu, není možné známými prostředky zabránit jeho poškození.

Jiný způsob spočívá v tom, že neměnná část programu je sice uložena v pevné paměti, ale před každým vyvoláním je vždy přepsána do proměnné paměti, odkud se potom čte pro potřeby jeho provádění. Tento způsob s sebou přináší nutnost dvojího provedení ovládacích obvodů paměti a zároveň se při něm prodlužuje doba nutná k vyvolání a provedení programu. U obou těchto způsobů je též obtížné provádět modifikaci programu v závislosti na vnějších podmínkách.

Popsané nevýhody odstraňuje zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování, které obsahuje hlavní řídící obvod, adresovací obvod, první a druhý synchronizační obvod, první a druhou paměť, pomocnou paměť, vyhodnocovací obvod, hradlo a výstupní obvod podle vynálezu, jehož podstata spočívá v tom, že skupinový adresní výstup hlavního řídícího obvodu je spojen s adresním skupinovým vstupem první paměti a se skupinovým vstupem adresovacího obvodu, jehož skupinový výstup je spojen s adresním skupinovým vstupem druhé paměti a s adresním skupinovým vstupem pomocné paměti, jejíž skupinový výstup je spojen se skupinovým vstupem vyhodnocovacího obvodu. První výstup vyhodnocovacího obvodu je spojen s vyhodnocovacím vstupem druhého synchronizačního obvodu, jehož skupinový vstup je spojen se skupinovým vstupem prvního synchronizačního obvodu a se skupinovým synchronizačním výstupem hlavního řídícího obvodu. První skupinový synchronizační vstup hlavního řídícího obvodu je spojen s druhým skupinovým výstupem druhého synchronizačního obvodu, jehož první skupinový výstup je spojen s řídícím skupinovým vstupem pomocné paměti a s řídícím skupinovým vstupem druhé paměti. Skupinový výstup druhé paměti je spojen se skupinovým vstupem hradlovacího obvodu. Hradlovací vstup hradlovacího obvodu je spojen s druhým výstupem vyhodnocovacího obvodu. Výstup hradlovacího obvodu je spojen s druhým skupinovým vstupem výstupního obvodu. První skupinový vstup výstupního obvodu je spojen se skupinovým výstupem první paměti. Skupinový datový vstup první paměti je spojen se skupinovým datovým výstupem hlavního řídícího obvodu, jehož druhý skupinový synchronizační vstup je spojen s prvním skupinovým výstupem prvního synchronizačního obvodu, jehož druhý skupinový výstup je spojen s řídícím skupinovým vstupem první paměti.

Zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování je zvláště výhodné, protože jednoduchými prostředky zajišťuje paralelní spojení pamětí uvedených typů, přičemž veškeré ovládací i adresovací signály jsou společné. Zapojení lze realizovat tak, že první paměť je pamětí typu RAM, druhá a pomocná paměť jsou pamětmi typu ROM. Pomocná paměť, která je adresována současně s první a druhou pamětí, nese v sobě informaci, zda na žádané lokaci paměti mají platnost data první nebo druhé paměti. Tato informace zpracovaná v synchronizačním obvodu pak buď vyvolá předloženou sekvenci čtení pro získání dat ze druhé paměti anebo ponechá proběhnout normální sekvenci čtení/zápis pro první paměť.

Výhodou tohoto zapojení je to, že v určitém bloku paměti mohou být libovolně kombinovány paměti RAM i ROM tak, že neměnná část programu je uchována v paměti ROM, přičemž lokace s proměnným obsahem jsou v paměti RAM. Toto zapojení se uplatní například pro uložení zaváděcích nebo startovacích programů větších hardwarových celků vybavených pamětí.

Příklad zapojení podle vynálezu je na připojeném výkresu v blokovém schématu.

Technické prostředky, jimiž je zapojení realizováno, jsou vesměs známé obvody číslicové techniky, snadno proveditelné různými způsoby, a nejsou proto na obrázku podrobně kresleny.

Hlavní řídící obvod 1 je synchronní nebo asynchronní sekvenční obvod obsahující adresní a povelovou část. Adresovací obvod 2 je v podstatě kódér transformující adresu získanou z výstupu hlavního řídícího obvodu 1. První synchronizační obvod 3 a druhý synchronizační obvod 4 jsou posuvné registry s podmíněnou funkcí. První paměť 5 je paměť typu RAM a může být např. feritová nebo polovodičová. Druhá paměť 6 a pomocná paměť 7 jsou paměti typu ROM a mohou být realizovány jako polovodičové paměti. Vyhodnocovací obvod 8 a hradlovací obvod 9 jsou kombinační obvody složené z hradel. Výstupním obvodem 10 může být například registr.

Vstupy a výstupy, které mají společný logický nebo funkční význam, jsou shrnuty v jeden spoj a označeny jako skupinový. Jednotlivé části zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování jsou podle vynálezu vzájemně propojeny takto:

Skupinový adresní výstup 11 hlavního řídicího obvodu 1 je spojen s adresním skupinovým vstupem 25 první paměti 5 a dále se skupinovým vstupem 15 adresovacího obvodu 2, jehož skupinový výstup 16 je spojen s adresním skupinovým vstupem 36 druhé paměti 6 a zároveň s adresním skupinovým vstupem 35 pomocné paměti 7, jejíž skupinový výstup 33 je spojen se skupinovým vstupem 31 vyhodnocovacího obvodu 8. První výstup 32 vyhodnocovacího obvodu 8 je spojen s vyhodnocovacím vstupem 21 druhého synchronizačního obvodu 4, jehož skupinový vstup 20 je spojen jednak se skupinovým vstupem 18 prvního synchronizačního obvodu 3 a zároveň se skupinovým synchronizačním vstupem 13 hlavního řídicího obvodu 1. S prvním skupinovým synchronizačním vstupem 12 hlavního řídicího obvodu 1 je spojen druhý skupinový výstup 23 druhého synchronizačního obvodu 4, jehož první skupinový výstup 22 je spojen s řídicím skupinovým vstupem 37 druhé paměti 6 a s řídicím skupinovým vstupem 34 pomocné paměti 7. S druhým skupinovým synchronizačním vstupem 14 hlavního řídicího obvodu 1 je spojen první skupinový výstup 17 prvního synchronizačního obvodu 3, jehož druhý skupinový výstup 19 je spojen s řídicím skupinovým vstupem 24 první paměti 5, která má svůj skupinový výstup 26 spojen s prvním skupinovým vstupem 27 výstupního obvodu 10. Druhý skupinový vstup 28 výstupního obvodu 10 je spojen s výstupem 40 hradlovacího obvodu 9, jehož skupinový vstup 29 je spojen se skupinovým výstupem 38 druhé paměti 6 a jehož hradlovací vstup 30 je spojen s druhým výstupem 39 vyhodnocovacího obvodu 8. Skupinový datový výstup 41 hlavního řídicího obvodu 1 je spojen se skupinovým datovým vstupem 42 první paměti 5.

Zapojení pracuje takto. Hlavní řídicí obvod 1 vysílá na svém skupinovém adresním výstupu 11 adresu, která přímo ovládá adresování první paměti 5, a která se též přivádí přes skupinový vstup 15 do adresovacího obvodu 2. V adresovacím obvodu 2 se tato adresa upraví pro potřeby adresování pomocné paměti 7 a druhé paměti 6. První paměť 5 je paměť typu RAM, druhá paměť 6 a pomocná paměť 7 jsou paměti typu ROM. V pomocné paměti 7 jsou uloženy údaje o planosti paměťové operace pro první paměť 5 nebo pro druhou paměť 6. První synchronizační obvod 3 přijímá přes svůj skupinový vstup 18 synchronizační povel z skupinového synchronizačního výstupu 13 hlavního řídicího obvodu 1 a vyvolá přes svůj druhý skupinový výstup 19 a přes řídicí skupinový vstup 24 první paměti 5 žádanou paměťovou operaci. Na skupinovém výstupu 26 první paměti 5 jsou k dispozici příslušná data z první paměti 5, která jsou přes první skupinový vstup 27 výstupního obvodu 10 přivedena do tohoto výstupního obvodu 10 v případě čtení. Na skupinovém datovém vstupu 42 první paměti 5 jsou k dispozici data vstupující do první paměti 5 z skupinového datového výstupu 41 hlavního řídicího obvodu 1 pro případ zápisu. Informace o skončení pracovního cyklu první paměti 5 vyšle první synchronizační obvod 3 ze svého prvního skupinového výstupu 17 na druhý skupinový synchronizační vstup 14 hlavního řídicího obvodu 1. Zpracování tohoto signálu hlavním řídicím obvodem 1 a tím i uvolnění další činnosti tohoto obvodu je však podmíněno přítomností obdobného signálu na prvním skupinovém synchronizačním vstupu 12 hlavního řídicího obvodu 1, kam je přiváděn ze druhého skupinového výstupu 23 druhého synchronizačního obvodu 4. Činnost tohoto druhého synchronizačního obvodu 4 je ovlivňována kromě povelů z hlavního řídicího obvodu 1 na skupinovém vstupu 20 též stavem pomocné paměti 7. Tento stav je vyhodnocován vyhodnocovacím

obvodem 8 a je z jeho prvního výstupu 32 veden na vyhodnocovací vstup 21 druhého synchronizačního obvodu 4. Jestliže vyhodnocovací obvod 8 zjistí, že paměťová operace je vztažena k první paměti 5, pak druhý synchronizační obvod 4 nezačíná žádnou činnost a hlavní řídicí obvod 1 dostává přes své vstupy 12 a 14 informaci, že je paměťová operace ukončena a že data ve výstupním obvodu 10 jsou v případě čtení platná. Jestliže však zjistí vyhodnocovací obvod 8, že paměťová operace se vztahuje ke druhé paměti 6, vydá druhý synchronizační obvod 4 na svých skupinových výstupech 22 a 23 příslušné signály, které způsobí v případě čtení z paměti prodloužení sekvence čtení takovým způsobem, že přes řídicí skupinový vstup 37 druhé paměti 6 a přes řídicí skupinový vstup 34 pomocné paměti 7 jsou obě tyto paměti 6 a 7 přečteny a hradlovací obvod 9 přepíše na základě stavu svého hradlovacího vstupu 30 výstup dat ze skupinového výstupu 38 druhé paměti 6 přes svůj skupinový vstup 29, přes výstup 40 a přes druhý skupinový vstup 28 výstupního obvodu 10 data do výstupního obvodu 10. Hlavní řídicí obvod 1 pak dostane na svém prvním skupinovém synchronizačním vstupu 12 informaci od druhého synchronizačního obvodu 4 o ukončení paměťové operace.

Zapojení se použije všude tam, kde dochází ke kombinaci záznamů proměnných a neproměnných informací, což se uplatní zejména při provádění zaváděcích a startovacích programů u vyšších hardwarových celků vybavených pamětí.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení pevné a proměnné paměti pro paralelní spolupráci ve volitelné oblasti adresování, které obsahuje hlavní řídicí obvod, adresovací obvod, synchronizační obvody, paměti, výstupní obvod, hradlovací obvod a vyhodnocovací obvod, vyznačující se tím, že skupinový adresní výstup (11) hlavního řídicího obvodu (1) je spojen s adresním skupinovým vstupem (25) první paměti (5) a se skupinovým vstupem (15) adresovacího obvodu (2), jehož skupinový výstup (16) je spojen s adresním skupinovým vstupem (36) druhé paměti (6) a s adresním skupinovým vstupem (35) pomocné paměti (7), jejíž skupinový výstup (33) je spojen se skupinovým vstupem (31) vyhodnocovacího obvodu (8), jehož první výstup (32) je spojen s vyhodnocovacím vstupem (21) druhého synchronizačního obvodu (4), jehož skupinový vstup (20) je spojen se skupinovým vstupem (18) prvního synchronizačního obvodu (3) a se skupinovým synchronizačním výstupem (13) hlavního řídicího obvodu (1), a jehož první skupinový synchronizační vstup (12) je spojen s druhým skupinovým výstupem (23) druhého synchronizačního obvodu (4), jehož první skupinový výstup (22) je spojen s řídicím skupinovým vstupem (34) pomocné paměti (7) a s řídicím skupinovým vstupem (37) druhé paměti (6), jejíž skupinový výstup (38) je spojen se skupinovým vstupem (29) hradlovacího obvodu (9), jehož hradlovací vstup (30) je spojen s druhým výstupem (39) vyhodnocovacího obvodu (8), přičemž výstup (40) hradlovacího obvodu (9) je spojen s druhým skupinovým vstupem (28) výstupního obvodu (10), jehož první skupinový vstup (27) je spojen se skupinovým výstupem (26) první paměti (5), jejíž skupinový datový vstup (42) je spojen se skupinovým datovým výstupem (41) hlavního řídicího obvodu (1), jehož druhý skupinový synchronizační vstup (14) je spojen s prvním skupinovým výstupem (17) prvního synchronizačního obvodu (3), jehož druhý skupinový výstup (19) je spojen s řídicím skupinovým vstupem (24) první paměti (5).

