



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I641132 B

(45)公告日：中華民國 107 (2018) 年 11 月 11 日

(21)申請案號：106129312

(22)申請日：中華民國 106 (2017) 年 08 月 29 日

(51)Int. Cl. : H01L29/06 (2006.01)

H01L29/808 (2006.01)

H01L21/337 (2006.01)

(71)申請人：新唐科技股份有限公司 (中華民國) NUVOTON TECHNOLOGY CORPORATION
(TW)

新竹市新竹科學工業園區研新三路 4 號

(72)發明人：陳柏安 CHEN, PO AN (TW)；許健 SHEU, GENE (TW)；依曼 席德 內亞茲
IMAM, SYED NEYAZ (IN)；楊明哲 YANG, MING CHE (TW)；李穎華 LI, YING
HUA (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW I593109B

TW 201409694A

TW 201543684A

US 2016/0181369A1

審查人員：趙芝婷

申請專利範圍項數：12 項 圖式數：6 共 36 頁

(54)名稱

半導體裝置及其製造方法

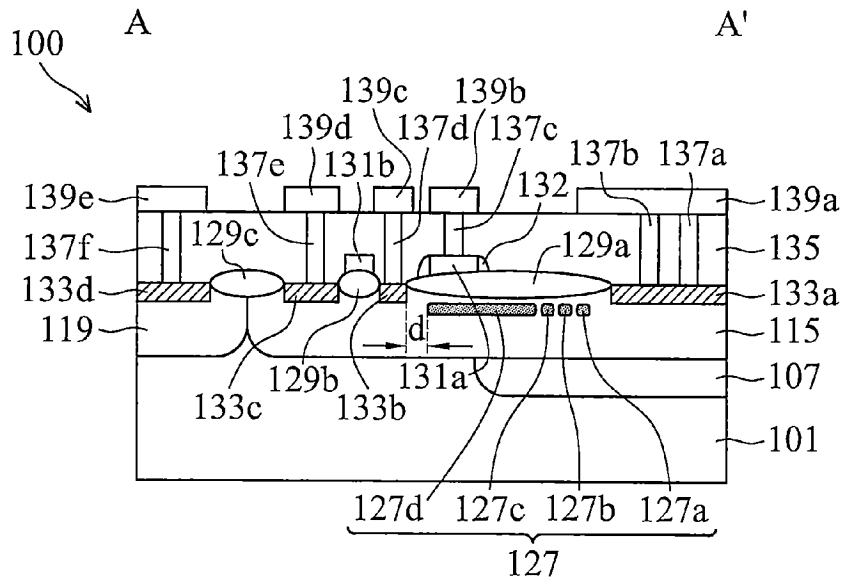
SEMICONDUCTOR DEVICES AND METHODS FOR MANUFACTURING THE SAME

(57)摘要

半導體裝置包含半導體基底，具有第一導電類型，深井區設置於半導體基底內，具有與第一導電類型相反的第二導電類型，第一井區設置於半導體基底內且具有第二導電類型，其中第一井區位於深井區上方，且第一井區的一部分鄰接深井區，第一摻雜區、第二摻雜區和第三摻雜區設置於第一井區內，其中第一和三摻雜區具有第二導電類型，且第二摻雜區具有第一導電類型，以及頂層設置於第一井區內且具有第一導電類型，其中頂層位於第一和二摻雜區之間，且頂層與第二摻雜區之間相隔一距離，其中前述之距離與半導體裝置的夾止電壓具有正向的線性關係。

The semiconductor devices include a semiconductor substrate having a first conductivity type; a deep well region disposed in the semiconductor substrate, having a second conductivity type opposite to the first conductivity type; a first well region disposed in the semiconductor substrate and having the second conductivity type, wherein the first well region is located above the deep well region, and a portion of the first well region is adjacent to the deep well region; a first doped region, a second doped region and a third doped region disposed in the first well region, wherein the first and third doped regions have the second conductivity type, and the second doped region has the first conductivity type; and a top layer disposed in the first well region and having the first conductivity type, wherein the top layer is located between the first and second doped regions, and the top layer and the second doped region are separated by a distance, wherein the distance and the pinch-off voltage of the semiconductor device have a positive linear relationship.

指定代表圖：



第 11 圖

符號簡單說明：

- 100 . . . 半導體裝置
- 101 . . . 半導體基底
- 107 . . . 深井區
- 115 . . . 第一井區
- 119 . . . 第二井區
- 127 . . . 頂層
- 127a . . . 第一部分
- 127b . . . 第二部分
- 127c . . . 第三部分
- 127d . . . 第四部分
- 129a . . . 第一隔離結構
- 129b . . . 第二隔離結構
- 129c . . . 第三隔離結構
- 131a . . . 第一電極
- 131b . . . 第二電極
- 132 . . . 間隙物
- 133a . . . 第一摻雜區
- 133b . . . 第二摻雜區
- 133c . . . 第三摻雜區
- 133d . . . 第四摻雜區
- 135 . . . 層間介電層
- 137a、137b、137c、137d、137e、137f . . . 導孔
- 139a . . . 汲極電極
- 139b . . . 電極
- 139c . . . 第一閘極電極
- 139d . . . 源極電極
- 139e . . . 第二閘極電極

I641132

TW I641132 B

d . . . 距離

發明專利說明書

【發明名稱】 半導體裝置及其製造方法

Semiconductor devices and methods for
manufacturing the same

【技術領域】

【0001】 本發明是關於半導體製造技術，特別是關於含有
接面場效電晶體之半導體裝置及其製造方法。

【先前技術】

【0002】 在半導體產業中，場效電晶體 (field effect transistors, FETs) 有兩個主要類型，即絕緣閘場效電晶體 (insulated gate field effect transistor, IGFET)，通常稱為金屬氧化物半導體場效電晶體 (metal oxide semiconductor field effect transistor, MOSFET)，和接面場效電晶體 (junction field effect transistor, JFET)。金屬氧化物半導體場效電晶體和接面場效電晶體的結構配置基本上並不相同。舉例來說，金屬氧化物半導體場效電晶體的閘極包含絕緣層，亦即閘極氧化層，在閘極和電晶體的其他電極之間。因此，藉由穿過通道的電場控制在金屬氧化物半導體場效電晶體內的通道電流，以視需求使通道區增強和空乏 (deplete)。接面場效電晶體的閘極與電晶體的其他電極形成 P-N 接面 (P-N junction)，藉由施加預定的閘極電壓可以將接面場效電晶體反向偏置。因此，藉由改變通道內之空乏區的尺寸，可利用接面場效電晶體的閘極 P-N 接面來控制通道電流。

【0003】 一般來說，接面場效電晶體可作為電壓控制電阻器或電子控制開關。P型接面場效電晶體包含摻雜的半導體材料的通道具有大量正電載子或電洞，而N型接面場效電晶體包含摻雜的半導體材料的通道則具有大量負電載子或電子。在接面場效電晶體的各端，由歐姆接觸形成源極和汲極，且電流流經在源極和汲極之間的通道。此外，藉由對閘極施加反向偏壓可阻礙或斷開電流，也稱為「夾止」(pinch-off)。

【0004】 雖然現存半導體裝置的接面場效電晶體及其製造方法已逐步滿足它們既定的用途，但它們仍未在各方面皆徹底的符合要求。因此，關於半導體裝置的接面場效電晶體和製造技術仍有一些問題需要克服。

【發明內容】

【0005】 本發明提供了半導體裝置的實施例及其製造方法的實施例，特別是接面場效電晶體的實施例。通常藉由在製程中調整接面場效電晶體之井區的摻雜濃度，使得接面場效電晶體產生特定的夾止電壓，以符合不同產品應用的需求。然而，井區的摻雜濃度不容易精準控制，使得產出的接面場效電晶體的夾止電壓容易與預期夾止電壓目標值之間產生不容忽視的誤差。

【0006】 為了更精準的調控產出的接面場效電晶體的夾止電壓，本發明的實施例在接面場效電晶體的井區內設置頂層，頂層的導電類型與電性連接至閘極電極的摻雜區的導電類型相同，且兩者之間相隔一段距離，此距離與接面場效電晶體的夾止電壓具有正向的線性關係，亦即當此距離越大，產出的接

面場效電晶體的夾止電壓越高，因此，根據本發明實施例，藉由調整此距離可精準地控制接面場效電晶體的夾止電壓。

【0007】 根據一些實施例，提供半導體裝置。此半導體裝置包含半導體基底，具有第一導電類型，以及深井區設置於半導體基底內，具有與第一導電類型相反的第二導電類型。半導體裝置也包含第一井區設置於半導體基底內且具有第二導電類型，其中第一井區位於深井區上方，且第一井區的一部分鄰接深井區。半導體裝置更包含第一摻雜區、第二摻雜區和第三摻雜區設置於第一井區內，其中第一摻雜區和第三摻雜區具有第二導電類型，且第二摻雜區具有第一導電類型。此外，半導體裝置包含頂層設置於第一井區內且具有第一導電類型，其中頂層位於第一摻雜區和第二摻雜區之間，且頂層與第二摻雜區之間相隔一距離，其中前述之距離與半導體裝置的夾止電壓具有正向的線性關係。

【0008】 根據一些實施例，提供半導體裝置的製造方法。此方法包含提供具有第一導電類型的半導體基底，以及在半導體基底內形成深井區，深井區具有與第一導電類型相反的第二導電類型。方法也包含在半導體基底內形成第一井區，第一井區具有第二導電類型，其中第一井區形成於深井區的上方且第一井區的一部分鄰接深井區，其中深井區的深度大於第一井區的深度，且深井區的摻雜濃度小於第一井區的摻雜濃度。方法更包含在第一井區內形成第一摻雜區、第二摻雜區和第三摻雜區，其中第一摻雜區和第三摻雜區具有第二導電類型，且第二摻雜區具有第一導電類型。此外，方法包含在第一井區內形成

頂層，頂層具有第一導電類型，其中頂層位於第一摻雜區和第二摻雜區之間，且頂層與第二摻雜區之間相隔一距離，其中前述之距離與半導體裝置的夾止電壓具有正向的線性關係，以及在半導體基底上形成源極電極、汲極電極和第一閘極電極，其中調整前述之距離，使得半導體裝置的夾止電壓達到預定目標值。

【0009】 本發明的半導體裝置可應用於多種類型的半導體裝置，為讓本發明之特徵和優點能更明顯易懂，下文特舉出應用於接面場效電晶體之實施例，並配合所附圖式，作詳細說明如下。

【圖式簡單說明】

【0010】 藉由以下的詳述配合所附圖式，我們能更加理解本發明實施例的觀點。值得注意的是，根據工業上的標準慣例，一些部件(feature)可能沒有按照比例繪製。事實上，為了能清楚地討論，不同部件的尺寸可能被增加或減少。

第 1A-1I 圖是根據本發明的一些實施例，顯示形成半導體裝置之各個階段的剖面示意圖；

第 2 圖是根據本發明的一些實施例，顯示半導體裝置的上視圖，其中第 1I 圖是沿著第 2 圖中線 A-A' 的半導體裝置的剖面示意圖；

第 3 圖是根據本發明的另一些實施例，顯示半導體裝置的剖面示意圖；

第 4 圖是根據本發明的另一些實施例，顯示半導體裝置的上視圖，其中第 1I 圖是沿著第 4 圖中線 A-A' 的半導體裝

置的剖面示意圖，且第 3 圖是沿著第 4 圖中線 B-B' 的半導體裝置的剖面示意圖；

第 5 圖是根據本發明的一些實施例，顯示半導體裝置中的頂層與第二摻雜區之間的距離和夾止電壓之間的關係之曲線圖；以及

第 6 圖是根據本發明的一些實施例，顯示半導體裝置的一些範例之元件特性數據列表。

【實施方式】

【0011】 以下揭露提供了很多不同的實施例或範例，用於實施所提供的半導體裝置之不同元件。各元件和其配置的具體範例描述如下，以簡化本發明實施例。當然，這些僅僅是範例，並非用以限定本發明。舉例而言，敘述中若提及第一元件形成在第二元件之上，可能包含第一和第二元件直接接觸的實施例，也可能包含額外的元件形成在第一和第二元件之間，使得它們不直接接觸的實施例。此外，本發明實施例可能在不同的範例中重複參考數字及/或字母。如此重複是為了簡明和清楚，而非用以表示所討論的不同實施例及/或形態之間的關係。

【0012】 以下描述實施例的一些變化。在不同圖式和說明的實施例中，相似的參考數字被用來標明相似的元件。可以理解的是，在方法的前、中、後可以提供額外的操作，且一些敘述的操作可為了該方法的其他實施例被取代或刪除。

【0013】 第 1A-1I 圖是根據本發明的一些實施例，顯示形成第 1I 圖的半導體裝置 100 之各個階段的剖面示意圖。

【0014】 根據一些實施例，如第 1A 圖所示，提供半導體基

底 101。半導體基底 101 可由矽或其他半導體材料製成，或者，半導體基底 101 可包含其他元素半導體材料，例如鍺(Ge)。一些實施例中，半導體基底 101 由化合物半導體製成，例如碳化矽、氮化鎵、砷化鎵、砷化銦或磷化銦。一些實施例中，半導體基底 101 由合金半導體製成，例如矽鍺、碳化矽鍺、磷化砷鎵或磷化銦鎵。一些實施例中，半導體基底 101 包含磊晶層。舉例而言，半導體基底 101 可含有覆蓋在塊材半導體之上的磊晶層。一些實施例中，半導體基底 101 可為輕摻雜之 P 型或 N 型基底。在本實施例中，半導體基底 101 為 P 型，且第 11 圖的半導體裝置 100 為 N 型的接面場效電晶體。

【0015】 接著，參見第 1A 圖，在半導體基底 101 上依序形成屏蔽氧化層(screen oxide)103 和圖案化光阻 105，圖案化光阻 105 暴露出一部分的屏蔽氧化層 103，利用圖案化光阻 105 為遮罩在半導體基底 101 內離子植入 N 型或 P 型的摻質，以在未覆蓋圖案化光阻 105 的半導體基底 101 內形成深井區 107，然後，移除圖案化光阻 105。一些實施例中，屏蔽氧化層 103 由氧化矽製成，可藉由熱氧化(thermal oxidation)、化學氣相沉積(chemical vapor deposition, CVD)、原子層沉積(atomic layer deposition, ALD)、旋轉塗佈(spin coating)或前述之組合形成。在本實施例中，深井區 107 為 N 型，其內部具有 N 型摻質(例如磷(P)或砷(As))。

【0016】 根據一些實施例，如第 1B 圖所示，在半導體基底 101 上依序形成墊氧化層 109、氮化層 111 和圖案化光阻 113。值得注意的是，氮化層 111 和圖案化光阻 113 組成圖案化遮

罩，此圖案化遮罩暴露出一部分的墊氧化層 109。一些實施例中，墊氧化層 109 由氧化矽製成，氮化層 111 由氮化矽或氮氧化矽製成，且墊氧化層 109 和氮化層 111 可藉由熱氧化、化學氣相沉積(CVD)、原子層沉積(ALD)、旋轉塗佈或前述之組合形成。

【0017】 再參見第 1B 圖，利用圖案化光阻 113 和氮化層 111 組成的圖案化遮罩在半導體基底 101 內離子植入 N 型或 P 型的摻質，以在未覆蓋圖案化遮罩的半導體基底 101 內形成第一井區 115，然後，移除圖案化光阻 113。在本實施例中，第一井區 115 與深井區 107 皆為 N 型。

【0018】 值得注意的是，深井區 107 的底面與半導體基底 101 的頂面之間的距離為第一深度 D1，第一井區 115 的底面與半導體基底 101 的頂面之間的距離為第二深度 D2。一些實施例中，第一深度 D1 在約 9 微米至約 10 微米的範圍內，且第二深度 D2 約為 4 微米左右。此外，第一井區 115 的摻雜濃度大於深井區 107 的摻雜濃度，且第一井區 115 的長度大於深井區 107 的長度。

【0019】 隨後，如第 1C 圖所示，在氮化層 111 所暴露出的半導體基底 101 上，亦即在第一井區 115 上形成場氧化層 117，且場氧化層 117 的一部分嵌入半導體基底 101 且位於第一井區 115 中。一些實施例中，場氧化層 117 由氧化矽製成，且為藉由熱氧化法所形成的矽局部氧化(local oxidation of silicon, LOCOS)隔離結構。在其他實施例中，場氧化層 117 可以是藉由蝕刻和沉積製程所形成的淺溝槽隔離(shallow trench

isolation, STI)結構。在形成場氧化層 117 之後，移除第 1B 圖中所示之氮化層 111。此外，一些實施例中，第一井區 115 上的墊氧化層 109 在形成場氧化層 117 的製程期間，與場氧化層 117 結合，而未覆蓋第一井區 115 的墊氧化層 109 由於厚度與場氧化層 117 的差異太大，在第 1C 圖中並未繪示。

【0020】 再參見第 1C 圖，利用場氧化層 117 在半導體基底 101 內離子植入 N 型或 P 型的摻質，以形成鄰接第一井區 115 的第二井區 119。在本實施例中，第二井區 119 為 P 型，其內部具有 P 型摻質(例如硼(B))。在形成第二井區 119 之後，移除場氧化層 117 以及第二井區 119 上方的墊氧化層 109(未繪示)。一些實施例中，由於場氧化層 117 的一部分嵌入半導體基底 101，在移除場氧化層 117 之後，半導體基底 101 之第一井區 115 的頂面可能產生深度約 200 奈米至約 300 奈米的輕微凹陷(未繪示)。

【0021】 根據一些實施例，如第 1D 圖所示，在半導體基底 101 上依序形成墊氧化層 121 和圖案化的氮化層 123。明確而言，圖案化的氮化層 123 具有複數個開口 124a、124b 和 124c，分別暴露出底下的墊氧化層 121，這些開口 124a、124b 和 124c 定義出後續半導體裝置 100 中隔離區的位置。此外，墊氧化層 121 和氮化層 123 的材料和製程可分別相同或相似於墊氧化層 109 和氮化層 111，在此便不重複敘述。

【0022】 接續前述，如第 1E 圖所示，在墊氧化層 121 和氮化層 123 上形成圖案化光阻 125。一些實施例中，圖案化光阻 125 填滿氮化層 123 的開口 124b 和 124c，但圖案化光阻 125

同時具有複數個開口 126a、126b、126c 和 126d 位於氮化層 123 的開口 124a 內，亦即圖案化光阻 125 並未填滿氮化層 123 的開口 124a。圖案化光阻 125 的開口 126a、126b、126c 和 126d 定義出後續形成在第一井區 115 內之頂層 127 的位置。

【0023】 再參見第 1E 圖，利用圖案化光阻 125 在第一井區 115 內離子植入 N 型或 P 型的摻質，以形成頂層 127。在本實施例中，頂層 127 為 P 型，且由第一部分 127a、第二部分 127b、第三部分 127c 和第四部分 127d 組成。明確而言，頂層 127 的第一部分 127a、第二部分 127b 和第三部分 127c 的長度小於第四部分 127d，且第一部分 127a、第二部分 127b、第三部分 127c 和第四部分 127d 之間的距離皆相同。此外，深井區 107 延伸至頂層 127 的第四部分 127d 的正下方。

【0024】 在其他實施例中，頂層 127 可為一層連續的結構或由至少兩個不連續的部分所組成。一些實施例中，頂層 127 由至少兩個不連續的部分組成，且這些不連續的部分的長度由第一井區 115 朝向第二井區 119 之方向漸增。在又一實施例中，頂層 127 為一層連續的結構，且在剖面圖中，頂層 127 在垂直於半導體基底 101 之頂面的方向上的厚度自第一部份 127a 朝向第四部分 127d 的方向漸增。此外，頂層 127 的摻雜劑量約為 1×10^{13} 離子/平方公分左右。在形成頂層 127 之後，移除圖案化光阻 125。

【0025】 根據一些實施例，如第 1F 圖所示，利用氮化層 123 作為遮罩在半導體基底 101 上形成第一隔離結構 129a、第二隔離結構 129b 和第三隔離結構 129c。參見第 1E 和 1F 圖，第一

隔離結構 129a 形成於氮化層 123 的開口 124a 內，第二隔離結構 129b 形成於氮化層 123 的開口 124b 內，且第三隔離結構 129c 形成於氮化層 123 的開口 124c 內。值得注意的是，第一隔離結構 129a 完全覆蓋頂層 127，且第三隔離結構 129c 位於第一井區 115 和第二井區 119 的界面上方。此外，第一隔離結構 129a、第二隔離結構 129b 和第三隔離結構 129c 的材料和製程可相同或相似於場氧化層 117，在此便不重複敘述。

【0026】 接著，如第 1G 圖所示，可選擇性地在第一隔離結構 129a 和第二隔離結構 129b 上分別形成第一電極 131a 和第二電極 131b。一些實施例中，第一電極 131a 和第二電極 131b 可由多晶矽或其他合適的金屬導電材料製成，且可藉由化學氣相沉積 (CVD)、原子層沉積 (ALD)、低壓化學氣相沉積 (LPCVD)、電漿增強化學氣相沉積 (PECVD)、或其他合適的製程形成。值得注意的是，第一電極 131a 和第二電極 131b 可降低半導體裝置之電場的峰值，藉此提升半導體裝置的可靠度。

【0027】 根據一些實施例，如第 1H 圖所示，在第一井區 115 內形成第一摻雜區 133a、第二摻雜區 133b 和第三摻雜區 133c，以及在第二井區 119 內形成第四摻雜區 133d。在本實施例中，第一摻雜區 133a 和第三摻雜區 133c 為 N 型，且第二摻雜區 133b 和第四摻雜區 133d 為 P 型。此外，第一、二、三和四摻雜區 133a、133b、133c 和 133d 的摻質濃度約略相同，皆高於第一井區 115 和第二井區 119 的摻雜濃度。

【0028】 值得注意的是，第二摻雜區 133b 與頂層 127 的第四部分 127d 相隔一段距離 d ，且第二摻雜區 133b 的摻雜濃度

高於頂層 127 的摻雜濃度。一些實施例中，第二摻雜區 133b 的摻雜劑量在約 1×10^{15} 離子/平方公分左右。另外，在形成第一、二、三和四摻雜區 133a、133b、133c 和 133d 的製程中，可在第一電極 131a 的兩側形成間隙物 132。一些實施例中，間隙物 132 可由氧化矽、氮化矽或氮氧化矽形成，且可藉由沉積和蝕刻製程形成。

【0029】 接續前述，如第 1I 圖所示，在半導體基底 101 上形成層間介電(inter-layer dielectric, ILD)層 135。一些實施例中，層間介電層 135 係由氧化矽、氮化矽、磷矽酸鹽玻璃(phosphosilicate glass, PSG)、硼磷矽酸鹽玻璃(borophosphosilicate glass, BPSG)及/或其他合適的介電材料所形成。此外，層間介電層 135 可藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)、原子層沉積(ALD)、旋轉塗佈或其他合適的製程形成。

【0030】 在形成層間介電層 135 之後，在層間介電層 135 上形成汲極電極 139a、電極 139b、第一閘極電極 139c、源極電極 139d(又稱第一源極電極)和第二閘極電極 139e。此外，在層間介電層 135 內形成導孔(via)137a、137b、137c、137d、137e 和 137f。

【0031】 一些實施例中，汲極電極 139a 透過導孔 137a 和 137b 電性連接於第一摻雜區 133a，電極 139b 透過導孔 137c 電性連接於第一電極 131a，第一閘極電極 139c 透過導孔 137d 電性連接於第二摻雜區 133b，源極電極 139d 透過導孔 137e 電性連接於第三摻雜區 133c，以及第二閘極電極 139e 透過導

孔 137f 電性連接於第四摻雜區 133d。一些實施例中，源極電極 139d、汲極電極 139a 以及導孔 137a、137b、137c、137d、137e 和 137f 可包含金屬。此外，第一閘極電極 139c 和第二閘極電極 139e 在層間介電層 135 的上方藉由導線(未繪示)電性連接。

【0032】 第 2 圖是根據本發明的一些實施例，顯示半導體裝置 100 的上視圖，其中第 1I 圖是沿著第 2 圖中線 A-A' 的半導體裝置 100 的剖面示意圖。在本實施例中，半導體裝置 100 為接面場效電晶體。需注意的是，第 2 圖並未繪示出第一隔離結構 129a、第二隔離結構 129b、第三隔離結構 129c 和層間介電層 135 以上的材料層。

【0033】 第 3 圖是根據本發明的另一些實施例，顯示半導體裝置 200 的剖面示意圖。第 4 圖是根據本發明的另一些實施例，顯示半導體裝置 300 的上視圖，其中半導體裝置 300 包含半導體裝置 100 和半導體裝置 200。此外，第 1I 圖同時也是沿著第 4 圖中線 A-A'，顯示半導體裝置 100 的剖面示意圖，且第 3 圖是沿著第 4 圖中線 B-B'，顯示半導體裝置 200 的剖面示意圖。需注意的是第 4 圖並未繪示出第 1I 圖中隔離結構 129a、129b、129c 和層間介電層 135 以上的材料層，以及第 3 圖中隔離結構 229a、隔離結構 229b 和層間介電層 135 以上的材料層。

【0034】 在本實施例中，半導體裝置 300 包含半導體裝置 100 和 200，其中半導體裝置 100 為接面場效電晶體，半導體裝置 200 為橫向擴散金屬氧化物半導體場效電晶體 (laterally diffused metal oxide semiconductor, LDMOS)，且半導體裝置

300 可耐超高壓(約 700 伏特至約 800 伏特)。

【0035】 參見第 3 和 4 圖，第 4 圖的虛線範圍對應於半導體裝置 200 與半導體裝置 100 的第一井區 115 和第二井區 119 所在的位置，值得注意的是，半導體裝置 200 與半導體裝置 100 共用半導體基底 101、深井區 107、第一井區 115、第二井區 119、頂層 127、層間介電層 135 以及汲極電極 139a。一些實施例中，半導體裝置 200 在第一井區 115 內設置 N 型的第一摻雜區 133a，在第二井區 119 內設置 N 型的摻雜區 233b 和 P 型的第四摻雜區 133d。再者，半導體裝置 200 在第一井區 115 上設置隔離結構 229a，在第二井區 119 上設置隔離結構 229b，以及在半導體基底 101 上設置第三閘極電極 231。第三閘極電極 231 可由多晶矽或其他金屬導電材料製成，且第三閘極電極 231 兩側具有間隙物 232。

【0036】 此外，半導體裝置 200 在層間介電層 135 內設置導孔 237a、237b、237c、237d 和 237e，且在層間介電層 135 上設置汲極電極 139a、電極 239b、源極電極 239c(又稱第二源極電極)和電極 239d。汲極電極 139a 透過導孔 237a 和 237b 電性連接於第一摻雜區 133a，電極 239b 透過導孔 237c 電性連接於第三閘極電極 231，源極電極 239c 透過導孔 237d 電性連接於摻雜區 233b，以及電極 239d 透過導孔 237e 電性連接於第四摻雜區 133d。

【0037】 第 5 圖是根據本發明的一些實施例，顯示半導體裝置 100 中的頂層 127 與第二摻雜區 133b 之間的距離 d 與半導體裝置 100 的夾止電壓(pinch-off voltage)之間的關係之曲線

圖。

【0038】 如第 5 圖所示，頂層 127 與第二摻雜區 133b 之間的距離 d 與夾止電壓具有正向的線性關係。一些實施例中，距離 d 在約 0.34 微米至約 1.94 微米的範圍內，且半導體裝置 100，例如接面場效電晶體的夾止電壓在約 8 伏特至約 24 伏特的範圍內。由於接面場效電晶體的夾止電壓與距離 d 具有正向的線性關係，使得接面場效電晶體的夾止電壓可藉由調整距離 d 而被精準的控制，以符合不同產品應用的需求。

【0039】 第 6 圖是根據本發明的一些實施例，顯示半導體裝置 100 的一些範例之元件特性數據列表。如第 6 圖所示，範例一的目標夾止電壓為 8 伏特，範例二的目標夾止電壓為 18 伏特，範例三的目標夾止電壓為 19 伏特，三個範例的夾止電壓的實測結果皆符合其預定目標值。

【0040】 在考慮製程變異的狀況下，例如當頂層的摻雜濃度在比預定摻雜濃度高 10%至低 10%的範圍內時，範例一的夾止電壓在 7.12 伏特至 9.33 伏特的範圍內，範例二的夾止電壓在 17.1 伏特至 19.35 伏特的範圍內，範例三的夾止電壓在 18.05 伏特至 20.25 伏特的範圍內。整體而言，三個範例的夾止電壓的實測結果皆落在預定目標值的 0.8 倍至 1.2 倍的範圍內，因此，即使考慮製程變異所造成的影響，藉由調整距離 d 還是能精準地控制半導體裝置的夾止電壓。

【0041】 此外，由第 6 圖可得知，三個範例的崩潰電壓的實測值皆較預定目標值(770 伏特)高。在考慮製程變異的狀況下，例如當頂層的摻雜濃度在比預定摻雜濃度高 10%至低 10%

的範圍內時，三個範例的崩潰電壓也都高出預定目標值，故本發明實施例的半導體裝置可耐超高壓，例如約 700 伏特至約 800 伏特。

【0042】 本發明提供了半導體裝置的結構及其製造方法的一些實施例，特別是耐高壓(約 700 伏特至約 800 伏特)的接面場效電晶體。以往藉由在製程中調整接面場效電晶體之井區的摻雜濃度，使得接面場效電晶體產生特定的夾止電壓，以符合不同產品應用的需求。然而，井區的摻雜濃度不容易精準控制，使得產出的接面場效電晶體的夾止電壓容易與預期夾止電壓目標值之間產生不容忽視的誤差。

【0043】 為了更精準的調控產出的接面場效電晶體的夾止電壓，本發明的實施例在接面場效電晶體的第一井區內設置頂層，頂層的導電類型與電性連接至閘極電極的第二摻雜區的導電類型相同，且兩者之間相隔一段距離，此距離與接面場效電晶體的夾止電壓具有正向的線性關係，亦即當此距離越大，產出的接面場效電晶體的夾止電壓越高，因此，根據本發明實施例，藉由調整此距離可精準地控制接面場效電晶體的夾止電壓。

【0044】 此外，本發明的實施例在接面場效電晶體的第一井區下方設置深井區，且第一井區的一部分鄰接深井區。藉由此第一井區和深井區的設置，本發明的實施例可使接面場效電晶體的電流在垂直於半導體基底之表面的方向上較容易被夾止。

【0045】 以上概述數個實施例，以便在本發明所屬技術領

域中具有通常知識者可以更理解本發明實施例的觀點。在本發明所屬技術領域中具有通常知識者應該理解，他們能以本發明實施例為基礎，設計或修改其他製程和結構，以達到與在此介紹的實施例相同之目的及/或優勢。在本發明所屬技術領域中具有通常知識者也應該理解到，此類等效的製程和結構並無悖離本發明的精神與範圍，且他們能在不違背本發明之精神和範圍之下，做各式各樣的改變、取代和替換。

【符號說明】

【0046】

100、200、300：半導體裝置；

101：半導體基底；

103：屏蔽氧化層；

105、113、125：圖案化光阻；

107：深井區；

109、121：墊氧化層；

111、123：氮化層；

115：第一井區；

117：場氧化層；

119：第二井區；

124a、124b、124c、126a、126b、126c、126d：開口；

127：頂層；

127a：第一部分；

127b：第二部分；

127c：第三部分；

- 127d : 第四部分 ;
- 129a : 第一隔離結構 ;
- 129b : 第二隔離結構 ;
- 129c : 第三隔離結構 ;
- 131a : 第一電極 ;
- 131b : 第二電極 ;
- 132、232 : 間隙物 ;
- 133a : 第一摻雜區 ;
- 133b : 第二摻雜區 ;
- 133c : 第三摻雜區 ;
- 133d : 第四摻雜區 ;
- 135 : 層間介電層 ;
- 137a、137b、137c、137d、137e、137f、237a、237b、237c、
237d、237e : 導孔 ;
- 139a : 汲極電極 ;
- 139b : 電極 ;
- 139c : 第一閘極電極 ;
- 139d、239c : 源極電極 ;
- 139e : 第二閘極電極 ;
- 229a、229b : 隔離結構 ;
- 231 : 第三閘極電極 ;
- 233b : 摻雜區 ;
- 239b、239d : 電極 ;
- D1 : 第一深度 ;

D2：第二深度；

d：距離。

I641132

發明摘要

※ 申請案號： 106129312

※ 申請日： 106/08/29

※IPC 分類： *H01L 29/06* (2006.01)
H01L 29/808 (2006.01)
H01L 21/337 (2006.01)

【發明名稱】半 導 體 裝 置 及 其 製 造 方 法

Semiconductor devices and methods for
manufacturing the same

【中文】

半 導 體 裝 置 包 含 半 導 體 基 底 ， 具 有 第 一 導 電 類 型 ， 深 井 區 設 置 於 半 導 體 基 底 內 ， 具 有 與 第 一 導 電 類 型 相 反 的 第 二 導 電 類 型 ， 第 一 井 區 設 置 於 半 導 體 基 底 內 且 具 有 第 二 導 電 類 型 ， 其 中 第 一 井 區 位 於 深 井 區 上 方 ， 且 第 一 井 區 的 一 部 分 鄰 接 深 井 區 ， 第 一 摻 雜 區 、 第 二 摻 雜 區 和 第 三 摻 雜 區 設 置 於 第 一 井 區 內 ， 其 中 第 一 和 三 摻 雜 區 具 有 第 二 導 電 類 型 ， 且 第 二 摻 雜 區 具 有 第 一 導 電 類 型 ， 以 及 頂 層 設 置 於 第 一 井 區 內 且 具 有 第 一 導 電 類 型 ， 其 中 頂 層 位 於 第 一 和 二 摻 雜 區 之 間 ， 且 頂 層 與 第 二 摻 雜 區 之 間 相 隔 一 距 離 ， 其 中 前 述 之 距 離 與 半 導 體 裝 置 的 夾 止 電 壓 具 有 正 向 的 線 性 關 係 。

【英文】

The semiconductor devices include a semiconductor substrate having a first conductivity type; a deep well region disposed in the semiconductor substrate, having a second conductivity type opposite to the first conductivity type; a first well region disposed in the semiconductor substrate and having

the second conductivity type, wherein the first well region is located above the deep well region, and a portion of the first well region is adjacent to the deep well region; a first doped region, a second doped region and a third doped region disposed in the first well region, wherein the first and third doped regions have the second conductivity type, and the second doped region has the first conductivity type; and a top layer disposed in the first well region and having the first conductivity type, wherein the top layer is located between the first and second doped regions, and the top layer and the second doped region are separated by a distance, wherein the distance and the pinch-off voltage of the semiconductor device have a positive linear relationship.

【代表圖】

【本案指定代表圖】：第（ 11 ）圖。

【本代表圖之符號簡單說明】：

100：半導體裝置；

101：半導體基底；

107：深井區；

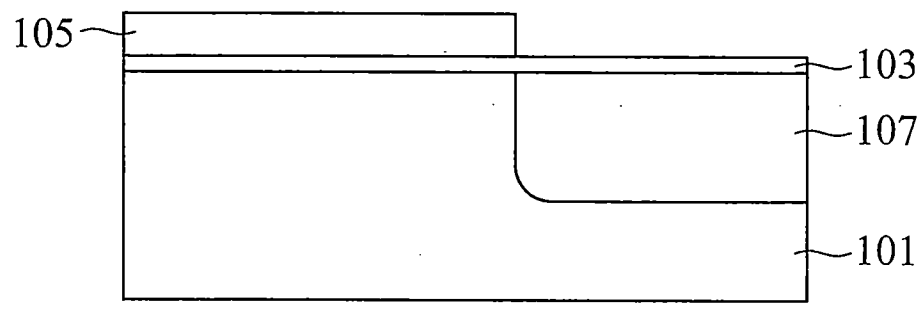
115：第一井區；

119：第二井區；

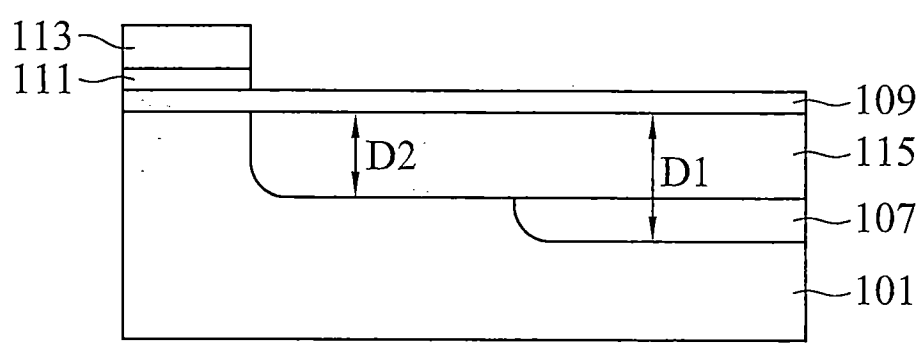
127：頂層；

127a：第一部分；

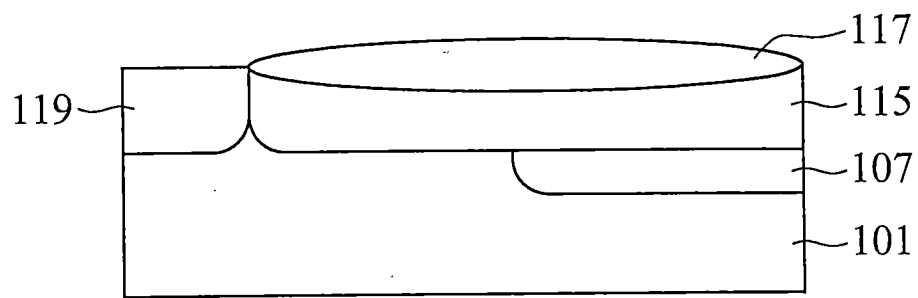
圖式



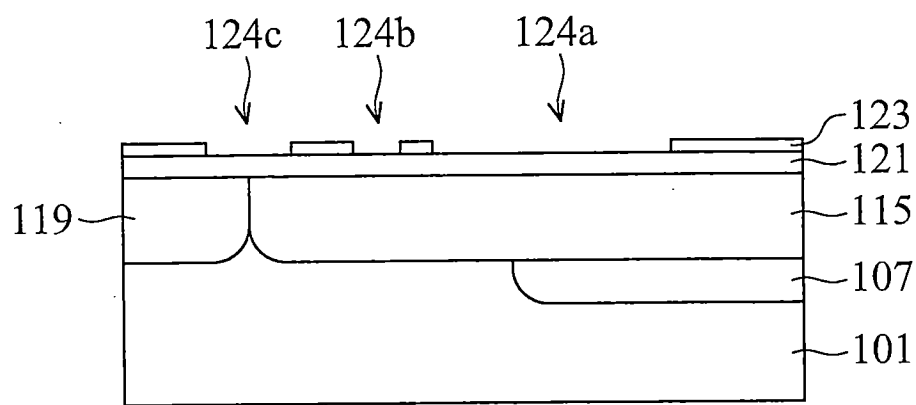
第 1A 圖



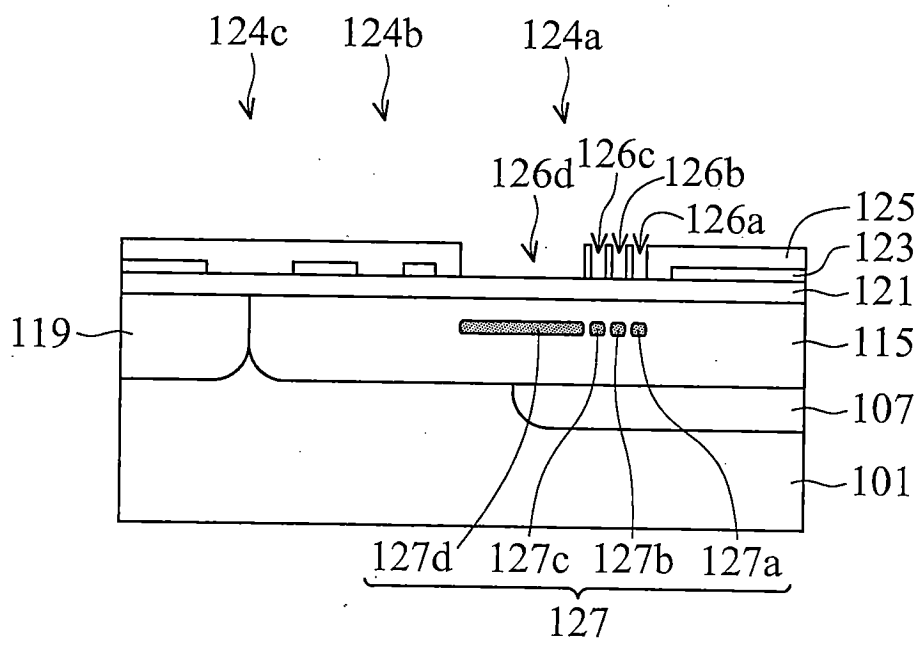
第 1B 圖



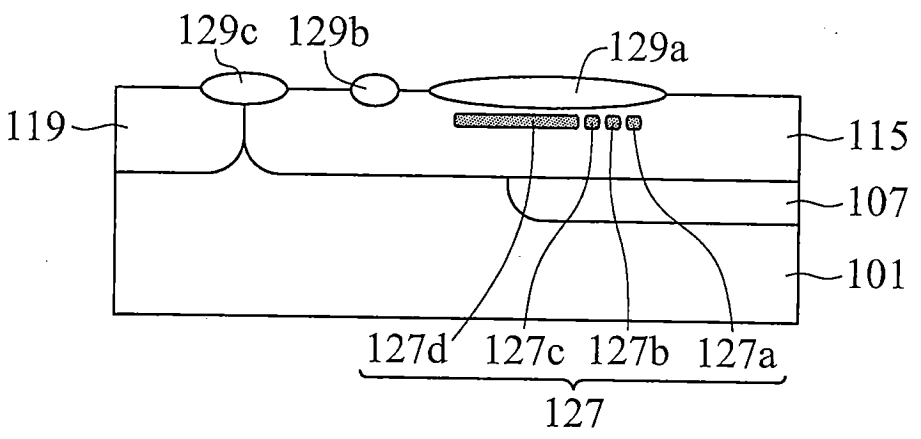
第 1C 圖



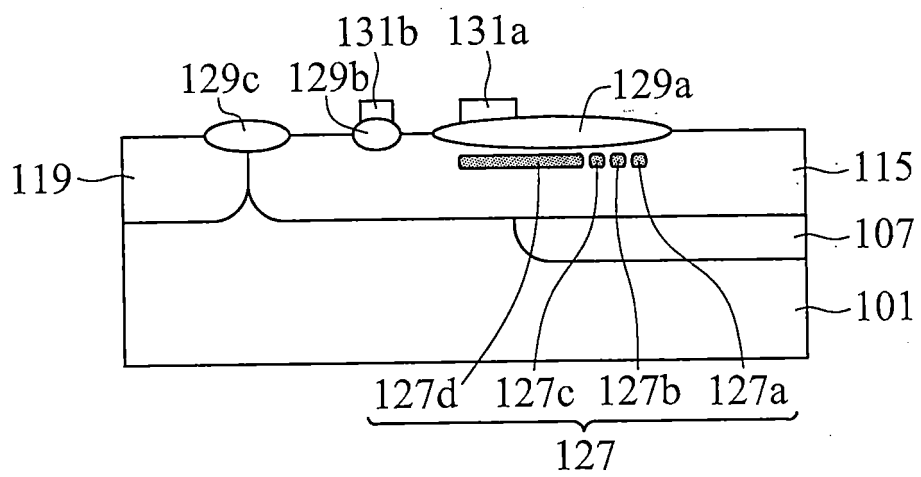
第 1D 圖



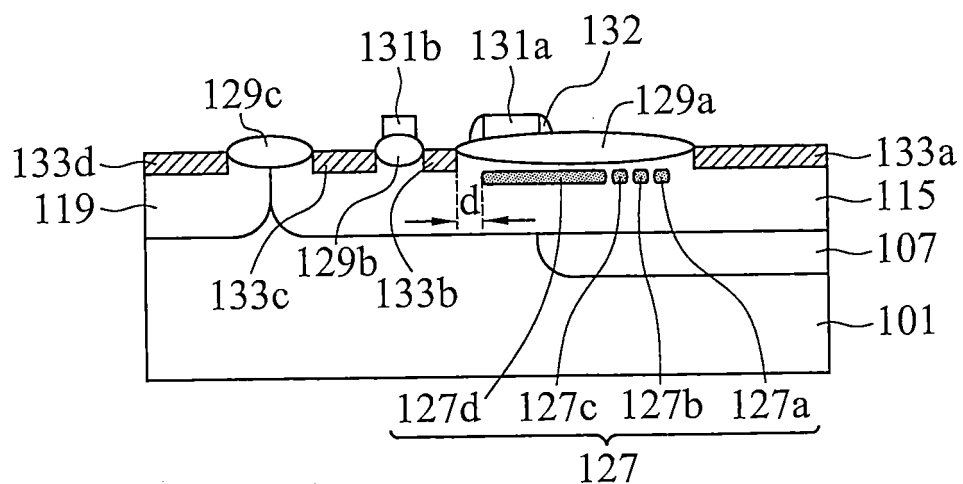
第 1E 圖



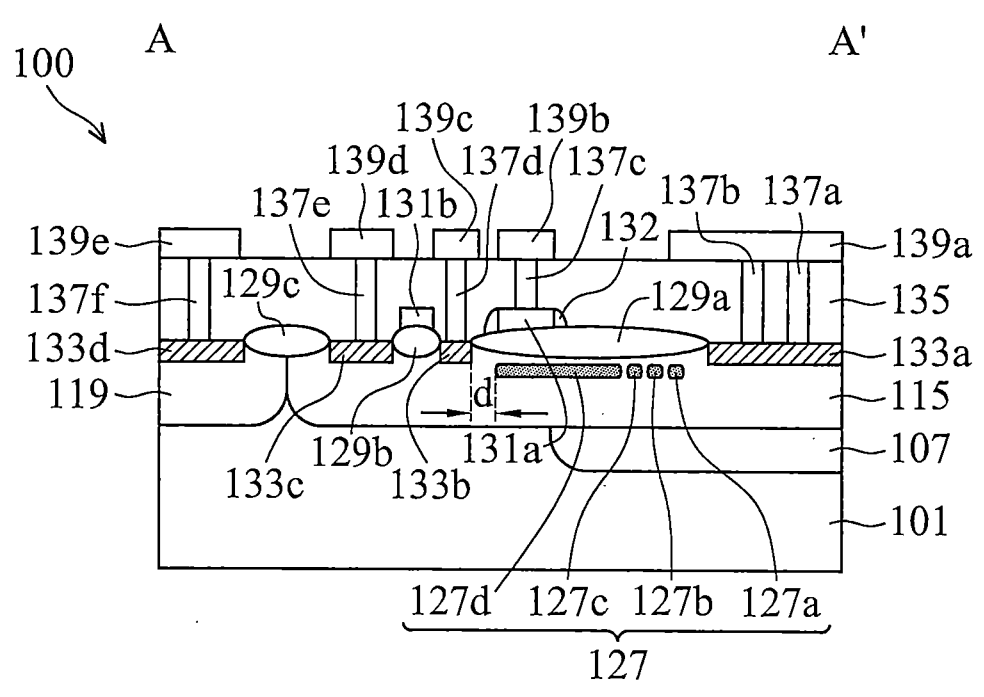
第 1F 圖



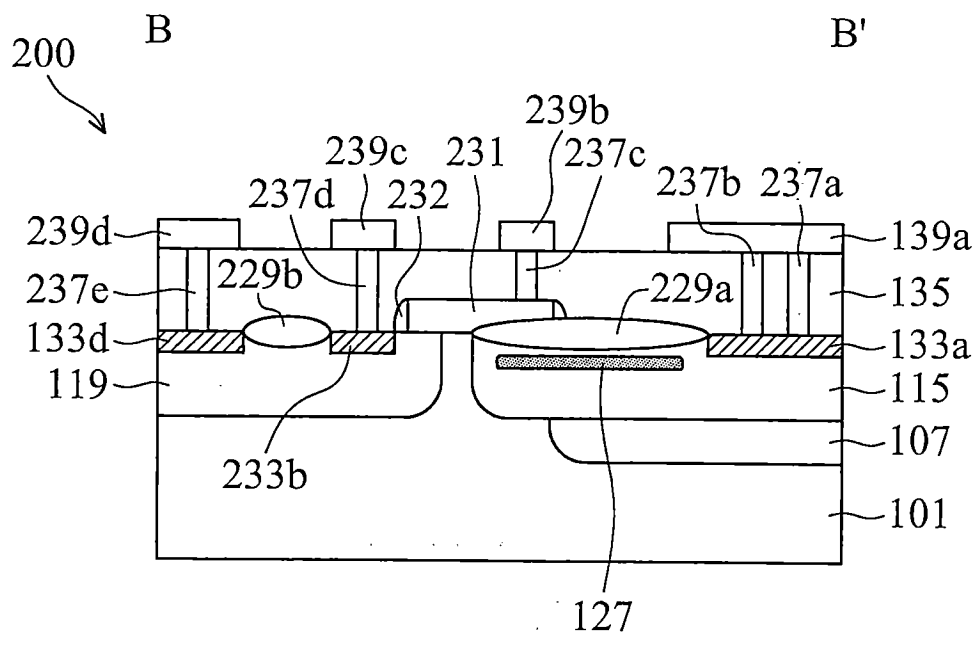
第 1G 圖



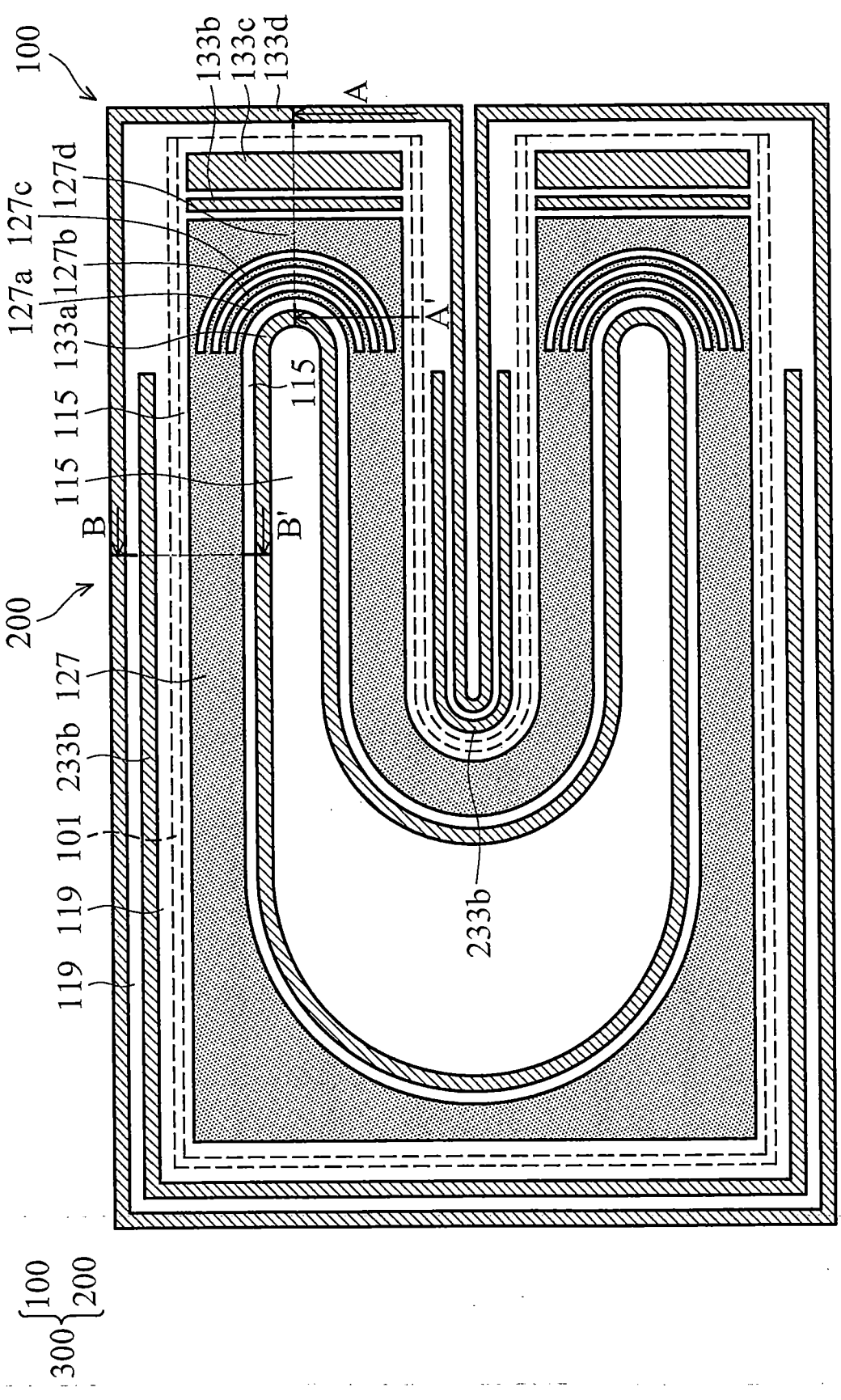
第 1H 圖



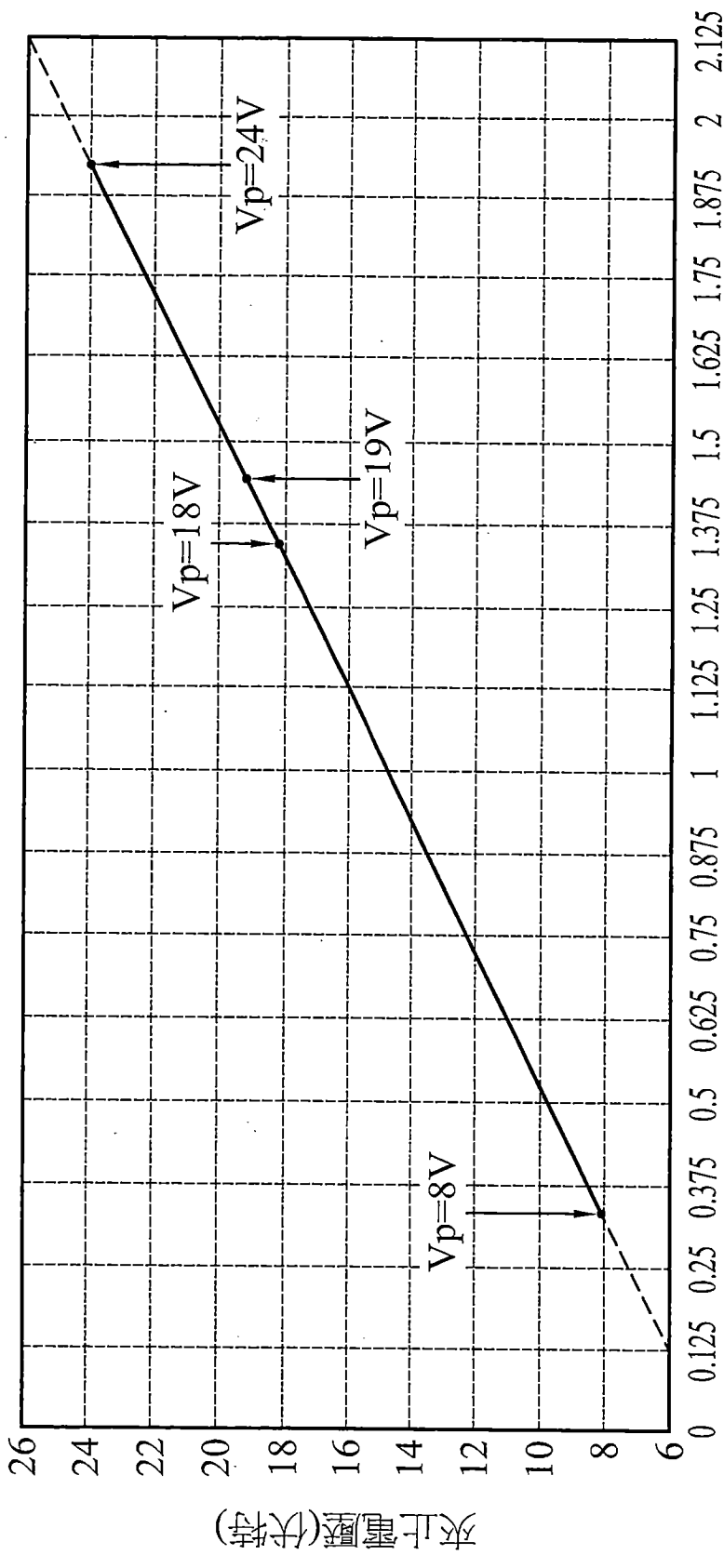
第 1 I 圖



第 3 圖



第4圖



頂層與第二摻雜區之間的距離d(微米)

第5圖

	參數	預定目標值 (伏特)	實際測量值 (伏特)	製程變異的影響(伏特)	
				頂層摻雜濃度 +10%	頂層摻雜濃度 -10%
範例一	夾止電壓	8	8	7.12	9.33
	崩潰電壓	>770	973	836	982
範例二	夾止電壓	18	18	17.1	19.35
	崩潰電壓	>770	976	839	992
範例三	夾止電壓	19	19	18.05	20.25
	崩潰電壓	>770	976	840	944

第6圖

the second conductivity type, wherein the first well region is located above the deep well region, and a portion of the first well region is adjacent to the deep well region; a first doped region, a second doped region and a third doped region disposed in the first well region, wherein the first and third doped regions have the second conductivity type, and the second doped region has the first conductivity type; and a top layer disposed in the first well region and having the first conductivity type, wherein the top layer is located between the first and second doped regions, and the top layer and the second doped region are separated by a distance, wherein the distance and the pinch-off voltage of the semiconductor device have a positive linear relationship.

【代表圖】

【本案指定代表圖】：第（ 11 ）圖。

【本代表圖之符號簡單說明】：

100：半導體裝置；

101：半導體基底；

107：深井區；

115：第一井區；

119：第二井區；

127：頂層；

127a：第一部分；

- 127b：第二部分；
- 127c：第三部分；
- 127d：第四部分；
- 129a：第一隔離結構；
- 129b：第二隔離結構；
- 129c：第三隔離結構；
- 131a：第一電極；
- 131b：第二電極；
- 132：間隙物；
- 133a：第一摻雜區；
- 133b：第二摻雜區；
- 133c：第三摻雜區；
- 133d：第四摻雜區；
- 135：層間介電層；
- 137a、137b、137c、137d、137e、137f：導孔；
- 139a：汲極電極；
- 139b：電極；
- 139c：第一閘極電極；
- 139d：源極電極；
- 139e：第二閘極電極；
- d：距離。

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

申請專利範圍

1. 一種半導體裝置，包括：
 - 一半導體基底，具有一第一導電類型；
 - 一深井區，設置於該半導體基底內，具有與該第一導電類型相反的一第二導電類型；
 - 一第一井區，設置於該半導體基底內且具有該第二導電類型，其中該第一井區位於該深井區上方，且該第一井區的一部分鄰接該深井區，且該第一井區的長度大於該深井區的長度；
 - 一第一摻雜區、一第二摻雜區和一第三摻雜區，設置於該第一井區內，其中該第一摻雜區和該第三摻雜區具有該第二導電類型，且該第二摻雜區具有該第一導電類型；以及
 - 一頂層，設置於該第一井區內且具有該第一導電類型，其中該頂層位於該第一摻雜區和該第二摻雜區之間，且該頂層與該第二摻雜區之間相隔一距離，其中該距離與該半導體裝置的夾止電壓具有一正向的線性關係。
2. 如申請專利範圍第1項所述之半導體裝置，其中該深井區延伸至該頂層的正下方。
3. 如申請專利範圍第1項所述之半導體裝置，更包括：一第一源極電極、一汲極電極和一第一閘極電極，設置於該半導體基底上，其中該第一摻雜區電性連接於該汲極電極，該第二摻雜區電性連接於該第一閘極電極，以及該第三摻雜區電性連接於該第一源極電極。
4. 如申請專利範圍第1項所述之半導體裝置，其中該第二摻雜

第 106129312 號申請專利範圍修正本

區的摻雜濃度高於該頂層的摻雜濃度。

5. 如申請專利範圍第1項所述之半導體裝置，其中該頂層包括至少兩個不連續部分且其中該些不連續部分的長度由該第一摻雜區朝向該第二摻雜區之方向漸增。
6. 如申請專利範圍第1項所述之半導體裝置，更包括：
 - 一第一隔離結構，設置於該第一摻雜區和該第二摻雜區之間，且該第一隔離結構完全覆蓋該頂層；以及
 - 一第二隔離結構，設置於該第二摻雜區和該第三摻雜區之間；
 - 一第一電極，設置於該第一隔離結構上；以及
 - 一第二電極，設置於該第二隔離結構上。
7. 如申請專利範圍第3項所述之半導體裝置，更包括：
 - 一第二井區，設置於該半導體基底內且側向鄰接於該第一井區，其中該第二井區具有該第一導電類型；
 - 一第四摻雜區，設置於該第二井區內且具有該第一導電類型；以及
 - 一第二閘極電極，設置於該半導體基底上，其中該第二閘極電極電性連接於該第四摻雜區和該第一閘極電極。
8. 如申請專利範圍第7項所述之半導體裝置，更包括：
 - 一橫向擴散金屬氧化物半導體場效電晶體，包括：一第二源極電極、一第三閘極電極和該汲極電極，設置於該半導體基底上，其中該第三閘極電極覆蓋一部分的該第一井區、一部分的該第二井區和該第一井區與該第二井區之間一部分的該半導體基底。

第 106129312 號申請專利範圍修正本

9. 一種半導體裝置的製造方法，包括：

提供一半導體基底，具有一第一導電類型；

在該半導體基底內形成一深井區，該深井區具有與該第一導電類型相反的一第二導電類型；

在該半導體基底內形成一第一井區，該第一井區具有該第二導電類型，其中該第一井區形成於該深井區的上方且該第一井區的一部分鄰接該深井區，其中該深井區的深度大於該第一井區的深度，且該深井區的摻雜濃度小於該第一井區的摻雜濃度；

在該第一井區內形成一第一摻雜區、一第二摻雜區和一第三摻雜區，其中該第一摻雜區和該第三摻雜區具有該第二導電類型，且該第二摻雜區具有該第一導電類型；

在該第一井區內形成一頂層，該頂層具有該第一導電類型，其中該頂層位於該第一摻雜區和該第二摻雜區之間，且該頂層與該第二摻雜區之間相隔一距離，其中該距離與該半導體裝置的一夾止電壓具有一正向的線性關係；以及

在該半導體基底上形成一源極電極、一汲極電極和一第一閘極電極；

其中調整該距離，使得該半導體裝置的該夾止電壓達到一預定目標值。

10. 如申請專利範圍第9項所述之半導體裝置的製造方法，其中該第一摻雜區電性連接於該汲極電極，該第二摻雜區電性連接於該第一閘極電極，以及該第三摻雜區電性連接於該源極電極。

第 106129312 號申請專利範圍修正本

11. 如申請專利範圍第9項所述之半導體裝置的製造方法，其中該第一摻雜區、該第二摻雜區和該第三摻雜區的摻雜濃度大於該頂層的摻雜濃度。
12. 如申請專利範圍第9項所述之半導體裝置的製造方法，更包括：
 - 在該半導體基底內形成一第二井區，其中該第二井區側向鄰接於該第一井區，且該第二井區具有該第一導電類型；
 - 在該第二井區內形成一第四摻雜區，該第四摻雜區具有該第一導電類型；以及
 - 在該半導體基底上形成一第二閘極電極，該第二閘極電極電性連接於該第四摻雜區和該第一閘極電極。