



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

231311

(11) (B1)

(51) Int. Cl.³

G 06 F 15/16

(22) Přihlášeno 16 02 82

(21) (PV 1059-82)

(40) Zveřejněno 15 03 84

(45) Vydáno 15 05 86

(75)

Autor vynálezu

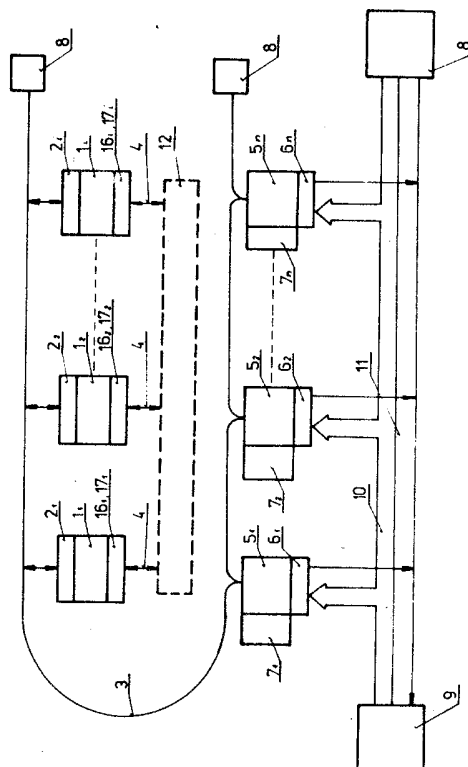
POPOV PETR ing., SEVERA JOSEF ing., BRABEC JIŘÍ ing., PRAHA

- (54) Způsob rovnocenného přístupu skupiny logických procesorů k vstupním a výstupním dvouhodnotovým signálům z technologického procesu a zapojení obvodu k jeho provádění

Předmětem vynálezu je způsob rovnocenného přístupu skupiny logických procesorů k vstupním a výstupním dvouhodnotovým signálům z technologického procesu a zapojení obvodu k jeho provádění.

Podstata vynálezu spočívá v tom, že kterýkoli z logických procesorů, chce-li získat datovou linku komunikace se stanicemi diskrétních signálů, produkuje vlastní signál linkové kvitance právě tehdy, když se na trase linkových adres objeví hodnota korespondující s jeho vlastní přiřazenou adresou.

Doba trvání linkové kvitance je vnějšími obvody časově omezena, aby žádný z logických procesorů nemohl trvale blokovat ostatním logickým procesorům přístup k datové lince.



Vynález se týká způsob rovnocenného přístupu skupiny logických procesorů k výstupním a vstupním dvouhodnotovým signálům z technologického procesu a zapojení obvodu k jeho provádění.

Pro řízení a automatizaci technologických procesů se v poslední době stále častěji nahrazují releové a pevně propojené bezkontaktní logické systémy volně programovatelnými automaty - logickými procesory.

Každý z takovýchto automatů je vybaven svým interfejsem pro styk s procesem na úrovni dvouhodnotových, tj. logických signálů, přičemž počet vstupů a výstupů každého automatu je omezen. Řízení velkých objektů je proto možné pouze s použitím většího počtu takovýchto automatů, což ovšem vyvolává značné potíže při řešení úloh optimálního rozdělení vstupů a výstupů z/do procesu mezi jednotlivými automaty s ohledem na jejich prostorové rozmístění a dělbu úloh mezi nimi. Pro zajištění spolupráce více takovýchto automatů je pak zpravidla nutné rozmnožovat některé vstupy a výstupy a zapojovat je do více automatů, což vede k složitějším zapojením, narůstání kabeláže a snížení spolehlivosti.

Výše uvedené nevýhody odstraňuje způsob rovnocenného přístupu skupiny logických procesorů k vstupním a výstupním dvouhodnotovým signálům z technologického procesu podle vynálezu, který řeší daný úkol tak, že linkový komutátor periodicky generuje cyklickou posloupnost linkových adres se změnou v jednom řádu a v době, kdy generuje linkovou adresu odpovídající adrese jednoho ze skupiny logických procesorů, je z tohoto logického procesoru generován vlastní signál linkové kvitance a po časově omezenou dobu jeho aktivace logický procesor adresuje libovolnou ze stanic diskretních signálů, do níž jsou zavedeny vstupní a výstupní dvouhodnotové signály z technologického procesu.

Podstata zapojení obvodu k provádění způsobu podle vynálezu spočívá v tom, že skupiny logických procesorů se svými paměťmi a kanálovými interfejsy je jednak okruhově spojena datovou linkou vzájemně mezi sebou a jednak se skupinou stanic diskretních signálů, se staničními interfejsy a vstupními a výstupními převodníky, jejichž prostřednictvím jsou jednotlivé stanice diskretních signálů spojeny s řízeným objektem. Všechny logické procesory jsou dále svými kanálovými interfejsy okruhově spojeny prostřednictvím trasy linkových adres a trasy linkových kvitancí s linkovým komutátorem.

Přínosem způsobu a zapojení dle vynálezu je možnost modulárního řešení řízení menších i velmi rozsáhlých objektů více logickými automaty při zajištění rovnocenného přístupu všech použitých automatů ke všem datům z procesu bez rozmnožování vstupů a výstupů a při podstatném zmenšení rozsahu kabeláže oproti dosud známým způsobům, dále zvýšení spolehlivosti a účinná filtrace poruchových signálů.

Na přiložených výkresech je znázorněno zapojení obvodu k provádění způsobu podle vynálezu, kde na obr. 1 je celkové blokové schéma a na obr. 2 je blokové schéma části staničních interfejsů stanic diskretních signálů, která zajišťuje účinnou filtraci poruchových signálů a komunikaci se soustavou logických procesorů.

Skupina stanic $1_1, 1_2 - 1_n$ diskretních signálů (obr. 1) se staničními interfejsy $2_1, 2_2 - 2_n$ a vstupními a výstupními převodníky $16_1, 16_2 - 16_n$ a $17_1, 17_2 - 17_n$ je okruhově spojena mezi sebou a se skupinou logických procesorů $5_1, 5_2 - 5_n$ prostřednictvím datové linky 3 s blokem 8 impedenčního ukončení. Prostřednictvím vstupních a výstupních převodníků $16_1, 16_2 - 16_n$ a $17_1, 17_2 - 17_n$ jsou jednotlivé stanice $1_1, 1_2 - 1_n$ diskretních signálů spojeny s řízeným objektem 12.

Všechny logické procesory $5_1, 5_2 - 5_n$ se svými paměťmi $7_1, 7_2 - 7_n$ jsou svými kanálovými interfejsy $6_1, 6_2 - 6_n$ okruhově spojeny prostřednictvím trasy 10 linkových adres a trasy 11 linkových kvitancí s linkovým komutátorem 9. Trasa je ukončena blokem 8 impedenčního ukončení.

Každý ze staničních interfejsů $2_1, 2_2 - 2_n$ (obr. 2) stanic $1_1, 1_2 - 1_n$ diskretních signálů obsahuje dvě jednotkové paměti $13, 14$, propojené pomocí trasy 18 binární adresy se soustavou vstupních a výstupních převodníků 16 a 17 , které jsou zároveň propojeny s adresovým čítačem 15 . Adresový čítač 15 je vzájemně propojen s časovacím obvodem 19 a vysílačem 20 a s oběma jednotkovými pamětmi $13, 14$.

Obvod linkového komutátoru 2 generuje na zvolené frekvenci cyklicky linkové adresy v trase 10 v binárním kódu se změnou v jednom řádu. Tato periodická činnost je zastavena, je-li aktivní signál v trase 11 linkové kvitance, na který jsou napojeny všechny procesory $5_1, 5_2 - 5_n$.

Kterýkoliv z logických procesorů $5_1, 5_2 - 5_n$, chce-li získat datovou linku 3 komunikace se stanicemi $1_1, 1_2 - 1_n$ diskretních signálů, produkuje vlastní signál linkové kvitance v trase 11 právě tehdy, když se na trase 11 linkových adres objeví hodnota korespondující s jeho vlastní přiřazenou adresou. Doba trvání linkové kvitance v trase 11 je vnějšími obvody časově omezena, aby žádný z logických procesorů $5_1, 5_2 - 5_n$ nemohl trvale blokovat ostatním logickým procesorům přístup k datové lince 3 .

Logický procesor 5 , který zastavil linkovou adresu v trase 10 na hodnotě, odpovídající jeho adrese signálem linkové kvitance v trase 11 , se po dobu časově omezeného intervalu, ve kterém je aktivní signál linkové kvitance v trase 11 , stává majitelem datové linky 3 . Tento princip časového multiplexování linkových adres zajišťuje, že v kterémkoliv časovém intervalu pouze jeden logický procesor 5 pracuje na okružové datové lince 3 .

Každý logický procesor 5 , který získal datovou linku 3 , je schopen adresovat kteroukoliv ze stanic $1_1, 1_2 - 1_n$ diskretních signálů a řídit s takto vybranou stanicí oboustrannou komunikaci. Každá ze stanic $1_1, 1_2 - 1_n$ diskretních signálů obsahuje soustavu vstupních převodníků 16 , umožňujících převod signálů 4 z procesu na vhodnou elektronickou úroveň, dále soustava výstupních převodníků 17 , upravujících logické výstupní signály na vhodnou výkonovou úroveň pro vstup do procesu. Adresový čítač 15 periodicky generuje binární adresu v trase 18 propojenou s oběma jednotkovými pamětmi $13, 14$ a se vstupními a výstupními převodníky 16 a 17 , a tím periodicky testuje logické hodnoty všech těchto převodníků a porovnává je s hodnotami uloženými v první paměti 13 .

Jsou-li porovnávané hodnoty shodné, ponechá adresový čítač 15 obsah první paměti 13 nezměněn a současně nuluje obsah příslušné buňky druhé paměti 14 . Nejsou-li porovnávané hodnoty stejné a v druhé paměti 14 je na odpovídající adrese logická nula, přepisuje adresový čítač 15 tuto hodnotu na hodnotu logická jedna, zatímco nejsou-li shodné a v druhé paměti 14 je na odpovídající adrese logická hodnota jedna, pak adresový čítač 15 jednak nuluje tuto hodnotu, jednak nahrazuje starou hodnotu v adresované buňce první paměti 13 novou hodnotou testované proměnné vstupního převodníku 16 , resp. výstupního převodníku 17 .

Po dokončení obsluhy všech adres čeká adresový čítač 15 po dobu nastavenou časovacím členem 19 a pak opakuje svou činnost od první adresy. Tím je zajištěno ignorování všech změn logických signálů s dobou trvání kratší než zvolený časový interval, čímž se velmi účinně filtrují poruchové signály způsobené elektrickým rušením a oscilací kontaktních prvků.

Modul staničního interfejsu 2 dále zajišťuje prostřednictvím vysílače 20 malodráťovou komunikaci po datové lince 3 s externím logickým procesorem, resp. logickými procesory $5_1, 5_2 - 5_n$ formou dvoustanného blokového přenosu vstupních a výstupních logických signálů.

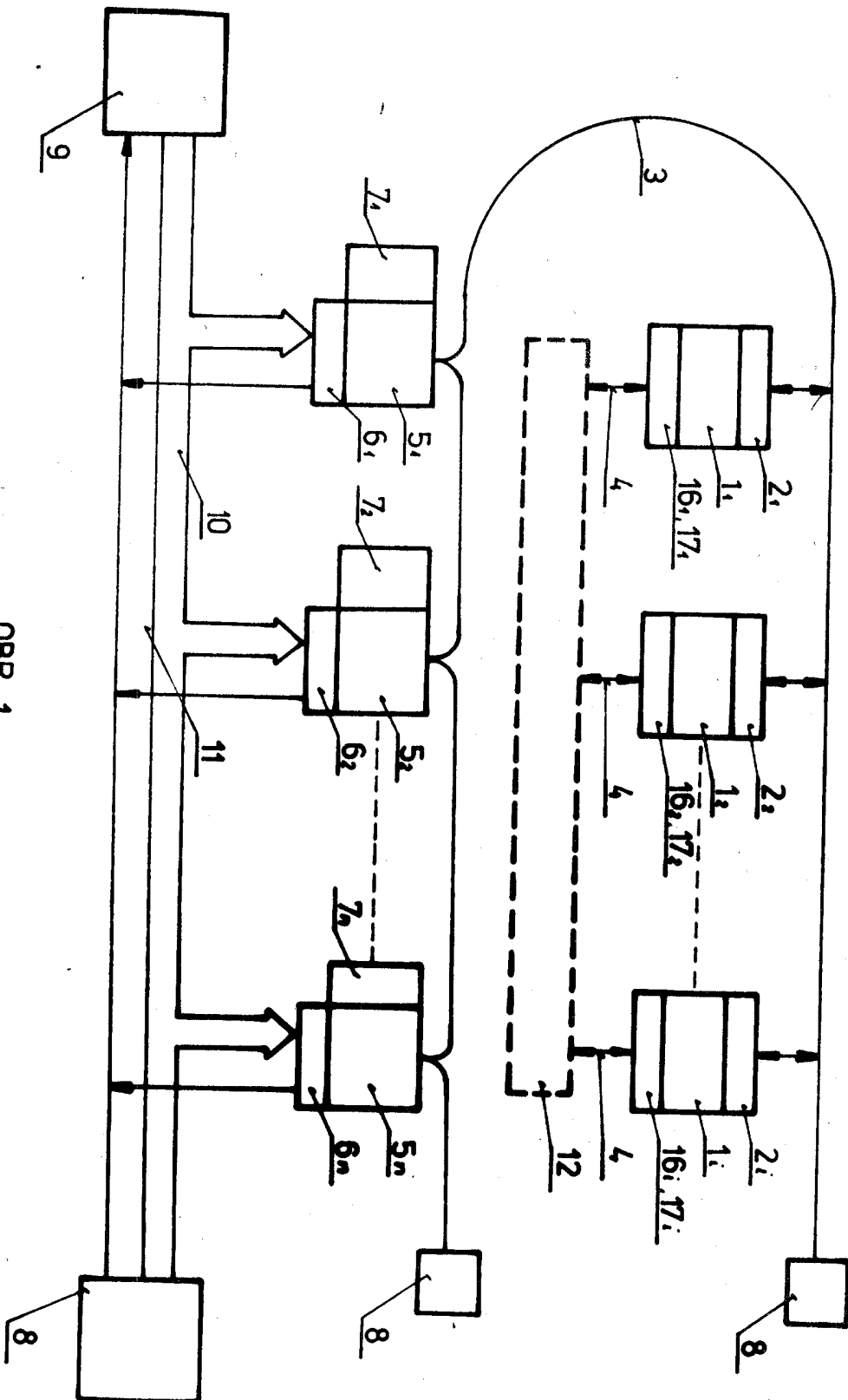
Způsob a zapojení dle vynálezu umožňuje řešení složitých úloh logického řízení rozdělením na více procesorů, přičemž všechny procesory mají rovnocenný přístup ke všem vstupním a výstupním signálům procesu.

PŘEDMĚT VYNÁLEZU

1. Způsob rovnocenného přístupu skupiny logických procesorů k vstupním a výstupním dvouhodnotovým signálům z technologického procesu, vyznačený tím, že linkový komutátor periodicky generuje cyklickou posloupnost linkových adres se změnou v jednom řádu a v době, kdy generuje linkovou adresu odpovídající adrese jednoho ze skupiny logických procesorů, je z tohoto logického procesoru generován vlastní signál linkové kvitance a po časově omezenou dobu jeho aktivace logický procesor adresuje libovolnou ze stanic ($1_1, 1_2, \dots, 1_n$) diskretních signálů, do níž jsou zavedeny vstupní a výstupní dvouhodnotové signály z technologického procesu.

2. Zapojení obvodu k provádění způsobu podle bodu 1, vyznačené tím, že skupina logických procesorů ($5_1 - 5_n$) se svými pamětmi ($7_1 - 7_n$) a kanálovými interfejsy ($6_1 - 6_n$) je jednak okruhově spojena datovou linkou (3) vzájemně mezi sebou a jednak se skupinou stanic ($1_1 - 1_n$) diskretních signálů se staničními interfejsy ($2_1 - 2_n$) a vstupními a výstupními převodníky ($16_1 - 16_n$) a ($17_1 - 17_n$), jejichž prostřednictvím jsou jednotlivé stanice ($1_1 - 1_n$) diskretních signálů spojeny s řízeným objektem (12) a dále všechny logické procesory ($5_1 - 5_n$) jsou svými kanálovými interfejsy ($6_1 - 6_n$) okruhově spojeny prostřednictvím trasy (10) linkových adres a trasy (11) linkových kvitancí s linkovým komutátorem (9).

3. Zapojení obvodu podle bodu 2, vyznačené tím, že každý ze staničních interfejsů ($2_1 - 2_n$) stanic ($1_1 - 1_n$) diskretních signálů obsahuje dvě jednobitové paměti (13, 14) propojené pomocí trasy (18) binární adresy se soustavou vstupních a výstupních převodníků (16) a (17), které jsou zároveň propojeny s adresovým čítačem (15), přičemž adresový čítač (15) je vzájemně propojen s časovacím obvodem (19) a vysílačem (20) a s oběma jednobitovými pamětmi (13, 14).



OBR. 1

