(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월27일
(11) 등록번호 10-1454884
(24) 등록일자 2014년10월20일

(51) 국제특허분류(Int. Cl.)
H01L 23/12 (2006.01) *H01L 23/48* (2006.01)
(21) 출원번호 10-2007-0127172
(22) 출원일자 2007년12월07일
심사청구일자 2012년11월16일
(65) 공개번호 10-2008-0053234
(43) 공개일자 2008년06월12일
(30) 우선권주장
11/608,829 2006년12월09일 미국(US)
(56) 선행기술조사문헌
JP2002009235 A*
JP2006216776 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
스태츠 칩팩 엘티디
싱가포르 768442 5 이션 스트리트 23
(72) 발명자
김오석
경기도 안양시 동안구 달안로 62, 샛별 아파트 606동 206호 (비산동)
하종우
서울특별시 서초구 강남대로30길 77, 현대 빌라 202 (양재동)
주종욱
경기도 이천시 부발읍 경충대로 2227, 1동 609호 (거평아파트)
(74) 대리인
박장원

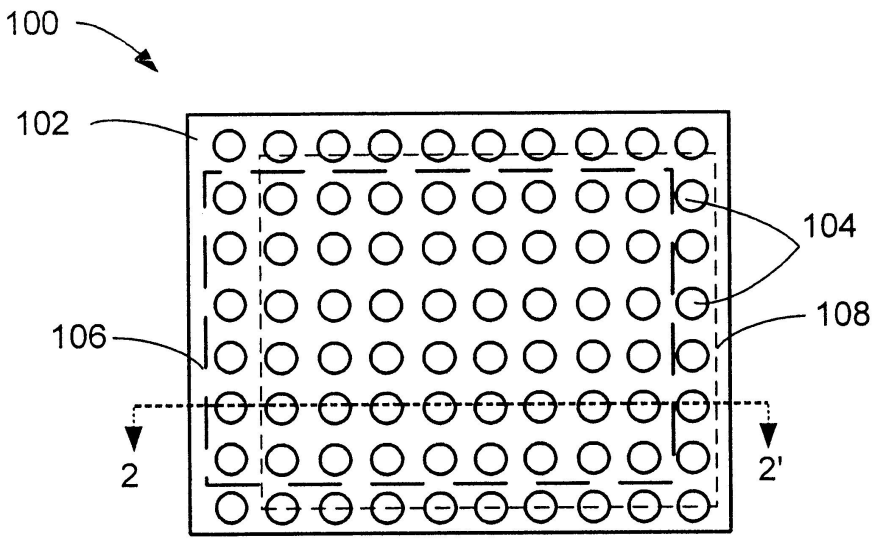
전체 청구항 수 : 총 10 항 심사관 : 박귀만

(54) 발명의 명칭 **적층된 집적회로 패키지 인 패키지 시스템**

(57) 요 약

본 발명은 적층된 집적회로 패키지-인-패키지 시스템(800)을 제공하는바, 패키지-인-패키지 시스템(800)에서는, 탑 콘택(204)을 갖는 기판(202)을 형성하고, 제 1 단자(216)를 갖는 제 1 디바이스(214)를 상기 기판(202) 위에 마운팅하고, 제 2 단자(224)를 갖는 제 2 디바이스(220)를 옵셋 구성으로 상기 제 1 디바이스(214) 위에 적층하고, 상기 제 1 단자(216)의 아래에 있는 상기 탑 콘택(204)과 상기 제 1 단자(216)를 연결하고, 및 상기 제 2 단자(224)의 아래에 있는 상기 탑 콘택(204)과 상기 제 2 단자(224)를 연결한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

적층된 집적회로 패키지-인-패키지 시스템을 제조하는 방법에 있어서,

탑 콘택을 갖는 기판을 형성하는 단계;

제 1 다이 및 제 1 단자를 갖는 제 1 디바이스를 상기 기판 위에 마운팅하는 단계로서, 상기 제 1 단자는 제 1 토대부와 상기 제 1 토대부 위의 제 1 기둥부를 갖는 L-자 형태의 구조를 갖는 단계;

제 2 다이 및 제 2 단자를 갖는 제 2 디바이스를 옵셋 구성으로 상기 제 1 디바이스 위에 적층하는 단계로서, 상기 제 2 단자는 제 2 토대부와 상기 제 2 토대부 위의 제 2 기둥부를 갖는 L-자 형태의 구조를 갖는 단계;

상기 제 1 단자의 아래에 있는 상기 탑 콘택과 상기 제 1 단자의 상기 제 1 토대부를 연결하는 단계;

상기 제 2 단자의 아래에 있는 상기 탑 콘택과 상기 제 2 단자의 상기 제 2 토대부를 연결하는 단계;

상기 제 1 다이를 상기 제 1 단자의 상기 제 1 토대부에 연결하는 단계; 및상기 제 2 다이를 상기 제 2 단자의 상기 제 2 토대부에 연결하는 단계;

를 포함하는 적층된 집적회로 패키지-인-패키지 시스템 제조 방법.

청구항 2

제 1 항에 있어서,

비평면 사이드를 갖는 디바이스 캡슐을 형성하는 것을 포함하는 제 1 디바이스를 형성하는 단계

를 더 포함하는 적층된 집적회로 패키지-인-패키지 시스템 제조 방법.

청구항 3

제 1 항에 있어서,

디바이스 캡슐 내에서 보강재를 갖는 제 1 디바이스를 형성하는 단계를 더 포함하는 적층된 집적회로 패키지-인-패키지 시스템 제조 방법.

청구항 4

제 1 항에 있어서,

제 1 비평면 사이드를 갖는 제 1 디바이스 캡슐을 구비한 제 1 디바이스를 형성하는 단계; 및

상기 제 1 비평면 사이드와 상보적인 제 2 비평면 사이드를 갖는 제 2 디바이스 캡슐을 구비한 제 2 디바이스를 형성하는 단계

를 더 포함하는 적층된 집적회로 패키지-인-패키지 시스템 제조 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 디바이스 및 제 2 디바이스를 캡슐화하는 단계

를 더 포함하여 이루어진 적층된 집적회로 패키지-인-패키지 시스템 제조 방법.

청구항 6

적층된 집적회로 패키지-인-패키지 시스템에 있어서,

탑 콘택을 갖는 기판;

제 1 다이 및 제 1 단자를 가지며 상기 기판 위에 있는 제 1 디바이스로서, 상기 제 1 단자는 제 1 토대부와 상기 제 1 토대부 위의 제 1 기둥부를 갖는 L-자 형태의 구조를 갖는 상기 제 1 디바이스;

제 2 다이 및 제 2 단자를 가지며, 옵셋 구성되어 상기 제 1 디바이스 위에 있는 제 2 디바이스로서, 상기 제 2 단자는 제 2 토대부와 상기 제 2 토대부 위의 제 2 기둥부를 갖는 L-자 형태의 구조를 갖는 상기 제 2 디바이스;

상기 제 1 단자 아래의 상기 탑 콘택과 상기 제 1 단자의 상기 제 1 토대부 사이에 위치한 제 1 내부 배선;

상기 제 2 단자 아래의 상기 탑 콘택과 상기 제 2 단자의 상기 제 2 토대부 사이에 위치한 제 2 내부 배선;

상기 제 1 다이를 상기 제 1 단자의 상기 제 1 토대부에 연결하는 제 1 본드 와이어; 및

상기 제 2 다이를 상기 제 2 단자의 상기 제 2 토대부에 연결하는 제 2 본드 와이어;를 포함하여 이루어진 적층된 집적회로 패키지-인-패키지 시스템.

청구항 7

제 6 항에 있어서,

상기 제 1 디바이스는, 비평면 사이드를 구비한 디바이스 캡슐을 갖는 것을 특징으로 하는 적층된 집적회로 패키지-인-패키지 시스템.

청구항 8

제 6 항에 있어서,

상기 제 1 디바이스는, 디바이스 캡슐 내에서 보강재를 갖는 것을 특징으로 하는 적층된 집적회로 패키지-인-패키지 시스템.

청구항 9

제 6 항에 있어서,

상기 제 1 디바이스는, 제 1 비평면 사이드를 구비한 제 1 디바이스 캡슐을 가지며; 그리고

상기 제 2 디바이스는, 상기 제 1 비평면 사이드와 상보적인 제 2 비평면 사이드를 갖는 제 2 디바이스 캡슐을 갖는 것을 특징으로 하는 적층된 집적회로 패키지-인-패키지 시스템.

청구항 10

제 6 항에 있어서,

상기 제 1 디바이스 및 상기 제 2 디바이스를 커버하는 패키지 캡슐을 더 포함하는 것을 특징으로 하는 적층된 집적회로 패키지-인-패키지 시스템.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 관련출원들에 대한 상호참조

[0002] 본 출원은, 본 출원과 함께 미국에 출원중인 미국특허출원 번호 11/608,827과 관련된 발명적 특징(subject matter)을 내포하고 있다. 이 미국 특허출원은 STATS ChipPAC Ltd.에 양도되었다.

[0003] 또한, 본 출원은 본 출원과 함께 미국에 출원중인 미국특허출원과 관련된 발명적 특징을 내포하고 있다. 상기 미국특허출원은 STATS ChipPAC Ltd 에 양도되었다.

[0004] 일반적으로 본 발명은 집적회로 패키지에 관한 것이며, 보다 특별하게는 적층된 집적회로 패키지-인-패키지(Package-In-Package) 시스템에 관한 것이다.

배 경 기 술

[0005] 전자 제품들은 집적회로 패키지에 더욱 많은 집적 회로를 요구하고 있지만, 역설적이게도 증가된 집적회로 용적

(content)을 위한 시스템 내의 물리적인 공간은 좁아지고 있다. 몇몇 기술들은 주로 각각의 집적회로에 더 많은 기능들을 집적시키는데 촛점을 두고 있다. 다른 기술들은, 이러한 집적회로들을 하나의 패키지에 적층하는 것에 촛점을 두고 있다. 비록 이러한 접근방식들은 하나의 집적회로 내에 더 많은 기능들을 제공하지만, 높이를 더 낮게 하고, 공간을 더 작게 하고, 비용을 절감해야하는 요구사항들에 완전히 대처하지는 못하고 있다.

[0006] 스마트 폰, 개인휴대용 정보단말기(Personal digital Assistants : PDA), 위치 기반 서비스 디바이스, 서버 및 스토리지 어레이들과 같은 최신 전자 제품들은, 비용을 감소시키기고자 하는 기대에서, 줄어들고 있는 물리적 공간 내에 더 많은 집적 회로들을 패키징하고 있다. 이러한 요구사항들을 만족시키기 위해서 수많은 기술들이 개발되어 왔다. 몇몇 연구 개발 전략들은 새로운 패키지 기술들에 초점을 두고 있는 반면, 다른 연구 개발 전략들은 기존 패키지 기술들을 향상시키는데 초점을 두고 있다. 기존 패키지 기술들에 대한 연구 개발은 수많은 서로 다른 방향을 취할 수도 있다.

[0007] 비용을 감소시킬 수 있는 하나의 증명된 방법은 기존 제조 방법들 및 제조 장비들과 함께 패키지 기술들을 이용하는 것이다. 역설적으로, 기존 제조 프로세스들의 재사용은 결과적으로 패키지 치수(dimension)의 감소를 가져오지 못한다. 기존 패키징 기술들은 오늘날의 집적 회로 및 패키지의 집적에 대한 끊임없는 요구를 비용 효율적으로 충족시키고자 애쓰고 있다.

[0008] 수많은 패키지 접근방식들은, 다수의 집적회로 다이스(dice) 또는 패키지-인-패키지(PIP), 혹은 이들의 조합을 적층시키고 있다. 적층된 각각의 집적회로들로의 전기적 연결들은, 예컨대 실리콘 또는 인터포저(interposer) 등과 같은 스페이서들에 의해 또는 본드 와이어를 위한 와이어 루프와 같은 그러한 상기 전기적 연결들에 필요한 공간에 의해, 공간의 증대를 필요로 한다. 현재의 스페이서들은 추가 공정 단계들 및 구조들을 요구하고 있는바, 이는 제조 비용을 증가시킴은 물론 생산 수율을 감소시킨다. 이 스페이서들은 또한 높이를 줄일 수 있는 량을 제한시킨다. 여러 가지 타입의 전기적 연결부들에 필요한 공간은, 전체적인 사이즈, 예컨대 패키지의 높이, 폭, 길이 등을 제한시킨다.

발명의 내용

해결 하고자하는 과제

[0009] 따라서, 낮은 제조 비용 및 향상된 수율을 제공하며, 집적회로 패키지에 대해서 감소된 사이즈를 제공할 수 있는, 적층된 집적회로 패키지 인 패키지 시스템에 대한 요구는 여전히 존재한다. 비용을 절감하고 효율성을 향상시키고자 하는 계속되는 요구를 감안한다면, 이러한 문제들에 대한 해답을 찾아내는 일이 점점 더 중요해지고 있다.

[0010] 이러한 문제들에 대한 해결책은 오랫동안 탐구되어 왔지만, 종래의 개발 노력들은 그 어떤 해결책도 가르치거나 제시하지 못했는바, 해당 기술분야의 당업자들은 이들 문제들에 대한 해결책들을 오랫동안 밝혀낼 수 없었다.

발명의 실시를 위한 구체적인 내용

[0011] 본 발명은 적층된 집적회로 패키지-인-패키지 시스템을 제공하는바, 패키지-인-패키지 시스템은, 탑 콘택을 갖는 기판을 형성하는 단계, 제 1 단자를 갖는 제 1 디바이스를 상기 기판 위에 마운팅하는 단계, 제 2 단자를 갖는 제 2 디바이스를 옵셋 구성으로 상기 제 1 디바이스 위에 적층하는 단계, 상기 제 1 단자의 아래에 있는 상기 탑 콘택과 상기 제 1 단자를 연결하는 단계, 및 상기 제 2 단자의 아래에 있는 상기 탑 콘택과 상기 제 2 단자를 연결하는 단계를 포함한다.

[0012] 본 발명의 소정 실시예들은 언급된 실시예들을 대체하거나 또는 이에 추가되거나 또는 앞서 설명된 바로부터 명백한 다른 실시태양을 갖는다. 본 발명의 실시태양들은, 첨부된 도면들을 참조하여 후술될 발명의 상세한 설명 부분을 읽음으로서 해당 기술분야의 당업자들에게 명확해질 것이다.

[0013] 다음의 실시예들은, 해당기술 분야의 당업자들이 본 발명을 만들고 이용할 수 있도록 충분히 자세하게 설명된다. 현재 개시된 바에 근거하여 다른 실시예들도 분명하다는 것이 이해되어야만 하며, 본 발명의 기술적 사상의 범위를 벗어남이 없이도, 시스템, 프로세스 또는 기계적 변형들이 만들어질 수도 있다는 것이 이해되어야만 한다.

[0014] 후술될 발명의 상세한 설명에서, 수많은 특정한 세부사항들이 본 발명을 완전히 이해하도록 제공된다. 하지만, 본 발명은 이러한 특정한 세부사항들이 없이도 실시될 수도 있음은 명백할 것이다. 본 발명을 불명료하게 만드는 것을 회피하기 위해서, 잘 알려진 몇몇 회로들, 시스템 구성들, 및 공정 단계들은 상세히 설명되지 않는다.

마찬가지로, 시스템에 관한 실시예들을 도시하고 있는 도면들은 어느정도 개략적인 도면들이며 축척대로 그려진 것은 아니다. 특히, 명확한 표현을 위해서, 몇몇 치수들은 도면에서 매우 과장되게 표현되었다. 또한, 공통된 구성들을 갖는 다수의 실시예들이 개시 및 설명되었는바, 설명, 서술 및 비교의 간결 명확성을 위해서, 서로간에 유사한 구성들은 유사한 참조번호로 통상적으로 서술될 것이다.

[0015] 설명을 위한 목적으로, 본 명세서에서 사용된 "수평(horizontal)" 이라는 용어는, 그 방향에 상관없이, 집적회로의 평면(또는 표면)에 평행한 평면으로 정의된다. 용어 "수직(vertical)" 은, 앞서 정의된 "수평"에 수직한 방향을 일컫는다. 가령, 상에(on), 위에(above) 밑에(below), 바닥(bottom), 탑(top), 사이드(side) (측벽에서의 사이드), 위쪽(higher), 아래쪽(lower), 상부(upper), 위로(over) 및 아래에(under) 와 같은 용어들은 수평면에 대해서 정의된다. 본 명세서에서 사용된 "프로세싱" 이라는 용어는, 물질(또는 포토레지스트)의 증착, 패터닝, 노광, 현상, 식각, 세정, 및/또는 물질(또는 포토레지스트)의 제거 등과 같이, 앞서 설명된 구조를 형성하는데 필요한 것들을 포함한다. 본 명세서에서 사용된 "시스템" 이라는 용어는, 상기 "시스템" 이라는 용어가 사용된 문맥에 따라서, 본 발명의 방법 및 장치를 의미 및 지칭한다.

[0016] 이제 도1을 참조하면, 본 발명의 일실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템(100)의 평면도가 도시되어 있다. 적층된 집적회로 패키지-인-패키지 시스템(100)은, 가령 라미네이트 기판과 같은 기판(102)을 포함한다. 가령, 솔더 볼들과 같은 외부 배선들(interconnections)(104)은, 기판(102) 내에 위치한다.

[0017] 가령, 패키지된 디바이스 또는 집적회로 다이와 같은 제 1 디바이스(106)는, 외부 배선들(104) 위에 있다. 가령, 패키지된 디바이스 또는 집적회로 다이와 같은 제 2 디바이스(108)는, 제 1 디바이스(106)와 옵셋 구성(offset configuration) 되어 위치하고 있다. 또한 상기 제 2 디바이스(108)는 외부 배선들(104) 위에 위치하고 있다.

[0018] 설명을 위한 목적으로, 제 1 디바이스(106) 및 제 2 디바이스(108)는 서로 다른 사이즈로 도시되었지만, 제 1 디바이스(106) 및 제 2 디바이스(108)는 상이하지 않을 수도 있다. 또한, 설명을 위한 목적으로, 외부 배선들(104)은 어레이 구성들을 갖는 것으로 도시되었지만, 외부 배선들(104)은 이와 다른 구성들을 가질 수도 있음을 유의해야 한다.

[0019] 이제 도2를 참조하면, 도1의 라인 2---2' 를 따른, 적층된 집적회로 패키지-인-패키지 시스템(200)의 단면이 도시된다. 적층된 집적회로 패키지-인-패키지 시스템(200)은, 도1의 적층된 집적회로 패키지-인-패키지 시스템(100)의 구조를 나타낼 수도 있다. 적층된 집적회로 패키지-인-패키지 시스템(200)은, 전체 패키지 사이즈를 감소시키고, 제조 프로세스를 단순화시키며, 수율을 향상시키고 및 전체 비용을 절감할 수 있으면서도, 더 많은 디바이스들을 채워넣을 수 있다.

[0020] 기판(202)은 탑 표면(206)에서의 탑 콘택(204)과 바닥 표면(210)에서의 바닥 콘택(208)을 포함한다. 외부 배선들(212)은 바닥 콘택(208)에 접착된다. 설명을 위한 목적으로, 상기 기판(202)은 탑 콘택(204) 및 바닥 콘택(208)을 갖고 있는 것으로 도시되었지만, 상기 기판은 가령, 하나 이상의 라우팅 층(layer)들 또는 전기적 비아들(vias)과 같은, 또 다른 구조를 가질 수도 있음을 유의해야 한다.

[0021] 가령, 실질적으로 수직인 부분들 또는 단자들을 갖는 "L"자 형태의 단자(terminal) 패드와 같은, 제 1 단자들(216)을 갖는 제 1 디바이스(214)는 탑 표면(206) 위에 있다. 제1 단자들(216)은 바람직하게는 제1 디바이스(214)의 탑 및 바닥 연결부들에 연결될 수 있다. 가령, 솔더 페이스트와 같은, 제 1 내부 배선들(218)은 제 1 단자(216) 아래에 있는 탑 콘택들(204)과 제 1 단자들(216)을 연결한다.

[0022] 제 2 디바이스(220)는 옵셋 구성되어 제 1 디바이스(214) 위에 적층되어 있다. 상기 옵셋 구성은, 제 1 디바이스(214) 위에 위치한 제 2 디바이스(220)의 오버행(overhang)(222)을 제공한다. 오버행(222)은, 제 2 디바이스(220)의, 실질적으로 수직인 부분들 또는 단자들을 갖는 "L"자 형태의 단자 패드들과 같은, 제 2 단자들(224)을 노출시킨다. 제2 단자들(224)은 바람직하게는 제2 디바이스(220)의 탑 및 바닥 연결부들에 연결될 수 있다. 상기 오버행(222)은 제 1 디바이스(214)로부터 소정의 여유(clearance)를 제공하는바, 이에 의해 제 2 단자들(224)로 연결되는 제 2 내부 배선들(226)(가령, 솔더 볼 또는 전도성 포스트와 같은)을 방해하지 않을 수 있다. 제 2 내부 배선들(226)은 또한, 제 2 단자(224) 아래에 있는 탑 콘택(204)에 연결된다.

[0023] 가령, 에폭시 몰딩 화합물과 같은 패키지 캡슐(228)은, 제 1 디바이스(214), 제 2 디바이스(220), 제 1 내부 배선들(218), 제 2 내부 배선들(226) 및 탑 표면(206)을 커버한다. 설명을 위한 목적으로, 패키지 캡슐(228)은 제 2 디바이스(220)를 완벽하게 커버하고 있는 것으로 설명되었지만, 패키지 캡슐(228)은 제 2 디바이스(220)의 일부를 노출시킬 수도 있다.

[0024] 제 1 디바이스(214) 및 제 2 디바이스(220)는, 적층된 집적회로 패키지-인-패키지 시스템(200)에서 조립 없이 테스트될 수도 있는바, 공지된 우량 디바이스(known good device : KGD)를 보장하고, 수율을 증가시키며, 비용을 절감할 수 있다. 옵셋 구성은, 제 1 단자들(216) 및 제 2 단자들(224) 모두가 연결을 위해서 아래에 위치한 탑 콘택들(204)로 직접 액세스하는 것을 가능케 한다. 탑 콘택(204)으로의 상기 연결은, 본드 와이어들을 위해서 필요한 와이어 루프에 대해서 탑 표면(206) 상에서 요구되는 공간을 일소할 수 있는바, 따라서 더 작은 패키지 폭을 얻을 수 있다.

[0025] 이제 도3을 참조하면, 본 발명의 일실시예에 따른 디바이스(300)의 단면이 도시되어 있다. 디바이스(300)는 도2의 제 1 디바이스(214) 또는 도2의 제 2 디바이스(220)와 유사한 구조를 갖거나 나타낼 수도 있다. 디바이스(300)는, 옵셋 구성되어 제 2 집적회로 다이(304) 아래에 있는 제 1 집적회로 다이(302)를 갖는다. 설명을 위한 목적으로, 디바이스(300)는 제 1 집적회로 다이(302) 및 제 2 집적회로 다이(304)를 갖고 있는 것으로 설명되었지만, 상기 디바이스(300)는 가령, 수동 디바이스들 또는 패키지된 디바이스들과 같은 다른 유형의 디바이스들을 가질 수도 있다.

[0026] 상기 옵셋 구성은, 제 1 집적회로 다이(302)의 제 1 활성면(active side)(308)의 일부를 노출시킨다. 본드 와이어와 같은 제 1 배선들(310)은 가령, 단자 패드와 같은 디바이스 단자들(312)과 제 1 활성면(308) 사이를 연결한다. 디바이스 단자(312)는, 토대부(base portion)(314)와 기둥부(post portion)(316)를 갖는 L-자 형태의 구조를 갖는다. 토대부(314)는 L-자 형태인 디바이스 단자(312)의 토대이다. 기둥부(316)는 토대부(314)와 연결되어 있으며, L-자 형태인 디바이스 단자(312)의 수직한 부분이다.

[0027] 제 2 집적회로 다이(304)는, 옵셋 구성되어 제 1 집적회로 다이(302) 위에 위치하고 있는바, 제 1 활성면(308)의 일부를 노출시키고 있다. 본드 와이어와 같은 제 2 배선들(318)은 제 2 집적회로 다이(304)의 제 2 활성면(320)과 디바이스 단자들(312)을 연결한다.

[0028] 가령, 에폭시 몰딩 화합물과 같은 디바이스 캡슐(324)은, 제 1 집적회로 다이(302), 제 2 집적회로 다이(304), 제 1 배선들(310), 및 제 2 배선들(318)을 커버한다. 디바이스 캡슐(324)은 디바이스 단자들(312)을 부분적으로 커버하여, 토대부(314) 및 기둥부(316)가 노출되도록 한다.

[0029] 이제 도4를 참조하면, 본 발명의 다른 실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템(400)의 단면이 도1의 2--2' 라인을 따라서 도시되고 있다. 적층된 집적회로 패키지-인-패키지 시스템(400)은, 도1의 적층된 집적회로 패키지-인-패키지 시스템(100)의 구조와 유사한 구조를 갖는다.

[0030] 가령, 라미네이트 기판과 같은 기판(402)은, 탑 표면(406)에서의 탑 콘택(404)과 바닥 표면(410)에서의 바닥 콘택(408)을 포함한다. 가령, 솔더 볼들과 같은 외부 배선들(412)은 바닥 콘택(408)에 접착된다. 설명을 위한 목적으로, 상기 기판(402)은 탑 콘택(404) 및 바닥 콘택(408)을 갖고 있는 것으로 도시되었지만, 상기 기판은 가령, 하나 이상의 라우팅 층(layer)들 또는 전기적 비아들(vias)과 같은, 또 다른 구조를 가질 수도 있음을 유의해야 한다.

[0031] 가령, 패키지된 디바이스 또는 집적회로 다이와 같은 제 1 디바이스(414)는 탑 표면(406) 위에 있다. 가령, 단자(terminal) 패드와 같은, 제 1 디바이스(414)의 제 1 단자(416)는 탑 콘택(404) 위에 있다. 가령, 솔더 페이스트와 같은, 제 1 내부 배선들(418)은 제 1 단자(416) 아래에 있는 탑 콘택들(404)과 제 1 단자들(416)을 연결한다.

[0032] 제 2 디바이스(420)는 옵셋 구성되어 제 1 디바이스(414) 위에 적층되어 있다. 상기 옵셋 구성은, 제 1 디바이스(414) 위에 위치한 제 2 디바이스(420)의 오버행(overhang)(422)을 제공한다. 오버행(422)은, 가령 단자 패드들과 같은, 제 2 디바이스(420)의 제 2 단자들(424)을 노출시킨다. 상기 오버행(422)은 제 1 디바이스(414)로부터 소정의 여유(clearance)를 제공하는바, 이에 의해 제 2 단자들(424)로 연결되는 제 2 내부 배선들(426)(가령, 솔더 볼 또는 전도성 포스트와 같은)을 방해하지 않을 수 있다. 제 2 내부 배선들(426)은 또한, 제 2 단자(424) 아래에 있는 탑 콘택(404)에 연결된다.

[0033] 가령, 에폭시 몰딩 화합물과 같은 패키지 캡슐(428)은, 제 1 디바이스(424), 제 2 디바이스(420), 제 1 내부 배선들(418), 제 2 내부 배선들(426) 및 탑 표면(406)을 커버한다. 설명을 위한 목적으로, 패키지 캡슐(428)은 제 2 디바이스(420)를 완벽하게 커버하고 있는 것으로 설명되었지만, 패키지 캡슐(428)은 제 2 디바이스(420)의 일부를 노출시킬 수도 있다.

[0034] 제 1 디바이스(414) 및 제 2 디바이스(420)는, 적층된 집적회로 패키지-인-패키지 시스템(400)에서 조립 없이

테스트될 수도 있는바, 공지된 우량 디바이스(known good device : KGD)를 보장하고, 수율을 증가시키며, 비용을 절감할 수 있다. 옵셋 구성은, 제 1 단자들(416) 및 제 2 단자들(424) 모두가 연결을 위해서 아래에 위치한 탑 콘택들(404)로 직접 액세스하는 것을 가능케 한다. 탑 콘택(404)으로의 상기 연결은, 본드 와이어들을 위해서 필요한 와이어 루프에 대해서 탑 표면(406) 상에서 요구되는 공간을 일소할 수 있는바, 따라서 더 작은 패키지 폭을 얻을 수 있다.

[0035] 이제 도5를 참조하면, 본 발명의 일실시예에 따른 디바이스(500)의 단면이 도시되어 있다. 디바이스(500)는 도4의 제 1 디바이스(414) 또는 도4의 제 2 디바이스(420)와 유사한 구조를 갖거나 나타낼 수도 있다. 디바이스(500)는, 옵셋 구성되어 제 2 집적회로 다이(504) 아래에 있는 제 1 집적회로 다이(502)를 갖는다. 설명을 위한 목적으로, 디바이스(500)는 제 1 집적회로 다이(502) 및 제 2 집적회로 다이(504)를 갖고 있는 것으로 설명되었지만, 상기 디바이스(500)는 가령, 수동 디바이스들 또는 패키지된 디바이스들과 같은 다른 유형의 디바이스들을 가질 수도 있다.

[0036] 상기 옵셋 구성은, 제 1 집적회로 다이(502)의 제 1 활성면(active side)(508)의 일부를 노출시킨다. 본드 와이어와 같은 제 1 배선들(510)은 가령, 단자 패드와 같은 디바이스 단자들(512)과 제 1 활성면(508) 사이를 연결한다. 디바이스 단자(512)는, 토대부(base portion)(514)와 기둥부(post portion)(516)를 갖는 L-자 형태의 구조를 갖는다. 토대부(514)는 L-자 형태인 디바이스 단자(512)의 토대이다. 기둥부(516)는 토대부(514)와 연결되어 있으며, L-자 형태인 디바이스 단자(512)의 수직한 부분이다.

[0037] 제 2 집적회로 다이(504)는, 옵셋되어 제 1 집적회로 다이(502) 위에 위치하고 있는바, 제 1 활성면(508)의 일부를 노출시키고 있다. 본드 와이어와 같은 제 2 배선들(518)은 제 2 집적회로 다이(504)의 제 2 활성면(520)과 디바이스 단자들(512)을 연결한다.

[0038] 가령, 더미 다이(dummy die) 또는 열 발산기와 같은 보강재(stiffener)(526)는, 제 2 배선들(518)의 연결을 방해함이 없이, 제 2 활성면(520) 위에 위치한다. 상기 보강재(526)는 디바이스(500)의 휨(warpage)을 완화하거나 일소할 수 있는 평면 강성(planar rigidity)을 추가로 제공한다. 보강재(526)는 접지(ground)에 선택적으로 연결될 수도 있는바, 이 경우에는 추가적인 접지 연결 사이트(미도시)을 제공한다. 또한, 이러한 접지 연결은, 상기 보강재(526)로 하여금 전자기간섭(electromagnetic interference : EMI) 쉴드(shield)로서 기능할 수 있게 한다.

[0039] 가령, 에폭시 몰딩 화합물과 같은 디바이스 캡슐(524)은, 제 1 집적회로 다이(502), 제 2 집적회로 다이(504), 제 1 배선들(510), 및 제 2 배선들(518)을 커버한다. 디바이스 캡슐(524)은 디바이스 단자들(512) 및 보강재(526)를 부분적으로 커버한다. 디바이스 캡슐(524)은 디바이스 단자들(512)을 부분적으로 커버하여, 토대부(514) 및 기둥부(516)는 노출되도록 한다.

[0040] 이제 도6를 참조하면, 본 발명의 또 다른 실시예에서 도1의 라인 2--2' 를 따른, 적층된 집적회로 패키지-인-패키지 시스템(600)의 단면이 도시된다. 적층된 집적회로 패키지-인-패키지 시스템(600)은, 도1의 적층된 집적회로 패키지-인-패키지 시스템(100)과 유사한 구조를 갖는다.

[0041] 가령, 라미네이트 기판과 같은 기판(602)은, 탑 표면(606)에서의 탑 콘택(604)과 바닥 표면(610)에서의 바닥 콘택(608)을 포함한다. 가령, 솔더 볼들과 같은 외부 배선들(612)은 바닥 콘택(608)에 접착된다. 설명을 위한 목적으로, 상기 기판(602)은 탑 콘택(604) 및 바닥 콘택(608)을 갖고 있는 것으로 도시되었지만, 상기 기판은 가령, 하나 이상의 라우팅 층(layer)들 또는 전기적 비아들(vias)과 같은, 또 다른 구조를 가질 수도 있음을 유의해야 한다.

[0042] 가령, 패키지된 디바이스 또는 집적회로 다이와 같은 제 1 디바이스(614)는, 제 1 평면 사이드(planar side)(630) 및 제 1 비평면 사이드(non-planar side)(632)을 갖는바, 제 1 비평면 사이드(632)는 제 1 평면 사이드(630)의 반대쪽에 위치한다. 제 1 디바이스(614)는 탑 표면(606) 위에 위치하는바, 상기 제 1 평면 사이드(630)와 탑 표면(606)은 서로 마주보고 있다. 제 1 내부 배선들(618)(가령, 솔더 페이스트)은, 제 1 디바이스(614)의 제 1 단자(616)(가령, 단자 패드)와 상기 제 1 단자(616) 아래에 위치한 탑 콘택들(604)을 연결한다.

[0043] 상기 제 1 비평면 사이드(632)는, 제 1 단자(616)의 높이와 실질적으로 동일한 높이에서 제 1 단자 레벨(634)을 가지며, 상기 제 1 단자 레벨(634)로부터 리세스된 제 1 리세스 레벨(636)을 갖는다. 설명을 위한 목적으로, 제 1 비평면 사이드(632)는 제 1 단자 레벨(634) 및 제 1 리세스 레벨(636)로 계단화된 것으로 도시되었지만, 제 1 비평면 사이드(632)는 이와 다른 구성 가령, 다수의 레벨들을 갖거나, 사선형으로(beveled), 또는 인터록킹 레벨(interlocking levels)을 갖도록 구성될 수도 있음을 유의해야 한다.

[0044] 가령, 패키지된 디바이스 또는 집적회로 다이와 같은 제 2 디바이스(620)는, 제 2 평면 사이드(planar side)(638) 및 제 2 비평면 사이드(non-planar side)(640)을 갖는바, 제 2 비평면 사이드(640)는 제 2 평면 사이드(638)의 반대쪽에 위치한다. 상기 제 2 비평면 사이드(640)는, 제 2 디바이스(620)의 제 2 단자(624)(가령, 단자 패드)의 높이와 실질적으로 동일한 높이에서 제 2 단자 레벨(642)을 가지며, 상기 제 2 단자 레벨(642)로부터 리세스된 제 2 리세스 레벨(644)을 갖는다. 설명을 위한 목적으로, 제 2 비평면 사이드(640)는 제 2 단자 레벨(642) 및 제 2 리세스 레벨(644)로 계단화된 것으로 도시되었지만, 제 2 비평면 사이드(640)는 이와 다른 구성 가령, 다수의 레벨들을 갖거나, 사선형으로(beveled), 또는 인터록킹 레벨(interlocking levels)을 갖도록 구성될 수도 있음을 유의해야 한다.

[0045] 제 2 디바이스(620)는 옵셋 구성되어 제 1 디바이스(614) 위에 적층되어 있는바, 제 2 리세스 레벨(644)과 제 1 리세스 레벨(636)은 접착제(646)로 접착되어 있다. 상기 옵셋 구성은, 제 1 디바이스(614) 위에 위치한 제 2 디바이스(620)의 오버행(overhang)(622)을 제공하는바, 제 2 단자들(624)을 노출시키고 있다. 상기 오버행(622)은 제 1 디바이스(614)로부터 소정의 여유(clearance)를 제공하는바, 이에 의해 제 2 단자들(624)로 연결되는 제 2 내부 배선들(626)(가령, 솔더 볼 또는 전도성 포스트)을 방해하지 않을 수 있다. 제 2 내부 배선들(626)은 또한, 제 2 단자(624) 아래에 있는 탑 콘택(604)에 연결된다.

[0046] 가령, 에폭시 몰딩 화합물과 같은 패키지 캡슐(628)은, 제 1 디바이스(614), 제 2 디바이스(620), 제 1 내부 배선들(618), 제 2 내부 배선들(626) 및 탑 표면(606)을 커버한다. 설명을 위한 목적으로, 패키지 캡슐(628)은 제 2 디바이스(620)를 완벽하게 커버하고 있는 것으로 설명되었지만, 패키지 캡슐(628)은 제 2 디바이스(620)의 일부를 노출시킬 수도 있다.

[0047] 제 1 디바이스(614) 및 제 2 디바이스(620)는, 적층된 집적회로 패키지-인-패키지 시스템(600)에서 조립 없이 테스트될 수도 있는바, 공지된 우량 디바이스(known good device : KGD)를 보장하고, 수율을 증가시키며, 비용을 절감할 수 있다. 옵셋 구성은, 제 1 단자들(616) 및 제 2 단자들(624) 모두가 연결을 위해서 아래에 위치한 탑 콘택들(604)로 직접 액세스하는 것을 가능케 한다. 탑 콘택(604)으로의 상기 연결은, 본드 와이어들(미도시)을 위해서 필요한 와이어 루프에 대해서 탑 표면(606) 상에서 요구되는 공간을 일소할 수 있는바, 따라서 적층된 집적회로 패키지-인-패키지 시스템(600)의 폭을 감소시킬 수 있다. 제 1 비평면 사이드(632) 및 제 2 비평면 사이드(640)의 상보적인(complementary) 표면들은, 적층된 집적회로 패키지-인-패키지 시스템(600)의 높이를 최소화한다.

[0048] 이제 도7을 참조하면, 본 발명의 일실시예에 따른 디바이스(700)의 단면이 도시되어 있다. 디바이스(700)는 도6의 제 1 디바이스(614) 또는 도6의 제 2 디바이스(620)와 유사한 구조를 갖거나 나타낼 수도 있다. 디바이스(700)는, 옵셋 구성되어 제 2 집적회로 다이(704) 아래에 있는 제 1 집적회로 다이(702)를 갖는다. 설명을 위한 목적으로, 디바이스(700)는 제 1 집적회로 다이(702) 및 제 2 집적회로 다이(704)를 갖고 있는 것으로 설명되었지만, 상기 디바이스(700)는 가령, 수동 디바이스들 또는 패키지된 디바이스들과 같은 다른 유형의 디바이스들을 가질 수도 있다.

[0049] 상기 옵셋 구성은, 제 1 집적회로 다이(702)의 제 1 활성면(active side)(708)의 일부를 노출시킨다. 본드 와이어와 같은 제 1 배선들(710)은 가령, 단자 패드와 같은 디바이스 단자들(712)과 제 1 활성면(708) 사이를 연결한다. 디바이스 단자(712)는, 토대부(base portion)(714)와 기둥부(post portion)(716)를 갖는 L-자 형태의 구조를 갖는다. 토대부(714)는 L-자 형태인 디바이스 단자(712)의 토대이다. 기둥부(716)는 토대부(714)와 연결되어 있으며, L-자 형태인 디바이스 단자(712)의 수직한 부분이다.

[0050] 제 2 집적회로 다이(704)는, 옵셋되어 제 1 집적회로 다이(702) 위에 위치하고 있는바, 제 1 활성면(708)의 일부를 노출시키고 있다. 본드 와이어와 같은 제 2 배선들(718)은 제 2 집적회로 다이(704)의 제 2 활성면(720)과 디바이스 단자들(712)을 연결한다.

[0051] 가령, 에폭시 몰딩 화합물과 같은 디바이스 캡슐(724)은, 제 1 집적회로 다이(702), 제 2 집적회로 다이(704), 제 1 배선들(710), 및 제 2 배선들(718)을 커버한다. 디바이스 캡슐(724)은 디바이스 단자들(712)을 부분적으로 커버하여, 토대부(714) 및 기둥부(716)가 노출되도록 한다.

[0052] 제 1 집적회로 다이(702)는 디바이스(700)의 평면 사이드(726) 위에 있다. 상기 평면 사이드(726)의 반대편은 비평면 사이드(728)이다. 비평면 사이드(728)에서의 디바이스 캡슐(724)은, 단자 레벨(730) 및 리세스 레벨(732)을 갖는다. 단자 레벨(730)은 디바이스 단자(712)와 실질적으로 동일한 레벨이다. 리세스 레벨(732)은 단자 레벨(730)로부터 리세스(또는 스텝다운) 된다. 설명을 위한 목적으로, 비평면 사이드(728)는 단자 레벨(730)

및 리세스 레벨(732)로 계단화된 것으로 도시되었지만, 비평면 사이드(728)는 이와 다른 구성 가령, 다수의 레벨들을 갖거나, 사선형으로(beveled), 또는 인터록킹 레벨(interlocking levels)을 갖도록 구성될 수도 있음을 유의해야 한다.

[0053] 단자 레벨(730)은, 제 1 배선들(710) 및 제 2 배선들(718)의 와이어 루프들을 위해서, 디바이스(700)의 높이를 제공한다. 리세스 레벨(732)은, 와이어 루프들을 위한 추가 공간이 필요치 않은 경우 디바이스(700)의 높이를 감소시킨다.

[0054] 이제 도8을 참조하면, 본 발명의 일실시예에서 적층된 집적회로 패키지-인-패키지 시스템(100)을 제조하기 위한, 적층된 집적회로 패키지-인-패키지 시스템(800)의 순서도가 도시되어 있다. 상기 시스템(800)은, 블록(802)에서 탑 콘택을 갖는 기판을 형성하는 단계; 블록(804)에서 제 1 단자를 갖는 제 1 디바이스를 상기 기판 위에 마운팅하는 단계; 블록(806)에서 제 2 단자를 갖는 제 2 디바이스를 옵셋 구성으로 상기 제 1 디바이스 위에 적층하는 단계; 블록(808)에서 상기 제 1 단자 아래에 위치한 상기 탑 콘택과 상기 제 1 단자를 연결하는 단계; 블록(810)에서 상기 제 2 단자 아래에 위치한 상기 탑 콘택과 상기 제 2 단자를 연결하는 단계를 포함한다.

[0055] 본 발명은 수 많은 실시태양을 가지고 있음이 밝혀졌다.

[0056] 예상외로 밝혀진 본 발명의 기본적인 실시태양에 따르면, 감소된 높이 및 폭, 향상된 열 성능(thermal performance), 향상된 EMI 성능, 및 향상된 신뢰성을 갖는 적층된 집적회로 패키지-인-패키지 시스템을 제공할 수 있다. 적층된 디바이스 아래의 전기적 연결들을 이용하는 적층된 디바이스들의 옵셋 구성은, 감소된 폭을 제공한다. 적층된 디바이스들의 상보적인 비평면 사이드들은 감소된 높이를 제공한다.

[0057] 본 발명의 다른 실시태양에 따르면, 적층된 디바이스들 아래의 기판으로의 디바이스 연결들은, 옵셋 구성으로 제공될 수 있다. 이러한 옵셋 구성은, 아래쪽 디바이스 위에 적층된 위쪽 디바이스의 오버행을 제공하는바, 위쪽 디바이스의 단자들을 노출시킬 수 있다. 상기 오버행은, 위쪽 디바이스 단자들로부터 상기 단자들 아래에 위치한 기판의 콘택들로의 연결들을 위한 소정의 여유를 제공하는바, 여기서 상기 연결들은 솔더 볼들로 형성된다. 아래쪽 디바이스 단자들은 솔더 페이스트로 아래에 있는 콘택들과 연결된다. 적층된 디바이스들로부터 아래에 위치한 콘택들로의 이와같은 직접적인 연결들은 패키지-인-패키지의 폭을 감소시킨다.

[0058] 본 발명의 다른 실시태양에 따르면, 적층된 디바이스들의 상보적인 비평면 사이드들이 옵셋 구성을 따라서 제공되는바, 결과적으로 패키지-인-패키지의 높이를 낮출 수 있다.

[0059] 본 발명의 다른 실시태양에 따르면, 적층된 디바이스들 사이에서 EMI 쉴드를 제공할 수 있으며, 적층된 패키지-인-패키지 디바이스 전체에 대해서도 EMI 쉴드를 제공할 수 있다.

[0060] 본 발명의 다른 실시태양에 따르면, 적층된 패키지-인-패키지 디바이스 전체의 수율이 향상된다. 적층된 패키지-인-패키지 디바이스에서 적층된 디바이스들은, 적층된 패키지-인-패키지 디바이스의 조립 이전에, 공지된 우량 디바이스(KGD)를 보장하도록 테스트될 수도 있다.

[0061] 본 발명의 또 다른 중요한 실시태양에 따르면, 비용을 절감하고, 시스템을 간략화하며, 성능을 향상시키고자 하는 추세를 유용하게 지원할 수 있으며 이에 부응할 수 있다.

[0062] 본 발명의 이와같은 유용한 실시태양들 및 또 다른 실시태양들은 결과적으로, 기술수준을 적어도 다음 레벨로 향상시킬 수 있다.

[0063] 따라서, 본 발명에 따른 적층된 집적회로 패키지-인-패키지 시스템은, 중요하며, 지금까지 알려지지 않았으며 이용가능하지 않았던 해결책들, 성능들을 제공하며, 시스템의 신뢰성을 향상시킬 수 있는 기능적 태양을 제공한다. 결과적인 프로세스들 및 구성들은, 명쾌하며(straightforward), 비용면에서 효과적이며, 복잡하지 않으며, 응용가능성이 높으며 그리고 효과적인바, 공지된 기술들을 적용함으로서 구현될 수 있다. 따라서, 이들 프로세스들 및 구성들은 집적회로 패키지 디바이스의 제조에 효율적으로 및 경제적으로 용이하게 적용될 수 있다.

[0064] 비록, 본 발명은 특정한 최적 실시모드에 관하여 설명되었지만, 앞서 설명된 내용을 참조한다면, 수많은 대체예들, 수정예들 및 변형예들이 가능함은 해당 기술분야의 당업자에게 명백할 것이다. 따라서, 본 발명은 첨부된 청구항의 범위내에 속하는 이러한 모든 대체예들, 수정예들 및 변형예들을 포괄하도록 의도된다. 본 명세서에서 이제까지 설명된 모든 내용들 또는 첨부된 도면에서 도시된 모든 내용들은, 예시적이며 비제한적인 의미로 해석되어야만 한다.

[0065] 따라서, 본 발명에 따른 적층된 집적회로 패키지-인-패키지 시스템 방법은, 중요하며, 지금까지 알려지지 않았

으며 이용가능하지 않았던 해결책들, 성능들을 제공하며, 향상된 열 성능, 감소된 EMI 및 시스템에서의 신뢰성을 향상시킬 수 있는 기능적 태양을 제공한다. 결과적인 프로세스들 및 구성들은, 명쾌하며, 비용면에서 효과적이며, 복잡하지 않으며, 응용가능성이 높으며, 효과적인바, 공지된 기술들을 적용함으로서 구현될 수 있다. 따라서, 이들 프로세스들 및 구성들은 집적회로 패키지 디바이스의 제조에 효율적으로 및 경제적으로 용이하게 적용될 수 있다.

도면의 간단한 설명

[0066] 도1은 본 발명의 일실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템에 대한 평면도이다.

[0067] 도2는 본 발명의 일실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템의 단면을 도1의 라인 2---2' 을 따라 도시한 단면도이다.

[0068] 도3은 본 발명의 일실시예에 따른 디바이스의 단면을 도시한 도면이다.

[0069] 도4는 본 발명의 다른 일실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템의 단면을 도1의 라인 2---2' 을 따라 도시한 단면도이다.

[0070] 도5는 본 발명의 다른 일실시예에 따른 디바이스의 단면을 도시한 도면이다.

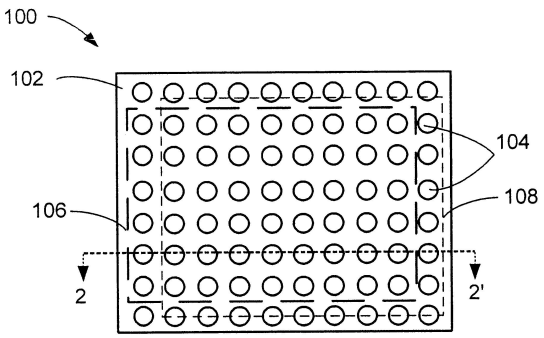
[0071] 도6은 본 발명의 다른 일실시예에 따른 적층된 집적회로 패키지-인-패키지 시스템의 단면을 도1의 라인 2---2' 을 따라 도시한 단면도이다.

[0072] 도7은 본 발명의 다른 일실시예에 따른 디바이스의 단면을 도시한 도면이다.

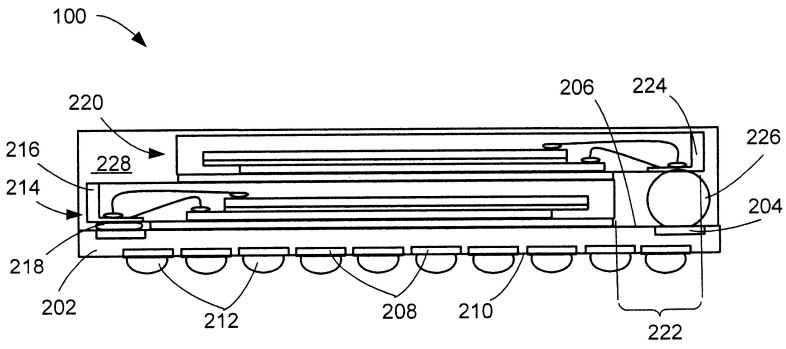
[0073] 도8은 본 발명의 일실시예에서 적층된 집적회로 패키지-인-패키지 시스템을 제조하기 위한 적층 집적회로 패키지-인-패키지 시스템의 순서도이다.

도면

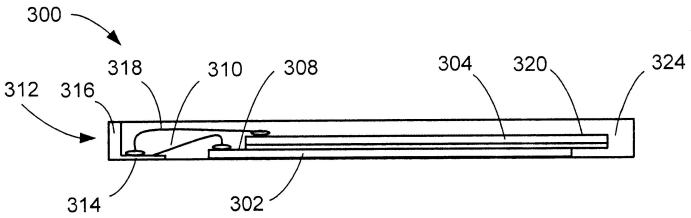
도면1



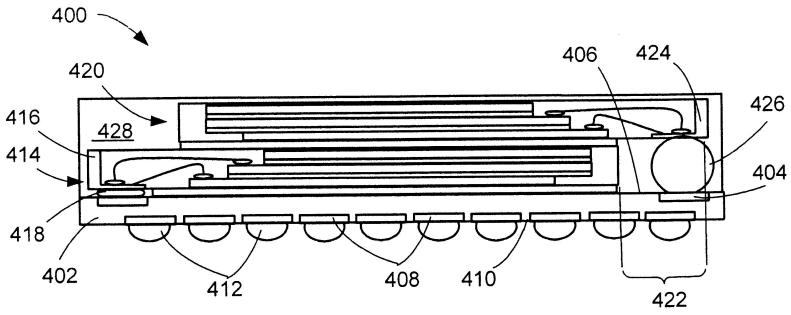
도면2



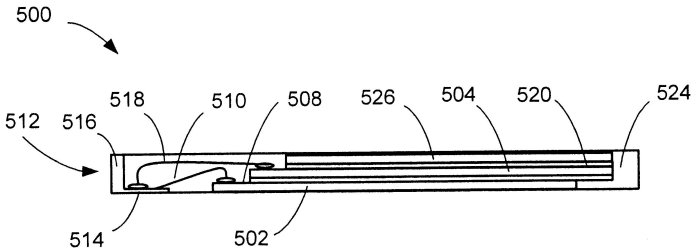
도면3



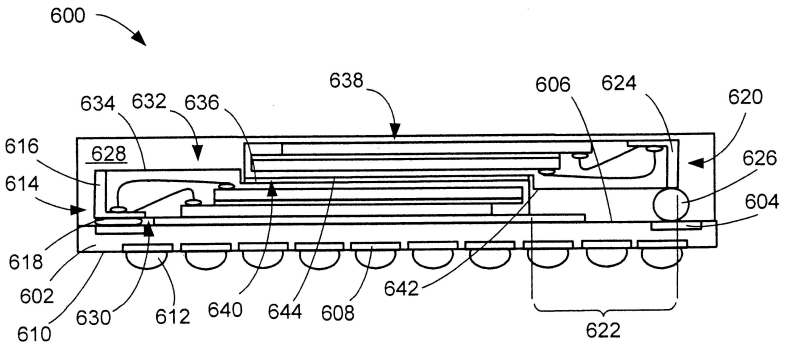
도면4



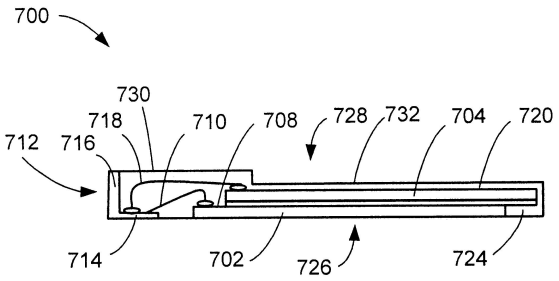
도면5



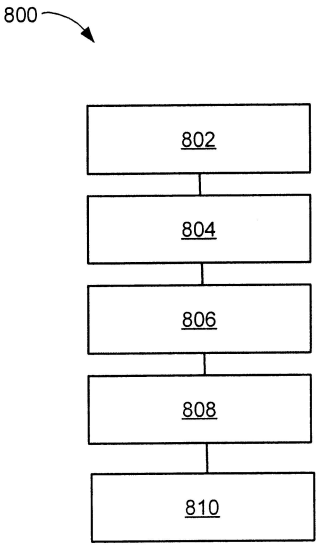
도면6



도면7


700
730
718
710
708
728
732
704
720
712
716
714
702
726
724

도면8


800
802
804
806
808
810