

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/407

(45) 공고일자 1999년 10월 01일
(11) 등록번호 10-0222749
(24) 등록일자 1999년 07월 07일

(21) 출원번호 10-1996-0002739 (65) 공개번호 특 1996-0032489

(22) 출원일자 1996년 02월 05일 (43) 공개일자 1996년 09월 17일

(30) 우선권주장 95-020149 1995년 02월 08일 일본(JP)
95-020, 149 1995년 02월 08일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤 모리시다 요이치
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 후쿠시마 데쓰유키
일본국 효고켄 니시노미야시 시모오이치히가시마치 32-7
야마우치 히로유키
일본국 오사카후 다카쓰키시 도우쵸 5-5-1-908
이와타 도오루

(74) 대리인 일본국 오사카후 오사카시 히가시요도가와쿠 다이도 1-1-17
김영철

심사관 : 김종찬

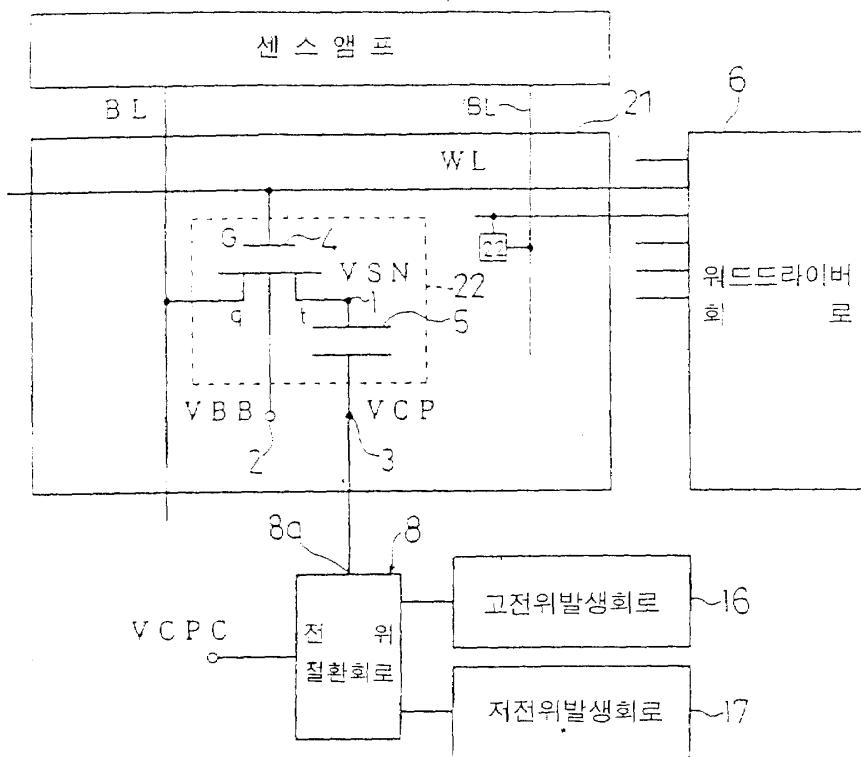
(54) 반도체 기억회로의 데이터 유지시간 연장장치 및 연장방법

요약

대기중에, 완전 정지기간에서는 셀플레이트노드전위절환회로 셀플레이트노드의 전위를 버스트리플레쉬시의 고전위보다는 낮은 저전위로 절환한다. 그 결과, 메모리셀트랜지스터의 PN접합 양단의 전위차가 낮아지고, 이 PN접합을 흐르는 누설전류가 감소한다. 동시에, 워드드라이버회로는 워드선의 전위를 버스트리플레쉬시의 통상전위보다는 낮은 부전위로 절환한다. 그 결과, 메모리셀트랜지스터는 그 게이트 - 소스간 전압의 저하에 오프 정도가 강해지고, 비트선에서 전하축적노드에 흐르는 누설전류가 경감된다. 따라서, 대기중의 메모리셀트랜지스터의 PN접합을 거쳐 흐르는 누설전류, 및 비트선에서 메모리셀트랜지스터를 거쳐 전하축적노드에 흐르는 누설전류가 경감되고, 리플레쉬 주기가 길어지고, 저소비전력화가 도모된다.

대표도

23



영세서

[발명의 명칭]

반도체 기억회로의 데이터 유지시간 연장장치 및 연장방법

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 있어서 DRAM의 전체 개략구성을 도시하는 도면.

제2도는 본 발명의 제1 실시예에서 있어서 메모리셀 트랜지스터를 모식적으로 도시하는 도면.

제3도는 본 발명의 제1실시예에서 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제4도는 본 발명의 제1 실시예에 있어서 워드 드라이버회로 및 워드선 전위 절환회로의 구체적 구성을 도시하는 도면.

제5는 본 발명 제1 실시예에 있어서 DRAM의 동작을 도시하는 파형도.

제6도는 본 발명의 제1 실시예에 있어서 DRAM의 다른 동작을 도시하는 파형도.

제7도는 본 발명 제1 실시예의 변형에 1에 있어서 워드 드라이버회로를 도시하는 도면.

제8도는 본 발명 제1실시예의 변형예 1에 있어서 DRAM의 동작을 도시하는 파형도.

제9도는 본 발명 제1 실시예의 변형에 1에 있어서 워드 드라이버회로의 시뮬레이션 파형을 도시하는 도면.

제10(a)도는 본 발명 제1 실시예의 변형에 2에 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제10(b)도는 본 발명의 제1 실시예의 변형에 2에 있어서 DRAM이 구비하는 다이오드의 제1 변형예를 도시하는 도면.

제10(c)도는 동일 다이오드의 제2변형예를 도시하는 도면.

제10(d)도는 동일 다이오드의 제3변형예를 도시하는 도면.

제10(e)도는 동일 다이오드의 제4변형예를 도시하는 도면.

제11도는 본 발명의 제1실시예의 변형에 2에 있어서 DRAM 동작을 도시하는 도면.

제12도는 본 발명의 제2 실시예에 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제13도는 본 발명의 제2 실시예에 있어서 DRAM의 동작을 도시하는 도면.

제14도는 본 발명의 제2 실시예에 있어서 DRAM의 데이터 유지시간이 향상하는 효과를 도시하는 도면.

제15도는 본 발명의 제3 실시예에 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제16도는 본 발명의 제3 실시예에 있어서 SOI 구조의 메모리셀 트랜지스터를 도시하는 단면도.

제17도는 본 발명의 제3 실시예에 있어서 DRAM의 동작을 도시하는 도면.

제18도는 본 발명의 제4 실시예에 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제19도는 본 발명의 제4 실시예에 있어서 DRAM의 동작을 도시하는 도면.

제20도는 본 발명의 제5 실시예에 있어서 DRAM 요부의 등가회로를 도시하는 도면.

제21도는 본 발명의 제5 실시예의 타이밍 제어를 도시하는 파형도.

제22도는 본 발명의 제5 실시예를 제2 실시예에 적용한 DRAM 요부의 등가회로를 도시하는 도면.

제23도는 본 발명의 제5 실시예를 제3 실시예에 적용한 DRAM 요부의 등가회로를 도시하는 도면.

제24도는 본 발명의 제5 실시예를 제4 실시예에 적용한 DRAM 요부의 등가회로를 도시하는 도면.

제25도는 종래의 DRAM 요부 구성을 도시하는 도면.

제26도는 종래의 DRAM 동작을 도시하는 파형도.

제27도는 종래의 NMOS 트랜지스터의 PN 접합에서 전류의 누설경로를 모식적으로 도시하는 도면.

제28도는 본 발명에 있어서 분산 리플레쉬를 행하는 경우의 타이밍차트를 도시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 전하축적 노드	2 : 기판노드
3 : 셀 플레이트 노드	4 : 메모리셀 트랜지스터
5 : 메모리셀 커패시터	6 : 워드 드라이버 회로
7 : 타이머 회로	8 : 셀 플레이트 노드 전위 절환회로
8a : 출력단자	16 : 고전위 발생회로
17 : 저전위 발생회로	21 : 메모리셀 어레이
22 : 메모리셀	23 : 센스앰프회로
WL : 워드선	VSN : 전위
G : 게이트 전극	q : 제1 전극
t : 제2 전극	VBB : 기관 노드전위
VCP : 셀 플레이트 노드전위	

[발명의 상세한 설명]

[발명의 배경]

본 발명은 DRAM(Dynamic Random Access Memory)으로 이루어지는 반도체 기억회로의 데이터 유지시간을 연장하기 위한 연장장치 및 연장방법의 개량에 관한 것이다.

최근, 정보기기에는 내장 배터리로 구동되는 휴대기기가 많이 개발되고 있다. 이 휴대기기에는 내장 배터리에 의한 내부부품의 구동 가능기간을 장기간 연장할 수 있도록 그 내부부품의 하나인 반도체 기억회로의 소비전력을 더 한층 감소시키는 것이 바람직하다.

그런데, 반도체 기억회로를 구성하는 DRAM에서는 그 구성상 기억된 데이터, 즉 축적된 전하가 누설되기 때문에, 동작상태가 아닌 경우, 즉 대기시에 있어서도 축적된 전하를 초기상태로 회복시키기 위한 리플레쉬 동작이 소정의 시간간격으로 반복할 필요가 있다. 이 리플레쉬 동작의 간격을 길게 설정할 수 있으면 대기시의 소비전류를 감소할 수 있고, 휴대기기 내부 배터리의 수명을 연장시키는 것이 가능하다.

이하, DRAM의 요부구성, 및 축적된 전하의 누설경로를 설명한다.

제25도는 DRAM의 요부구성을 도시한 것이다. 제25도에 있어서, a는 메모리셀, b는 상기 메모리셀 a가 다수개 배치된 메모리셀 어레이이다. 메모리셀 a는 메모리셀 트랜지스터 c 및 메모리셀 커패시터 d로 구성된다. 메모리셀 트랜지스터 c는 그 게이트 전극 G가 워드선 WL을 통하여 워드 드라이버회로 e에, 제1 전극 q가 비트선 BL을 통하여 센스앰프 f에, 각각 접속된다. 상기 메모리셀 트랜지스터 c의 제2 전극 t와 메모리셀 커패시터 d의 한쪽 전극은 서로 접속되어 전하 축적노드 j를 형성하고 있다. 이 전하 축적노드 j에는 데이터로서의 전하가 소정 전위 VSN 정도만 축적되고, 예를들어 하이 데이터의 경우에는 VSN = Vcc (Vcc는 전원전압이고, 예를들면 3.6V)로, 로우 데이터의 경우에는 VSN = 0V로 충전된다. 상기 메모리셀 커패시터 d의 다른 쪽 전극은 셀 플레이트 노드 g에 접속되고, 이 노드 g에는 메모리셀 플레이트 전위 발생회로 h에 의해 소정의 셀 플레이트 노드전위 VCP(예를들어 VCP = 1.8V)가 인가된다. 또, 상기 메모리셀 트랜지스터 c의 기판노드 i에는 소정의 기판노드전위 VBB(예를들어 VBB = -1.5V)가 인가된다.

제27도는 메모리셀 트랜지스터 c로부터의 전하 누설경로를 도시한다. 제27도의 메모리셀 트랜지스터 c는

N채널형 MOS트랜지스터로 이루어진다. 제27도에 있어서, 전하축적 노드 j는 메모리셀 트랜지스터 c의 P형 기판과 N형 확산층 사이의 PN접합 k를 통해 기판노드 l에 접속된다. 따라서, 하이 데이터를 축적한 전하축적노드 j(VSN=3.6v)에서는 그 축적된 전하가 상기 PN접합 k를 통하여 P형 기판에 누설되어, 기판노드 l(VBB=-1.5v)에 흘러 들어간다. 또, 메모리셀 트랜지스터 c가 OFF 상태에 있을 때, 제1전극 q의 전위가 제2 전극 t의 전위보다도 낮은 경우에는 제1 전극 q가 소스가 되고, 제2 전극 t가 드레인이 되어 제2 전극 t에서 제1 전극 q로의 전하누설경로 Lp1이 형성되고, 상기와는 반대로 제2 전극 t의 전위쪽이 낮은 경우에는 제2 전극 t가 소스가 되고, 제1 전극 q가 드레인으로 되어 제1 전극 q에서 제2 전극 t로의 전하누설경로 Lp2가 형성된다. 따라서, 하이데이터를 축적한 전하축적 노드 j(VSN=3.6)에서는, 그 축적 전하가 제2 전극 t에서 상기 누설경로 Lp1을 거쳐 제1 전극 q에 누설되고, 한편, 로우 데이터를 축적한 전하축적 노드 j(VSN=0v)에서는, 제1 전극 q에 존재하는 전하가 누설경로 Lp2를 거쳐 제2 전극 t에 유입된다. 따라서, 예를들면 제26도에 도시하는 바와 같이 하이 데이터를 기억하는 경우를 설명하면 소정의 메모리셀 a에 대한 리플레쉬가 행해진 후는 그 메모리셀 a의 전하축적 노드 j의 전위 VSN이 하이 데이터를 판독한계전위 Vlim('H')로 저하하기까지의 사이에 그 소정 메모리셀 a에 대한 다음의 리플레쉬를 행할 필요가 있다. 전하축적 노드전위 VSN의 저하속도가 늦어지는(바꾸어 말하면, 전하축적 노드 j의 전하 누설량이 적은) 경우에는 리플레쉬 주기는 장기간으로 설정할 수 있어서 대기시의 소비전류를 감소시킬 수 있다.

상기 전하축적 노드 j의 전하 누설량은 각 메모리셀마다 다르다. 따라서, 리플레쉬 주기는 누설량이 가장 많은 메모리셀에 대응하여 길게 설정되는 것이 일반적이다.

그래서, 메모리셀 어레이 b에 있어서, 누설량이 많은 불량 메모리셀을 누설량이 적은 양호 메모리셀로 치환하는 것을 고려할 수 있다. 그러나, DRAM이 대용량화하면 불량 메모리셀의 개수도 증대하기 때문에 그 모두를 용장 메모리셀로 치환하는 것은 용장면적 증대 등의 관점에서도 현실적인 대책은 아니다.

그래서, 종래, 예를들면, 일본특허공개공보 4-179164호 및 일본특허공개공보 5-291534호에 개시된 기술에서는 PN접합을 거친 전하의 누설에 의해 전하축적 노드 j의 전하가 변화하여도 동작시에 미리 그 전위를 원래의 값으로 회복시키고 있다. 이 기술은 전하의 누설을 허용하는 소극적인 생각이다. 전하의 누설량 자체를 제한하는 적극적인 기술로서, 예를들면, 일본특허공개공보 6-111567호(종래예1)에 개시된 것에서는, PN접합 양단의 전위차를 작게 제한하고, PN접합을 흐르는 누설전류를 적게 억제하고 있다. 이 공보에서는, PN접합의 전위차를 작게 제한하는 구성으로서, 셀 플레이트 노드 g의 전위를 내리고, 이로써 전하축적 노드 j의 전위를 메모리셀 커파시터 d의 용량 결합에 의해 내려서 전하축적 노드 j와 기판노드 l의 전위차(즉, PN접합의 전위차)를 작게 제한하고 있다.

또한, 종래, 상기 메모리셀 트랜지스터 c의 오프시에 그 드레인과 소스 사이에 흐르는 누설전류(오프전류)를 제한하는 기술로서, 예를들면 A 34ns 256Mb DRAM with Boosted Sense-Ground Scheme 1994 IEEE International Solid-State Circuits Conference/SESSION 8/DRAMS AND NON-VOLATILE MEMORIES/PAPER TA8.2)(종래예 2)에 개시되는 것에서는 대기시, 즉 워드선의 전위가 '0'전위에 있을 때에 비트선 BL의 전위를 영전위보다도 미소전위 높은 설정전위로 높이는 구성을 채용하고 있다. 이 기술에서는, 대기시에 비트선 BL의 전위가 상기 설정전위에 있으므로, 메모리셀 트랜지스터 c의 제1 전극 q(비트선 BL에 접속된 전극)가 소스가 되는 경우에는 이 메모리셀 트랜지스터 c의 게이트와 소스 사이의 전위차 Vgs(=게이트 전위 Vg-소스전위 Vs)가 부전위로 되고, 이로써, 메모리셀 트랜지스터 c의 오프상태가 한층 강해지므로, 전하축적 노드 j에서 메모리셀 트랜지스터 c를 거쳐 비트선 BL에 흐르는 오프 전류량을 유효하게 억제할 수 있다.

그러나, 상기 PN접합의 누설전류 및 메모리셀 트랜지스터 c의 오프전류를 동시에 적극적으로 감소시키려고 하는 경우에, 상기 종래예 1 및 종래예 2를 조합시켜도 다음의 문제점이 존재한다.

즉, 상기 종래예 1에서는, 전하축적 노드 j에 로우 데이터가 기억되어 있는 경우(VSN=0v), 대기시에 이 노드 j의 전위가 셀 플레이트 노드 g 전위의 저하제어에 따라 내려가 부전위로 된다. 이 때, 메모리셀 트랜지스터 c의 제2 전극 t(전하축적 노드 j에 접속되어 있는 전극)가 소스가 되고, 게이트 - 소스간 전압 Vgs가 정전위로 되기 때문에, 메모리셀 트랜지스터 c가 온 동작하고, 그 결과, 비트선 BL에서 이 메모리셀 트랜지스터 c를 거쳐 전하축적 노드 j에 전류가 흐르므로 전하축적 노드 j의 전위가 상승하고, 로우 데이터가 파괴된다. 이 결정은 전하축적 노드 j에 하이 데이터가 기억되어 있는 경우에는 생기지 않는다. 즉, 이 경우에는 메모리셀 트랜지스터 c의 제1 전극 q(비트선 BL에 접속되어 있는 전극)가 소스가 되므로, 상기 종래예 2의 구성이 기대한 바와 같이 작용하여 메모리셀 트랜지스터 c의 오프상태가 강해지고, 그 결과, 전하축적 노드 j에서 이 메모리셀 트랜지스터 c를 거쳐 비트선 BL에 흐르는 오프전류가 적게 억제되므로, 전하축적 노드 j의 하이 데이터는 양호하게 잔존한다.

또한, 상기 종래예 1의構성을 채용하기 보다도 상기 종래예 2를 채용하는 편이 유효한 경우가 있다. 즉, 메모리셀 트랜지스터로서, 제16도에 도시하는 바와 같이, SOI(Silicon On Insulator) 구조의 트랜지스터가 채용된 경우에는 P형 기판과 2개의 전극 사이에 절연체가 배치되므로, PN접합은 존재하지 않고, 따라서, 상기 PN접합을 거쳐 흐르는 누설전류를 고려할 필요가 없다. 또, 메모리셀 트랜지스터에선, 그 미세화가 진행하면 게이트 산화막의 내압이 저하하기 때문에, 인가전압을 낮게 설정할 필요가 있고, 이에 따라 메모리셀 트랜지스터의 임계치 전압도 저하하고, 메모리셀 트랜지스터를 거쳐 흐르는 오프전류도 많아진다고 예상된다. 이와같은 경우에는 상기 종래예 2를 채용하여 메모리셀 트랜지스터를 거쳐 흐르는 오프전류를 적게 제한하는 것이 중요하지만, 상기 종래예 2를 채용할 수 없는 경우가 존재한다. 이하, 그 경우를 설명한다. 대기중에 있어서, 각 메모리셀 a에 대한 리플레쉬를 집중하여 행할 때에는 리플레쉬 동작을 행하지 않는 완전 정지기간이 존재한다. 이 완전 정지기간에서는 비트선 BL은 전원전압 또는 그 중간 전위(전원전압의 1/2의 전위)로 프리챠지되는 것이 일반적이다. 따라서, 이 상황에서는 상기 종래예 2의 구성(즉, 워드선의 전위가 '0'전위인 것을 전제로 하고, 이 '0'전위보다도 미소전위 높은 설정전위로 설정하는 구성)은 채용할 수 없다. 이 상황하에서는 전하축적 노드 j에 로우 데이터가 기억되어 있는 경우에 메모리셀 트랜지스터 c의 제2 전극 t(전하축적 노드 j에 접속되어 있는 전극)가 소스가 되기 때문에 메모리셀 트랜지스터 c는 온 동작하고, 비트선 BL에서 이 메모리셀 트랜지스터 c를 거쳐 전하축적 노드 j에 전류가 흐르고, 로우 데이터가 파괴되는 결점이 있다.

DRAM에서는, 로우 데이터를 기억하는 메모리셀과 하이 데이터를 기억하는 메모리셀이 혼재하는 이상, 상

기 종래예에서는 무엇보다도 그 양쪽 데이터를 파괴하지 않고, PN접합의 누설전류 또는 메모리셀 트랜지스터의 오프전류를 적게 억제할 수 없다.

본 발명은, 이상의 결점을 감안하여 된 것이고, 그 목적은 각 전하축적 노드에 기억된 로우 또는 하이 데이터를 파괴하지 않고, PN접합의 누설전류 또는 메모리셀 트랜지스터의 오프전류를 적게 억제하고, 데이터의 유지기간을 연장하고, 따라서, 리플레쉬 주기를 길게 설정할 수 있어서 휴대기기의 내장 배터리의 소비전류를 경감하는 것이다.

[발명의 개요]

본 발명의 목적은 PN접합의 전위차를 작게 제한하여 누설전류를 억제하는 경우에는 메모리셀 트랜지스터의 오프상태를 강해지도록 대책하여 메모리셀 트랜지스터를 거쳐 전하가 흐르는 것을 억제한다.

또한, 메모리셀 트랜지스터로서 SOI 구조의 트랜지스터를 이용한 경우에는 완전 정지기간에 메모리셀 트랜지스터를 거쳐 전하가 흐르는 것을 억제한다.

본 발명의 상기 목적과 신규한 특징은 다음의 상세한 설명을 첨부도면과 참조하여 읽으면 더 완전하게 분명해질 것이다.

[실시예]

이하, 본 발명에 대해 바람직한 각 실시예를 첨부도면에 따라 설명한다.

[제1 실시예]

제1도는 본 발명의 제1 실시예에 관한 DRAM의 전체 개략 구성도를 도시한 것이다. 제1도의 DRAM에 있어서, 21은 메모리셀 어레이, 22는 상기 메모리셀 어레이(21)에 구비되는 다수의 메모리셀(도면에서는 1개만 도시함)이다. 상기 메모리셀(22)은 NMOS형 메모리셀 트랜지스터(4)와, 메모리셀 커퍼시터(5)를 갖는다. BL, /BL은 1쌍으로 되는 2개의 비트선, WL은 워드선, 6은 상기 워드선 WL을 구동하는 워드 드라이버로, 23은 상기 2개의 비트선 BL, /BL간의 전위차를 증폭하는 센스앰프회로이다.

상기 메모리셀 커퍼시터(5)는 제3도에 도시하는 바와 같이, 제1전극(5a)과, 제2 전극(5b)과, 이러한 제1 및 제2 전극(5a,5b) 사이에 끼워진 절연막 (5c)으로 구성된다.

또한, 상기 메모리셀 트랜지스터(4)에 있어서, 그 게이트(제어전극) G는 워드선 WL에, 그 제1 전극 q는 비트선 BL에 각각 접속되고, 그 기판노드(2)에는 소정의 기판노드 전위 VBB(예를들면 VBB=-1.5v)가 인가된다. 상기 메모리셀 트랜지스터(4)의 제2 전극 t와 상기 메모리셀 커퍼시터(5)의 제1 전극(5a)은 서로 접속되고, 이 접속점은 전하축적 노드(1)를 형성한다. 상기 전하축적 노드(1)에는 로우 데이터의 기억시에는 소정 전위 VSN(=0V)정도의 전하가 축적되고, 하이 데이터의 기억시에는 소정 전위 VSN(=전원전위 Vcc, 예를들면 3.6v)정도의 전하가 축적된다.

상기 메모리셀 커퍼시터(5)의 제2 전극(5b)은 메모리셀(22)의 셀 플레이트노드(3)에 접속된다. 이 셀 플레이트 노드(3)에는 이 노드(3)에 셀 플레이트 노드전위 VCP를 부여하는 셀 플레이트 노드전위 절환회로(셀 플레이트 전위 절환회로)(8)의 출력단자(8a)가 접속된다.

상기 메모리셀 트랜지스터(4)의 구성을 제2도에 도시한다. 이 메모리셀 트랜지스터(4)는 P형의 기판(2a) 상에 형성된 N형의 제1 전극 q 및 N형의 제2 전극 t와, 게이트전극 G를 갖는 N형의 트랜지스터로 구성된다. 제2도의 N형 메모리셀 트랜지스터(4)에서는 N형의 제2 전극 t와 P형 기판(2a)의 PN접합(11)이 존재한다. 이 PN접합(11)은 접합 다이오드이고, 그 전하축적 노드(1)측이 캐소드 전극으로 되고, 기판노드(2a)측이 애노드 전극으로 되어 전류가 기판노드(2)에서 전하축적 노드(1)를 향해 흐르는 것을 허용한다. 상기 제1도에 도시한 DRAM에 대해 상기 제2도에 도시한 메모리셀 트랜지스터(4)의 PN접합(11)을 가미한 구성을 제3도에 도시한다.

그리고, 상기 셀 플레이트 노드전위 절환회로(8)에는 소정의 고전위(소정전위) Vcp1(예를들면 1.8v)을 발생하는 고전위 발생회로(제1 셀 플레이트 전위 발생회로)(16)와, 소정의 저전위 Vcp2(예를들면 0v)를 발생하는 저전위 발생회로(제2셀 플레이트 전위 발생회로)(17)가 접속된다. 상기 셀 플레이트 노드전위 절환회로(8)는 이 고전위 Vcp1 (=1.8v)과 저전위 Vcp2(=0v)의 어느 한쪽을 선택하고, 그 선택한 전위를 출력단자(8a)에서 셀 플레이트 노드(3)에 부여한다.

대기시에는 버스트(집중) 리플레쉬가 행해진다. 따라서, 대기시는 버스트 리플레쉬를 행하는 집중 리플레쉬 기간과, 이 집중 리플레쉬도 행할 필요가 없는 완전 정지기간으로 구별된다. 완전 정지기간에서는 비트선(BL, /BL)은 동시에 전원전압 Vcc의 1/2값인 중간전위(1/2 · Vcc)로 프리챠지된다. 제3도에 있어서, 7은 타이머회로이고, 이 타이머회로(7)는 시간계측에 의해서 대기시에 현지가 상기 리플레쉬 기간인가 또는 완전 정지기간인가를 구별하여 리플레쉬 기간 또는 완전 정지기간을 표시하는 신호를 상기 셀 플레이트 노드전위 절환회로(8)에 출력함과 동시에, 리플레쉬기간에서는 RAS(Row Address Strobe) 신호를 출력한다.

상기 셀 플레이트 노드전위 절환회로(8)는 타이머회로(7)에서 기간 구별신호를 받고, 리플레쉬 기간에서는 고전위 발생회로(16)를 선택하는 한편, 완전 정지기간에서는 저전위 발생회로(17)를 선택하고, 그 선택한 전위 Vcp1 또는 Vcp2를 셀 플레이트 노드전위 Vcp로서 셀 플레이트노드(3)에 부여한다.

제3도에 도시하는 바와 같이, 상기 워드 드라이버회로(6)에는 워드선 전위 절환회로(10)가 접속된다. 이 워드선 전위 절환회로(10)는 접지전위 Vss(=0v)와 부전위 VBB(예를들면 -1.5v)를 절환하여 출력한다. 구체적으로, 이 워드선 전위 절환회로(10)는 제4도에 도시하는 바와 같이, 접지된 NMOS형의 제1 트랜지스터 Q7과, 부전위 VBB(-1.5v)가 입력되는 NMOS형 제2 트랜지스터 Q6을 구비한다. NMOS형 제1 트랜지스터 Q7은 그 게이트에 상기 타이머회로(7)에서 집중 리플레쉬기간을 나타내는 신호('H' 레벨) 및 동작시를 나타내는 신호 M1을 받아 온 동작하고, NMOS형의 제2 트랜지스터 Q6은 그 게이트에 상기 타이머회로(7)에서 완전 정지기간을 나타내는 신호('H' 레벨)를 받아 온 동작한다.

상기 워드 드라이버회로(6)의 구체적 구성을 제4도에 도시한다. 제4도에 있어서, WD는 워드구동선, Eth는 접지선, Q1은 상기 워드 구동선 WD를 워드선 WL에 접속하는 NMOS형의 구동제어 트랜지스터, Q3은 상기 접지선 Eth를 워드선 WD에 접속하는 NMOS형의 접지제어 트랜지스터이다. 상기 접지제어 트랜지스터 Q3은 상기 워드선 전위 절환회로(10)의 2개 트랜지스터 Q6, Q7에 접속된다.

또한, 워드 드라이버회로(6)에 있어서, 25는 디코더이고, 입력신호 ADD-2를 디코드한다. 자기(自己)의 워드선 WL을 선택할 때, 워드구동선 WD는 디코더(25)의 출력에 의해 고전위 VWL0(=3.6v)으로 설정된다. Q8 및 Q9는 직렬접속된 2개의 NMOS형 트랜지스터이고, 동시에 선택신호 ADD-1을 받고, 그 내용이 자기를 지정하는 것일 대에 온 동작하여 노드 A의 전위를 접지전위 Vss로 설정한다. Q10은 입력신호 VPRE를 받고, 그 신호 VPRE의 전위레벨이 'H'일 때에 온 동작하여 승압전원의 전위(워드선 WL을 활성화하는 전위) VPP를 노드 A에 부여한다. Q2는 NMOS형 트랜지스터이고, 상기 노드 A의 전위가 'H' (=VPP)일 때에 온 동작하여 상기 워드선 전위 절환회로(10)에서 선택된 통상전위 VWL1(=Vss) 또는 부전위 VWL2(=VBB=-1.5v)를 노드 B에 부여한다. QB는 PMOS형 트랜지스터이고, 상기 노드 A의 전위가 'L' (=Vss)일 때에 온 동작하여 상기 활성전위 VPP를 상기 노드 B에 부여한다. QD는 NMOS형 트랜지스터(제1 트랜지스터)이고, 상기 노드 B의 전위가 상기 통상전위 VWL1(=Vss) 또는 부전위 VWL2(=VBB=-1.5v)일 때, 온 동작하여 노드 VA(구동제어 트랜지스터 Q1의 게이트)를 상기 통상전위 VWL1(=Vss) 또는 부전위 VWL2(=VBB=-1.5v)로 설정하고, 한편, 상기 노드 B의 전위가 활성전위 VPP일 때에 상기 노드 VA를 소정전위 (VPP-Vt)(Vt는 임계치 전압)로 설정한다. INV는 인터버이고, 상기 노드 B의 전위를 발전하고, 그 반전된 전위를 상기 접지제어 트랜지스터 Q3의 게이트에 부여한다.

상기 워드 드라이버회로(6)는 상기의 구성에 의해 다음과 같이 동작한다. 즉, 동작시 및 대기중의 버스트 리플레쉬 기간에 있어서, 자기의 워드선 WL이 선택되는 경우에는 신호 ADD-1에 의해 트랜지스터 Q8, Q9, QB 및 QD가 온 동작하여 노드 VA가 소정 전위(VPP-Vt)가 되므로, 구동제어 트랜지스터 Q1이 온 동작한다. 또 신호 ADD-2에 의해, 워드 구동선 WD가 고전위 VWL1(=3.6v)로 설정된다. 따라서, 워드선 WL이 고전위 VWL1(=3.6V)로 설정된다. 이 때, 트랜지스터 Q10, Q2 및 접지제어 트랜지스터 Q3은 오프 상태에 있다.

한편, 동작시, 및 대기중의 리플레쉬 기간에 있어서, 자기의 워드선 WL이 선택되지 않은 경우, 워드선 전위 절환회로(10)에서는 제1 트랜지스터 Q7이 온 동작하여 통상전위 VWL1(=Vss)이 워드 드라이버회로(6)의 접지선 Eth에 부여된다. 또, 워드 드라이버회로(6)에서는 트랜지스터 Q10, Q2가 온 동작하여 노드 B의 전위가 상기 접지전위 VWL1(=Vss)이 된다. 그 결과, 접지제어 트랜지스터 Q3이 온 동작하여 워드선 WL은 접지선 Eth의 전위 VWL1(=Vss)로 설정된다. 이 때, 트랜지스터 QB 및 구동제어 트랜지스터 Q1은 오프 상태에 있다.

한편, 대기중의 완전 정지기간에서는 워드선 전위 절환회로(10)에서는 제2 트랜지스터 Q6이 온 동작하여 부전위 VWL2(=VBB=-1.5v)가 워드 드라이버회로(6)의 접지선 Eth에 부여된다. 워드 드라이버회로(6)의 동작은 상기 자기의 워드선 지DL 선택되지 않은 경우와 마찬가지이다. 즉, 트랜지스터 Q10, Q2의 온 동작에 의해, 노드 B의 전위가 부전위 VWL2(=VBB=-1.5v)가 되어 접지제어 트랜지스터 Q3이 온 동작하고, 워드선 WL은 접지선 Eth의 전위 VWL2(=1.5v)로 설정된다. 이 때, 노드 B 및 노드 VA에도 부전위 VBB(=-1.5v)가 인가되므로, 구동제어 트랜지스터 Q1은 오프상태에 있다.

더욱이, 제2 트랜지스터 Q6의 구동능력을 제1 트랜지스터 Q7의 구동능력에 비해 작게 설정하면, 이 양 트랜지스터 Q6, Q7을 동시에 온 상태로 하여도 워드선 WL 및 노드 VA의 전위는 제1 트랜지스터 Q7만을 거쳐 접지선의 VSS 근방까지 하강하고, 그 후, 제2 트랜지스터 Q6을 거쳐 부전위 VBB(=-1.5v)로 완만하게 하강한다. 상기 워드 드라이버회로(6) 및 워드선 전위 절환회로(10)에 의해 메모리셀 트랜지스터(4)의 게이트 전위를 절환하는 전극전위 절환회로(20)를 구성한다.

다음에, 본 실시예의 동작을 제5도를 참조하여 설명한다. 우선, 대기시에 있어서, 집중(버스트) 리플레쉬 기간(제1 기간)에서는 제3도에 도시하는 타이밍회로(7)로부터 RAS 신호가 반복하여 발생한다. 이로써, 차례로 워드선이 활성화되어 선택되고, 이 선택된 워드선에 접속된 메모리셀 트랜지스터(4)가 온하고, 대응하는 메모리셀(22)의 리플레쉬가 행해진다. 이 리플레쉬는, 구체적으로는 상기 메모리셀 트랜지스터(4)의 온에 의해 전하축적 노드(1)의 축적전하가 상기 메모리셀 트랜지스터(4)를 통하여 비트선 BL에 전송되고, 그 후, 센스앰프회로(23)에 의해 한 쌍의 비트선 BL, /BL 사이의 전위차가 증폭되고, 이 비트선 BL의 증폭된 전하가 상기 메모리셀 트랜지스터(4)를 통하여 상기 전하축적 노드(1)에 재축적됨으로써 행해진다. 이 리플레쉬 기간에서는 선택되지 않은 워드선 WL에는 워드 드라이버회로(6)에 의해 소정 전위 VWL1(VWL1=0v)이 부여된다. 또, 셀 플레이트 노드(3)에는 전위 절환회로(8)에 의해 고전위 VCP1이 인가되고, 기판노드(2)에는 소정 전위 VBB1(VBB1=-1.5v)이 인가된다.

집중 리플레쉬 기간이 종료하고, 완전 정지기간(제2 기간)에 들어가면 셀플레이트 노드(3)에는 전위 절환회로(8)의 절환에 의해 셀 플레이트 전위 Vcp로서 상기 고전위 Vcp1(=1.8v)에서 저전위 Vcp2(=0v)가 인가된다. 이 때, 워드선 WL의 전위 VWL1이 비활성전위 VWL1(=0v)로부터 접지선 Eth의 전위 VWL2(=-1.5v)로 저하하여 메모리셀 트랜지스터(4)의 오프상태는 다시 강해지고, 전위 축적노드(1)는 부유(floating)상태에 있다. 또, 전위 축적노드(1)의 부유용량은 메모리셀 커패시터(5)의 용량에 대해 충분히 작다. 따라서, 상기 셀 플레이트 노드(3)의 전위 Vcp가 소정 전위($V_{cp1}-V_{cp2}=1.8v$)만 저하하면 메모리셀 커패시터(5)의 용량 결합에 의해 전위 축적노드(1)의 전위 VSN도 약 1.8v만 저하한다.

여기에서, 하이 데이터를 기억하고 있는 메모리셀(22)에서는 전하 축적노드(1)와 기판노드(2) 사이의 전위차, 즉, 접합 다이오드(11)에 인가되는 전압(VSN-VBB)은 $5.1v(=3.6v-(-1.5v))$ 에서 $3.3v(=1.8v-(-1.5v))$ 로 저하한다. 또 로우 데이터를 기억하고 있는 메모리셀(22)에서는 PN접합(11)에 인가되는 전압(VSN-VBB)은 $1.5v(=0v-(-1.5v))$ 에서 $-0.3v(=0.1v-(-1.5v))$ 로 저하한다. 이를 저하폭은 상기 셀 플레이트 노드(3)의 전위 Vcp의 저하폭 ($Vcp1-Vcp2=1.8v$)로 거의 같다. 그 결과, 완전 정지기간에서는 로우 또는 하이 데이터를 기억하는 각 메모리셀(22)에서는 상기 PN접합(11)의 전위차가 작게 제한되므로, 제2도에 도시하는 바와 같이, 전하 축적노드(1)에서 접합 다이오드(11)를 거쳐 기판노드(2)에 누설하는 전류 I101 감소한다.

한편, 로우 데이터를 유지하고 있는 메모리셀에 있어서는, 데이터 파괴의 양상이 하이 데이터를 유지하고

있는 메모리셀의 경우와는 다르다. 즉, 로우 데이터를 유지하고 있는 메모리셀에서는, 도 3에 도시된 비트선 BL로부터의 전하의 유입 IR3에 의해 전하 축적노드(1)의 전위 VSN이 상승하고, 이에 따라 로우 데이터가 파괴되어 하이로 되는 것이다. 본 실시예에 의하면, 이 로우 데이터의 파괴를 방지 하는 것도 가능하다. 이 방지의 동작을 제6도를 이용하여 설명한다. 상기 로우 데이터를 기억하고 있는 메모리셀(22)에서는 전하축적 노드(1)의 전위 VSN은 상술한 바와 같이 셀 플레이트 노드(3) 전위 Vcp의 저하에 따라 저하하여 $-0.3v$ 가 된다. 이 때, PN접합(11)이 순바이어스로 되므로, 제6도에 도시하는 바와 같이 전하축적 노드(1)의 전위 VSN은 당초 기판노드(2)의 전위 VBB($-1.5v$) 부근에 클램프된다. 여기에서, 메모리셀 트랜지스터(4)에서는, 그 제1 전극 q의 전위가 비트선 BL의 끈리차지 전위($=1/2 \cdot Vcc$)이고, 메모리셀 트랜지스터(4)의 제2 전극 t가 소스가 된다. 그러나, 워드선 WL의 전위 VWL이 통상값 VWL1($=0v$)에서 부전위 VBB($=-1.5v$)로 저하 제어되어, 이 부전위 VBB($=-1.5v$)가 상기 메모리셀 트랜지스터(4)의 게이트에 인가되므로, 이 메모리셀 트랜지스터(4)의 게이트-소스간 전위 Vgs는 '0'전위로 되어 메모리셀 트랜지스터(4)의 오프 상태가 강해진다. 그 결과, 비트선 BL에서 이 메모리셀 트랜지스터(4)를 거쳐 전하축적 노드(1)에 흐르는 전류량이 적게 억제된다. 따라서, 전하축적 노드(1)의 로우 데이터를 양호하게 유지할 수 있다.

또한, 워드선 WL의 전위 VWL이 제4 도에 도시한 워드선 드라이버 회로(6)에 의해 제어되는 경우는, 제4 도에 도시된 워드선 전위 절환회로(10)에 입력되는 2개의 제어신호 M1,M2에 대하여, 제6 도에 도시된 바와 같이 버스트 리플레쉬의 종료와 동시에 한쪽의 제어신호 M1이 하이로부터 로우로 천이하여 제4 도의 트랜지스터 Q7이 오프상태로 된 후, 다른 쪽의 제어신호 M2가 하이로 천이하여 트랜지스터 Q6이 온으로 되고, 워드 드라이버 회로(6)를 통하여 워드선 WL에 부전위 VBB($=-1.5v$)가 주어진다. 이때, 다른 쪽의 제어신호 M2의 천이시점을 한쪽의 제어신호 M1의 천이시점보다 지연시킴으로써, 트랜지스터 Q7과 트랜지스터 Q6이 동시에 온이 되는 것을 방지하여, VBB 전원에 의한 소비전류를 억제하고 총 리플레쉬전류를 최소화한다. 반대로, 완전 정지기간으로부터 버스트 리플레쉬 기간으로 천이할 때에는, 한쪽의 제어신호 M1보다도 다른 쪽의 제어신호 M2가 먼저 천이함으로써, 트랜지스터 Q7과 트랜지스터 Q6이 동시에 온으로 되는 것을 방지하고 있다.

그리고, 다음에 리플레쉬 기간으로 이행하기 시작하면, 셀 플레이트 노드(3)의 전위 Vcp가 저전위 Vcp2($=0v$)에서 고전위 VCP($=1.8v$)로 절환된다. 이로써, 메모리셀 커퍼시터(5)의 용량 결합에 의해 전하축적 노드(1)의 전위 VSN도 약 1.8v만 상승한다. 이 상승한 전하축적 노드(1)의 전위 VSN이 하이 데이터인 경우에는 하이 데이터 판독 한계전압 $Vlim('H')$ (=초기전위 VCC-완전 정지기간에서의 전위 강하량 ΔVH)보다도 높도록 설정하고, 또, 로우 데이터의 경우에는 로우 데이터 판독 한계전압 $Vlim('L')$ (=초기전위 Vss($0v$))+완전 정지기간에서의 전위 상승량 ΔVL)보다도 낮도록, 셀 플레이트 노드(3)의 전위 변동량 ($Vcp1-Vcp2$)을 임의로 설정하면, 각각 로우 또는 하이 데이터로서 판독 가능하다.

따라서, 제5도에 실선으로 도시하는 바와 같이, 전하축적 노드(1)에 기억된 데이터가 로우 또는 하이 데이터의 어느 것이어도 그 전하축적 노드(1)의 전위 변화속도는 제5도에 점선으로 도시하는 종래의 경우보다도 늦어지고, 데이터의 유지시간이 길어진다.

이상, 대기중의 완전 정지기간에서 셀 플레이트 전위 Vcp를 고전위 Vcp1($=1.8v$)로부터 저전위 Vcp2($=0v$)로 절환하였으나 본 발명은 이것에 한정되지 않는다. 본 발명은, 예를들면 셀 플레이트를 복수개의 워드선 WL마다 전기적으로 분할하고, 1개의 워드선이 선택될 때, 이 워드선이 속하는 셀 플레이트 노드(3)를 저전위 Vcp2($=0v$)에서 고전위 Vcp1($=1.8v$)로 절환하고, 제28도에 도시하는 바와 같이 분산 리플레쉬로 하는 경우에도 마찬가지로 적용할 수 있다. 이 분산 리플레쉬에서는 리플레쉬를 실행하는 기간이 복수로 분할되므로, 집중 리플레쉬에 비해 발열량을 적게 억제할 수 있다.

[제1 실시예의 변형 예 1]

제7도 내지 제9도는 상기 제1실시예의 변형에 1을 도시한다. 상기 제1 실시예에서는 워드선 WL의 전위를 집중 리플레쉬기간에서는 접지전위 Vss로, 완전 정지기간에서는 부전위 VBB로 설정하였으나, 본 변형예에서는 워드 드라이버회로(6)의 구성을 일부 변경하여 제8도에 도시하는 바와 같이 리플레쉬 기간 및 완전 정지기간의 쌍방에서 워드선 WL의 전위를 부전위 VBB로 설정하고, 대기시에는 항상 메모리셀 트랜지스터(4)의 오프 정도를 강하게 하는 것이다.

즉, 제7도의 워드 드라이버회로(6')에 있어서, 접지제어 트랜지스터(부전위 제어 트랜지스터) Q3 및 NMOS형 트랜지스터(제2 트랜지스터) Q2는, 동시에 임계치 전압 VtN 이 큰 트랜지스터로 구성된다. 이 각 임계치 전압 VtN 은 전지전압 Vss와 부전위 VBB($=-1.5v$)의 차전압($=-1.5v$) 이상의 값($Vss-VBB \leq VtN$)(예를들면 $VtN=2.0v$)이다. 이 양 트랜지스터 Q2,Q3의 접속점인 노드 C, 바꾸어 말하면 접지선(배선) Eth는 부전위 VBB에 접속된다. 또 노드 B와 접지 사이에는 직렬로 접속된 2개의 NMOS형 트랜지스터 Q4, Q5가 배치되고, 한쪽의 트랜지스터(제3 트랜지스터) Q4의 게이트에는 노드 A의 전위가 공급되고, 다른 쪽의 트랜지스터 Q5는 다이오드 접속된다. 이 양 트랜지스터 Q4, Q5의 구동능력은 상기 NMOS형 트랜지스터 Q2의 구동능력보다도 크게 설정된다.

상기 워드 드라이버(6')는 다음과 같이 동작한다. 이하, 상기 제1 실시예의 워드 드라이버(6)와의 다른 점만을 설명한다. 동작시, 및 리플레쉬 기간에 있어서 자기의 워드선이 선택될 때, 노드 A의 전위가 접지전위 Vss로 되고, 노드 B의 전위가 승압전위 VPP로 되므로, 구동제어 트랜지스터 Q1이 온하여 워드선 WL은 워드 구동선 WD의 전위 VPP가 된다. 이 때, NMOS형 트랜지스터 Q2는 그 게이트-소스간 전압 Vgs가 $Vgs=Vss-VBB=1.5v$ 가 되지만, 그 임계치전압 $VtN=2.0v$ 이 전압 Vgs($=1.5v$)보다 크므로 오프하고 있고, 따라서, 노드 B에서 부전위 VBB로의 관통전류는 생기지 않는다. 또, 노드 B의 전위 VPP가 인버터 IVV에서 반전되어 접지전위 Vss가 되고, 이 반전전위 Vss가 접지제어 트랜지스터 Q3의 게이트에 입력된다. 따라서, 접지제어 트랜지스터 Q3의 게이트 - 소스간 전위 Vgs는 $Vgs=Vss-VBB$ 가 된다. 그러나, 상기와 같은 이유로 접지제어 트랜지스터 Q3은 오프하고 있고, 워드선 WL에서 부전위 VBB로의 관통전류는 생기지 않는다.

또한, 리플레쉬 기간에 있어서 자기의 워드선이 선택되지 않을 때, 및 완전 정지기간에서는 그 당초에 노드 A의 전위가 승압전위 VPP로 되면 NMOS형 트랜지스터 Q2,Q4,Q5가 동시에 온 한다. 그러나, 트랜지스터 Q2의 구동능력은 다른 직렬 접속된 트랜지스터 Q4,Q5의 구동능력보다도 작으므로, 노드 B 및 노드 VA에

총전되어 있던 전하는 상기 직렬접속된 트랜지스터 Q4,Q5를 거쳐 접지에 배출된다. 그 후, 양 노드 B, VA의 전위가 소정전위($=V_{ss}+V_t$)로 되면 이 시점에서 상기 총전 전하는 트랜지스터 q2를 거쳐 부전위 VBB로 배출되고, 양 노드 B, VA전위는 일부전위 VBB가 된다. 이 결과, 접지제어 트랜지스터 Q3은 그 게이트에 전원전위($=H'$)가 인가되므로 온 하고, 워드선 WL은 접지선 Eth를 통해 부전위 VBB에 접속되고, 워드선 WL의 전위는 부전위 VBB가 된다. 참고로서, 워드 드라이버회로(6')동작의 시뮬레이션 파형을 제9도에 도시한다.

따라서, 본 변형예에서는, 상기 제1 실시예의 워드선 전위 절환회로(10)로의 제어신호를 필요 없게 할 수 있고, 소비전류의 증가를 거의 초래하지 않고 구성을 간편하게 할 수 있는 이점을 갖는다.

[제1 실시예의 변형예 2]

제10(a)도는 제1 실시예의 변형예 2를 도시한다. 상기 제1 실시예에서는, 메모리셀 트랜지스터(4)의 오프 전류를 적게 제한하여도 셀 플레이트 노드(3)의 전위 V_{cp} 변화폭($V_{cp1}-V_{cp2}$)이 크면, 셀 플레이트 노드(3)의 전위를 저전압 V_{cp1} 에서 통상전압 V_{cp2} 로 되돌아올 때, 전하축적 노드(1)의 전위가 로우데이터 판독 한계전압 $V_{lim}('L')$ 을 넘어서 로우 데이터를 판독할 수 없게되는 경우가 생긴다. 본 변형예에서는 셀 플레이트 노드(3)의 전위 변화폭을 작게 제한하기도 한다.

즉, 제10(a)도에 도시하는 바와 같이, 셀 플레이트 노드전위 절환회로(8)와 저전압 발생회로(17) 사이에는 nmos형 다이오드(12)가 설치된다. 이 다이오드(12)는 NMOS형 트랜지스터로 이루어지고, 그 소스 S가 저전압 발생회로(17)에 접속되고, 그 게이트 G 및 드레인 D가 전위 절환회로(8)에 접속되어 있다.

따라서, 본 변형예에서는, 셀 플레이트 노드전위 절환회로(8)가 저전압 발생회로(17)를 선택한 경우에는, 셀 플레이트 노드(3)의 전위 V_{cp} 는 제11도에 도시하는 바와 같이, 저전압 $V_{cp1}(=0v)$ 보다도 NMOS 트랜지스터 임계치전압 V_t 만 높은 전압 $V_{cp1}-V_t$ 로 된다. 그 결과, 셀 플레이트 노드(3)의 전위 변화폭은 $1/2 \cdot V_{cc}-V_t$ 가 되고, NMOS 다이오드(12)를 설치하지 않은 경우(제1 실시예의 경우)에 비해 임계치전압 V_t 만큼만 작아진다. 따라서, 셀 플레이트 노드전위 V_{cp} 가 저전압 $V_{cp2}(=0v)$ 에서 고전압 $V_{cp1}(=1/2 \cdot V_{cc})$ 로 상승 변환했을 때에 상기 제1 실시예에서는 제11도에 정선으로 도시하는 바와 같이, 전하축적 노드(1)의 전위 V_{SN} 이 로우 데이터 판독 한계전압 $V_{lim}('L')$ 을 약간 상회할 경우라도 본 변형예에서는 제11도에 실선으로 도시하는 바와 같이, 전하축적 노드(1)의 전위 V_{SN} 을 로우 판독 한계전압 $V_{lim}('L')$ 미만으로 제한할 수 있고, 로우 데이터를 판독하는 것이 가능해진다.

게다가, 고전압 발생회로(16)의 고전압 $V_{cp1}(=1/2 \cdot V_{cc})$ 로서는 비트선 BL의 프리차지 전원을, 저전압 발생회로(17)의 저전압 $V_{cp2}(=0v)$ 로서는 DRAM을 탑재한 칩 전체의 접지전위 GND를 각각 이용할 수 있으므로, 전위 발생회로를 별도 설치할 필요가 없다. 또, 상기 다이오드(12)를 임계치 전압 V_t 의 절대값이 매우 작은 트랜지스터로 구성하면 셀 플레이트 노드(3)의 전위 변화량을 한층 미세하게 조정할 수 있다. 상기 다이오드(12)는 제10(b)도에 도시하는 바와 같이, 2개 이상의 NMOS 트랜지스터를 직렬로 접속하여도 된다. 또, 제10(c)도에 도시하는 바와 같이, NMOS 트랜지스터 대신에 PMOS 트랜지스터로 다이오드를 구성하여도 된다. 이 경우에는 PMOS 트랜지스터의 소스를 저위 절환회로(8)에, 게이트 및 드레인을 저전압 발생회로(17)에 각각 접속한다. 또, 다이오드는 전위 절환회로(8)와 고전압 발생회로(16) 사이에 설치하여도 된다. 이 경우, 다이오드를 NMOS 트랜지스터로 구성할 때는 제10(d)도에 도시하는 바와 같이, 게이트 및 드레인을 고전압 발생회로(16)에, 소스를 전위 절환회로(8)에 각각 접속하고, 한편 PMOS 트랜지스터로 구성할 때에는 제10(e)도에 도시하는 바와 같이, 소스를 고전압 발생회로(16)에, 게이트 및 드레인을 전위 절환회로(8)에 각각 접속한다.

[제2 실시예]

제12도는 본 발명의 제2 실시예를 도시한다. 상기 제1 실시예에서는, 완전 정지기간에서 셀 플레이트 노드(3)의 전위(V_{CP})를 고전위 $V_{cp1}(=1.8v)$ 에서 저전위 $V_{cp2}(=0v)$ 로 절환하였으나, 이 대신에, 완전 정지기간에서 기판노드(2)의 전위 VBB를 저전위 $V_{BB}(=-1.5v)$ 에서 고전위 $V_{BB2}(=0v)$ 로 절환함으로써, PN접합(11) 양단의 전위차를 작게 제한하고 있다.

즉, 제12도에서는, 셀 플레이트 노드(3)의 전위 V_{cp} , 예를들면 통상값($=1.8v$)으로 고정된다. 도, 기판 노드(2)에는 기판노드 전위 절환회로(기판전위 절환회로)(9)가 접속된다. 이 기판노드 절환회로(9)는 타 이마회로(7)에서 기간 구별신호를 받고, 리플레쉬 기간에서는 부전위(소정전위)(VB) ($=-1.5v$)을 선택하는 한편, 완전 정지기간에서는 고전위 $V_{BB2}(=0v)$ 를 선택하고, 그 선택한 전위 V_{BB1} 또는 V_{BB2} 를 기판 노드전위 VBB로하여 그 출력단자(9a)에서 기판노드(2)에 부여한다. 그 외의 구성은 제1 실시예와 같으므로 동일부분에 동일부호를 붙여 그 설명을 생략한다.

따라서, 본 실시예에 있어서는, 제13도에 도시하는 바와 같이, 완전 정지기간에서는 기판노드(2)의 전위 VBB는 저전위 1($=-1.5v$)에서 고전위 2($=0v$)로 상승한다. 이로써, 전하축적 노드(1)와 기판노드(2) 사이의 전위차($V_{SN}-V_{BB}$), 즉, PN접합(11)의 전위차가 상기 기판노드(2)의 전위상승분($=1.5v$)만큼 작게 제한된다. 그결과, 상기 제1 실시예와 마찬가지로, 전하축적 노드(1)에서 PN접합(7)을 통해 기판노드(2)에 흐르는 누설전류(11)가 감소하므로, 전하축적 노드(1) 전위 V_{SN} 의 전위 변화속도가 늦어지고, 데이터의 유지시간이 길어진다. 따라서, 리플레쉬 주기를 종래보다도 길게 설정할 수 있으므로, 대기시의 내장 배터리의 소비전류를 적게 억제할 수 있고, 저소비 전력화를 도모할 수 있다.

더욱이, 기판노드(2)의 전위 VBB는 다음의 리플레쉬 기간에서 고전위 $V_{BB2}(=0v)$ 로부터 통상값의 저전위 $V_{BB1}(=-1.5v)$ 로 되돌아오게 되므로, 이후의 동작에는 전혀 영향이 없다.

제14도는 본 실시예의 효과를 도시한다. 제14도에서 알 수 있듯이, 본 실시예의 데이터 유지기간은 종래 예의 약 3배 길어진다.

일반적으로, 리플레쉬 전류 I_{ref} 는 리플레쉬 주기 t_{ref} 에 의존하고 있고, 그관계는 다음 식으로 표시된다.

$$I_{ref} = I_{dc} + Q/t_{ref}$$

상기의 관계식에 있어서 I_{dc} 는 정상적으로 흐르는 누설전류를 나타낸다. 이 누설전류 I_{dc} 는 리플레쉬 전류 전체에 점유하는 비율이 작으므로 무시할 수 있다. Q는 12회의 리플레쉬 동작으로 소비되는 전하량이고, 일정값이다. 따라서, 상기와 같이 데이터 유지기간이 약 3배로 되면 리플레쉬 주기 t_{ref} 도 약 3배로 연장 할 수 있으므로, 리플레쉬 전류 I_{ref} 는 종래의 약 1/3으로 감소할 수 있다.

[제3 실시예]

제14도는 본 발명의 제3 실시예를 도시한 것이다. 본 실시예는 메모리셀 트랜지스터로서 SOI구조의 트랜지스터를 사용한 경우 등과 같이, 메모리셀 트랜지스터의 PN접합을 거쳐 흐르는 누설전류가 적거나 없는 경우에 메모리셀 트랜지스터의 오프시에 그 제1 전극과 제2 전극 사이에 흐르는 전류(오프전류)를 억제하는 것이다.

제15도에 있어서, 메모리셀 트랜지스터(4')는 SOI 구조의 트랜지스터가 사용된다. 이 트랜지스터(4')는 제16도에 도시하는 바와 같이, P형 기관(2a)과, N형의 제1 및 제2 전극 q, t 사이에 절연체(20)가 배치된 구조이다. 따라서, 이 SOI 구조에서는, 전하축적 노드(1)에 접속된 N형의 제2 전극 t와 P형기판(2a)의 PN 접합은 존재하지 않고, 전하축적 노드(1)에서 기판(2a)에 흐르는 누설전류를 고려할 필요가 없다.

또한, 제15도에 있어서, 8'는 셀 플레이트 노드전위 절환회로(셀 플레이트 전위 절환회로)이다. 이 전위 절환회로(8')는 대기시에 타이머회로(7)에서 기간 구별신호를 받고, 리플레쉬시에는 저전위(소정 전위) V_{cp1} (예를들어 1.8v)을 선택하고, 완전 정지기간에서는 고전위 V_{cp2} (예를들어 3.6v)를 선택하고, 이 선택 산 전위 V_{cp1} 또는 V_{cp2} 를 셀 플레이트 노드전위로 하고, 그 출력단자(8'a)에서 셀 플레이트 노드(3)에 인가한다.

또한, 워드 드라이버회로(6')는 비선택의 워드선 WL에 부여하는 전위 VWL 로서 소정 전위($=V_o$)가 입력된다. 본 실시예의 다른 구성은 상기 제1 실시예와 같으므로 동일한 부분에 동일한 부호를 붙이고, 그 설명을 생략한다.

다음에, 본 실시예의 동작을 제17도에 기초하여 설명한다. 완전 정지기간에서는 워드선 WL의 전위는 '0'이고, 비트선 BL의 전위는 중간전위($1/2 \cdot V_{cc} = 1.8v$)이다. 따라서, 메모리셀 트랜지스터(4')에서는 그 게이트전압 V_g 는 '0'v. 제1 전극 q의 전위는 중간전위($=1.8v$)이다. 또, 완전 정지기간에서는 셀 플레이트 노드(3)의 전위가 저전위 $V_{cp1}(=1.8v)$ 에서 고전위 $V_{cp2}(=3.6v)$ 로 높아진다. 따라서, 메모리셀 커패시터(5)의 용량 결합에 의해 전하축적 노드(1)의 전위도 셀 플레이트 노드(3)의 전위 상승분($=1.8v$)만큼 상승 한다. 완전 정지기간으로의 이행 당초에는 하이 데이터가 기억된 전하축적 노드(1)의 전위는 5.4v($=$ 전원 전위($V_{cc}=3.6v$) $+$ 전위 상승분($=1.8v$))이고, 로우 데이터가 기억된 전하축적 노드(1)의 전위는 1.8v($=$ 소정 전위($0v$) $+$ 전위 상승분($=1.8v$))이다.

그런데, 셀 플레이트 노드(3)의 전위상승제어가 없다고 가정한 경우에 로우 데이터가 기억되어 있을 때에는 메모리셀 트랜지스터(4')에서는 전위가 낮은 제2전극 t(전하축적 노드(1))가 소스로 되고, 게이트 - 소스간 전압 V_{gs} 는 '0'전압이 되므로, 메모리셀 트랜지스터(4')는 약한 오프상태에 있고, 따라서, 비트선 BL에서 이 트랜지스터(4')를 거쳐 전하축적 노드(1)에 흐르는 누설전류가 많아지는 상황이다. 그러나, 본 실시예에서는 상기와 같이 셀 플레이트 노드(3)의 전위상승제어에 의해 전하축적 노드(1)의 전위가 1.8v로 상승하므로, 게이트 - 소스간 전압 V_{gs} 는 부전압($=1.8v$)으로 되어 메모리셀 트랜지스터(4')는 강한 오프상태가 된다. 따라서, 비트선 BL에서 메모리셀 트랜지스터(4')를 거쳐 전하축적 노드(1)에 흐르는 누설전류 13R은 적게 억제된다(이 경우, 비트선 BL의 전위 ($=-1.8v$)와 전하축적 노드(1)의 전위 $VSN(=1.8v)$ 가 같고, 메모리셀 트랜지스터(4)의 제1 및 제2 전극 q, t간에는 전위차가 없으므로 누설전류 13R은 흐르지 않는다).

한편, 하이 데이터가 기억되어 있는 경우에는 메모리셀 트랜지스터(4')에서는 전위가 낮은 제1 전극 q가 소스가 되고, 게이트 - 소스간 전압 V_{gs} 가 부전위($-1.8v$)가 되므로, 메모리셀 트랜지스터(4')는 강한 오프상태에 있다. 따라서, 전하축적 노드(1)에서 비트선 BL에 흐르는 누설전류 13L은 적다.

다음의 리플레쉬 기간에서는 셀 플레이트 노드(3)의 전위 V_{cp} 가 고전위 $V_{cp2}(=3.6v)$ 에서 통상의 저전위 $V_{cp1}(=1.8v)$ 로 되돌아오고, 전하축적 노드(1)의 전위 VSN 은 약 1.8v만 하강하므로, 그 후의 리플레쉬 동작에 영향은 없다.

따라서, 본 실시예에 의하면, 메모리셀 트랜지스터(4')의 오프시에 비트선 BL에서 전하축적 노드(1)에 흐르는 누설전류(오프전류)를 적게 억제하고, 로우 데이터를 유지하고 있는 전하축적 노드(1)의 전위 VSN 의 전위 상승속도를 늦어지게 할 수 있으므로 로우 데이터의 유지시간을 연장할 수 있다.

더욱이, 셀 플레이트 노드(3) 전위 V_{cp} 의 상승분은 1.8v일 필요는 없으나, 이 전위 이외의 전위로 설정하기 위해서는 $VCC(=3.6v)$ 및 $1/2 \cdot V_{cc} (= 1.8v)$ 이외의 전원전압이 필요하게 된다.

[제4 실시예]

제18도는 본 발명의 제4 실시예를 도시한다. SOI구조의 메모리셀 트랜지스터를 사용하는 경우 등과 같이, 메모리셀 트랜지스터의 PN접합을 흐르는 누설전류에 대처할 필요성이 적거나 없는 경우에 상기 제3 실시 예에서는 메모리셀 트랜지스터의 소스전압을 높여서 메모리셀 트랜지스터의 게이트 - 소스간 전압 V_{gs} 를 부전위로 설정하고, 그 트랜지스터의 오프상태를 강하게 하였으나, 본 실시예에서는 메모리셀 트랜지스터의 게이트 전압을 낮게 제어함으로써, 게이트 - 소스간 전압 V_{gs} 를 부전위로 설정하고, 그 오프상태를 강하게 한 것이다.

제18도에서는, 메모리셀 트랜지스터(4')는 제15도에 도시하는 SOI 구조의 트랜지스터가 사용된다. 셀 플레이트 노드(3)는 소정의 셀 플레이트 전위 V_{cp} (예를 들면 1.8v)가 인가된다. 기타의 구성은 제3도와 마찬가지이다. 제18도의 워드 드라이버회로(6)는 제1 실시예와 마찬가지로, 대기시에는 리플레쉬 기간에서 비선택 워드선 WL의 전위를 통상 전위 $VWL1(=0v)$ 로 설정하고, 완전 정지기간에서는 워드선 WL의 전위를 부전위 $VWL2(=-1.5v)$ 로 설정한다.

따라서, 본 실시예에서는 대기시의 완전 정지기간에서는 메모리셀 트랜지스터(4의 게이트 전위가 워드선 WL의 전위, 즉 부전위 VWL2($=-1.5v$)로 설정된다. 한편, 비트선 BL의 전위는 중간전위($1/2 \cdot V_{cc} = 1.8v$)이고, 전하축적 노드(1)의 전위는 완전 정지기간의 처음에 하이 데이터의 경우는 $V_{cc}(=3.6v)$, 로우 데이터의 경우는 '0'이다. 따라서, 하이 및 로우중 어떠한 데이터를 기억하는 경우에 있어서도 메모리셀 트랜지스터(4')의 게이트 - 소스간 전압 V_{gs} 는 부전위가 되고, 메모리셀 트랜지스터(4')는 오프 정도가 강해진다. 그 결과, 제19도에 도시하는 바와 같이, 비트선 BL에서 메모리셀 트랜지스터(4')를 거쳐 전하축적 노드(1)에 흐르는 누설전류 13R, 및 역방향으로 흐르는 누설전류 13L 상방을 적게 제한할 수 있고, 따라서, 하이 및 로우 데이터 쌍방의 유지시간을 효과적으로 길게 할 수 있다.

제5 실시예

제20도는 본 발명의 제5 실시예를 도시한다. 본 실시예에서는 제3도에 도시한 구성이 적어도 제1 및 제2 그룹 A,B별로 설정된다. 타이머회로(7는 이 양 그룹A,B에서 공통으로 사용된다. 상기 타이머회로(탕리밍 재어회로)(7는 대기시에 제1 그룹 A에 리플레쉬 기간을 나타내는 신호를 출력할 때에는 제2 그룹 B에 완전 정지기간을 나타내는 신호를 출력하고, 반대로, 제1그룹 A에 완전 정지기간을 나타내는 신호를 출력할 때에는 제2 그룹 B에 리플레쉬 기간을 나타내는 신호를 출력한다. 따라서, 제1 그룹 A가 리플레쉬 동작을 행하고 있을 때는 제2 그룹 B는 완전히 정지하고, 한편, 제2 그룹 B가 리플레쉬 동작을 행하고 있을 때에는 제1 그룹 A는 완전히 정지한다.

또한, 각 그룹 A,B의 셀 플레이트 노드전위 절환회로($8', 8''$)는 각각 자기의 셀 플레이트 노드(3)에 접속되는 스위치회로($8, 8'a$)를 갖고, 이 양 스위치회로는 서로 접속회로(18)에 의해 접속된다. 상기 각 스위치회로($8'a, 8''a$)는 리플레쉬 기간에서 완전 정지기간으로의 천이시 및 그 반대의 천이시에 닫힌다.

마찬가지로, 각 그룹 A,B의 워드선 전위 절환회로($10', 10''$)는 각각 자기의 셀 플레이트 노드(3)에 접속되는 스위치회로($10'a, 10''a$)를 갖고, 이 양 스위치회로는 서로 접속회로(19)에 의해 접속된다. 상기 각 스위치회로($10'a, 10''a$)는 리플레쉬 기간에서 완전 정지기간으로의 천이시 및 그 반대의 천이시에 닫힌다.

따라서, 한쪽 그룹(예를들어 제1 그룹 A)이 리플레쉬 기간에 있을 때, 이 제1 그룹 A내의 셀 플레이트 노드(3)는 통상전위 $V_{cp1}(=1.8v)$ 에 있고, 워드선 WL의 전위는 통상전위 $VWL1(=0v)$ 에 있다. 이 때, 다른 쪽 그룹(제2그룹 B)은 완전 정지기간에 있고, 그 제2 그룹 B내의 셀 플레이트 노드(3)는 저전위 $V_{cp2}(=0v)$ 에 있고, 워드선 WL의 전위는 저전위 $VWL2($=-1.5v$)$ 에 있다.

그리고, 제1그룹(A)이 리플레쉬 기간에서 완전 정지기간으로 천이할 때, 즉, 제2 그룹 B가 완전 정지기간에서 리플레쉬 기간으로 천이할 때에는, 제1 그룹(A)의 셀 플레이트 노드(3)는 통상전위 $V_{cp1}(=1.8v)$ 에서 저전위 $V_{cp2}(=0v)$ 로 이행하는 한편, 반대로 제2그룹 B의 셀 플레이트 노드(3)는 저전위 $V_{cp2}(=0v)$ 에서 통상전위 $V_{cp2}(=1.8v)$ 로 이행하고, 또, 제1 그룹 A의 워드선 WL은 통상전위 $VWL1(=0v)$ 에서 저전위 $VWL2($=-1.5v$)$ 로 이행하는 한편, 제2 그룹 B의 워드선 WL은 저전위 $VWL2($=-1.5v$)$ 에서 통상전위 $VWL1(=0v)$ 로 이행한다. 이 때에는 각 전위 절환회로($8', 10'$)의 스위치회로가 닫히고, 양 그룹 A,B의 셀 플레이트 노드(3)끼리 및 워드선끼리가 접속되므로, 제21도에 도시하는 바와 같이, 제1 그룹 A의 메모리셀 커패시터(5)의 전하가 제2 그룹 B의 메모리셀 커패시터(5)에 부여됨과 동시에, 제1 그룹 A의 워드선 WL의 전하가 제1 그룹 A의 워드선 WL에 부여된다. 따라서, 이러한 전하를 재이용할 수 있는 만큼, 전위상승해야 할 메모리셀 커패시터(5) 또는 워드선 WL의 전위상승제어에 필요한 소비전력을 적게 제한할 수 있다. 상기 각 그룹 A,B의 셀 플레이트 노드전위 절환회로($8', 8''$)의 스위치회로($8, 8'a$) 및 접속회로(18)와 각 그룹 A,B의 워드선 전위 절환회로($10', 10''$)의 스위치회로($10'a, 10''a$) 및 접속회로(19)에 의해 전하 재배분수단(30)을 구성하고 있다.

더욱이, 본 실시예에서는 양 그룹 A,B 사이에서의 전하 재이용을 제1 실시예의 구성에 적용하였으나, 그 외, 제2 실시예에 적용한 제22도의 구성, 제3 실시예에 적용한 제23도의 구성, 및 제4 실시예에 적용한 제24도의 구성을 채용하여도 같은 효과가 얻어지는 것은 물론이다.

(57) 청구의 범위

청구항 1

복수개의 메모리셀을 구비하고, 상기 각 메모리셀은, 각각, 제1 전극과 제2 전극 사이에 절연체를 끼워서 이루어지는 커패시터와, 제어전극 및 다른 2개의 전극이 기판상에 배치된 메모리셀 트랜지스터를 갖고, 상기 커패시터는 그 제2 전극이 셀 플레이트에 접속되고, 상기 커패시터의 제1 전극과 상기 메모리셀 트랜지스터 2개의 전극중 한쪽의 전극이 접속되고, 이 접속점이 전하축적 노드가 되고, 상기 메모리셀 트랜지스터는 그 2개의 전극중 다른 쪽의 전극이 비트선에 접속되고, 상기 전하축적 노드와 기판 사이에 PN접합이 형성되고, 대기중의 제1 기간에서 적어도 하나의 상기 메모리셀 전하축적 노드에 소정량의 전하를 축적하고, 대기중의 제2 기간에서 상기 전하의 축적을 정지하는 반도체 기억회로의 상기 전하축적 노드에서의 데이터 유지시간을 연장하는 장치로서, 상기 셀 플레이트에 접속되는 출력단자를 갖고, 상기 셀 플레이트의 전위를 상기 제1 기간에서는 소정 전위로 설정하고, 상기 제2 기간에서는 상기 PN접합 양단의 전위차가 상기 제1 기간에서의 전위차보다도 작아지게 하는 전위로 설정하는 셀 플레이트 전위 절환회로와, 상기 메모리셀 트랜지스터의 제어전극에 접속되고, 이 제어전극의 전위를 상기 제1 기간에서는 설정 전위로 설정하고, 상기 제2 기간에서는 상기 메모리 셀 트랜지스터의 오프 정도를 강하게 하는 전위로 설정하는 전극전위 절환회로를 구비하고, 대기시에 상기 PN접합을 흐르는 누설전류 및 상기 메모리셀 트랜지스터를 거쳐 흐르는 오프전류를 적게 억제하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 2

제1항에 있어서, 메모리셀 트랜지스터는 NMOS형의 트랜지스터로 구성되고, 상기 메모리셀 트랜지스터의 제어전극에는 워드선이 접속되고, 전극전위 절환회로는, 상기 워드선의 전위를 동작시와 대기시에서 절환

하는 워드 드라이버회로와, 상기 워드 드라이버회로에 의해 절환된 대기시의 워드선 전위를 다시 상기 제1 기간에서 상기 소정 전위로 설정하고, 상기 제2 기간에서 상기 설정전위 보다도 낮은 전위로 설정하여 상기 메모리셀 트랜지스터의 오프 정도를 강하게 한 워드선 전위 결환회로로 구성되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 3

제2항에 있어서, 워드선 전위 절환회로는, 병렬접속된 제1 및 제2 트랜지스터를 구비하고, 상기 제1 트랜지스터는 접지전위가 공급되고, 상기 제1 기간에서 온 제어되어 상기 접지전위를 상기 워드 드라이버회로에 공급하고, 상기 제2 트랜지스터는 상기 저전위가 공급되고, 상기 제2 기간에서 온 제어되어 상기 저전위를 상기 워드 드라이버회로에 공급하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 4

제1항에 있어서, 대기중의 상기 제1 기간 및 상기 제2 기간을 판별하는 타이머회로를 구비하고, 그 판별 신호는 상기 셀 플레이트 전위 절환회로 및 전극전위 절환회로에 출력되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 5

제1항에 있어서, 기판의 전위는 부전위로 설정되고, 상기 셀 플레이트 전위 절환회로는 셀 플레이트의 전위를 상기 제2 기간에서는 상기 소정 전위보다도 낮은 저전위로 절환하고, 상기 PN접합 양단의 전위차를 상기 제1 기간에서의 전위보다도 작게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 6

제1항에 있어서, 비트선은 상기 제2 기간에서는 전원전위 또는 그 절반값으로 프리챠지되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 7

제1항에 있어서, 메모리셀 트랜지스터는 NMOS형의 트랜지스터로 구성되고, 상기 메모리셀 트랜지스터의 제어전극에는 워드선이 접속되고, 상기 전극전위 절환회로는 상기 워드선의 전위를 동작시와 대기시로 절환하는 워드 드라이버회로로 구성되고, 상기 워드 드라이버회로는, 대기시에는 상기 워드선의 전위를 항상 상기 소정 전위보다도 낮은 전위로 설정하여 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 8

제7항에 있어서, 워드 드라이버회로는, 워드 구동선과, 상기 저전위가 공급되는 배선과, 상기 워드 구동선을 상기 워드선에 접속하는 구동제어 트랜지스터와, 상기 배선을 상기 워드선에 접속하는 부전위 제어 트랜지스터와, 소정 노드가 소정 고전위시에 상기 구동제어 트랜지스터를 온 제어함과 동시에 상기 부전위 제어 트랜지스터를 오프제어하는 제1 트랜지스터와, 상기 제2 기간에서 상기 소정 노드를 상기 부전위에 접속하는 제2 및 제3 트랜지스터를 갖고, 상기 부전위 제어 트랜지스터 및 상기 제2 트랜지스터의 각 임계치 전압은 전지전위에서 상기 부전위를 감산한 전위차 이상의 소정 전압으로 설정되고, 상기 제2 트랜지스터의 구동능력은 상기 제3 트랜지스터의 구동능력보다도 작게 설정되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 9

제5항에 있어서, 소정 전위를 발생하고, 상기 셀 플레이트 전위 절환회로에 접속되는 제1셀 플레이트 전위 발생회로와, 상기 저전위를 발생하고, 이 전위를 상기 셀 플레이트 전위 절환회로에 공급하는 제2 셀 플레이트 전위 발생회로와, 상기 제1 셀 플레이트 전위 발생회로와 상기 셀 플레이트 전위 절환회로 사이에 배치되고, 상기 제1 셀 플레이트 전위 발생회로에 의해 발생한 소정 전위를 미소전위 낮게 하여 상기 셀 플레이트 전위 절환회로에 공급하는 NMOS형 또는 PMOS형 트랜지스터로 이루어지는 다이오드를 구비한 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 10

제5 항에 있어서, 소정 전위를 발생하고, 이 전위를 상기 셀 플레이트 전위 절환회로에 공급하는 제1 셀 플레이트 전위 발생회로와, 상기 저전위를 발생하고, 상기 셀 플레이트 전위 절환회로에 접속되는 제2 셀 플레이트 전위 발생회로와, 상기 제2 셀 플레이트 전위 발생회로와 상기 셀 플레이트 전위 절환회로 사이에 배치되고, 상기 제2 셀 플레이트 전위 발생회로에 의해 발생한 저전위를 미소전위 높게하여 상기 셀 플레이트 전위 절환회로에 공급하는 NMOS형 또는 PMOS형 트랜지스터로 이루어지는 다이오드를 구비한 것을 특징으로 하는반도체 기억회로의 데이터 유지시간 연장장치.

청구항 11

대기중의 제1 기간에서, NMOS형 메모리셀 트랜지스터의 게이트 전위를 고전위로 설정하여 이 메모리셀 트랜지스터를 온시키고, 이로써, 이 메모리셀 트랜지스터와 커패시터 사이의 전하축적 노드의 전하를 비트선에 전송하고, 그후 상기 비트선의 전하를 센스앰프회로에 의해 증폭하고, 이 증폭한 비트선의 전하를 상기 메모리셀 트랜지스터를 통하여 상기 전하축적 노드에 재축적하고, 그 후, 대기중의 제2 기간에서, 상기 커패시터에 접속되는 셀 플레이트의 전위를 낮게하고, 이로써, 상기 전하축적 노드와 상기 메모리셀 트랜지스터 기판 사이의 PN접합 양단의 전위차를 작게함과 동시에, 상기 메모리셀 트랜지스터의 게이트 전위를 상기 고전위에서 소정의 저전위로 절환하고, 이로써, 상기 메모리셀 트랜지스터의 오프정도를 강

해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장방법.

청구항 12

복수개의 메모리셀을 구비하고, 상기 각 메모리셀은, 각각, 제1 전극과 제2 전극 사이에 절연체를 기워서 이루어지는 커패시터와, 제어전극 및 다른 2개의 전극이 기판상에 배치된 메모리셀 트랜지스터를 갖고, 상기 커패시터의 1 전극과 상기 메모리셀 트랜지스터 2개의 전극중 한쪽 전극이 접속되고, 이 접속점이 전하축적 노드가 되고, 상기 메모리셀 트랜지스터는, 그 2개의 전극중 다른 쪽의 전극이 비트선에 접속되고, 상기 전하축적 노드와 기판 사이에 PN접합이 형성되고, 대기중의 제1 기간에서 적어도 하나의 상기 메모리셀 전하축적 노드에 소정량의 전하를 축적하고, 대기중의 제2 기간에서 상기 전하의 축적을 정지하는 반도체 기억회로의 상기 전하축적 노드에서의 데이터 유지시간을연장하는 장치에 있어서, 상기 메모리셀 트랜지스터의 기판에 접속되는 풀력단자를 갖고, 상기 기판의 전위를 상기 제1 기간에서는 소정 전위로 설정하고, 상기 제2기간에서는 상기 PN접합 양단의 전위차가 상기 제1 기간에서의 전위차보다도 작아진 전위로 설정하는 기판전위 절환회로와, 상기 메모리셀 트랜지스터의 제어전극에 접속되고, 이 제어전극의 전위를, 상기 제1 기간에서는 소정 전위로 설정하고, 상기 제2 기간에서는 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 한 전위로 설정하는 전극전위 절환회로를 구비하고, 대기시에 상기 PN접합을 흐르는누설전류 및 상기 메모리셀 트랜지스터를 거쳐 흐르는 오프전류를 적게 억제하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 13

제12 항에 있어서, 상기 기판전위 절환회로는, 상기 기판전위를 상기 제1 기간에서는 소정의 부전위로 설정하고, 상기 제2 기간에서는 상기 부전위보다도 높은 전위로 절환하고, 상기 PN접합 양단의 전위차를 상기 제1 기간에서의 전위차보다도 작게하고, 전극전위 절환회로는 메모리셀 트랜지스터 제어전극의 전위를 상기 제1 기간에서는 설정전위로 설정하고, 상기 제2 기간에서는 상기 설정전위보다도 낮은 전위로 설정하여 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 14

대기중의 제1 기간에서, NMOS형 메모리셀 트랜지스터의 게이트 전위를 고전위로 설정하여 이 메모리셀 트랜지스터를 온시키고, 이로써, 이 메모리셀 트랜지스터와 커패시터 사이의 전하축적 노드의 전하를 비트선에 전송하고, 그 후, 상기 비트선의 전하를 센스앰프회로에 의해 증폭하고, 이 증폭한 비트선의 전하를 상기 메모리셀 트랜지스터를 통하여 상기 전하축적 노드에 재축적하고, 그후, 대기중의 제2 기간에서, 상기 메모리셀 트랜지스터의 기판 전위를 높이고, 이로써 상기 전하축적 노드와 상기 메모리셀 트랜지스터의 기판 사이의 PN접합 양단의 전위차를 작게함과 동시에, 상기 메모리셀 트랜지스터의 게이트전위를 상기 고전위에서 소정의 저전위로 절환하고, 이로써, 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장방법.

청구항 15

복수개의 메모리셀을 구비하고, 상기 각 메모리셀은, 각각, 제1 전극과 제2 전극 사이에 절연체를 끼워서 이루어지는 커패시터와, 제어전극 및 다른 2개의 전극이 기판상에 배치된 메모리셀 트랜지스터를 갖고, 상기 커패시터는 그 제2 전극이 셀 플레이트에 접속되고, 상기 커패시터의 제1 전극과 상기 메모리셀 트랜지스터의 2개의 전극중 한쪽 전극이 접속되고, 이 접속점이 전하축적 노드가 되고, 상기 메모리셀 트랜지스터는 그 2개의 전극중 다른쪽 전극이 비트선에 접속되고, 대기중의 제1 기간에서 적어도 하나의 상기 메모리셀의 전하축적 노드에 소정량의 전하를 축적하고, 대기중의 제2 기간에서 상기 전하의 축적을 정지하는 반도체 기억회로의 상기 전하축적 노드에서의 데이터 유지시간을연장하는 장치에 있어서, 상기 셀 플레이트에 접속되는 출력단자를 갖고, 상기 셀 플레이트의 전위를 상기 제1 기간에서는 소정 전위로 설정하고, 상기 제2 기간에서는 상기 메모리셀 트랜지스터의 오프 정도를 강하게 하는 전위로 설정하는 셀 플레이트 전위 절환회로를 구비하고, 대기시에 상기 메모리셀 트랜지스터를 거쳐 흐르는 오프전류를 적게 억제하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 16

제15항에 있어서, 상기 셀 플레이트 전위 절환회로는, 상기 셀 플레이트 전위를 상기 제1 기간에서는 소정 전위로 설정하고, 상기 제2 기간에서는 상기 소정 전위보다도 높은 전위로 설정하여 상기 메모리셀 트랜지스터의 오프 정도를 강하게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 17

제15항에 있어서, 상기 메모리셀 트랜지스터는, 상기 제어전극 및 다른 2개의 전극과 기판 사이에 절연체가 배치된 SOI(Silicon On Insulator) 구조의 트랜지스터에 의해 구성되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 18

대기중의 제1 기간에서, NMOS형 메모리셀 트랜지스터의 게이트 전위를 고전위로 설정하여 이 메모리셀 트랜지스터를 온시키고, 이로써, 이메모리셀 트랜지스터와 커패시터 사이의 전하축적 노드이 전하를 비트선에 전송하고, 그 후, 상기 비트선의 전하를 센스앰프회로에 의해 증폭하고, 이 증폭한 비트선의 전하를 상기 메모리셀 트랜지스터를 통하여 상기 전하축적 노드에 재축적하고, 그 후, 대기중의 제2 기간에서, 상기 커패시터에 접속되는 셀 플레이트의 전위를 높게 절환하고, 이로써, 상기 메모리셀 트랜지스터의 오프정도를 강해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장방법.

청구항 19

복수개의 메모리셀을 구비하고, 상기 각 메모리셀은, 각각, 제1 전극과 제2 전극 사이에 절연체를 끼워서

이루어지는 커패시터와, 제어전극 및 다른 2개의 전극이 기판상에 배치된 메모리셀 트랜지스터를 갖고, 상기 커패시터의 제1 전극과 상기 메모리셀 트랜지스터의 2개의 전극중 한쪽의 전극이 접속되고, 이 접속점이 전하축적노드가 되고, 상기 메모리셀 트랜지스터는 그 2개의 전극중 다른 쪽의 전극이 비트선에 접속되고, 대기중의 제1 기간에서 적어도 하나의 상기 메모리셀 전하축적 노드에 소정량의 전하를 축적하고, 대기중의 제2기간에서 상기 전하의 축적을 정지하는 반도체 기억회로의 상기 전하축적 노드에서의 데이터 유지시간을 연장하는 장치로, 상기 메모리셀 트랜지스터의 제어전극에 접속되고, 이 제어전극의 전위를, 상기 제1 기간에서는 설정전위로 설정하고, 상기 제2 기간에서는 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 한 전위로 설정하는 전극전위 절환회로를 구비하고, 대기시에 상기 메모리셀 트랜지스터를 거쳐 흐르는 오프전류를 적게 억제하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 20

제19항에 있어서, 전극전위 절환회로는, 메모리셀 트랜지스터 제어전극의 전위를, 상기 제1 기간에서는 설정전위로 설정하고, 상기 제2 기간에서는 상기 설정전위보다도 낮은 전위로 설정하여 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 21

제19항에 있어서, 상기 메모리셀 트랜지스터는, 상기 제어전극 및 다른 2개의 전극과 기판 사이에 절연체가 배치된 SOI(Silicon On Insulator) 구조의 트랜지스터에 의해 구성되는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 22

대기중의 제1 기간에서, NMOS형의 메모리셀 트랜지스터의 게이트 전위를 고전위로 설정하여 이 메모리셀 트랜지스터를 온시키고, 이로써, 이 메모리셀 트랜지스터와 커패시터 사이의 전하축적 노드의 전하를 비트선에 전송하고, 그후, 상기 비트선의 전하를 센스앰프회로에 의해 증폭하고, 이 증폭한 비트선의 전하를 상기 메모리셀 트랜지스터를 통하여 상기 전하축적 노드에 재축적하고, 그후, 대기중의 제2 기간에서, 상기 메모리셀 트랜지스터의 게이트 전위를 상기 고전위에서 소정의 저전위로 절환하고, 이고써, 상기 메모리셀 트랜지스터의 오프 정도를 강해지게 하는 것을 특징으로 하는 반도체 기억장치의 데이터 유지시간 연장방법.

청구항 23

제1 항에 있어서, 복수의 메모리셀은 적어도 제1 및 제2 그룹으로 분할되고, 상기 제1 그룹이 상기 제1 기간에서 상기 제2 기간으로 천이한 후, 상기 제2 그룹을 상기 제2 기간에서 상기 제1 기간으로 천이시키는 타이밍 제어 회로와, 상기 타이밍 제어회로에 의해 제1 그룹이 상기 제1 기간에서 제2 기간으로 천이한 후부터 상기 제2 그룹이 상기 제2 기간에서 제1기간으로 천이하기 까지의 기간에 있어서, 상기 제1 그룹에 속하는 메모리셀 커패시터의 제2 전극을, 상기 제2 그룹에 속하는 메모리셀 커패시터의 제2 전극에 접속하여 이 양 전극 사이에서 전하를 재이용함과 동시에, 상기 제1 그룹에 속하는 메모리셀 트랜지스터의 제어전극을 상기 제2 그룹에 속하는 메모리셀 트랜지스터의 제어전극에 접속하여 이 양 제어전극 사이에서 전하를 재이용하는 전하재배분수단을 구비하는 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 24

제1 항 또는 제23항에 있어서, 대기중의 제1 기간은 집중 리플레쉬 동작을 행하는 기간이고, 대기중의 상기 제2 기간은 상기 집중 리플레쉬 동작을 행하지 않는 완전 정지기간인 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 25

제12 항에 있어서, 대기중의 제1 기간은 집중 리플레쉬 동작을 해하는 기간이고, 대기중의 상기 제2 기간은 상기 집중 리플레쉬 동작을 행하지 않는 완전 정지기간인 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

청구항 26

제15 항에 있어서, 대기중의 제1 기간은 집중 리플레쉬 동작을 행하는 기간이고, 대기중의 상기 제2 기간은 상기 집중 리플레쉬 동작을 행하지 않는 완전 정지기간인 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

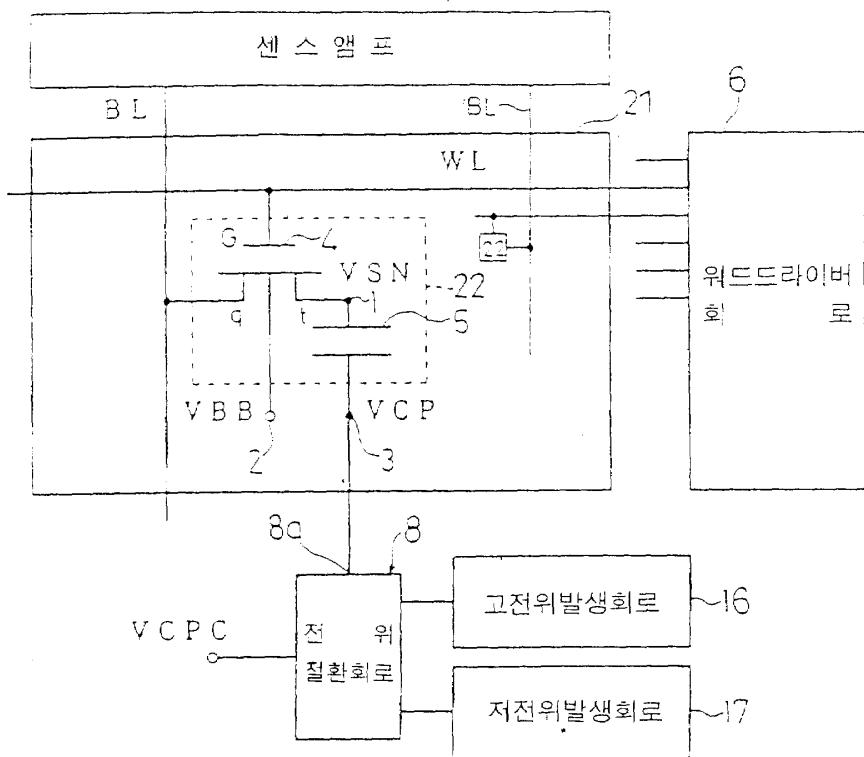
청구항 27

제19 항에 있어서, 대기중의 제1 기간은 집중 리플레쉬 동작을 행하는 기간이고, 대기중의 상기 제2 기간은 상기 집중 리플레쉬 동작을 행하지 않는 완전 정지기간인 것을 특징으로 하는 반도체 기억회로의 데이터 유지시간 연장장치.

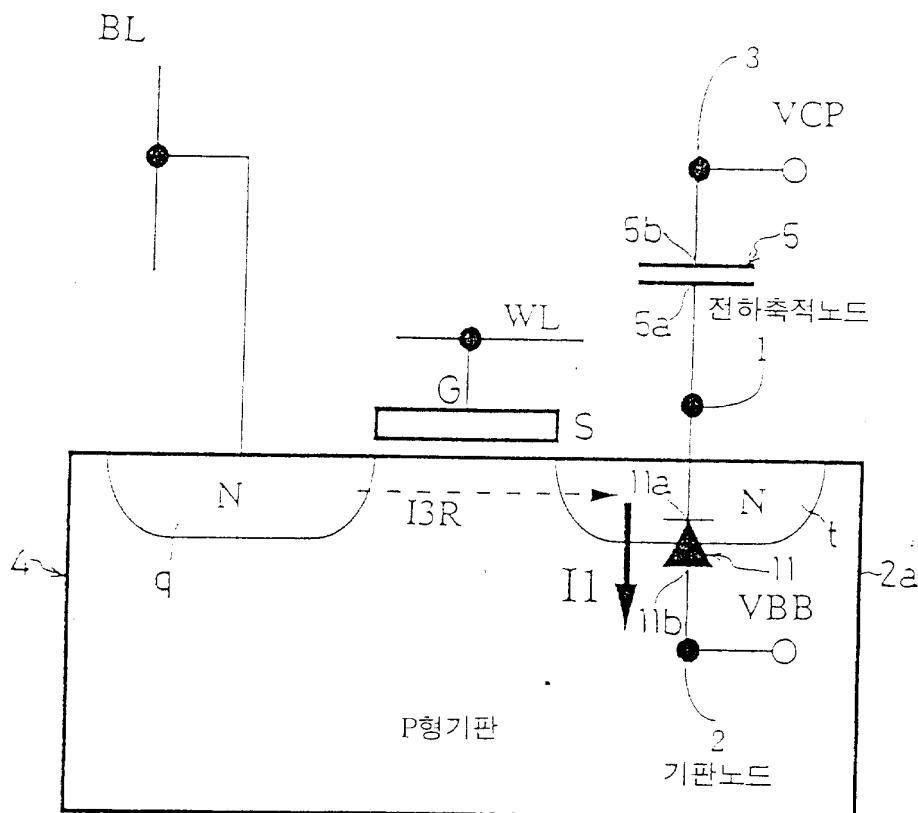
도면

도면1

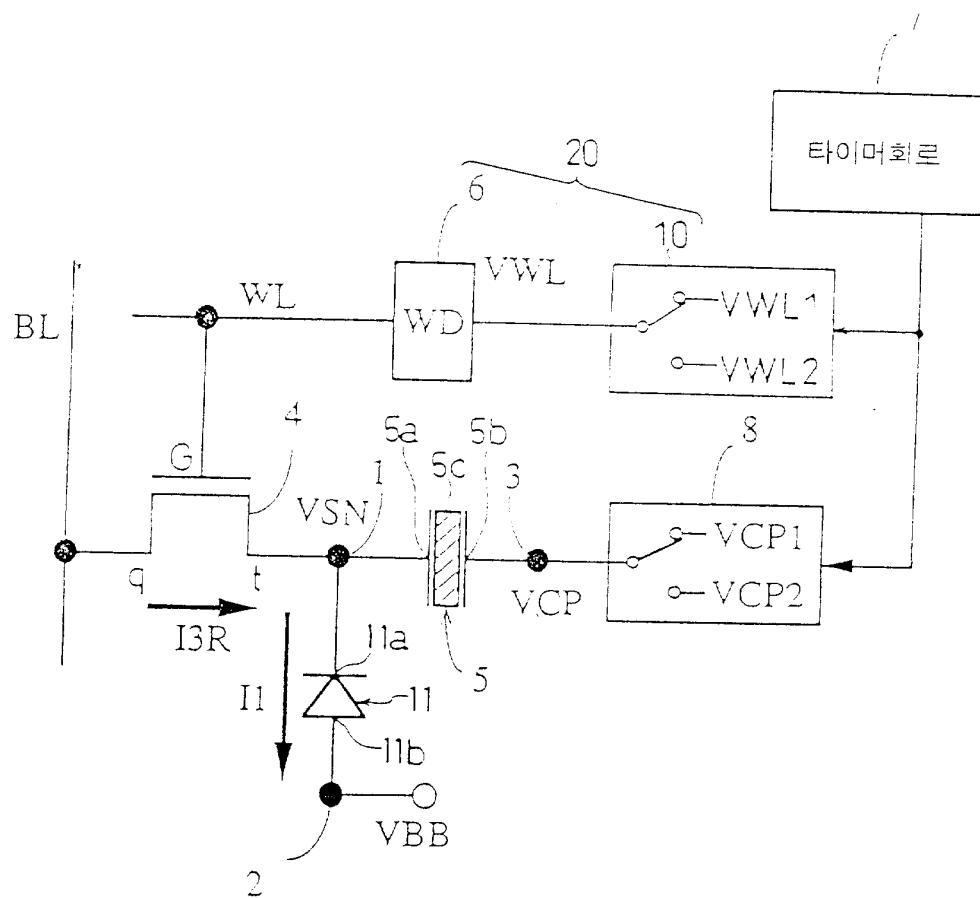
23



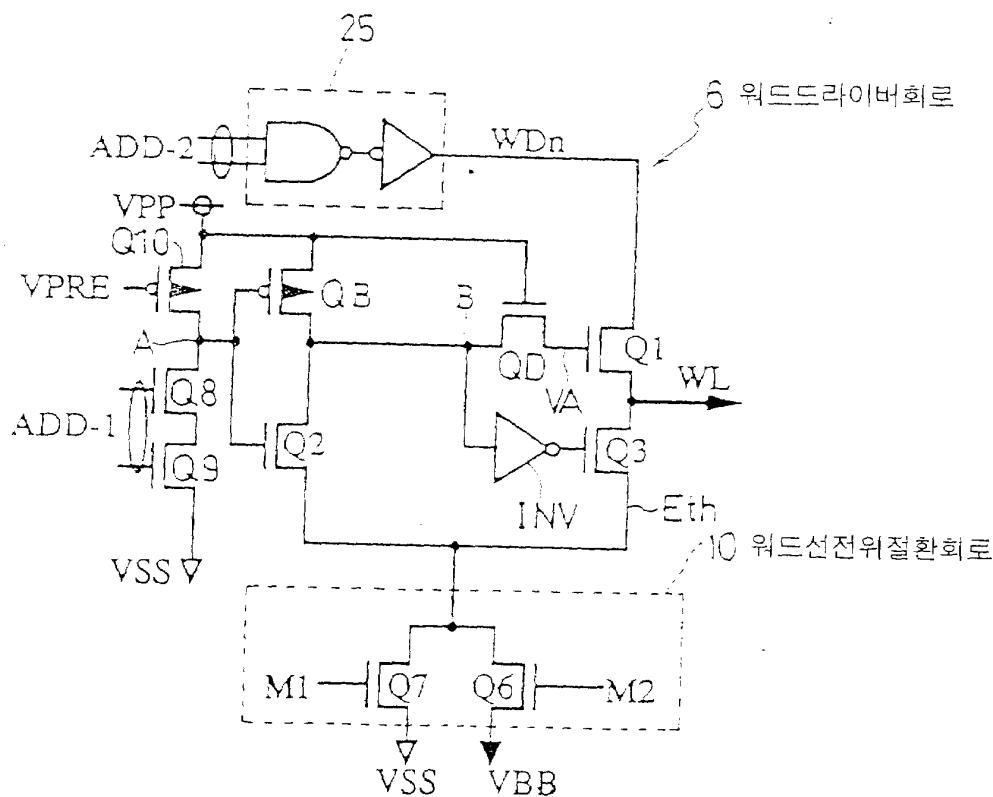
도면2



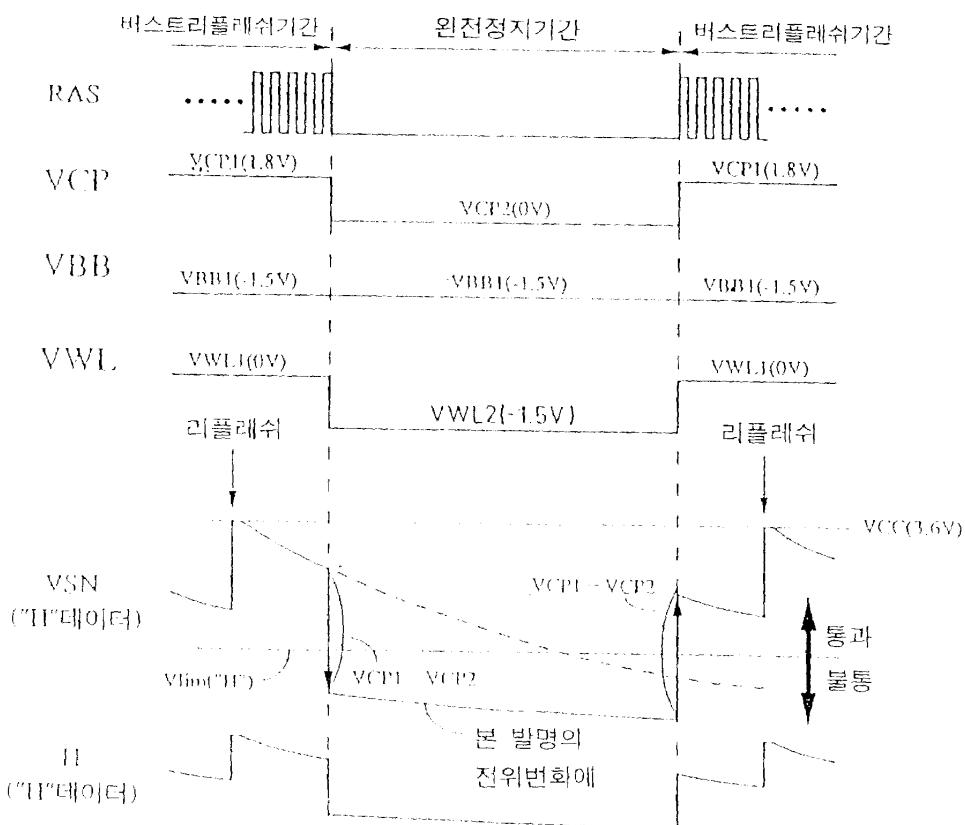
도면3

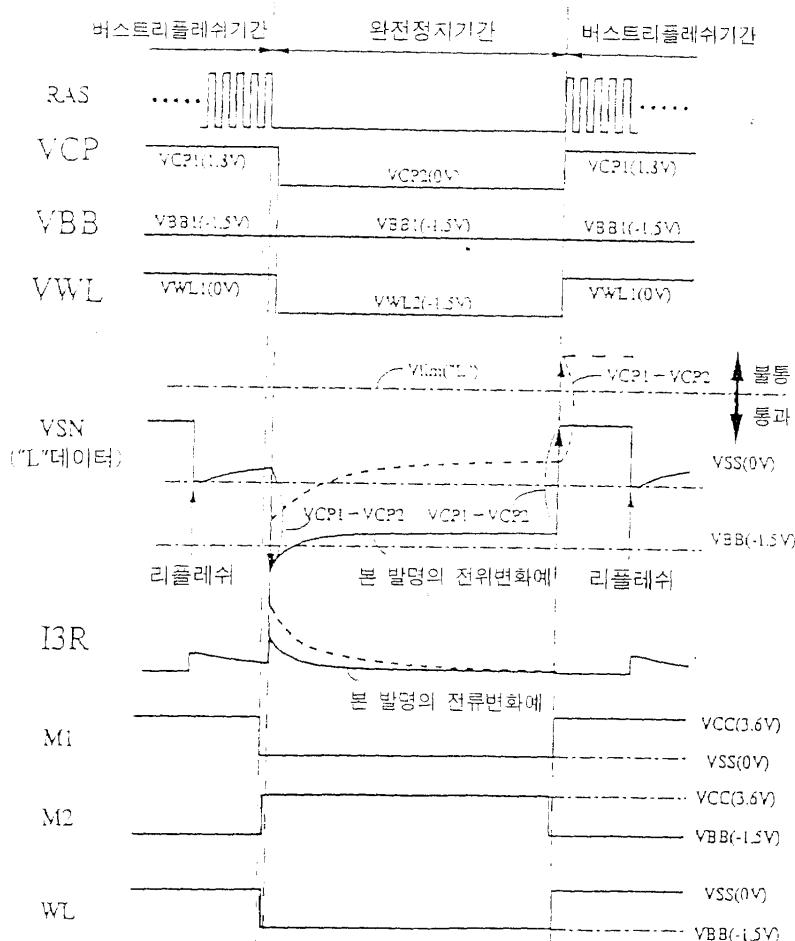
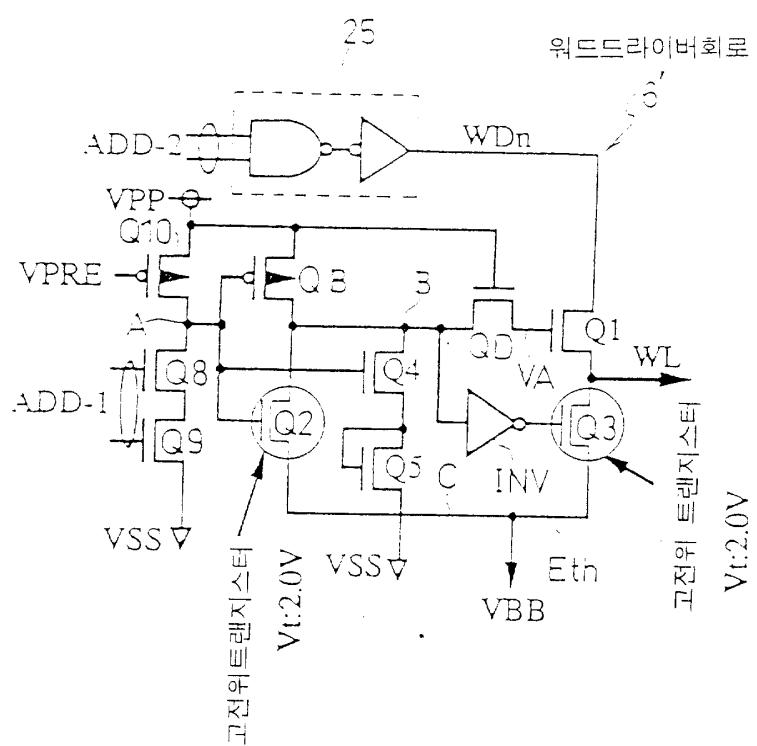


도면4

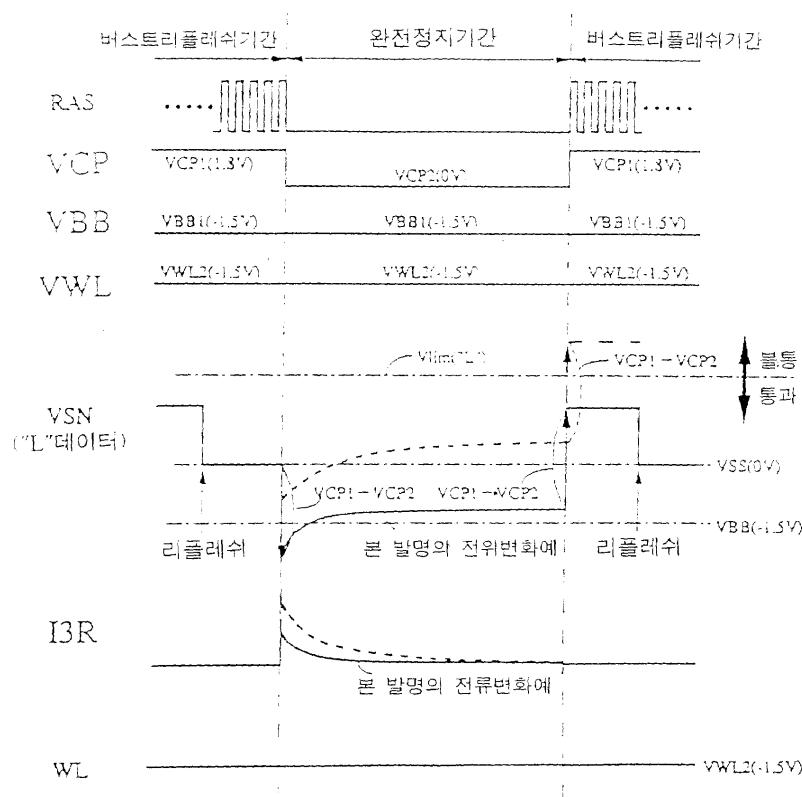


도면5

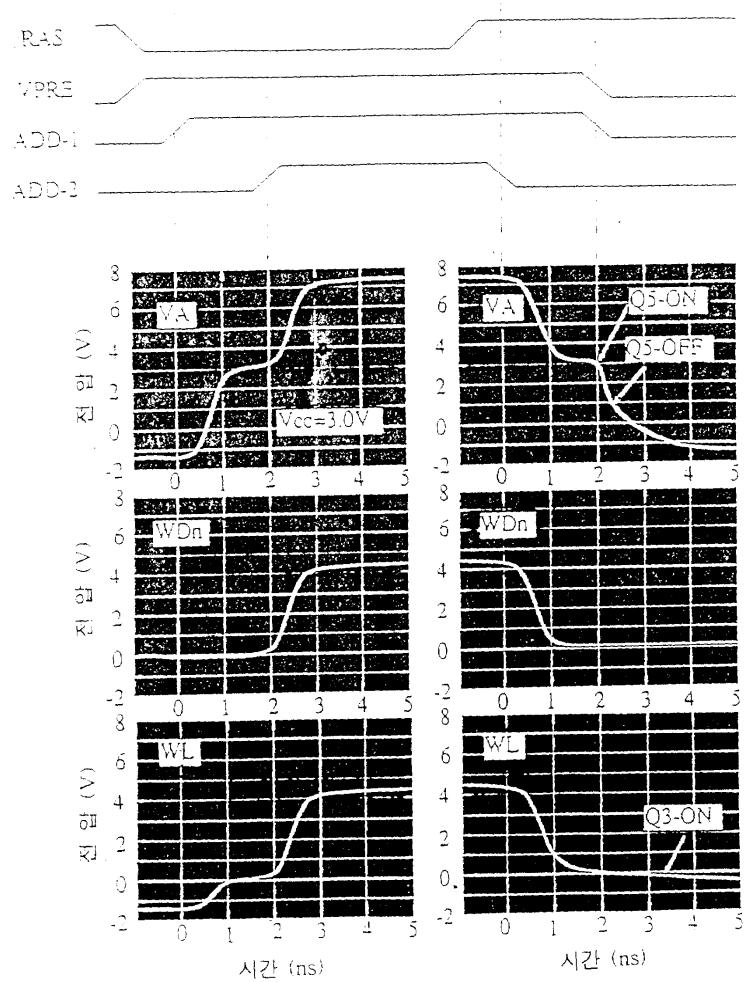


도면6**도면7**

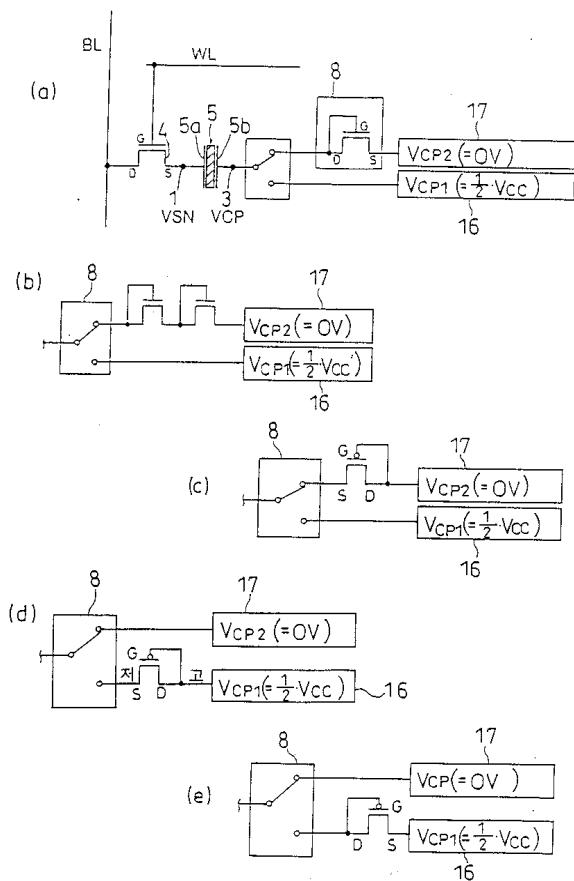
도면8



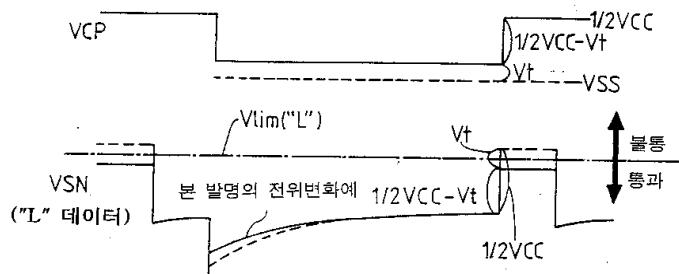
도면9



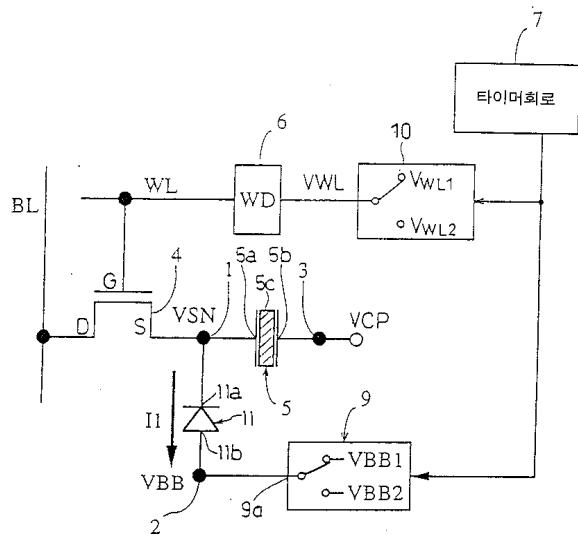
도면10



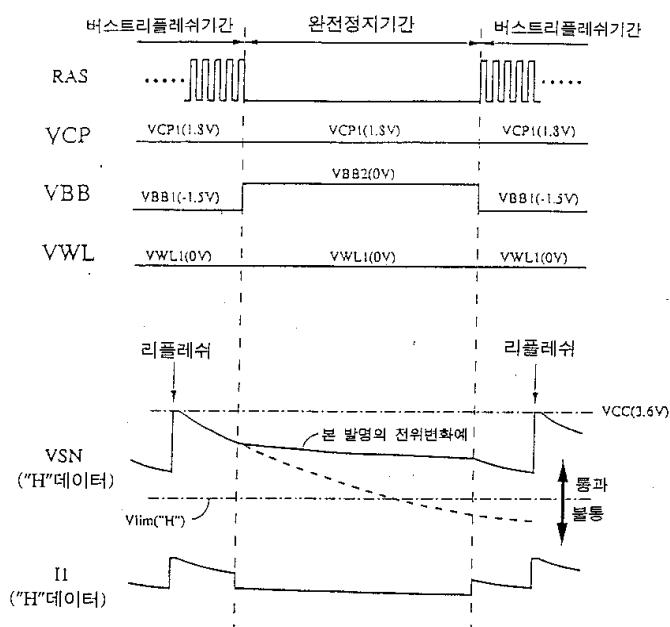
도면11



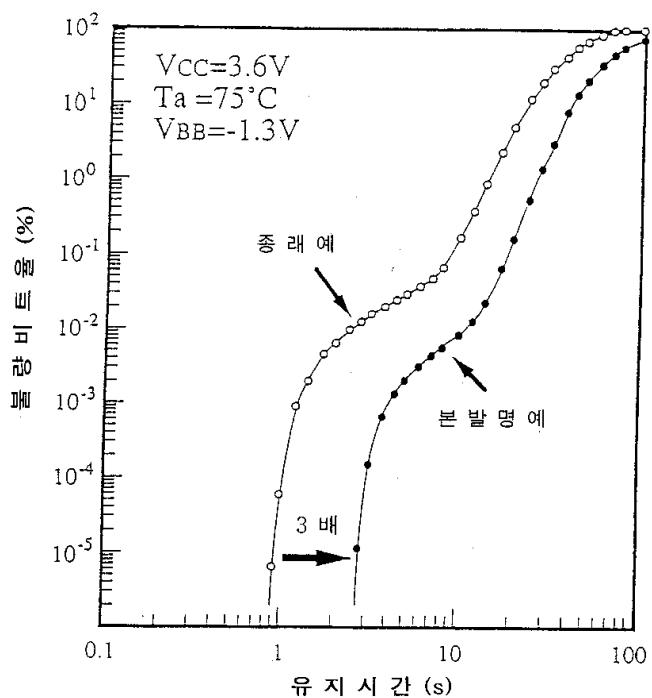
도면12



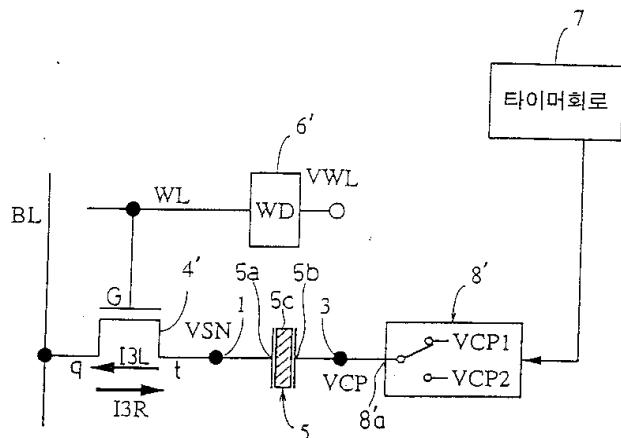
도면13



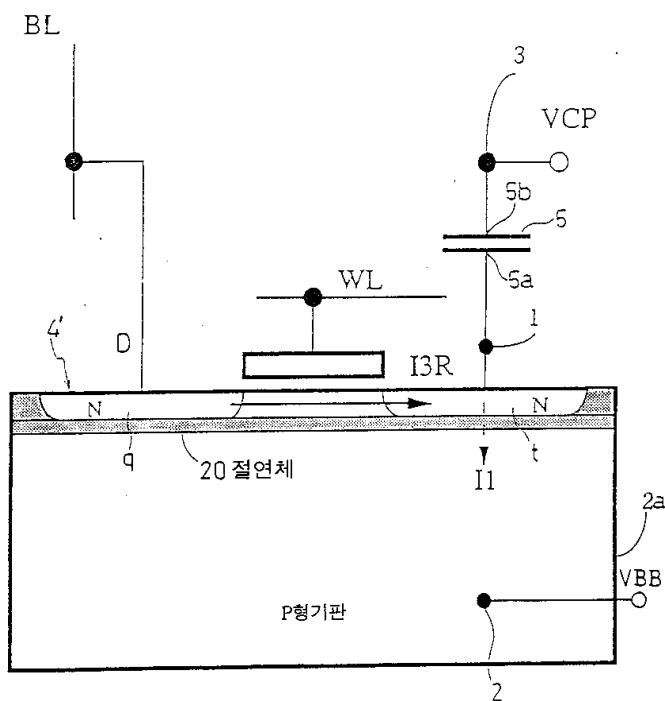
도면14



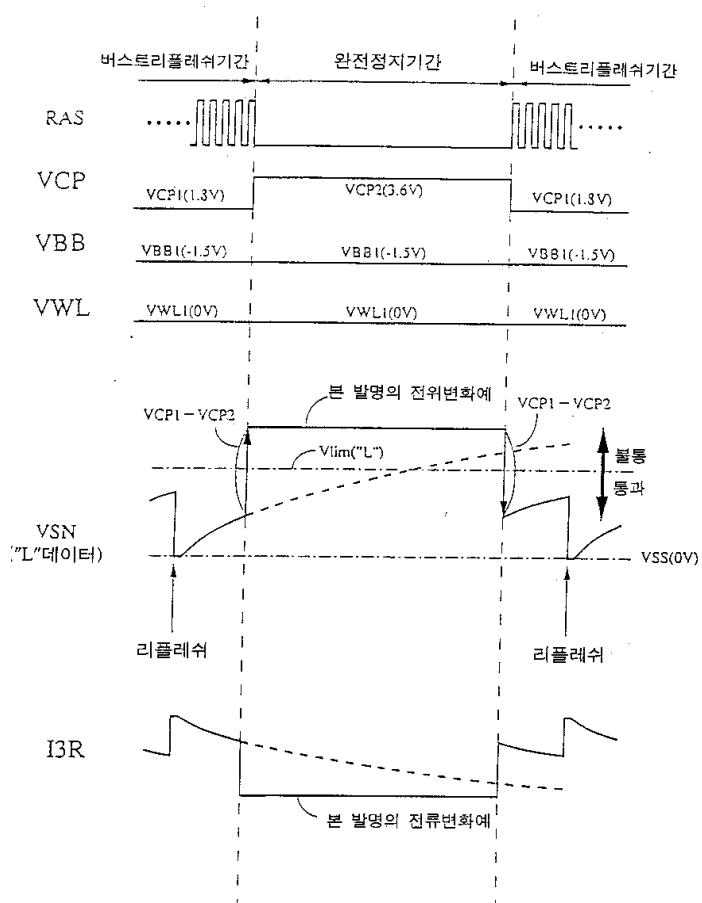
도면15



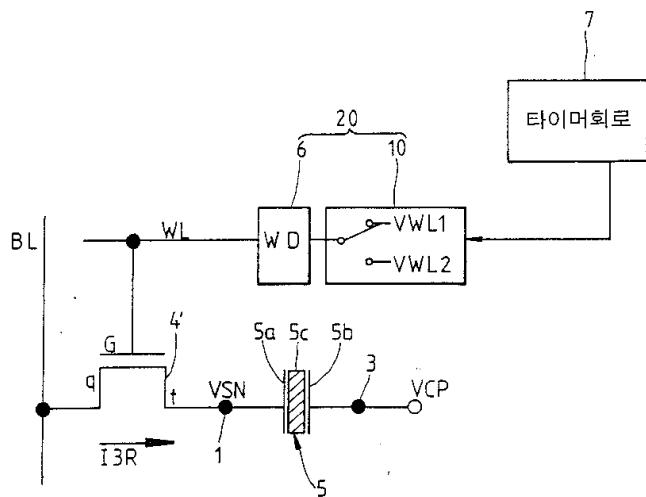
도면16



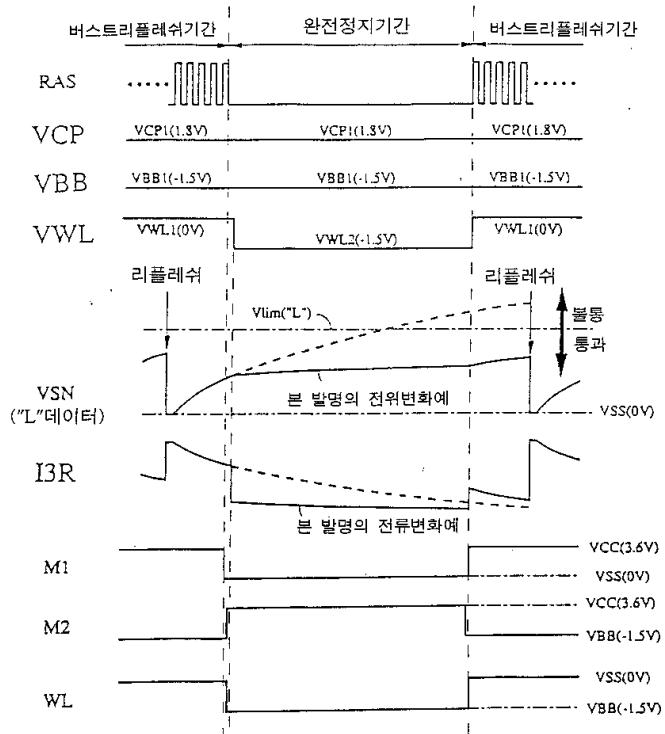
도면17



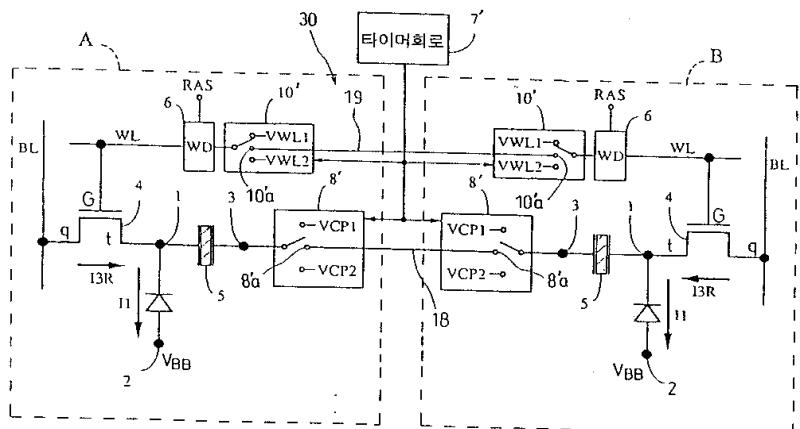
도면18



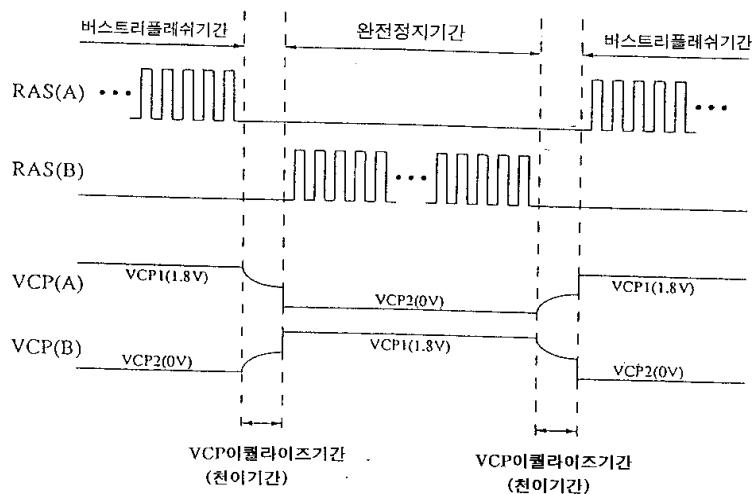
도면19



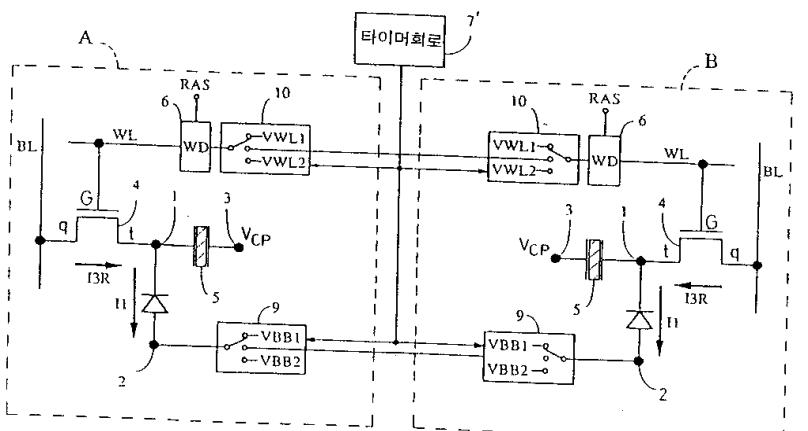
도면20



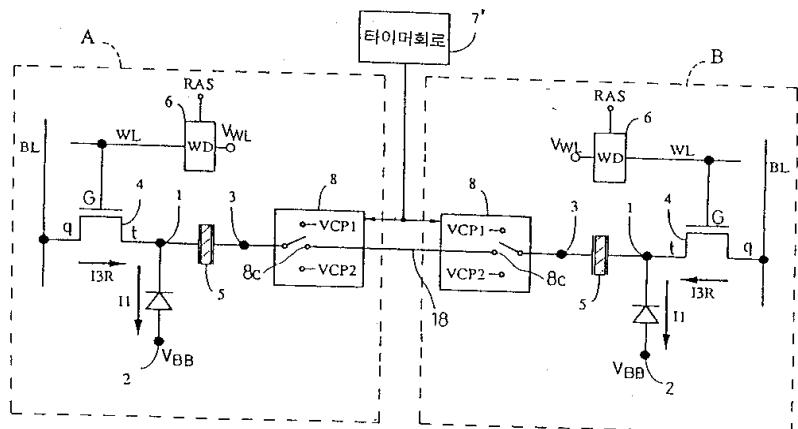
도면21



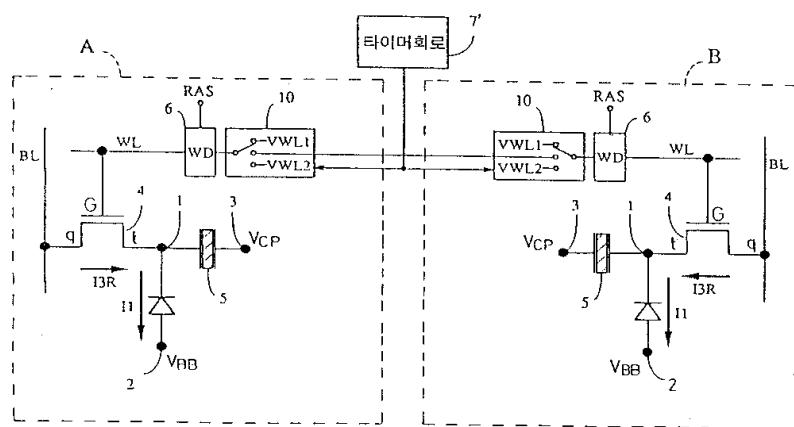
도면22



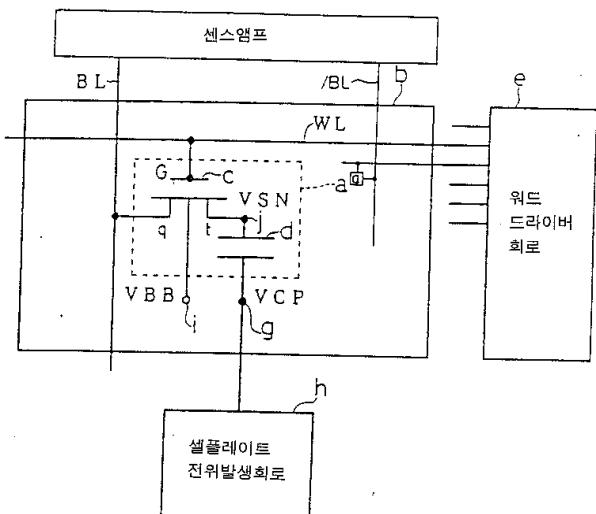
도면23



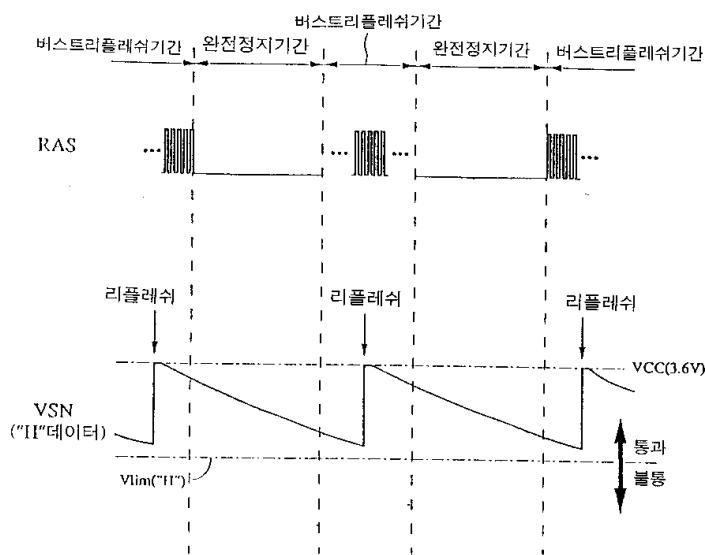
도면24



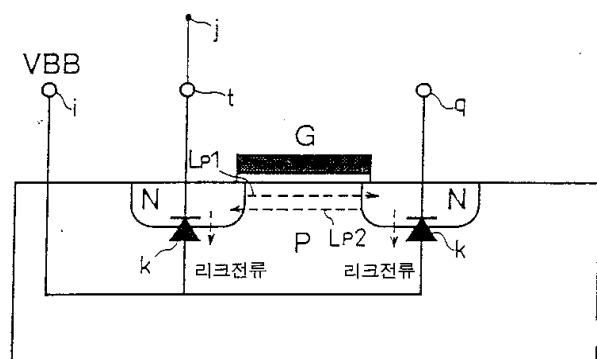
도면25



도면26



도면27



도면28

