

(21)申請案號：102206467

(22)申請日：中華民國 102 (2013) 年 04 月 10 日

(51)Int. Cl. : G06F13/00 (2006.01)

(71)申請人：劉淑敏(中華民國) (TW)

臺北市信義區基隆路 2 段 109 號 6 樓

(72)新型創作人：劉淑敏 (TW)

(74)代理人：謝佩玲；王耀華

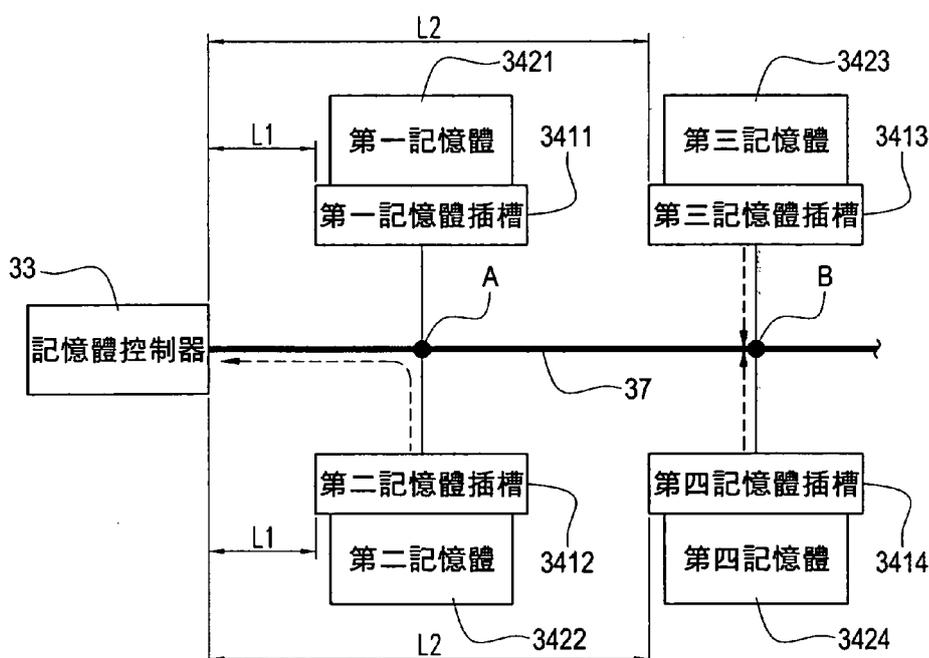
申請專利範圍項數：12 項 圖式數：12 共 33 頁

(54)名稱

儲存裝置的記憶體連接架構

(57)摘要

一種儲存裝置的記憶體連接架構，儲存裝置包括一電路基板、一記憶體控制器、一匯流排及一記憶體模組，其中記憶體控制器、匯流排及記憶體模組分別電性連接於電路基板上。記憶體模組由複數記憶體插槽及複數揮發性記憶體組成，複數揮發性記憶體分別通過對應的記憶體插槽連接於同一條匯流排，並通過匯流排與記憶體控制器連接。其中，匯流排上具有一個以上的接點，並且每一接點分別連接二個記憶體插槽。連接到同一接點的二記憶體插槽分別設置於電路基板的正面與背面上的對應位置，並且二記憶體插槽與記憶體控制器之間的距離相等。



第八圖

33 . . . 記憶體控制器

3411 . . . 第一記憶體插槽

3412 . . . 第二記憶體插槽

3413 . . . 第三記憶體插槽

3414 . . . 第四記憶體插槽

3421 . . . 第一記憶體

3422 . . . 第二記憶體

3423 . . . 第三記憶體

3424 . . . 第四記憶體

M458595

TW M458595U1

37 . . . 匯流排

A、B . . . 接點

L1、L2 . . . 距離



# 新型摘要

申請日: 102. 4. 10

IPC分類: G06F 13/00  
(2006.01)**公告本****【新型摘要】****【中文新型名稱】** 儲存裝置的記憶體連接架構**【英文新型名稱】****【中文】**

一種儲存裝置的記憶體連接架構，儲存裝置包括一電路基板、一記憶體控制器、一匯流排及一記憶體模組，其中記憶體控制器、匯流排及記憶體模組分別電性連接於電路基板上。記憶體模組由複數記憶體插槽及複數揮發性記憶體組成，複數揮發性記憶體分別通過對應的記憶體插槽連接於同一條匯流排，並通過匯流排與記憶體控制器連接。其中，匯流排上具有一個以上的接點，並且每一接點分別連接二個記憶體插槽。連接到同一接點的二記憶體插槽分別設置於電路基板的正面與背面上的對應位置，並且二記憶體插槽與記憶體控制器之間的距離相等。

**【英文】**

【指定代表圖】 第八圖

【代表圖之符號簡單說明】

33…記憶體控制器

3411…第一記憶體插槽

3412…第二記憶體插槽

3413…第三記憶體插槽

3414…第四記憶體插槽

3421…第一記憶體

3422…第二記憶體

3423…第三記憶體

3424…第四記憶體

37…匯流排

A、B…接點

L1、L2…距離

# 新型專利說明書

## 【新型說明書】

【中文新型名稱】 儲存裝置的記憶體連接架構

【英文新型名稱】

【技術領域】

【0001】 本創作係與儲存裝置有關，特別有關於儲存裝置內部所使用的記憶體連接架構的改良。

● 【先前技術】

【0002】 一般來說，在以揮發性記憶體(volatile memory)所組成的儲存裝置中，揮發性記憶體通常都是以串接的型式，連接在同一條匯流排上，因此在進行資料存取時，容易會有訊號反射(reflection)的問題產生。

● 【0003】 如第一圖與第二圖所示，分別為現有技術的第一記憶體架構圖與第二記憶體架構圖。如圖中所示，一儲存裝置主要具有一控制晶片11、一匯流排12及複數揮發性記憶體13，其中該控制晶片11係通過單一該匯流排12串接該複數揮發性記憶體13。如第一圖所示，當該控制晶片11存取第一個該揮發性記憶體13時，雖然其他的揮發性記憶體13沒有被存取，但仍然會有微小電流21流至各該揮發性記憶體13。並且，當該匯流排12的長度越長(意即，該匯流排12上串接的該揮發性記憶體13數量越多)時，其後方可容納的該電流21就越大。

【0004】 如此一來，如第二圖所示，因為後方的該些揮發性記憶體13

並沒有執行資料存取的動作，故該些電流21會被反射回來，形成一反射電流22，此即為訊號反射(reflection)的現象。

。而如上所述，當該匯流排12上串接的該揮發性記憶體13數量越多時，其後方可容納的該電流21就越大，故反射回來的該反射電流22就越大。如此一來，該些反射電流22將會對原始的存取訊號與資料產生干擾，甚至造成訊號與資料的錯誤。

【0005】有鑑於上述問題，便有人提出內部終端電阻(On-Die Termination, ODT)的技術，以解決訊號反射的問題。一般來說，要使用ODT技術，該揮發性記憶體13要內建有ODT腳位，如此該控制晶片11才能通過ODT腳位來啟動該揮發性記憶體13的ODT功能(如DDR3即內建有ODT功能)。ODT功能啟動後，主要是在該揮發性記憶體13中模擬產生一個具有特定電阻值的電阻器，藉以，當該揮發性記憶體13收到該電流21時，會導向該電阻器，而不會反射回去並形成該反射電流22。

【0006】然而，當該揮發性記憶體13開啓ODT功能時，該儲存裝置整體的功耗會增加，故導致耗電量提高，並且整體的溫度也會提高。經由本案申請人之實驗發現，在室內溫度23度的狀態下連續存取該揮發性記憶體13三十分鐘，則在ODT功能關閉的情況下，該揮發性記憶體13的平均溫度為33度。其中，讀取該揮發性記憶體13的平均耗電流為1.1A，平均功率為1.65W，而寫入該揮發性記憶體13的平均耗電流為1.2A，平均功率為1.8W。反之，在ODT功能啓用的情況下，該揮發性

記憶體13的平均溫度為37.9度。其中，讀取該揮發性記憶體13的平均耗電流為1.2A，平均功率為1.8W，而寫入該揮發性記憶體13的平均耗電流為2.8A，平均功率為4.2W。

【0007】 如上所述，雖然通過ODT功能可以有效解決reflection所帶來的問題，然而，開啓ODT功能所伴隨的高溫及高耗電量，係為本領域中的技術人員帶來相當大的困擾。有鑑於此，如何通過ODT以外的技術來解決現有的reflection問題，即為本領域中的技術人員所潛心研究的課題。

#### 【新型內容】

【0008】 本創作之主要目的，在於提供一種儲存裝置的記憶體連接架構，係可藉由改變記憶體的連接架構，解決因訊號反射現象而令原始訊號產生雜訊、或造成訊號干擾的問題。

【0009】 為達上述目的，本創作提供了一種儲存裝置，該儲存裝置包括一電路基板、一記憶體控制器、一匯流排及一記憶體模組，其中記憶體控制器、匯流排及記憶體模組分別電性連接於電路基板上。記憶體模組由複數記憶體插槽及複數揮發性記憶體組成，複數揮發性記憶體分別通過對應的記憶體插槽連接於同一條匯流排，並通過匯流排與記憶體控制器連接。其中，匯流排上具有一個以上的接點，並且每一接點分別連接二個記憶體插槽。連接到同一接點的二記憶體插槽分別設置於電路基板的正面與背面上的對應位置，並且二記憶體插槽與記憶體控制器之間的距離相等。

【0010】 本創作對照相關技術所能達成的技術功效在於，在匯流排的同一個接點上，設置兩個上、下相對的記憶體插槽及揮發性記憶體，當產生訊號反射(reflection)現象時，上方反射的電流絕大部分可與下方反射的電流互相抵消，並僅留下不會對存取訊號產生干擾之微小電流。如此一來，即使於本創作的儲存裝置中使用不具備內部終端電阻(On-Die Termination,ODT)功能的記憶體，或是不開啓記憶體內建的ODT功能，仍可解決訊號反射的問題。並且，在不需使用ODT功能的情況下，本創作的儲存裝置可較相關技術的儲存裝置更為省電，並且保有較低較穩定之工作溫度。

【0011】 再者，通過本創作的連接架構，可有效消除揮發性記憶體反射的電流，故在同一條匯流排上可以連接更多組的揮發性記憶體，藉此可有效提昇儲存裝置所能負擔的儲存容量。

#### 【圖式簡單說明】

【0012】 第一圖為現有技術的第一記憶體架構圖。

【0013】 第二圖為現有技術的第二記憶體架構圖。

【0014】 第三圖為本創作的第一具體實施例的儲存裝置配置圖正面。

【0015】 第四圖為本創作的第一具體實施例的儲存裝置配置圖背面。

【0016】 第五圖為本創作的第一具體實施例的儲存裝置設置示意圖。

【0017】 第六圖為本創作的第一具體實施例的儲存裝置方塊圖。

【0018】 第七圖為本創作的第一具體實施例的第一記憶體架構圖。

- 【0019】 第八圖為本創作的第二具體實施例的第二記憶體架構圖。
- 【0020】 第九圖為本創作的第二具體實施例的第一記憶體架構圖。
- 【0021】 第十圖為本創作的第二具體實施例的第二記憶體架構圖。
- 【0022】 第十一圖為本創作的第三具體實施例的儲存裝置方塊圖。
- 【0023】 第十二圖為本創作的第三具體實施例的儲存裝置設置示意圖。

### ● 【實施方式】

【0024】 為能夠更加詳盡的了解本創作之特點與技術內容，請參閱以下所述之說明及附圖，然而所附圖示僅供參考說明之用，而非用來加以限制者。

● 【0025】 首請參閱第三圖至第六圖，分別為本創作的本創作的第二具體實施例的儲存裝置配置圖正面、儲存裝置配置圖背面、儲存裝置設置示意圖及儲存裝置方塊圖。如圖所示，本創作的儲存裝置3主要包括一電路基板31、一記憶體控制器33(下面將於說明書內文中簡稱為該控制器33)、一記憶體模組34及一匯流排(如第七圖所示的匯流排37)，其中該控制器33、該記憶體模組34及該匯流排37分別設置於該電路基板31上。該電路基板31上具有一傳輸介面32，更具體而言，該傳輸介面32可為一快捷外設互聯標準(Peripheral Component Interconnect Express, PCI-E)傳輸介面，該儲存裝置通過該傳輸介面32插接於一外部的電腦主機板41上的一PCI-E插槽42，藉以與該電腦主機板41進行訊號的傳輸。然而以上所

述僅為一較佳具體實例，不應以此為限。

【0026】 該控制器33通過該電路基板31電性連接該傳輸介面32，藉以通過該傳輸介面32與該電腦主機板41進行溝通，進而接受該電腦主機41所發出的控制指令，並且據以對該記憶體模組34進行存取動作。

【0027】 該匯流排37通過該電路基板31電性連接該控制器33。該記憶體模組34通過該電路基板31電性連接該匯流排37，藉以通過該匯流排37與該控制器33進行溝通。換言之，該儲存裝置3係將該匯流排37做為該控制器33與該記憶體模組34之間的訊號傳輸橋樑。並且值得一提的是，本實施例中，該儲存裝置3係以單一條的該匯流排37來存取該記憶體模組34中的所有資料。

【0028】 該記憶體模組34主要由至少二記憶體插槽341與至少二揮發性記憶體(Volatile memory)342所組成，本實施例中，該記憶體插槽341可例如為小外形雙列內存模組(Small Outline Dual In-line Memory Module, SO-DIMM)插口，而該揮發性記憶體342可例如為同步動態隨機存取記憶體(Double Data Rate Synchronous Dynamic Random Access Memory, DDR SDRAM)，並且較佳可為DDR3記憶體。然而以上所述僅為本創作的一較佳具體實例，不應以此為限。該記憶體插槽341係設置於該電路基板31，並通過該電路基板31電性連接該匯流排37。該揮發性記憶體342則插接於該記憶體插槽341中，藉此，該揮發性記憶體342通過該記憶

體插槽341來接收該匯流排37帶來的控制訊號，並通過該記憶體插槽341將資料傳送到該匯流排37中。

【0029】 如第三圖與第四圖所示，該電路基板31具有一正面311與一背面312，該至少二記憶體插槽341與該至少二揮發性記憶體342可分別設置於該電路基板31上的該正面311與該背面312。其中，設置於該電路基板31的正面311上的該記憶體插槽341的數量，係與設置於該電路基板31的背面312上的該記憶體插槽341的數量相同。如圖中所示者，係以兩個該記憶體插槽341設置在該正面311上，而兩個該記憶體插槽341設置在該背面312上為例，但不加以限定。

【0030】 更具體而言，在該正面311上的每一個該記憶體插槽341，皆具有一個對應的該記憶體插槽341設置在該背面312上相對位置上。其中，該二記憶體插槽341與該控制器33之間的距離相等，如第三圖與第四圖中所示，該正面311上的該記憶體插槽341與該控制器33之間的距離為 $L$ ，而該背面312上與其相對應的另一記憶體插槽341與該控制器33之間的距離亦為 $L$ ，兩者之間的距離相等。

【0031】 該儲存裝置3更包括有一電力提供單元36，設置於該電路基板31上，並通過該電路基板31電性連接該控制器33與該記憶體模組34，藉以提供該控制器33與該記憶體模組34運作所需之電力。本實施例中，該電力提供單元36主要以一電池為例，舉例說明。於另一實施例中，該電力提供單元36亦可為一電源線接頭，該儲存裝置3可通過該電源線接頭連接外部的

電源線，藉以取得該儲存裝置3運作所需之電力，此處並不以上述實施例為限。

**【0032】** 該儲存裝置3還包括有一備份記憶體模組35，設置於該電路基板31上，並通過該電路基板31電性連接該控制器33。該備份記憶體模組35主要係由複數非揮發性記憶體(non-volatile memory)351所組成，本實施例中，該複數非揮發性記憶體351主要係可例如為快閃記憶體(Flash memory)，但並不加以限定。

**【0033】** 本創作中，該儲存裝置3主要係以該記憶體模組34中的該些揮發性記憶體342為主要的儲存媒體。該些揮發性記憶體342的特性為：斷電後資料即消失。換句話說，該些揮發性記憶體342的存取速度雖快，但是當該儲存裝置3斷電之後，儲存在該些揮發性記憶體342中的資料將會消失，如此將會造成使用者的不便。雖然該些非揮發性記憶體351的存取速度略慢於該些揮發性記憶體342，然而該些非揮發性記憶體351具有斷電後資料仍然保存的特性。故，本創作係通過該些非揮發性記憶體351來做為一備份的儲存媒體，藉以避免因為該儲存裝置3斷電，使得該些揮發性記憶體342中的資料全部消失的問題。

**【0034】** 本創作中，該儲存裝置3係通過該傳輸介面32連接該電腦主機板41，藉以自該電腦主機板41接收資料，並且經由該控制器33的控制，將資料寫入該些揮發性記憶體342中。值得一提的是，該些揮發性記憶體342可為複數個獨立的儲存空間

，分別儲存不同的資料；或者，該些揮發性記憶體342亦可組成一個具有大容量儲存空間的該記憶體模組34。以三十個該揮發性記憶體342為例，該控制器33可將該複數揮發性記憶體342視為三十個獨立的儲存空間(例如三十個硬碟)，或視為單一個具有三十倍容量的儲存空間(例如一個超大容量的硬碟)，但不加以限定。

**【0035】** 如第六圖所示，該控制器33係同時電性連接該記憶體模組34及該備份記憶體模組35。該控制器33主要將資料儲存於該記憶體模組34中，並且該控制器33會於必要時(例如該儲存裝置3斷電前)，控制該記憶體模組34，以將該些揮發性記憶體342內的資料備份儲存至該備份記憶體模組35中，藉此避免因斷電而造成資料消失的問題。並且，該控制器33同樣會於需要時(例如該儲存裝置3重新通電啓動時)，控制該備份記憶體模組35，以將該些非揮發性記憶體351內的備份資料回存至該記憶體模組34中，藉以，通過該些揮發性記憶體342來讓使用者得到極快速的資料存取速度。

**【0036】** 續請同時參閱第七圖及第八圖，分別為第一具體實施例的第一記憶體架構圖及第二記憶體架構圖。本創作中，該控制器33主要係通過單一條的該匯流排37來連接所有的該記憶體插槽341，並通過該些記憶體插槽341來存取該些揮發性記憶體342。如第七圖與第八圖所示，該匯流排37上係具有一個以上的接點，圖中係以一接點A與一接點B為例，但不加以限定。該匯流排37上的每一個接點A、B分別用以連接上、下二個

該記憶體插槽341，並分別通過該二記憶體插槽341存取上、下兩個對應的該揮發性記憶體342。其中，連接到同一個接點的該二記憶體插槽341，係分別設置於該電路基板31的該正面311與該背面312上的對應位置，並且該二記憶體插槽341與該控制器33之間的距離相等。

**【0037】** 以第七圖為例，一第一記憶體插槽3411與一第二記憶體插槽3412共同連接該匯流排37上的一接點A，其中該第一記憶體插槽3411插接一第一記憶體3421，該第二記憶體插槽3412插接一第二記憶體3422。該第一記憶體插槽3411與該第二記憶體插槽3412分別設置在該電路基板31的該正面311與該背面312上的對應位置，並且該第一記憶體插槽3411與該控制器33之間的距離，和該第二記憶體插槽3412與該控制器33之間的距離相等。

**【0038】** 第七圖中還揭露了一第三記憶體插槽3413與一第四記憶體插槽3414，該第三記憶體插槽3413與該第四記憶體插槽3414共同連接該匯流排37上的一接點B，並且該第三記憶體插槽3413插接一第三記憶體3423，該第四記憶體插槽3414插接一第四記憶體3424。同樣地，該第三記憶體插槽3413與該第四記憶體插槽3414分別設置在該電路基板31的該正面311與該背面312上的對應位置，並且該第三記憶體插槽3413與該控制器33之間的距離，和該第四記憶體插槽3414與該控制器33之間的距離相等。

**【0039】** 是以，如第七圖所示，當該控制器33存取該第一記憶體3421

時，會有微小電流跑到該第二記憶體3422、該第三記憶體3423與該第四記憶體3424。而當訊號反射(reflection)現象產生，會因為該第二記憶體3422、該第三記憶體3423與該第四記憶體3424並未執行資料的存取動作，故會將流過來的電流反射回去。上述的訊號反射現象為本領域中的公知常識，在此不再贅述。

● 【0040】 而如第八圖所示，本實施例中，因為該接點B分別連接上、下兩個記憶體插槽(即該第三記憶體插槽3413與該第四記憶體插槽3414)，並且該第三記憶體插槽3413至該控制器33之間的距離，相等於該第四記憶體插槽3414至該控制器33之間的距離，因此，該第三記憶體3423所反射的電流，恰好會與該第四記憶體3424所反射的電流互相抵消。換言之，該第三記憶體3423與該第四記憶體3424反射的電流並不會流回該控制器33；或者，上述兩者的電流互相抵消後，僅會殘留下極微小，並且不會對訊號產生干擾的電流並流回該控制器33。

● 【0041】 值得一提的是，本本創作主要是藉由該些揮發性記憶體342(及該些記憶體插槽341)的特殊連接架構，讓該匯流排37的接點上、下兩個揮發性記憶體342所反射的電流可以互相抵消。因此，本創作中，該些記憶體插槽341與該些揮發性記憶體342的數量主要係以雙數為主。

【0042】 續請同時參閱第九圖及第十圖，分別為本創作的第二具體實施例的第一記憶體架構圖及第二記憶體架構圖。上述第七圖與第八圖的實施例中，該些記憶體插槽341與該些揮發性記

憶體342的數量主要係以四個為例。而如第九圖及第十圖所示，於另一實施例中，該些記憶體插槽341的數量較佳可為八個，該些揮發性記憶體342的數量較佳可為八個，並且該匯流排37較佳可具有至少四個接點A、B、C、D。其中，該四個接點A、B、C、D分別連接上、下兩組該記憶體插槽341，並通過該二記憶體插槽341分別存取上、下兩個對應的該揮發性記憶體342。

**【0043】** 如第九圖與第十圖所示，當該控制器33存取該接點A上的其中一個揮發性記憶體342時，同樣會有電流流至其他七個該揮發性記憶體342，然而當訊號反射的現象發生時，該接點B上、下兩組揮發性記憶體342所反射的電流恰可互相抵消、該接點C上、下兩組揮發性記憶體342所反射的電流恰可互相抵消、而該接點D上、下兩組揮發性記憶體342所反射的電流恰可互相抵消。換句話說，絕大部分被反射的電流皆可被抵消掉，即使仍有電流流回該控制器33，但仍然只會有極微小、不會對訊號造成干擾的電流會流回該控制器33。因此，該控制器33所發出的控制指令，以及所存取的資料，不會受到雜訊的干擾而產生錯誤。

**【0044】** 由上述說明可看出，通過本創作所揭露的記憶體連接架構，該些揮發性記憶體342不需具備內部終端電阻(On-Die Termination, ODT)的功能。而即使該些揮發性記憶體342內建有ODT的功能(例如DDR3即內建有ODT的功能)，但其ODT功能不需要被啟用，該儲存裝置3同樣能夠克服訊號反射

(reflection)的問題。如此一來，該儲存裝置3的功耗不會增加，因而可比同質性的儲存裝置(需通過ODT功能來克服訊號反射問題)來得省電。並且，因為該些揮發性記憶體342不具備ODT功能或未啓用ODT功能，故該儲存裝置3的溫度亦可比同質性的儲存裝置來得更低，因而使得該儲存裝置3的工作溫度能夠更為穩定。

【0045】 續請參閱第十一圖及第十二圖，分別為本創作的第三具體實施例的儲存裝置方塊圖及儲存裝置設置示意圖。本實施例中揭露了另一儲存裝置5，該儲存裝置5與上述第六圖中所示的該儲存裝置3的差異在於，除了第六圖中所示之元件外，該儲存裝置5可包括一第一傳輸介面51及至少一第二傳輸介面52，該儲存裝置5可通過該第一傳輸介面51來連接外部的該電腦主機板51，並可通過該第二傳輸介面52來連接一備份儲存裝置6。該第二傳輸介面52係設置於該電路基板31上，並通過該電路基板31電性連接該控制器33及該記憶體模組34，該備份儲存裝置6則通過該第二傳輸介面52與該控制器33、該記憶體模組34及該備份記憶體模組35電性連接。

【0046】 本實施例中，該第二傳輸介面52主要係可為序列高技術配置(Serial Advance Technology Attachment, SATA)傳輸介面，該儲存裝置5通過該第二傳輸介面52連接一內部傳輸線61(例如可為一SATA傳輸線)，並通過該內部傳輸線61電性連接該備份儲存裝置6。值得一提的是，該備份儲存裝置6中可包含至少一個硬碟(如磁頭讀取式硬碟或固態硬碟等)。該儲

存裝置5通過該第二傳輸介面52連接該備份儲存裝置6，藉以可將該記憶體模組34內部的資料備份儲存至該備份儲存裝置6；再者，亦可將該備份記憶體模組35內部的資料複製到該備份儲存裝置6中。如此，可有效地提昇資料的備份空間。

**【0047】** 再者，該備份儲存裝置6還可由多個硬碟共同組成，而該第二傳輸介面52的數量可為二或二以上(如圖中以二個為例)。藉以，該儲存裝置5得藉由複數個該第二傳輸介面52，以獨立磁碟冗餘陣列(Redundant Array of Independent Disks, RAID)的方式，將該記憶體模組34內部的資料備份儲存至該備份儲存裝置6中的多個硬碟；再者，該儲存裝置5亦可以RAID的方式，將該備份記憶體模組35內部的資料複製到該備份儲存裝置6中。如此，可有效地提昇資料的備份速度。其中，該備份儲存裝置6中的硬碟數量，及該第二傳輸介面52的數量，係可依實際所需而設定，不應加以限定。

**【0048】** 如此一來，當該記憶體模組34及／或該備份記憶體模組35損壞，或儲存空間不足時，即可通過該備份儲存裝置6來進行資料備份，並且還可通過RAID的方式來提升資料的備份速度。最後，再由該儲存裝置5視情況所需，通過該控制器33控制該備份儲存裝置6，以將內部的備份資料回存至該記憶體模組34或該備份記憶體模組35中。

**【0049】** 值得一提的是，該備份儲存裝置6亦可設定為一獨立的硬碟，係單純通過該第一傳輸介面51及該第二傳輸介面52來與該電腦主機板41連接，以接收並傳輸資料。但此僅為本創作的

另一實施例，不加以限定。

**【0050】** 於前述之實施例中，該儲存裝置3主要係直接插置於該電腦主機板41的該PCI-E插槽42上，換言之，該儲存裝置3係內建於該電腦主機板41所屬的一電腦主機(例如第十二圖所示的電腦主機4)之中。然而如第十二圖所示，爲了使用者在使用上的便利性，該儲存裝置3、5亦可以一外接式的型態來實現。於本實施例中，該第一傳輸介面51主要係可以一外部序列高技術配置(External Serial Advance Technology Attachment, e-SATA)傳輸介面或一通用序列匯流排3.0(Universal Serial Bus 3.0, USB 3.0)傳輸介面來實現，但並不加以限定。如此一來，該儲存裝置3、5可通過該第一傳輸介面51來連接一外部傳輸線7(例如e-SATA傳輸線或USB傳輸線等)，並通過該外部傳輸線7來連接與該電腦主機板41上的一對應連接埠43，藉以與該電腦主機4建立連接。

**【0051】** 以上所述者，僅爲本創作之一較佳實施例之具體說明，非用以侷限本創作之專利範圍，其他任何等效變換均應俱屬後述之申請專利範圍內。

**【符號說明】**

**【0052】** 11…控制晶片

**【0053】** 12…匯流排

**【0054】** 13…揮發性記憶體

**【0055】** 21…電流

- 【0056】 22…反射電流
- 【0057】 3、5…儲存裝置
- 【0058】 31…電路基板
- 【0059】 311…正面
- 【0060】 312…背面
- 【0061】 32…傳輸介面
- 【0062】 33…記憶體控制器
- 【0063】 34…記憶體模組
- 【0064】 341…記憶體插槽
- 【0065】 3411…第一記憶體插槽
- 【0066】 3412…第二記憶體插槽
- 【0067】 3413…第三記憶體插槽
- 【0068】 3414…第四記憶體插槽
- 【0069】 342…揮發性記憶體
- 【0070】 3421…第一記憶體
- 【0071】 3422…第二記憶體
- 【0072】 3423…第三記憶體
- 【0073】 3424…第四記憶體

- 【0074】 35…備份記憶體模組
- 【0075】 351…非揮發性記憶體
- 【0076】 36…電力提供單元
- 【0077】 37…匯流排
- 【0078】 4…電腦主機
- 【0079】 41…電腦主機板
- 【0080】 42…PCI-E插槽
- 【0081】 43…連接埠
- 【0082】 51…第一傳輸介面
- 【0083】 52…第二傳輸介面
- 【0084】 6…備份儲存裝置
- 【0085】 61…內部傳輸線
- 【0086】 7…外部傳輸線
- 【0087】 A、B、C、D…接點
- 【0088】 L、L1、L2…距離

# 申請專利範圍

## 【新型申請專利範圍】

【第1項】 一種儲存裝置的記憶體連接架構，包含：

一電路基板，具有一正面及一背面，並且該電路基板上具有一傳輸介面，該儲存裝置通過該傳輸介面連接外部的電腦主機板；

一記憶體控制器，設置於該電路基板，並通過該電路基板電性連接該傳輸介面；

一匯流排，設置於該電路基板，並通過該電路基板電性連接該記憶體控制器，該匯流排上具有一個以上的接點；

一記憶體模組，設置於該電路基板，並通過該電路基板電性連接該匯流排，其中該記憶體模組由至少二記憶體插槽及至少二揮發性記憶體組成，該至少二揮發性記憶體分別通過對應的該記憶體插槽連接於同一條該匯流排；

其中，該匯流排上的每一個該接點分別連接二個該記憶體插槽，並分別通過該二記憶體插槽存取對應的該揮發性記憶體，其中連接到同一個該接點的該二記憶體插槽，係分別設置於該電路基板的該正面與該背面上的對應位置，並且該二記憶體插槽與該記憶體控制器之間的距離相等。

【第2項】 如請求項1所述的儲存裝置的記憶體連接架構，其中該至少二記憶體插槽與該至少二揮發性記憶體的數量為雙數。

【第3項】 如請求項2所述的儲存裝置的記憶體連接架構，其中該至少二記憶體插槽的數量為八個，該至少二揮發性記憶體的數量

為八個，該匯流排具有至少四個接點，其中每一個接點分別連接上下兩個該記憶體插槽，並通過該二記憶體插槽分別存取上下兩個該揮發性記憶體。

【第4項】 如請求項2所述的儲存裝置的記憶體連接架構，其中該傳輸介面為快捷外設互聯標準(Peripheral Component Interconnect Express, PCI-E)傳輸介面、外部序列高技術配置(External Serial Advance Technology Attachment, e-SATA)傳輸介面及通用序列匯流排3.0(Universal Serial Bus 3.0, USB 3.0)傳輸介面的其中之一。

【第5項】 如請求項2所述的儲存裝置的記憶體連接架構，其中該記憶體插槽為小外形雙列內存模組(Small Outline Dual In-line Memory Module, SO-DIMM)插口，該揮發性記憶體為雙倍數據率同步動態隨機存取記憶體(Double Data Rate Synchronous Dynamic Random Access Memory, DDR SDRAM)。

【第6項】 如請求項2所述的儲存裝置的記憶體連接架構，其中更包括一電力提供單元，設置於該電路基板，並通過該電路基板電性連接該記憶體控制器及該記憶體模組。

【第7項】 如請求項6所述的儲存裝置的記憶體連接架構，其中該電力提供單元為電池或電源線接頭。

【第8項】 如請求項2所述的儲存裝置的記憶體連接架構，其中更包括一備份記憶體模組，設置於該電路基板上，並通過該電路基板電性連接該記憶體控制器，其中該備份記憶體模組由複數

非揮發性記憶體組成，該記憶體控制器控制該記憶體模組，以將該至少二揮發性記憶體內的資料備份儲存至該備份記憶體模組，並且控制該備份記憶體模組，以將該複數非揮發性記憶體內的備份資料回存至該記憶體模組。

【第9項】 如請求項8所述的儲存裝置的記憶體連接架構，其中該複數非揮發性記憶體為快閃記憶體(Flash memory)。

【第10項】 如請求項8所述的儲存裝置的記憶體連接架構，其中更包括：

至少一第二傳輸介面，設置於該電路基板，並通過該電路基板電性連接該記憶體控制器及該記憶體模組；及

一備份儲存裝置，電性連接該第二傳輸介面，通過該第二傳輸介面與該記憶體控制器、該記憶體模組、及該備份記憶體模組電性連接；

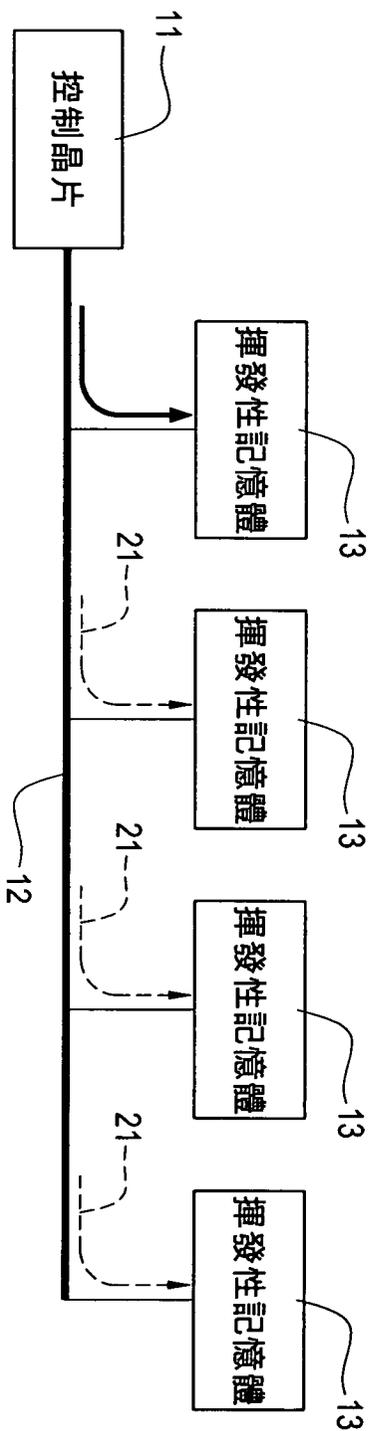
其中，該記憶體控制器控制該記憶體模組或該備份記憶體模組，以將內部的資料備份儲存至該備份儲存裝置，並且控制該備份儲存裝置，以將內部的備份資料回存至該記憶體模組或該備份記憶體模組。

【第11項】 如請求項10所述的儲存裝置的記憶體連接架構，其中該第二傳輸介面為序列高技術配置(Serial Advance Technology Attachment, SATA)傳輸介面。

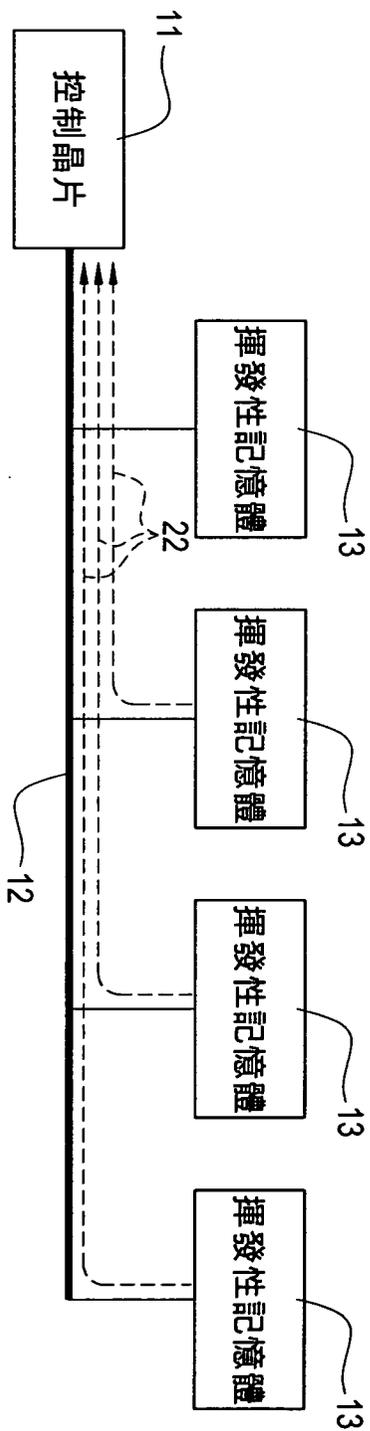
【第12項】 如請求項11所述的儲存裝置的記憶體連接架構，其中該備份儲存裝置由多個硬碟組成，該第二傳輸介面的數量為二或二以上，該記憶體控制器藉由該複數第二傳輸介面，以獨立磁碟冗餘陣列(Redundant Array of Independent

Disks,RAID)的方式將該記憶體模組或該備份記憶體模組內部的資料備份儲存至該備份儲存裝置。

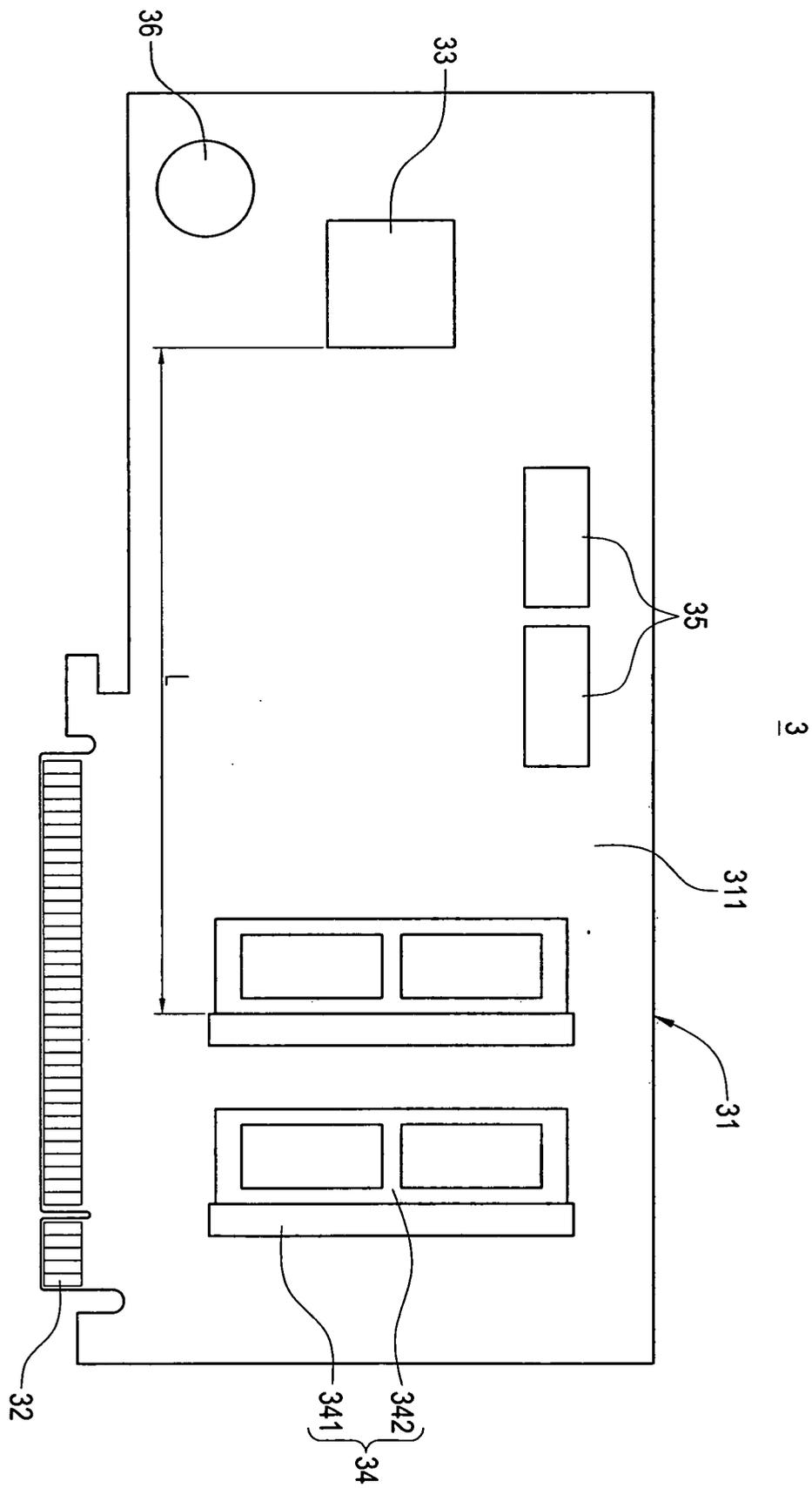
# 圖式



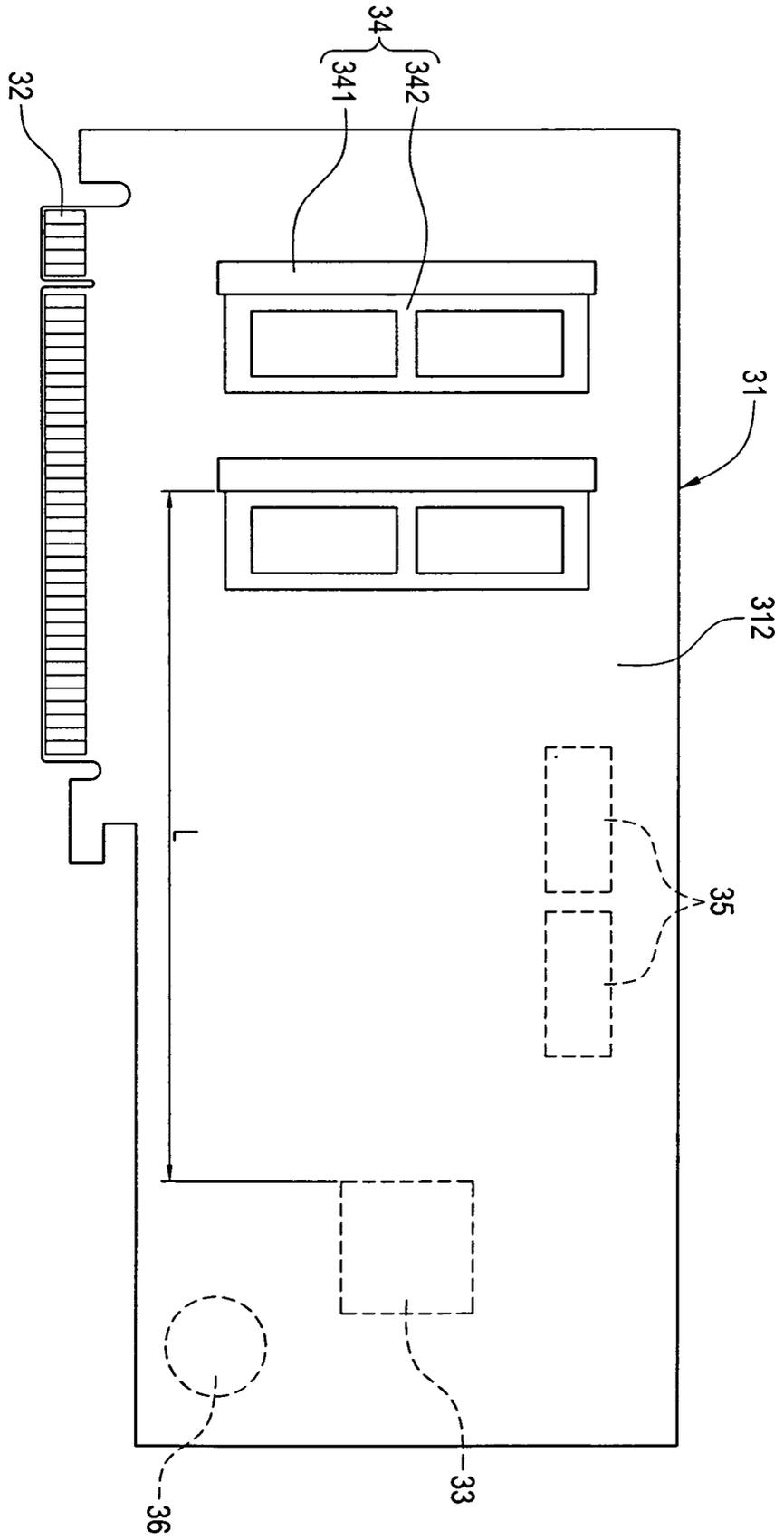
第一圖



第二圖

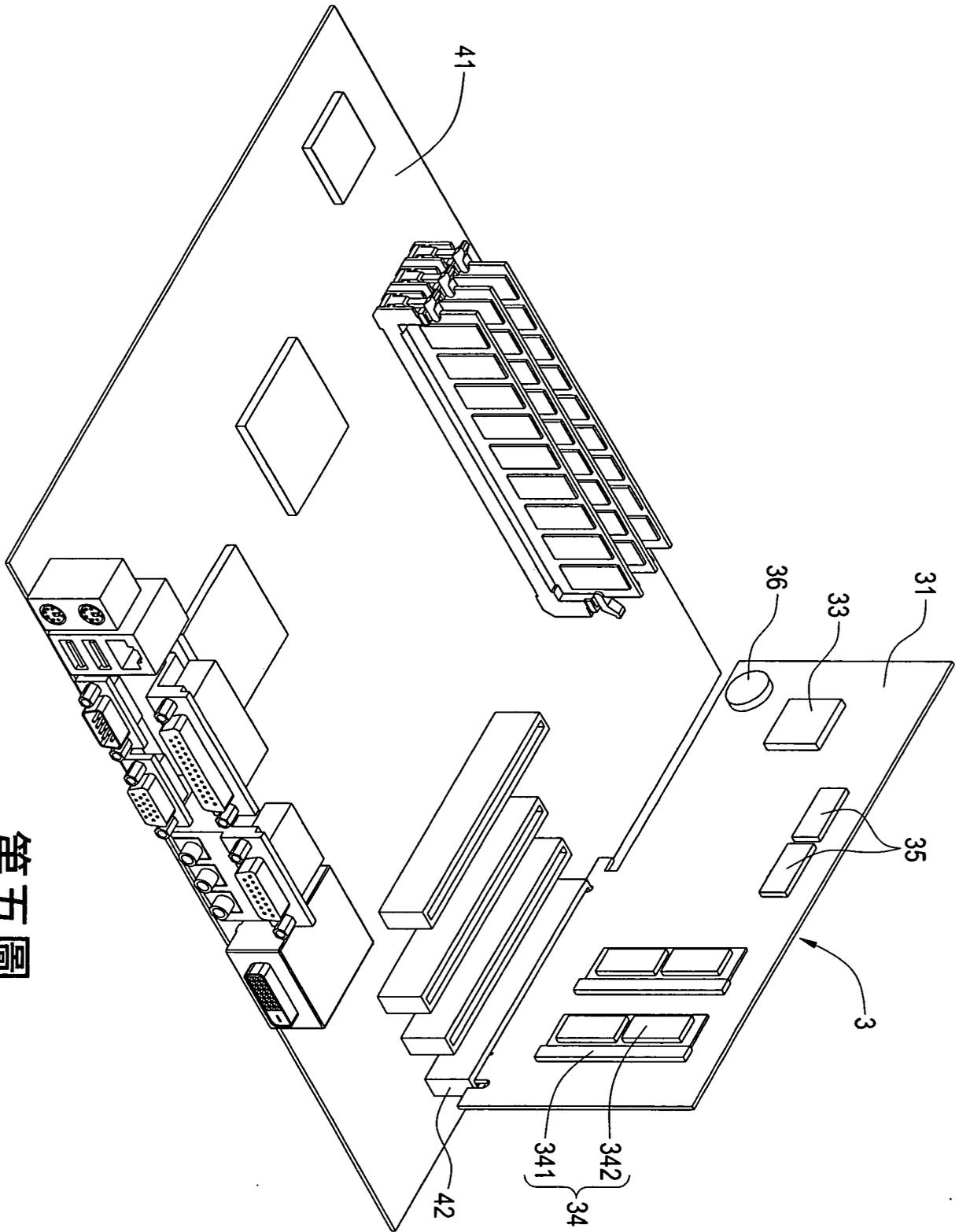


第三圖

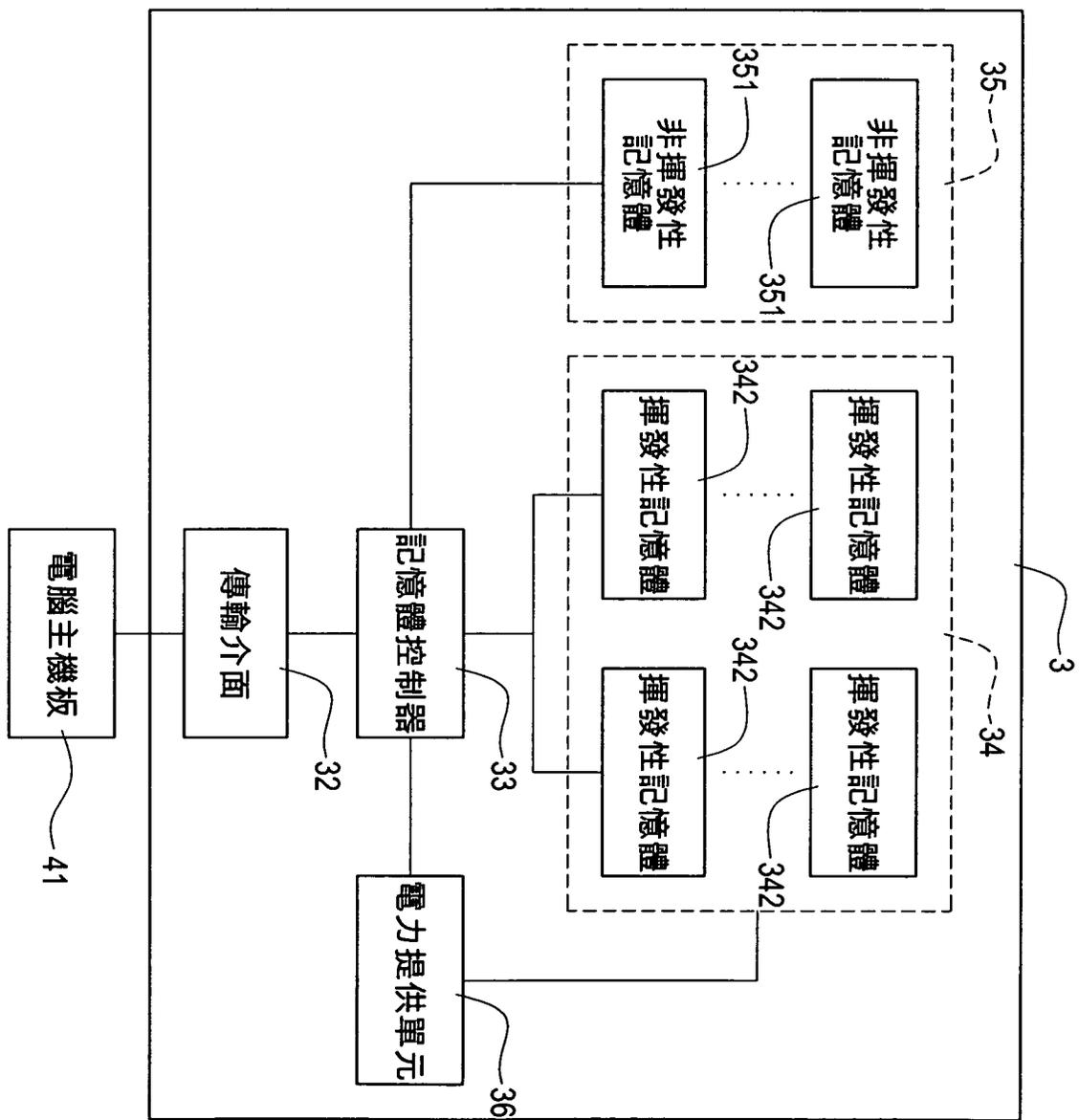


3

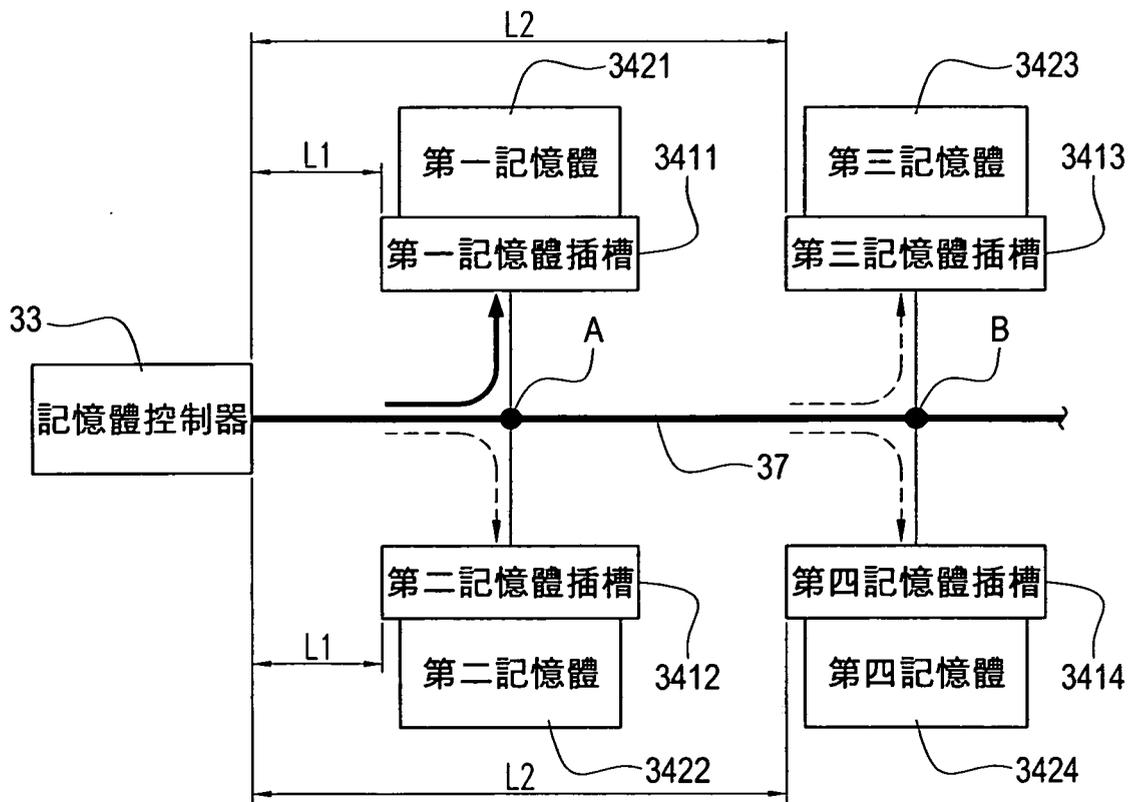
第四圖



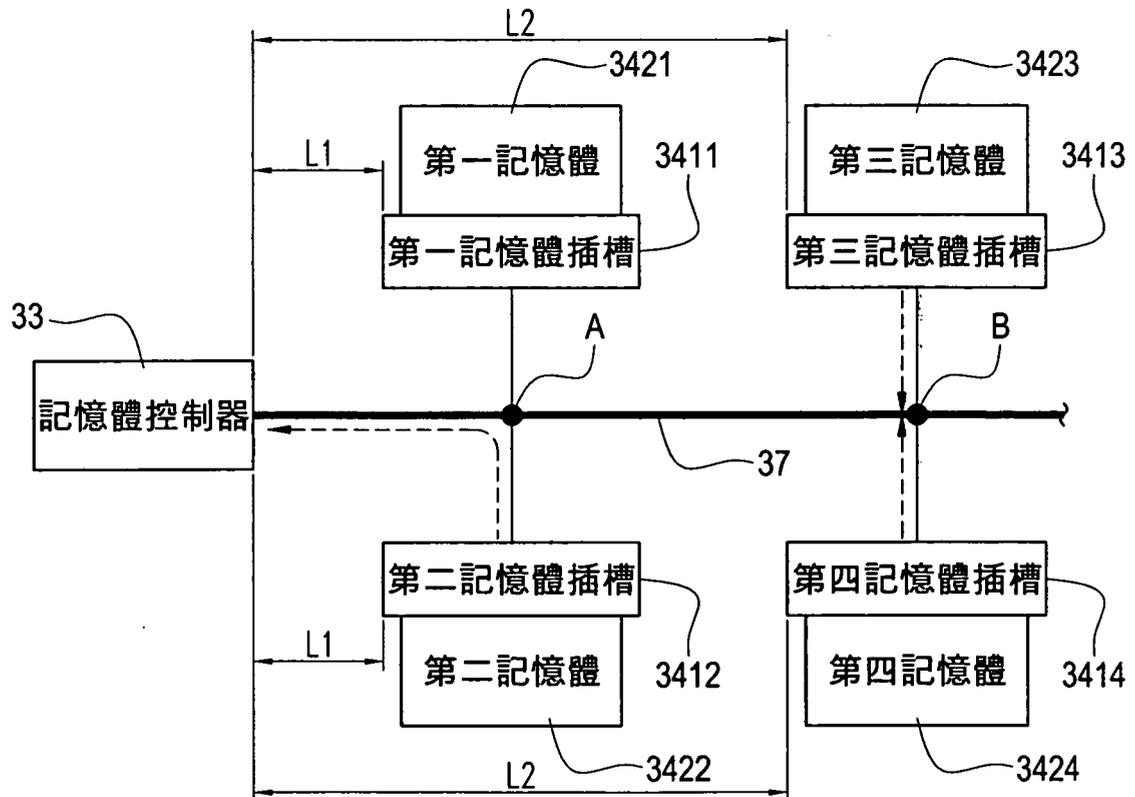
第五圖



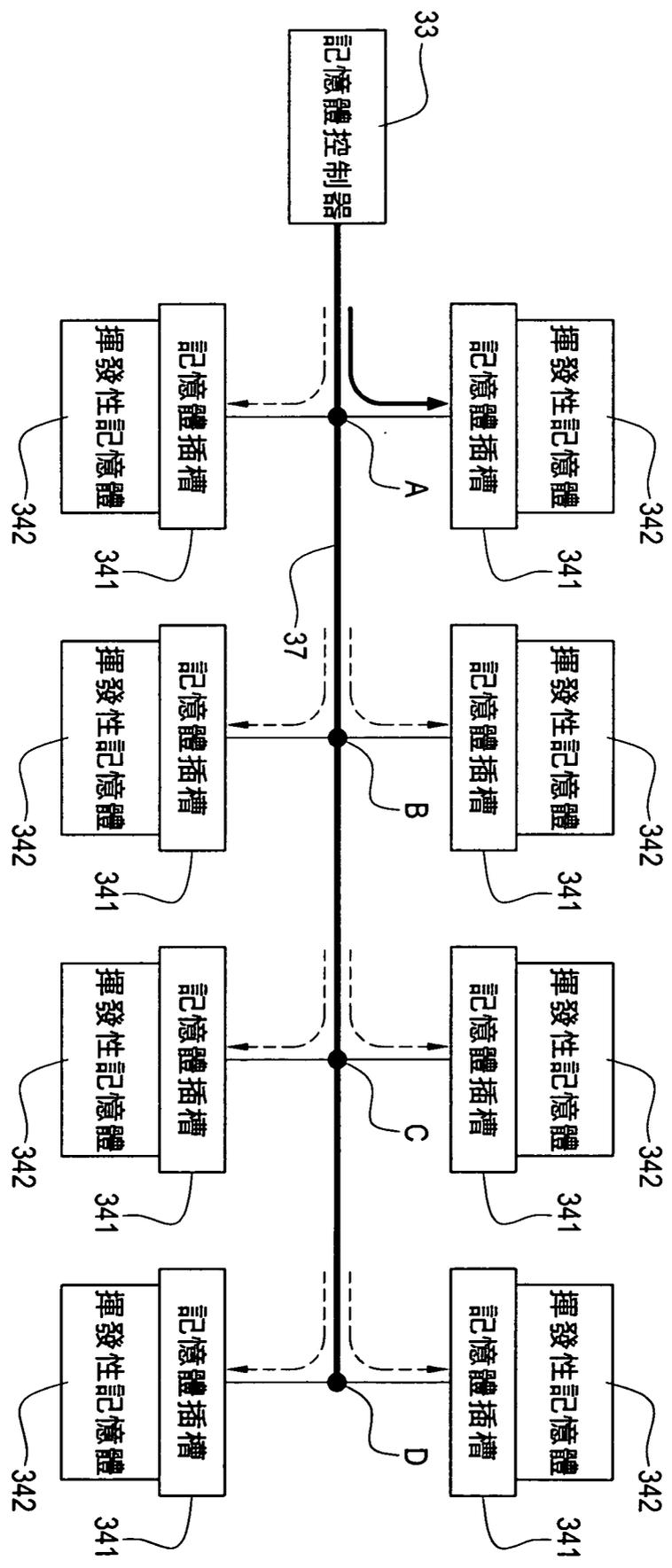
第六圖



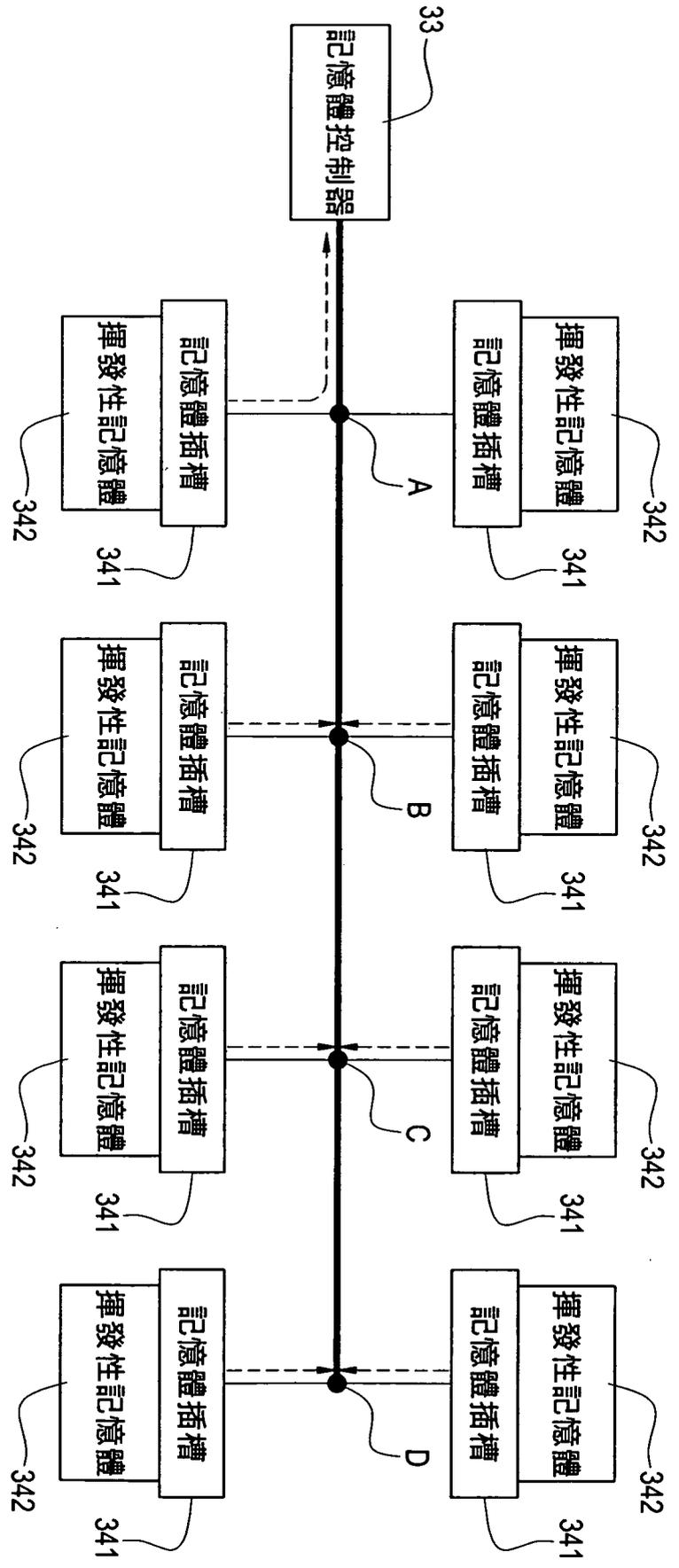
第七圖



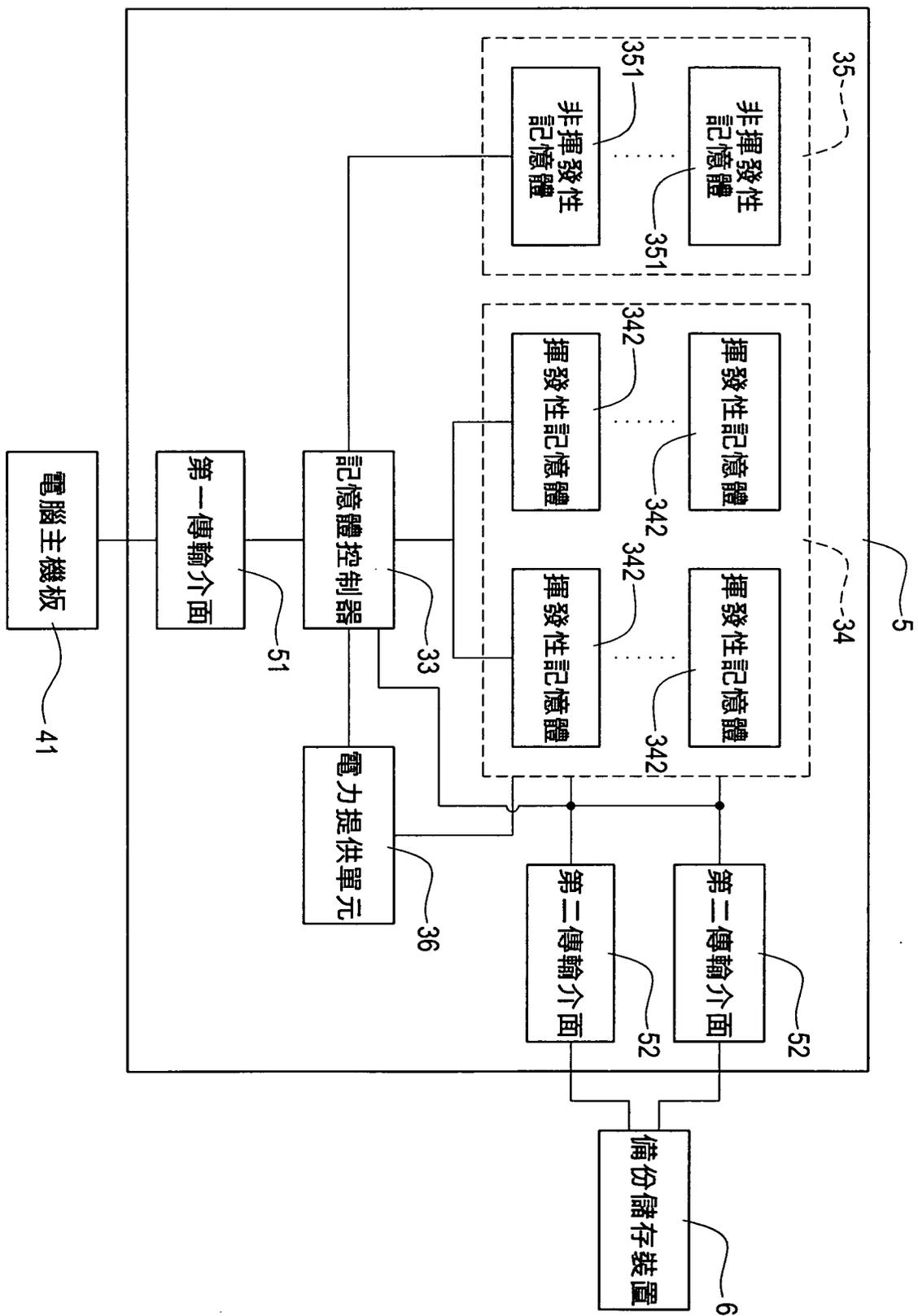
第八圖



第九圖



第十圖



第十一圖

第十三圖

