

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4780098号  
(P4780098)

(45) 発行日 平成23年9月28日(2011.9.28)

(24) 登録日 平成23年7月15日(2011.7.15)

(51) Int.Cl.

F I

G 0 6 F 1/04 (2006.01)

G 0 6 F 1/04 3 0 1 C

G 0 6 F 15/78 (2006.01)

G 0 6 F 15/78 5 1 0 P

G 0 6 F 15/78 5 1 0 E

請求項の数 6 (全 40 頁)

(21) 出願番号	特願2007-322364 (P2007-322364)	(73) 特許権者	000004260
(22) 出願日	平成19年12月13日(2007.12.13)		株式会社デンソー
(62) 分割の表示	特願2002-380002 (P2002-380002) の分割		愛知県刈谷市昭和町1丁目1番地
原出願日	平成14年12月27日(2002.12.27)	(74) 代理人	100123191
(65) 公開番号	特開2008-123538 (P2008-123538A)		弁理士 伊藤 高順
(43) 公開日	平成20年5月29日(2008.5.29)	(74) 代理人	100138542
審査請求日	平成19年12月13日(2007.12.13)		弁理士 井口 亮社
前置審査		(74) 代理人	100096998
			弁理士 碓氷 裕彦
		(72) 発明者	手嶋 芳徳
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内
		(72) 発明者	松岡 俊彦
			愛知県刈谷市昭和町1丁目1番地 株式会
			社デンソー内

最終頁に続く

(54) 【発明の名称】 マイクロコンピュータ

(57) 【特許請求の範囲】

【請求項1】

内部状態を保持したまま動作を一時的に停止する低消費電力モードの設定が可能に構成されるCPUと、

前記低消費電力モードを周期的に解除するための解除タイマと、

前記低消費電力モードが設定されている期間内に、外部信号出力端子のレベルを変化させる信号レベル変化手段とを備えて構成され、

前記信号レベル変化手段は、

前記外部信号出力端子のレベルを変化させるタイミングを設定するためのレジスタと、

前記CPUが低消費電力モードに移行した時点からカウント動作を開始するレベル変化用タイマと、

前記レベル変化用タイマのカウント値と前記レジスタの値とを比較して、両者が一致するとトリガ信号を出力する比較回路とを備え、前記トリガ信号が出力されると、前記外部信号出力端子のレベルを変化させるように構成されていることを特徴とするマイクロコンピュータ。

【請求項2】

前記レジスタは、前記CPUによって任意のデータ値が設定可能に構成されていることを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】

前記信号レベル変化手段によって変化された外部信号出力端子のレベルは、前記低消費

10

20

電力モードが解除されると、前記CPUによってリセットすることが可能に構成されていることを特徴とする請求項1または2記載のマイクロコンピュータ。

【請求項4】

前記低消費電力モードは、前記解除タイマ以外の解除要因が発生した場合も解除されるように設定されており、

前記信号レベル変化手段が前記外部信号出力端子のレベルを変化させた後、前記解除要因の発生によって低消費電力モードが解除されると、前記解除タイマによって前記低消費電力モードが解除される予定のタイミングで、前記CPUに対して割り込み要求を発生させる割り込み発生手段を備えたことを特徴とする請求項3記載のマイクロコンピュータ。

【請求項5】

前記レベル変化用タイマは、前記解除タイマと共通で構成されていることを特徴とする請求項1乃至4の何れかに記載のマイクロコンピュータ。

【請求項6】

前記解除タイマは、前記CPUの動作を監視するためのウォッチドッグタイマ、若しくは前記CPUの動作用クロックとは独立にカウント動作するフリーランタイマと共通で構成されていることを特徴とする請求項1乃至4の何れかに記載のマイクロコンピュータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、内部状態を保持したまま動作を一時的に停止する低消費電力モードの設定が可能に構成されるCPUを備えてなるマイクロコンピュータに関する。

【背景技術】

【0002】

マイクロコンピュータにおいては、CPUが処理を行なう必要がない状態となった場合に、その内部状態を保持しつつクロック信号の発振動作を停止させることで電力消費を低減する低消費電力モードに移行することが可能に構成されているものがある（例えば、特許文献1）。

また、マイクロコンピュータは、外部信号出力端子のレベルを変化させることで、その端子に接続されている外部デバイスの制御を行う。この場合、端子の出力レベルと、その端子をアクティブにする期間とはプログラムによって設定される。

【0003】

特にバッテリーを動作用電源として構成されるマイクロコンピュータでは、CPUが処理を行なう必要がない状態となった場合に、その内部状態を保持しつつクロック信号の発振動作を停止させることで電力消費を低減する低消費電力モードに移行することが可能に構成されているものがある。その場合、マイコンの内部処理や外部デバイスの制御などについては、例えば図37に示すように、低消費電力モードと通常モードとを交互に移行することで、定期的に行なわれるようにスケジューリングすることが可能である。

或いは、マイコンの外部で発生する何らかのイベントに応じて不定期に処理を行なう必要がある場合は、そのイベントを低消費電力モードの解除要因とすることで、イベントの発生に応じて通常モードに移行させ、処理を実行させることも可能である。

【特許文献1】特開平11-305888号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1のような従来のマイクロコンピュータでは、低消費電力モードに移行している期間において外来ノイズが印加されると、外部出力端子の出力レベルが変化してしまうおそれがあった。例えば、マイコンがモータを駆動する制御するように構成されていると、低消費電力モードに移行する場合はモータの回転を停止させるように外部出力端子のレベルを制御する。その状態で、外来ノイズの影響で外部出力端子の出力レ

10

20

30

40

50

ベルが変化すると、モータが回転してしまうことになる。

【 0 0 0 5 】

また、例えば、通常モードにおいてプログラムが実行されている場合は、そのプログラムにおいて外部出力端子のレベルを設定し（例えば、H）、出力期間の間はそのレベルを保持し、出力期間が終了すると前記レベルを元に戻すように設定する（例えば、L）。そして、上記出力期間を把握するために、プログラムはCPUの動作クロック（マシクロック）などに基づいて動作するタイマを使用する。

また、プログラムは、上記出力期間中においては、他の処理も並行して実行することが可能であるが、そのように並行して実行可能な処理が常に存在するとは限らない。その場合は、結果として、単に端子の出力レベルを保持するためだけにCPUが起動していること  
10 になる。そして、その期間中は動作クロックが発振し続けるため、消費電流が増大するという問題があった。

【 0 0 0 6 】

本発明は上記事情に鑑みてなされたものであり、その目的は、低消費電力モードの設定が可能に構成される場合に、外来ノイズの影響を極力低減することができるマイクロコンピュータ、また、低消費電力モードに移行している状態においても、外部出力端子のレベル設定を行うことが可能なマイクロコンピュータを提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

請求項1記載のマイクロコンピュータによれば、信号レベル変化手段は、CPUが低消費電力モードに設定されている期間内に、外部信号出力端子のレベルを変化させる。従って、CPUは、外部信号出力端子のレベルを変化させるためだけに通常の動作モードを継続する必要がないので、消費電力を低減することができる。  
20

【 0 0 1 0 】

請求項1記載のマイクロコンピュータによれば、信号レベル変化手段は、レベル変化用タイマのカウント値とレベル変化タイミングが設定されているレジスタの値とを比較回路が比較し、両者が一致することでトリガ信号が出力されると外部信号出力端子のレベルを変化させる。従って、レジスタに設定されるタイミングで、出力端子のレベルを変化させることができる。

【 0 0 1 1 】

請求項2記載のマイクロコンピュータによれば、レジスタは、CPUによって任意のデータ値が設定可能に構成されるので、ユーザプログラムによってレベル変化タイミングを任意に設定することができる。  
30

【 0 0 1 2 】

請求項3記載のマイクロコンピュータによれば、外部信号出力端子のレベルは、低消費電力モードが解除されるとCPUによってリセットすることが可能に構成されるので、CPUが必要な処理を行った時点で出力端子のレベルを直ちにリセットすることができる。

【 0 0 1 3 】

請求項4記載のマイクロコンピュータによれば、割り込み発生手段は、信号レベル変化手段が外部信号出力端子のレベルを変化させた後、解除要因の発生によって低消費電力モードが解除されると、解除タイマによって低消費電力モードが解除される予定のタイミングでCPUに対して割り込み要求を発生させる。  
40

【 0 0 1 4 】

即ち、信号レベル変化手段が変化させた外部信号出力端子のレベルについては、そのレベルを最低限維持するように要求される場合がある（例えば、その外部信号出力端子が接続されている外部デバイスに対する制御に係る要請などによる）。その場合、前記レベルの維持期間は、低消費電力モードが設定されている期間との関係に応じて定められているため、解除要因の発生によって低消費電力モードが予定よりも早く解除されると、CPUは、本来の信号レベルの維持期間が判らなくなってしまう。

そこで、割り込み発生手段が上記のタイミングでCPUに対して割り込み要求を発生さ  
50

せれば、CPUは前記維持期間を認識できるようになり、その割り込み要求を認識した後に、必要に応じて出力端子のレベルをリセットすることができる。

【0015】

請求項5記載のマイクロコンピュータによれば、レベル変化用タイマを解除タイマと共通にしてより簡単に構成することができる。

請求項6記載のマイクロコンピュータによれば、解除タイマを、CPUの動作を監視するためのウォッチドッグタイマ、若しくは、CPUの動作クロックとは独立にカウント動作するフリーランタイマと共通としてより簡単に構成することができる。

【発明を実施するための最良の形態】

【0016】

10

(第1実施例)

以下、本発明をマイクロコンピュータに適用した場合の第1実施例について図1乃至図4を参照して説明する。図1は、マイクロコンピュータ(マイコン)1の電氣的構成を示す機能ブロック図である。マイコン1は、CPU2を中心として構成され、そのCPU2には、メインクロック発振部(発振回路)3によって発振出力されるメインクロック信号MCLK(例えば、周波数4MHz、第1クロック信号)が動作クロック信号として供給されるようになっている。メインクロック発振部3は、具体的には図示しないが、水晶発振子を用いて構成されている。

【0017】

また、マイコン1は、CR発振回路で構成されるサブクロック発振部(CR発振回路)4を備えている。サブクロック発振部4によって発振出力されるサブクロック信号SCLK(例えば、周波数25kHz、第2クロック信号)は、ウォッチドッグタイマ5にカウント用クロック信号として供給されるようになっている。

20

ウォッチドッグタイマ5は、周知のようにCPU2の暴走監視機能をなすものであり、CPU2によって周期的なクリア動作が実行されなくなるとオーバーフローしてCPU2にリセット信号を出力する。また、本実施例におけるウォッチドッグタイマ5は、クリア動作画行なわれる時点でタイマ5のカウント値画現地を超えていない場合にもリセット信号を出力するように構成されている。

【0018】

サブクロック補正部(補正回路)6は、メインクロック信号MCLKを用いてサブクロック信号SCLKの発振周波数補正を行なうように構成されている。一方、メインクロック監視部(監視回路)7は、サブクロック信号SCLKを用いてメインクロック信号MCLKの監視を行なうように構成されており、メインクロック信号MCLKの異常を検出すると、CPU2にリセット信号を出力するようになっている。

30

【0019】

図2は、サブクロック補正部6を中心とする詳細な構成を示すものである。サブクロック補正部6は、エッジ検出回路8、パルスカウンタ9、カウント数設定レジスタ10、比較調整手段11および抵抗調整回路12を備えている。また、サブクロック発振部4は、抵抗調整回路6からの制御信号により抵抗値が可変な可変抵抗器としてのラダー抵抗13、コンデンサ14、インバータ15およびバッファ16で構成されている。

40

【0020】

サブクロック補正部6のエッジ検出回路8は、サブクロック発振部4からの発振出力のエッジを検出して検出信号を生成する。パルスカウンタ9は、メインクロック信号MCLKの出力パルスを計数するデジタルカウンタである。また、カウント数設定レジスタ10は、サブクロック信号SCLKの一周期に相当すべきMCLKパルスの適正なカウント数が格納されるレジスタである。すなわち、カウント数設定レジスタ10に設定されるカウント数には、MCLKパルスがそのカウント数だけ発生する時間に応じて、サブクロック信号SCLKの発振周期が調整されるべき数値が設定される。

【0021】

比較調整手段11は、エッジ検出回路8からエッジ検出信号を受け取ると、パルスカウ

50

ンタ 9 によるパルスのカウント数とレジスタ 4 に格納されたカウント数とを比較し、両カウント数の比較結果に基づいて、サブクロック信号 S C L K の発振周期を調整するための調整信号を出力するように構成されている。

抵抗調整回路 1 2 は、比較調整手段 1 1 からの調整信号に基づいて制御信号を生成し、この制御信号をもってサブクロック発振部 4 のラダー抵抗 1 3 の抵抗値を調整する回路である。

#### 【 0 0 2 2 】

尚、サブクロック補正部 6 の動作については、特開 2 0 0 1 - 1 1 1 3 8 9 号公報に詳細に開示されているが、以下、その概略について述べる。サブクロック信号 S C L K の一周期が経過して、そのクロックパルスのエッジがエッジ検出回路 8 によって検出されると、検出信号が比較調整手段 1 1 に出力される。すると、比較調整手段 1 1 は、パルスカウンタ 9 で積算されている前回の検出信号から積算されたパルスのカウント数と、カウント数設定レジスタ 1 0 に設定されているカウント数とを読み出して両者を比較する。

#### 【 0 0 2 3 】

ここで、レジスタ 1 0 に設定されているカウント数は、サブクロック信号 S C L K の一周期に相当すべきパルスの適正な積算値である。そこで、比較調整手段 1 1 は、M C L K パルスがサブクロック信号 S C L K の一周期のうちにいくつ積算されたかをもって、サブクロック信号 S C L K の一周期が適正な設定値よりもどの程度大きいあるいは小さいかを判定することができる。比較調整手段 1 1 は、その判定結果に基づいて、サブクロック信号 S C L K の発振周期を調整するための調整信号を生成し、抵抗調整回路 1 2 は、この調整信号に基づいて制御信号を生成出力してラダー抵抗 1 3 の抵抗値を調整する。尚、図 3 は、以上の補正処理を示すフローチャートである。

#### 【 0 0 2 4 】

図 4 は、メインクロック監視部 7 の詳細な構成を示すものである。メインクロック監視部 7 は、M カウンタ 1 7 及び S カウンタ 1 8 を中心として構成されている。M カウンタ 1 7 は、1 / N 分周器 1 9 を介して与えられるメインクロック信号 M C L K のパルスをカウントするカウンタであり、S カウンタ 1 8 は、1 / N 分周器 2 0 を介して与えられるサブクロック信号 S C L K のパルスをカウントするカウンタである。そして、S カウンタ 1 8 は、M カウンタ 1 7 におけるカウントデータの M S B が立つとリセットされると共に、リセットされずにオーバーフローすると C P U 2 にリセット信号を出力するように構成されている。

尚、1 / N 分周器 1 9 , 2 0 の分周値は、C P U 2 のプログラムによってセット可能に構成されている。また、分周器 1 9 , 2 0 については、クロック信号を分周することなくそのまま出力することも可能に構成されている。

#### 【 0 0 2 5 】

即ち、メインクロック監視部 7 においては、メインクロック信号 M C L K の周波数が適正であれば、サブクロック信号 S C L K の出力パルスをカウントする S カウンタ 1 8 がオーバーフローする前に M カウンタ 1 7 におけるカウントデータの M S B が立つことで、S カウンタ 1 8 はリセットされるように設定されている。そして、メインクロック信号 M C L K の周波数が低下した場合は、M カウンタ 1 7 の M S B が立つ前に S カウンタ 1 8 がオーバーフローするので、C P U 2 はリセットされる。

#### 【 0 0 2 6 】

また、メインクロック監視部 7 における S カウンタ 1 8 のオーバーフロー周期は、ウォッチドッグタイマ 5 のオーバーフロー周期よりも短くなるように構成されている。

尚、メインクロック発振部 3、サブクロック発振部 4、サブクロック補正部 6 及びメインクロック監視部 7 は、クロック制御回路装置 2 1 を構成している。また、マイコン 1 としては、具体的には図示しないが、その他、R O M、R A M や I / O , A / D 変換部などの周辺回路を備えている。

#### 【 0 0 2 7 】

そして、クロック制御回路装置 2 1 のサブクロック補正部 6 及びメインクロック監視部

10

20

30

40

50

7、並びにウォッチドッグタイマ5の機能を組み合わせることで、総合的に以下のような監視形態がとられることになる。

(1) MCLK: 正常, SCLK: 周波数低下

サブクロック補正部6の範囲内で補正され、その補正範囲を超える場合は、ウォッチドッグタイマ5によりCPU2にリセットがかかる。

(2) MCLK: 正常, SCLK: 周波数上昇

サブクロック補正部6の範囲内で補正され、その補正範囲を超える場合は、メインクロック監視部7によりCPU2にリセットがかかる。

(3) MCLK: 周波数低下, SCLK: 正常

相対的にSCLKが速くなることから、メインクロック監視部7によりCPU2にリセットがかかる。

(4) MCLK: 周波数上昇, SCLK: 正常

相対的にSCLKが遅くなることから、ウォッチドッグタイマ5によりCPU2にリセットがかかる。

#### 【0028】

以上のように構成された本実施例によれば、クロック制御回路装置21のサブクロック補正部6は、メインクロック信号MCLKに基づいてサブクロック信号SCLKの発振周波数を補正し、メインクロック監視部7は、サブクロック信号SCLKに基づいてメインクロック信号MCLKの発振状態を監視する。従って、メイン, サブの2つのクロック信号によって互いに補正, 監視を行なうので、発振動作の信頼性を総合的に向上させることができる。

#### 【0029】

また、本実施例によれば、メインクロック監視部7によるメインクロック信号MCLKの監視を行なう周期は、ウォッチドッグタイマ5の周期よりも短くなるように設定される。従って、メインクロック監視部7は、ウォッチドッグタイマ5の監視周期では検出することができない異常の発生を検出することが可能となる。即ち、メインクロック信号MCLKが遅くなった場合は、ウォッチドッグタイマ5によるリセットがかかる前にメインクロック監視部7によってリセットをかけることができる。

そして、サブクロック信号SCLKを補正することで、CPU2は、設計通りにウォッチドッグタイマ5をリセットすることができる。

#### 【0030】

< 以下は参考 >

A. 発振子を使用して第1クロック信号を発振する発振回路と、

前記第1クロック信号よりも低い周波数の第2クロック信号を発振し、その発振周波数が調整可能に構成されるCR発振回路と、

前記第1クロック信号に基づいて、前記第2クロック信号の発振周波数を補正する補正回路と、

前記第2クロック信号に基づいて、前記第1クロック信号の発振状態を監視する監視回路とを備えて構成されることを特徴とするクロック制御回路装置。

上記Aのクロック制御回路装置によれば、補正回路は、第1クロック信号に基づいて第2クロック信号の発振周波数を補正し、監視回路は、第2クロック信号に基づいて第1クロック信号の発振状態を監視する。即ち、第1, 第2の2つのクロック信号によって互いに補正, 監視を行なうので、発振動作の信頼性を向上させることができる。

#### 【0031】

B. 上記A記載のクロック制御回路装置と、

前記第1クロック信号に基づいて生成される動作クロック信号が供給されるCPUと、

前記第2クロック信号に基づいて前記CPUの動作を監視するウォッチドッグタイマとを備え、

前記監視回路による第1クロック信号の監視を行なう周期は、前記ウォッチドッグタイマ周期よりも短くなるように構成されていることを特徴とするマイクロコンピュータ。

10

20

30

40

50

上記 B のマイクロコンピュータによれば、監視回路による第 1 クロック信号の監視を行なう周期は、ウォッチドッグタイマ周期よりも短くなるように設定される。従って、監視回路は、ウォッチドッグタイマの監視周期では検出することができない異常の発生を検出することが可能となる。

【 0 0 3 2 】

( 第 2 実施例 )

図 5 乃至図 8 は本発明の第 2 実施例を示すものであり、第 1 実施例と同一部分には同一符号を付して説明を省略以下異なる部分についてのみ説明する。第 2 実施例における構成は基本的に第 1 実施例と同様であり、比較調整手段 1 1 による調整動作が若干異なっている。

10

即ち、図 5 に示すフローチャートでは、ステップ S 3 , S 4 の間に「 C V に最大値をセット」の処理ステップ S 1 1 が挿入されている。また、ステップ S 7 , S 8 は、ステップ S 1 2 , S 1 3 に置き換わっている。ここで、「 C V 」とは、比較調整手段 1 1 が出力する調整信号データである。

即ち、図 5 に示すフローチャートの実行が開始されるのは ( スタート ) 、 C P U 2 のリセットや、スリープモードなどの低消費電力モードが解除された場合の起動時である。その場合に、ステップ S 1 1 において補正データの初期値が最大値 ( m a x ) にセットされることになる。

【 0 0 3 3 】

図 6 は、ステップ S 1 2 における処理内容を示すものである。先ず、比較調整手段 1 1 は、高速補正を行なうか否かを判断する ( ステップ A 0 ) 。この設定はユーザによって行われるようになっており、例えばユーザプログラム中や、基板上に設けられたディップスイッチなどで設定される。高速補正を行うように設定されていない場合 ( 「 N O 」 ) 、比較調整手段 1 1 は、調整信号データ C V を補正データの最小単位 ( L S B ) に設定し ( ステップ A 4 ) 、それからステップ A 3 に移行する。この場合は、補正が最小単位で行なわれるため、第 1 実施例と同様の低速補正となる。ステップ A 3 では、調整信号データ C V を抵抗調整回路 1 2 に出力することで、データ C V に応じてラダー抵抗 1 3 の抵抗値を増加させる。

20

【 0 0 3 4 】

一方、ステップ A 0 において、高速補正を行うように設定されている場合 ( 「 Y E S 」 ) 、比較調整手段 1 1 は、調整信号データ C V がその時点で最小単位になっているか否かを判断する ( ステップ A 1 ) 。そして、データ C V が最小単位に等しければ ( 「 Y E S 」 ) ステップ A 3 に移行する。

30

また、ステップ A 1 において、データ C V が最小単位に等しくなければ ( 「 N O 」 ) 、比較調整手段 1 1 は、調整信号データ C V を 1 / 2 にしてから ( ステップ A 2 ) ステップ A 3 に移行する。尚、図 7 に示すステップ S 1 3 における処理では、ステップ A 3 ' の処理が、ステップ A 3 の「増加」を「減少」に変更したものである。

【 0 0 3 5 】

ここで、図 8 には、高速補正動作が行なわれる状態 ( 即ち、ステップ S 1 2 についてはステップ A 3 を実行する場合 ) の概念的な説明図を示す。即ち、最初の補正は調整範囲の最大値 m a x によって行なわれ、例えば、サブクロック信号 S C L K の周期データがレジスタ 1 0 の設定値よりも大きい ( 周波数が低い ) 場合は、周期が短くなる方向に最大値 m a x で振る。

40

その次の補正では、周期が短くなったため、周期が長くなる方向に最大値 m a x の 1 / 2 で振る。更に、その次の補正では周期が未だ短いため、更に周期が長くなる方向に m a x / 4 で振る。すると、今度は目標値を超えたため、次の補正では周期が長くなる方向に m a x / 8 で振るようにする。

【 0 0 3 6 】

以上のように、最大値 m a x で補正を開始して、絶対値が 1 / 2 , 1 / 4 , 1 / 8 と漸減していくように補正を行なう。即ち、データ検索方式でいえば、所謂バイナリサーチを

50

同じ概念である。即ち、CPU 2のリセット解除時や、低消費電力モードから通常モードに移行した場合のような起動時には、サブクロック発振部 4 の発振状態はかなり不安定となり、その発振周波数は、設定された周波数から大きく外れた状態にあると推定される。従って、その期間における調整動作についてはバイナリサーチ方式で行うことで、サブクロック信号 SCLK の周期データがより速くレジスタ 10 の設定値に等しくなるように（狙い周波数に収束するように）補正される。

そして、調整信号データ CV を  $1/2$  にすることを繰り返すと、最終的にはデータの最小値（LSB）に到達する（ステップ A1, 「YES」）。それ以降は、その最小値によって補正が継続されることになる。

【0037】

10

また、ステップ A0 において、高速補正を行なうか否かを選択可能としたのは、以下の理由による。即ち、CPU 2 が低消費電力モードを実行可能に構成されている場合、高速補正を行なっている途中で低消費電力モードに移行すると、サブクロック発振部 4 の発振周波数が設定周波数と大きく離れた状態のまま移行してしまうおそれがある。従って、低消費電力モードへの移行周期の設定に応じて調整方式を選択することで、ユーザの設計意図に応じた調整が可能となる。

【0038】

以上のように第 2 実施例によれば、サブクロック補正部 6 の比較調整手段 11 は、CPU 2 が起動した直後に、サブクロック発振部 4 の発振周波数を調整する場合は、調整範囲の最大値より開始して、その絶対値を調整周期毎に  $1/2$  ずつ減少させるようにした。従って、サブクロック信号 SCLK の周波数を、設定周波数により速く収束させることが可能となる。

20

そして、比較調整手段 11 は、調整信号レベルの絶対値が最小値（LSB）に達すると以降はその最小値によって調整を継続するので、発振周波数が設定周波数の近傍に近付いた状態になれば調整を精密に行なうことが可能となる。更に、比較調整手段 11 は、CPU 2 が起動した直後の調整動作においては、高速補正を行なうか否かを選択可能とするので、ユーザの意図に沿うように調整を行なわせることができる。

【0039】

< 以下は参考 >

C. 発振子を使用して第 1 クロック信号を発振する発振回路と、  
前記第 1 クロック信号に基づいて生成される動作クロック信号が供給される CPU と、  
前記第 1 クロック信号よりも低い周波数の第 2 クロック信号を発振し、その発振周波数が調整可能に構成される CR 発振回路と、

30

前記第 1 クロック信号に基づいて、前記第 2 クロック信号の発振周波数を補正する補正回路とを備え、

前記補正回路は、前記第 2 クロック信号のエッジを検出するエッジ検出回路と、前記第 1 クロック信号に基づいてカウント動作を行なうパルスカウンタと、前記第 2 クロック信号の一周期に相当すべき前記パルスカウンタのカウント数が格納されるカウント数設定レジスタと、前記エッジ検出回路からエッジ検出信号を受け取ると、前記パルスカウンタのカウント数と前記カウント数設定レジスタに格納されたカウント数とを比較し、両者の差に基づいて前記 CR 発振回路の発振周波数を調整するための調整信号を生成する比較調整手段と、前記調整信号に基づいて、前記 CR 発振回路の発振周波数を調整する調整回路とを備えて構成され、

40

前記比較調整手段は、前記 CPU が起動した直後の調整動作においては、前記調整信号レベルの絶対値を調整周期毎に漸減させるように構成されていることを特徴とするマイクロコンピュータ。

【0040】

上記 C のマイクロコンピュータによれば、比較調整手段は、CPU が起動した直後に、CR 発振回路の発振周波数を調整する場合は、調整信号レベルの絶対値を調整周期毎に漸減させる。即ち、CPU のリセット解除時や、低消費電力モードから通常モードに移行し

50



た場合のような起動時には、C R 発振回路の発振状態はかなり不安定となり、その発振周波数は、設定された周波数から大きく外れた状態にあると推定される。従って、その期間における調整動作については、調整信号レベルの絶対値を、調整周期毎に大きな値から小さな値に漸減させるように調整を行なえば、設定周波数により速く収束させることが可能となる。

【 0 0 4 1 】

D . 前記比較調整手段は、前記調整動作においては、調整範囲の最大値より開始して、その絶対値を調整周期毎に  $1/2$  ずつ減少させることを特徴とする上記 C のマイクロコンピュータ。

上記 D のマイクロコンピュータによれば、比較調整手段は、調整動作においては、調整範囲の最大値より開始して、その絶対値を調整周期毎に  $1/2$  ずつ減少させる。即ち、データ検索における所謂バイナリサーチと同様の方式によることで、C R 発振回路の発振周波数を設定周波数により速く収束させることが可能となる。

【 0 0 4 2 】

E . 前記比較調整手段は、前記調整信号レベルの絶対値が最小値に達すると、以降はその最小値によって調整を継続することを特徴とする上記 C または D のマイクロコンピュータ。

上記 E のマイクロコンピュータによれば、比較調整手段は、調整信号レベルの絶対値が最小値に達すると以降はその最小値によって調整を継続するので、発振周波数が設定周波数の近傍に近付いた状態になれば調整を精密に行なうことが可能となる。

【 0 0 4 3 】

F . 前記比較調整手段は、前記 C P U が起動した直後の調整動作においては、前記調整信号レベルの絶対値を調整周期毎に漸減させる調整動作を行なうか否かを選択可能に構成されていることを特徴とする上記 C ~ E の何れかのマイクロコンピュータ。

上記 F のマイクロコンピュータによれば、比較調整手段は、C P U が起動した直後の調整動作においては、調整信号レベルの絶対値を調整周期毎に漸減させる調整動作を行なうか否かを選択可能に構成される。即ち、C P U が低消費電力モードを実行可能に構成されている場合、調整周期毎に漸減させる調整動作を行なっている途中で低消費電力モードに移行すると、C R 発振回路の発振周波数が設定周波数と大きく離れた状態のままで移行してしまうおそれがある。従って、低消費電力モードへの移行周期の設定に応じて調整方式を選択できるようにすれば、ユーザの意図に沿うように調整を行なわせることができる。

【 0 0 4 4 】

C' . 発振子を使用して第 1 クロック信号を発振する発振回路と、前記第 1 クロック信号に基づいて生成される動作クロック信号が供給される C P U と、前記第 1 クロック信号よりも低い周波数の第 2 クロック信号を発振し、その発振周波数が調整可能に構成される C R 発振回路と、前記第 1 クロック信号に基づいて、前記第 2 クロック信号の発振周波数を補正する補正回路とを備えて構成されるマイクロコンピュータについて、前記第 2 クロック信号の発振周波数を調整する発振周波数の調整方法であって、

前記補正回路は、前記第 2 クロック信号のエッジを検出し、前記第 1 クロック信号に基づいてカウント動作を行ない、前記第 2 クロック信号の一周期に相当すべきカウント数を保持し、前記エッジ検出信号を受け取ると、前記カウント動作によって示されるカウント数と前記保持されたカウント数とを比較し、両者の差に基づいて前記 C R 発振回路の発振周波数を調整するための調整信号を生成し、前記調整信号に基づいて、前記 C R 発振回路の発振周波数を調整し、

前記 C P U が起動した直後の調整動作においては、前記調整信号レベルの絶対値を調整周期毎に漸減させることを特徴とするクロック信号の発振周波数調整方法。

【 0 0 4 5 】

D' . 前記調整動作においては、調整範囲の最大値より開始して、その絶対値を調整周期毎に  $1/2$  ずつ減少させることを特徴とする上記 C' のクロック信号の発振周波数調整方法。

E' . 前記調整信号レベルの絶対値が最小値に達すると、以降はその最小値によって調整を継続することを特徴とする上記C' またはD' のクロック信号の発振周波数調整方法。

F' . 前記CPUが起動した直後の調整動作においては、前記調整信号レベルの絶対値を調整周期毎に漸減させる調整動作を行なうか否かが選択可能であることを特徴とするC' ~ E' のクロック信号の発振周波数調整方法。

【0046】

(第3実施例)

図9乃至図13は本発明の第3実施例を示すものである。図9は、マイクロコンピュータ(マイコン)31の構成を示す機能ブロック図である。マイコン31は、CPU32を中心として構成されている。そのCPU32には、クロック生成回路33より生成出力されるクロック信号が動作クロック信号として供給されるようになっている。また、前記クロック信号は、その他周辺回路などの機能ブロック34にも供給されている。

【0047】

低消費電力制御部(端子制御手段)35は、CPU32によって与えられる制御コマンドに応じて所謂スリープ/ストップモードなどの低消費電力モードに関する制御を行うものである。ここで、スリープモードとは、クロック生成回路33の動作を停止させることでCPU32に対する動作クロック信号の供給を停止させ、CPU32は、内部レジスタのデータ値などを保持した状態で処理を一時的に停止するモードである。スリープモードは、設定された時間間隔で周期的に解除(ウェイクアップ)されるようになっている。

一方、ストップモードは、CPU32が処理を停止する点についてはストップモードと同様であるが、周期的に解除されることはなく、CPU32が処理すべき何らかのイベントが発生した場合にのみ解除されるモードである。

【0048】

図10は、低消費電力制御部35が、スリープモードについて制御を行う機能部分の構成を示すものである。即ち、低消費電力制御部35は、例えばCR発振回路で構成される再起動タイマ36のカウント値と、内部のSLEEP時間設定レジスタ37の設定データ値とを一致比較器38によって比較し、両者が一致するとハイレベルの一致信号をANDゲート39の一方の入力端子に出力する。ANDゲート39の他方の入力端子には、SLEEP信号が与えられる。

従って、ハイレベルのSLEEP信号が与えられている期間において一致比較器38が一致信号を出力すると、ANDゲート39はハイレベルのSLEEP解除信号を出力する。この時、再起動タイマ36はリセットされる。

【0049】

一方、図11は、低消費電力制御部35が、ストップモードが設定された場合にI/O端子部40の制御を行う機能部分の構成を示すものである。即ち、低消費電力制御部35のANDゲート41の負論理入力端子と正論理入力端子には、夫々STOP信号、ポート制御信号が与えられるようになっている。そして、ANDゲート41はI/O端子部40にハイレベルのインピーダンス制御信号を出力する。

I/O端子部40は、入出力端子(外部信号端子)42にバッファ43A、43Bが双方向接続された構成である。そして、出力バッファ43Aは、ANDゲート41によって出力されるハイレベルのインピーダンス制御信号によって制御される。また、I/O端子部40は、I/O制御部44によって入出力切替え制御(ポート制御)と出力レベル制御が行われるようになっている。前記ポート制御信号は、I/O制御部44によって出力される。

【0050】

次に、第3実施例の作用について図12及び図13を参照して説明する。図12は、CPU32が低消費電力モードに移行する場合の処理を示すフローチャートである。CPU32は、低消費電力モードが「スリープ」であるか否かを判断する(ステップB1)。そして、「スリープ」である場合は(「YES」)、SLEEP時間設定レジスタ37にスリープモードの移行期間データを設定する(ステップB2)。それから、低消費電力制御部

35に対してSLEEPコマンドを出力すると(ステップB3)処理を終了する。この場合、低消費電力制御部35の図9に示す構成部分がアクティブとなり、スリープモードの移行期間の計測が開始され、その期間が終了するとスリープモードは解除される。

【0051】

一方、低消費電力モードが「ストップ」である場合(ステップB1,「NO」)、CPU32は、低消費電力制御部35に対してSTOPコマンドを出力する(ステップB4)。そして、処理を終了する。この場合、低消費電力制御部35の図11に示す構成部分が作用する。即ち、STOP信号がハイレベルとなり、ANDゲート41の出力レベルはロウとなることで、出力バッファ43Aの出力端子はハイインピーダンス状態となる。

【0052】

また、図13は、低消費電力モードが解除されて、CPU32が起動(ウェイクアップ)する場合の処理を示すフローチャートである。CPU32は、解除されたのがスリープモードか否かを判断し(ステップC1)、スリープモードであれば(「YES」)、その時点における各端子の方向(入力/出力)設定値、及び出力端子の信号レベル設定を、データとして保持しているROM(図示せず)などから読み出す(ステップC2)。そして、読み出した設定値やレベルの設定をI/O制御部44に再設定することで、各入出力端子42等における出力信号レベルを再設定する(ステップC3)。

【0053】

それから、その時点で他に処理すべきイベントが発生しているか否かを判断し(ステップC4)、発生していれば(「YES」)そのイベントの処理を行なった後(ステップC6)、図12に示した低消費電力モードへの移行処理を行なう(ステップC5)。一方、ステップC4において処理すべきイベントが発生していなければ(「NO」)、そのままステップC5に移行する。

【0054】

以上のように第3実施例によれば、マイコン31のCPU32は、スリープモードが再起動タイマ36によって周期的に解除される毎に、入出力端子42の信号出力レベルを再設定してからスリープモードに移行するようにした。従って、CPU32が、たとえ、スリープモード移行中に外来ノイズの影響を受けることで入出力端子42の信号出力レベルが変化したとしても、その出力レベルはスリープモードが周期的に解除される毎に再設定されるので、マイコン31の信頼性を向上させることができる。

【0055】

また、マイコン31の低消費電力制御部35は、CPU32が低消費電力モードに移行する場合、入出力端子42をハイインピーダンス状態に設定するようにした。従って、CPU32が、例え、ストップモードの移行中に上述と同様に外来ノイズの影響を受けたとしても、入出力端子42がハイインピーダンス状態であるから、その端子42によってマイコン31に接続されている外部デバイスが駆動されることはなく、信頼性を向上させることができる。

【0056】

(第4実施例)

図14乃至図17は本発明の第4実施例を示すものである。図14は、マイクロコンピュータ51のクロック制御に関する機能部分を示すブロック図である。マイコン51は、CPU52を中心として構成されている。そのCPU52は、セクタ53を介して動作クロック(マシクロック)信号が選択的に与えられるようになっている。

セクタ53には、マイコン51に外付けされる外部発振子54による原発振信号と、DPLL(Digital Phase Locked Loop)回路55によって出力される逡倍クロック信号とが与えられている。そして、セクタ53の切替は、クロック制御部(切替通知制御部)56によって行われるようになっている。

【0057】

また、DPLL回路(周波数逡倍回路)55の基準クロック信号もセクタ57を介して与えられるようになっており、そのセクタ57には、外部発振子54による原発振信

10

20

30

40

50

号と、CR発振回路58によって出力されるCRクロック信号とが与えられている。そして、セクタ57の切替えもクロック制御部56によって行われるようになっている。例えば、原発振信号は周波数4MHz、CRクロック信号は周波数25kHzである。尚、クロック制御部56は、CRクロック信号をDPLL回路55のクロックソースとして選択する場合は、外部発振子54の発振動作を停止させるように構成されている。

【0058】

CRクロック信号は、CRカウンタ59にもカウント用クロックとして与えられている。一致比較部60には、CRカウンタ59のカウントデータと、発振安定時間設定レジスタ61の設定データが与えられている。その設定データは、電源投入時にはハードウェアによって初期値がセットされるが、CPU52が実行するユーザプログラムによってもセ

10

【0059】

即ち、設定レジスタ61に、外部発振子54の発振安定時間に相当するデータをセットすれば、前記一致信号が出力されるタイミングによってその発振安定時間の経過が判る。また、クロック制御部56は、DPLL回路55が内蔵しており内部の発振動作シーケンスを制御するために用いられるステートカウンタ(シーケンス制御手段)62のカウント値を参照することで、DPLL回路55の発振安定時間の経過を知ることにも可能となっている。

【0060】

20

尚、ここでのステートカウンタ62は、例えば第5実施例における制御回路20と同様のものであり、例えば、外部発振子54の出力クロックを基準クロック信号とする場合、その8カウントを1制御周期とするようになっている。従って、逡倍動作開始時においては、その1制御周期が経過した時点で最初の演算結果としての逡倍クロック信号が出力されることになり、その期間が発振安定期間となる。

【0061】

そして、クロック制御部56は、それらの検出タイミングにおいて、CPU52の割り込みコントローラ63にクロック切替え完了割り込み信号を出力するようになっている。割り込みコントローラ63は、その他の割り込み要因も含めてイネーブル制御やマスク制御などを行い、適切な割り込み信号をCPU52に出力するようになっている。

30

【0062】

次に、第4実施例の作用について図15乃至図17も参照して説明する。図15は、電源投入時や、スリープ/ストップモードからCPU52が起動したウェイクアップ時におけるクロック信号の遷移状態を示すものである。即ち、スリープ/ストップモードに遷移した場合は、CR発振回路58を除いてクロック信号の発振動作は停止される。先ず、外部発振子54が電源投入によって発振動作を開始する。発振開始の初期においてはその発振動作即ち発振周波数が不安定であるから、CPU52はDPLL回路55の動作を禁止している。

【0063】

そして、CRカウンタ59のカウント値が発振安定時間設定レジスタ61の設定データに一致し、一致比較部60が一致信号をクロック制御部56に出力すると、クロック制御部56は、それを受けて割り込み信号を、割り込みコントローラ63を介してCPU52に出力する。すると、CPU52は、その割り込み信号によって外部発振子54の発振動作が安定したことを認識し、DPLL回路55に周波数逡倍動作を開始させる。

40

そして、クロック制御部56は、今度はDPLL回路55のステートカウンタ62のカウント値を参照し、DPLL回路55の動作が安定するまで待機し、動作が安定した状態になった時点で割り込み信号を出力する。従って、CPU52はその割り込みによってDPLL回路55の動作が安定したことを認識できる。

【0064】

また、図16は、CPU52が通常の動作を行なっている状態において、ユーザプログ

50

ラムによりマシクロックの切替を行なう場合のダイヤグラムである。この場合、クロックソースとしては、外部発振子 54, DPLL回路 55 (外部発振子 54 がソース), DPLL回路 55 (CR発振回路 58 がソース) の 3 種類があり、これらの間でクロック信号の選択切替が行なわれる。また、DPLL回路 55 は、CPU 52 が逡倍又は分周データを設定することでクロックソースの周波数を逡倍または分周可能であるから、DPLL回路 55 単体においても周波数切替が行なわれる。これらのパターンを下記に示す。

A : 外部発振子 DPLL回路 (外部ソース)  
 B : 外部発振子 DPLL回路 (CRソース)  
 C : DPLL回路 (外部ソース) DPLL回路 (CRソース)  
 D : DPLL回路 (CRソース) 外部発振子  
 E : DPLL回路 (CRソース) DPLL回路 (外部ソース)  
 X : DPLL回路における周波数変更

10

#### 【0065】

図 17 は、CPU 52 が、図 16 に示すダイヤグラムに基づいてマシクロック信号の切替を行なう場合の処理を示すフローチャートである。CPU 52 は、先ず、クロック信号の切替えパターンを上記 A ~ E, Xの中から選択する (ステップ D1)。そして、パターン D, Eであれば (ステップ D2, 「YES」)、外部発振子 54 の発振安定時間データを設定レジスタ 61 にセットし (ステップ D3)、パターンに応じたクロック切替を行なう (ステップ D4)。

クロック切替は、CPU 52 がクロック制御部 56 の内部にある設定レジスタにデータを書き込むことで、セクタ 53, 57 を切替えて行なう。また、ステップ D2 において切替えパターンが D, E 以外であれば (「NO」)、そのままステップ D4 に移行する。

20

#### 【0066】

続いて、CPU 52 は、ステップ D2 と同様に切替えパターンが D, E かどうかを判断し (ステップ D5)、パターン D, E であれば (「YES」) 外部発振割り込みが発生するまで待機する (ステップ D6)。そして、割り込みが発生すると (「YES」) ステップ D7 に移行する。また、ステップ D5 においてパターン D, E 以外の場合もステップ D7 に移行する。

#### 【0067】

ステップ D7 において、CPU 52 は、切替えパターン D かどうかを判断し、パターン D でなければ (「NO」) PLL 割り込みが発生するのを待って (ステップ D8, 「YES」) 処理を終了する。また、ステップ D7 においてパターン D であれば (「YES」) そのまま処理を終了する。即ち、CPU 52 は、パターン E の場合は外部発振割り込み、PLL 割り込み双方の発生を待つことでクロック安定を認識する。パターン D の場合は外部発振割り込みのみ、その他のパターンでは PLL 割り込みのみの発生を待つことでクロック安定を認識することになる。

30

#### 【0068】

以上のように第 4 実施例によれば、マイコン 51 のクロック制御部 56 は、DPLL回路 55 の発振動作をステータカウンタ 62 によって監視し、逡倍クロック信号の周波数が切替えられた場合は、その切替えに伴う発振動作が安定したタイミングで CPU 52 に対して割り込み要求を発生させるようにした。

40

従って、CPU 52 は、冗長な待機時間を設定する必要がなくなり、処理効率を向上させることができる。そして、クロック制御部 56 は、シーケンスカウンタ 62 を参照することで DPLL回路 55 の発振動作が安定したことを明確に認識することができる。

#### 【0069】

また、CPU 52 の動作用クロック信号を、セクタ 53, 57 によって複数のクロック信号の中から選択可能としたので、より多様なクロック信号を選択することによって、制御範囲を広げることができる。

そして、クロック制御部 56 は、外部発振子 54 の発振動作も監視し、その動作切替えに伴う発振動作が安定したタイミングでも CPU 52 に対して割り込み要求を発生させる

50

ので、CPU 52は、その割り込み要求の発生によってPLL回路55の動作を開始させるのに適切なタイミングを知ることが可能となる。

【0070】

<以下は参考>

G．基準クロック信号の周波数を逡倍して出力する周波数逡倍回路と、

この周波数逡倍回路によって出力される逡倍クロック信号が動作クロック信号として供給可能であるCPUと、

前記周波数逡倍回路の発振動作を監視し、前記逡倍クロック信号の周波数が切替えられた場合は、その切替えに伴う発振動作が安定したタイミングで前記CPUに対して割り込み要求を発生させる切替通知制御部とを備えて構成されることを特徴とするマイクロコンピュータ。

10

上記Gのマイクロコンピュータによれば、切替通知制御部は、周波数逡倍回路の発振動作を監視し、逡倍クロック信号の周波数が切替えられた場合は、その切替えに伴う発振動作が安定したタイミングでCPUに対して割り込み要求を発生させる。従って、CPUは、逡倍クロック信号の周波数を切替えた場合に、その発振動作が安定したことを割り込みによって知ることができるので、冗長な待機時間を設定する必要がなくなり、処理効率を向上させることができる。

【0071】

H．前記周波数逡倍回路は、前記基準クロック信号に基づいて、発振動作シーケンスを制御するための制御信号を出力するシーケンス制御手段を備え、

20

前記切替通知制御部は、前記制御信号に基づいて前記周波数逡倍回路の発振動作を監視することを特徴とする上記Gのマイクロコンピュータ。

上記Hのマイクロコンピュータによれば、切替通知制御部は、周波数逡倍回路の発振動作シーケンスを制御するシーケンス制御手段によって出力される制御信号に基づいて、当該周波数逡倍回路の発振動作を監視するので、発振動作が安定したことを制御信号によって明確に認識することができる。

【0072】

I．前記動作クロック信号として供給可能なクロック信号が、前記逡倍クロック信号の他にも1つ以上存在し、

前記動作クロック信号は、それら複数のクロック信号の内から選択可能に構成されていることを特徴とする上記GまたはHのマイクロコンピュータ。

30

上記Iのマイクロコンピュータによれば、CPUの動作クロック信号は、逡倍クロック信号を含む複数のクロック信号の内から選択可能に構成されるので、そのような構成においても上記Hと同様の作用効果を得ることができる。

【0073】

J．前記切替通知制御部は、前記動作クロック信号として供給可能なクロック信号を出力する外部発振子の発振動作も監視し、その動作切替えに伴う発振動作が安定したタイミングでも前記CPUに対して割り込み要求を発生させることを特徴とする上記Iのマイクロコンピュータ。

上記Jのマイクロコンピュータによれば、切替通知制御部は、外部発振子の発振動作も監視し、その動作切替えに伴う発振動作が安定したタイミングでもCPUに対して割り込み要求を発生させる。従って、外部発振子によって出力されるクロック信号が周波数逡倍回路の基準クロック信号となる場合、CPUは、前記割り込み要求の発生によって周波数逡倍回路の動作を開始させるのに適切なタイミングを知ることが可能となる。

40

【0074】

(第5実施例)

図18乃至図23は、本発明を車両用ECU(Electronic Control Unit)に適用した場合の第5実施例を示すものである。尚、以下に述べる構成の基本的部分は特開2000-357947号公報に開示されているので、以下では概略的に説明する。図18は、ECU(マイクロコンピュータ)71の電氣的構成を示す機能ブロック図である。ECU71

50

は、半導体集積回路（ＩＣ）として構成されており、その内部回路として、ＣＰＵ７２，メモリ７３及びゲートアレイ７４などのクロック同期回路を有している。ＥＣＵ７１には、水晶発振子７５に外付けされており、発振回路（基準クロック発振回路）７６は、水晶発振子７５にバイアスを与えて周波数１６ＫＨｚの基準クロック信号ＰＲＥＦを出力するようになっている。

【００７５】

その基準クロック信号ＰＲＥＦは周波数通倍回路７７に与えられており、周波数通倍回路７７は、その基準クロック信号ＰＲＥＦを５１２通倍した周波数８ＭＨｚ通倍クロック信号ＰＯＵＴを生成して、ＣＰＵ７２，メモリ７３及びゲートアレイ７４のクロック入力端子に出力するようになっている。周波数通倍回路７７は、所謂ＤＰＬＬ（Digital Phase Locked Loop）回路として構成されるものであり、前記通倍数は、ＣＰＵ７２より与えられる通倍数設定データＤＶの値に応じて設定される。

また、周波数通倍回路７７には、低消費電力制御回路（低消費電力制御手段）７８によってＥＣＵ７１の動作モードを低消費電力モードとスタンバイモードとに切換えるためのモード制御信号ＰＡ（停止制御）が出力されるようになっている。

【００７６】

キー検出スイッチ７９は、自動車のキーがキーシリンダ（何れも図示せず）に挿入されているか否かを検出するスイッチである。そして、キー検出スイッチ７９がキー検出信号を低消費電力制御回路７８に出力していなければ、低消費電力制御回路７８は、モード制御信号ＰＡをロウレベルにすることでＥＣＵ７１を低消費電力モード（スリープ/ストップ）に維持するようになっている。

また、キー検出スイッチ７９がキー検出信号を出力した場合、低消費電力制御回路７８は、モード制御信号ＰＡをハイレベルにして、ＥＣＵ７１を低消費電力モードからスタンバイモードに切換える。尚、周波数通倍回路７７及び低消費電力制御回路７８は、クロック制御回路（発振回路装置）７１ａを構成している。

【００７７】

図１９は、周波数通倍回路７７の概略構成を示す機能ブロック図である（尚、詳細な構成については、更に特開平８－２６５１１１号公報を参照）。制御回路（シーケンス制御手段）８０には、発振回路７６より出力される基準クロック信号ＰＲＥＦが与えられている。そして、制御回路８０は、３個のフリップフロップ（図示せず）で構成されるシーケンスカウンタを内蔵している。

そして、このシーケンスカウンタによって基準クロック信号ＰＲＥＦの入力パルス数をカウントして基準クロック信号ＰＲＥＦの８周期を１シーケンス制御周期とし、基準クロック信号ＰＲＥＦに同期して各種の制御タイミング信号をＤＣＯ（Digital Controlled Oscillator，デジタル制御発振器）８１及びカウンタ・データラッチ回路８２に出力する。

【００７８】

ＤＣＯ８１は、内部にリングオシレータ（多相クロック信号出力手段）８３を備えている。リングオシレータ８３は、図２１に示すように、論理反転回路としてＮＡＮＤゲート８４と複数個のＩＮＶ（インバータ）ゲート８５とを備えて構成されている。これらのＩＮＶゲート８４は、各出力端子が次段の入力端子へとリング状に接続されており、ＮＡＮＤゲート８５の一方の入力端子は最終段のＩＮＶゲート（図示せず）の出力端子に接続され、他方の入力端子には外部からの停止制御信号が与えられている。そして、ＩＮＶゲート８４の各出力端子からは、夫々多相クロック信号Ｒ１～Ｒ１６が出力される。

【００７９】

再び、図１９を参照して、カウンタ・データラッチ回路８２には、制御回路８０より出力される制御タイミング信号ＵＣＥ及びＣＬＲが与えられるようになっている。これらの制御タイミング信号ＵＣＥ及びＣＬＲは、基準クロック信号ＰＲＥＦ１周期に相当するパルス幅を有しており、制御回路８０におけるシーケンス制御周期の第３及び第７周期に夫々出力される信号である。

【００８０】

10

20

30

40

50

また、カウンタ・データラッチ回路 8 2 には、リングオシレータ 8 3 より出力されるクロック信号 R 1 3 が R C K として与えられ、そのクロック信号 R C K によって内部のアップカウンタ ( 1 6 ビット ) によるカウント動作を行う。そして、カウンタ・データラッチ回路 8 2 は、制御タイミング信号 U C E が出力されている間、カウンタにアップカウント動作を行わせることで、基準クロック信号 P R E F 1 周期に相当する時間をクロック信号 R C K によってカウントする。

そのカウントデータは、制御回路 8 0 よりシーケンス制御周期の第 5 周期で出力される制御タイミング信号 D L S が D C O 8 1 を介して与えられるラッチ信号 D L C のタイミングでラッチされ、制御タイミング信号 C L R が出力されるとラッチされたデータはクリアされる。

10

#### 【 0 0 8 1 】

カウンタ・データラッチ回路 8 2 は、カウントした 1 6 ビットのデータ D T 1 6 ~ D T 1 を、C P U 7 2 により与えられる通倍数設定データ D V に応じてデータビットを右シフトし、そのシフト後のデータの 1 2 ビットをラッチする。そして、ラッチされた 1 2 ビットのデータは、C D 1 2 ~ C D 1 として D C O 8 1 に出力される。D C O 8 1 が出力する通倍クロック信号 P O U T は、デューティ比を調整するための分周回路 8 6 を介して 2 分周されて、通倍クロック信号 P O U T として出力される。

また、モード制御信号 P A は、制御回路 8 0 にも与えられていると共に、例えば、基準クロック信号 P R E F 1 周期分程度の遅延時間を与える遅延回路 8 7 を介して、制御回路 8 0 に動作開始信号 P S T B としても与えられるようになっている。

20

#### 【 0 0 8 2 】

図 2 0 は、D C O 8 1 の詳細な構成を示す機能ブロック図である。カウンタ・データラッチ回路 8 2 より与えられるラッチデータ C D 1 2 ~ C D 1 の内、上位側の 8 ビットである C D 1 2 ~ C D 5 は、ダウンカウンタ 8 8 のカウントデータとして所定のタイミングでロードされるようになっている。そして、ダウンカウンタ 8 8 は、リングオシレータ 8 3 より出力されるクロック信号 R 1 3 によってロードされたカウントデータをダウンカウントするようになっている。

#### 【 0 0 8 3 】

また、ラッチデータ C D 1 2 ~ C D 1 の内、下位側の 4 ビットである C D 4 ~ C D 1 は、加算器 8 9 を介してレジスタ 9 0 のデータ入力端子 D に与えられるようになっている。レジスタ 9 0 は、タイミング制御部 9 1 より出力されるタイミング信号によって加算器 8 9 の出力データを 5 ビットのデータ D 5 ~ D 1 として出力するようになり、その内の下位 3 ビットデータ D 4 ~ D 1 は、パルスセクタ 9 2 に与えられると共に、加算器 8 9 に被加算値として入力されるようになっている。また、レジスタ 9 0 より出力されるデータ D 5 は、加算器 8 9 における加算に応じて発生するキャリー信号に相当するものであり、タイミング制御部 9 1 に与えられるようになっている。

30

#### 【 0 0 8 4 】

パルスセクタ 9 2 には、リングオシレータ 8 3 より出力される多相クロック信号 R 1 6 ~ R 1 が与えられており、それらの多相クロック信号 R 1 6 ~ R 1 の内、レジスタ 9 0 より出力されるデータ D 4 ~ D 1 の値 ( 1 0 進数値 + 1 ) に相当する番号 ) に対応するものを 1 つ選択して、出力端子 P 1 ( R 8 ~ R 1 ) , P 2 ( R 1 6 ~ R 9 ) の何れか一方からタイミング制御部 9 1 に出力するようになっている。タイミング制御部 9 1 には、リングオシレータ 8 3 より出力されるクロック信号 R 5 が与えられている。

40

また、ダウンカウンタ 8 8 は、ロードされたカウントデータをダウンカウントして行き、そのカウント値が “ 2 ” になると出力信号 C N 2 をハイレベルにし、カウント値が “ 1 ” になると出力信号 C N 1 をハイレベルにしてタイミング制御部 9 1 に出力するようになっている。

#### 【 0 0 8 5 】

以上の動作の概略は以下になる。即ち、基準クロック信号 P R E F の 8 周期毎に、基準クロック信号 P R E F の 1 周期相当のカウントデータ D T 1 6 ~ D T 1 がカウントされ

50



、その内通倍データD<sub>v</sub>に応じてビット右シフトされた12ビットデータCD<sub>12</sub>~CD<sub>1</sub>がDCO<sub>81</sub>に与えられる。そして、上位8ビットのCD<sub>12</sub>~CD<sub>5</sub>がダウンカウンタされると、レジスタ90より与えられる下位データD<sub>4</sub>~D<sub>1</sub>の値(+1)に対応する多相クロック信号R<sub>16</sub>~R<sub>1</sub>の何れか1つが選択されて通倍クロック信号P<sub>OUT</sub>として出力される。

【0086】

そして、図21に示すように、パルスセクタ92の内部では、各多相クロック信号R<sub>1</sub>~R<sub>16</sub>に対応してアナログスイッチ93が配置されている。そして、複数のアナログスイッチ93の内何れかを制御データD<sub>1</sub>~D<sub>4</sub>に基づいてエンコーダ99によりエンコードし択一的にオンすることで、多相クロック信号R<sub>1</sub>~R<sub>16</sub>の内1つをタイミング制御部91に出力するようになっている。

10

【0087】

図22は、カウンタ・データラッチ回路82の内部構成の一部を示すものである。即ち、制御データCD<sub>12</sub>~CD<sub>1</sub>は(図示はCD<sub>4</sub>~CD<sub>1</sub>のみ)、周波数設定回路部94、周波数情報保持回路部(データ保持手段)95によるダブルラッチ構成で保持されるようになっている。これらの回路部94、95は、夫々フリップフロップ96、97で構成されており、クロック入力端子には制御クロック1、2が与えられている。

そして、周波数設定回路部94を構成するフリップフロップ96のリセット端子にはリセット信号が与えられている。一方、周波数情報保持回路部95を構成するフリップフロップ96のリセット端子には、ORゲート98を介してリセット信号と、低消費電力モード時の停止制御信号が与えられている。

20

【0088】

尚、周波数情報保持回路部95は、通常動作時においては、周波数設定回路部94によって制御クロック1により同期化され保持された制御データ1~4を、制御クロック2によって再同期化するために使用されているものであり、それと同様の機能を有するものは、特開2000-357947においても存在している(但し、低消費電力モードに移行すると、そのデータはリセットされて消失するようになっていた)。

【0089】

次に、第5実施例の作用について図23を参照して説明する。図23は、周波数通倍回路77が低消費電力モードにある状態から、起動して発振動作を行なう場合を示すタイミングチャートである。(1)の低消費電力モードにおいては、リングオシレータ83及び発振回路76の発振動作は停止した状態にある。そして、(2)において低消費電力モードが解除されると、それらは発振動作を開始する。

30

また、低消費電力モード中に、周波数設定回路部94のデータはリセットされているが、周波数情報保持回路部95のデータは保持されている。この保持されているデータは、(1)の低消費電力モードに移行する前に、周波数通倍回路77が行なっていた発振動作に使用されたデータ(発振制御条件)であり、リングオシレータ83のクロック信号によって発振回路76の基準クロック信号の周期を計測したデータである。

【0090】

従って、(2)で低消費電力モードが解除されると、周波数通倍回路77は、基準クロック信号周期の計測を再度行なわずとも、周波数情報保持回路部95に保持されているデータに基づいて直ちに発振動作を開始することができる。そして、(3)で制御クロック1が立ち下がると、周波数設定回路部94は、ウェイクアップ後のCPU72によって新たに設定された制御データ入力1~4を出力し、周波数情報保持回路部95は、制御クロック2の立ち上がりでその制御データ入力1~4をラッチして、(4)の立下りで新たに設定された制御データ1~4を出力する。また、(4)では、通倍クロック信号出力(発振出力)のイネーブル信号であるF<sub>\_\_E</sub>がアクティブとなり、クロック信号P<sub>OUT</sub>がCPU72に出力される。

40

【0091】

以上のように第5実施例によれば、デジタル制御方式のDPLL回路として構成される

50

周波数逓倍回路 77 の発振動作を低消費電力モード移行することで一時的に停止させる場合に、その時点で設定されている制御データ CD12 ~ CD1 を周波数情報保持回路部 95 によって保持し、その保持した制御データ CD12 ~ CD1 に基づいて発振動作を再開させるようにした。従って、従来とは異なり、発振動作を再開させる際に発振制御条件を再度設定し直す必要がないので、再開時における発振状態をより速く安定させることができる。そして、更に低消費電力化を図ることができる。

【0092】

また、周波数逓倍回路 77 を、複数の論理反転回路がリング状に接続されてなるリングオシレータ 83 を備えて構成したので、デジタル制御方式の発振動作に必要な多相クロック信号を得る構成をより少ないゲート数で実現することができる。更に、低消費電力制御回 78 は、クロック同期回路の動作を停止させて低消費電力モードに移行させる場合にリングオシレータ 83 の発振動作を停止させるので、一層の低消費電力化を図ることができる。そして、周波数逓倍回路 77 は、発振回路 76 によって出力される基準クロック信号 PREF の周波数を n 逓倍した n 逓倍クロック信号を生成して出力する DCO81 を備えるので、デジタル制御方式で高精度の発振動作を行なわせることができる。

【0093】

ここで、周波数逓倍回路 77 において、制御データを設定し直すことを想定すると、それに応じて基準クロック信号 PREF の周期を多相クロック信号の周期に基づいて計測し、その計測値に基づいて逓倍動作をやり直すことになる。それに対して、制御データを保持する構成とすれば、基準クロック信号 PREF の周期計測をやり直す必要がなくなるため、発振動作を極めて高速に安定化させることが可能となる。

【0094】

また、従来のアナログ方式の PLL 回路 200 において、同様に発振動作を一時的に停止させる場合を想定すると、位相比較器 201 が出力する電圧信号を、一旦 A/D 変換してそのデジタルデータをラッチするなどして保持し、発振動作を再開させる場合は、保持したデジタルデータを D/A 変換して出力させる、という構成にならざるを得ない。それに対して、第 5 実施例のようにデジタル制御方式の周波数逓倍回路 77 であれば、制御データは一貫してデジタル形式であるから、データの保持を極めて容易に行うことができるので、アナログ方式に比較しても有利である。

【0095】

< 以下は参考 >

K. 設定された発振制御条件に応じて定まる周波数で発振動作が可能であると共に、前記発振動作が一時的に停止可能に構成されるデジタル制御方式の発振回路装置において、

発振動作を一時的に停止させる際に、その時点で設定されている発振制御条件が保持可能に構成され、保持された発振制御条件に基づいて発振動作を再開させるように構成されていることを特徴とする発振回路装置。

上記 K の発振回路装置によれば、デジタル制御方式の発振動作を一時的に停止させる場合はその時点で設定されている発振制御条件が保持され、その保持された発振制御条件に基づいて発振動作を再開させる。従って、従来とは異なり、発振動作を再開させる際に発振制御条件を再度設定し直す必要がないので、再開時における発振状態をより速く安定させることができる。そして、更に低消費電力化を図ることができる。

【0096】

L. 複数の論理反転回路がリング状に接続されてなるリングオシレータを備えて構成されていることを特徴とする上記 K の発振回路装置。

上記 L の発振回路装置によれば、複数の論理反転回路がリング状に接続されてなるリングオシレータを備えて構成されるので、デジタル制御方式の発振動作に必要な多相クロック信号を得る構成をより少ないゲート数で実現することができ、一層の低消費電力化を図ることができる。

M. 前記発振制御条件を、発振動作を再開させる以前に変更可能に構成されていることを特徴とする上記 K または L の発振回路装置。

上記Mの発振回路装置によれば、発振制御条件が、発振動作を再開させる以前に変更可能に構成されるので、発振動作を再開させる際に発振周波数を切替えることができる。

【0097】

(第6実施例)

図24は、本発明の第6実施例を示すものである。第6実施例では、CPU52が、低消費電力モードが解除されると同時に、周波数通倍回路77によるn通倍クロック信号の周波数を変化させるように処理する例を示す。即ち、周波数情報保持回路部95の保持データは、CPU72によって読み出し及び書き込みが可能となるように構成されている。

図24に示すフローチャートにおいて、CPU72は、まず、周波数情報保持回路部95の保持データを読み出す(ステップE1)。すると、そのデータに応じて次の起動時における通倍率を決定し、起動時における周波数に応じたデータを周波数情報保持回路部95に書き込む(ステップE2)。それから、低消費電力モードに移行する(ステップE3)。

【0098】

以上のように第6実施例によれば、制御データCD12~CD1が、現在の発振動作を停止させる以前に変更可能に構成されるので、例えば、CPU52が発振動作を制御すると共に発振制御条件を設定する構成の場合、CPU52が発振動作を停止させる前の段階で、次回に動作を再開させる場合の発振周波数を変更したい場合には、予めそれに応じた発振制御条件を設定しておくことができる。

【0099】

<以下は参考>

N. 前記発振制御条件を、現在の発振動作を停止させる以前に変更可能に構成されていることを特徴とする上記Mの発振回路装置。

上記Nの発振回路装置によれば、発振制御条件を、現在の発振動作を停止させる以前に変更可能に構成されるので、例えば、CPUが発振動作を制御すると共に発振制御条件を設定する構成の場合、CPUが発振動作を停止させる前の段階で、次回に動作を再開させる場合の発振周波数を変更したい場合には、予めそれに応じた発振制御条件を設定しておくことができる。

【0100】

O. 所定の位相差を有する多相クロック信号をデジタル制御による発振動作で生成して出力する多相クロック信号出力手段を備え、基準クロック発振回路によって出力される基準クロック信号の周期を前記多相クロック信号の周期に基づいて計測し、その計測値に基づき前記基準クロック信号の周波数を前記多相クロック信号の位相差を分解能としてn通倍したn通倍クロック信号を生成して出力する周波数通倍回路を備えて構成されていることを特徴とする上記K~Lの何れかの発振回路装置。

上記Oの発振回路装置によれば、多相クロック信号出力手段を備え、基準クロック発振回路によって出力される基準クロック信号の周波数をn通倍したn通倍クロック信号を生成して出力する周波数通倍回路を備えて構成されるので、デジタル制御方式で高精度の発振動作を行なわせることができる。

そして、上記の周波数通倍回路を備える構成において発振制御条件を設定し直すことを想定すると、それに応じて基準クロック信号の周期を多相クロック信号の周期に基づいて計測し、その計測値に基づいて通倍動作をやり直すことになる。それに対して、発振制御条件を保持する構成とすれば、基準クロック信号の周期計測をやり直す必要がなくなるため、発振動作を極めて高速に安定化させることが可能となる。

【0101】

P. 前記周波数通倍回路によって出力されるn通倍クロック信号がクロック入力端子に与えられて動作するクロック同期回路の動作を停止させて低消費電力モードに移行させる場合に、前記多相クロック信号出力手段の発振動作を停止させる低消費電力制御手段と、

前記発振制御条件として、前記基準クロック信号の周期測定データを保持するデータ保持手段とを備えたことを特徴とする上記Oの発振回路装置。

上記 P の発振回路装置によれば、低消費電力制御手段は、クロック同期回路の動作を停止させて低消費電力モードに移行させる場合に多相クロック信号出力手段の発振動作を停止させ、データ保持手段は、基準クロック信号の周期測定データを保持する。従って、低消費電力モードが解除された場合には、データ保持手段によって保持されている周期測定データに基づく発振動作を直ちに行なわせることができる。

#### 【 0 1 0 2 】

( 第 7 実施例 )

図 2 5 乃至図 2 8 は、本発明の第 7 実施例を示すものである。図 2 5 は、例えば車両用のボディ E C U (Electronic Control Unit) などに使用されるシングルチップマイクロコンピュータ ( マイコン ) の一構成例を示すものである。マイコン 1 0 1 は、C P U 1 0 2

10

#### 【 0 1 0 3 】

メイン発振回路 1 0 3 は、マイコン 1 0 1 の外部に接続される水晶発振子 1 0 7 を発振させて C P U 1 0 2 に動作用のクロック信号 ( マシンクロック或いはシステムクロック ) を供給するものである。クロック制御回路 1 0 4 は、C P U 1 0 2 によりアドレスバス 1 0 8 及びデータバス 1 0 9 を介してスリープ / ストップモードを開始させる指令が与えられ、メイン発振回路 1 0 3 に対してクロック停止信号を出力し、メイン発振回路 1 0 3 によるクロック信号の出力を停止させ、C P U 1 0 2 ( 若しくは、C P U 1 0 2 を含む

20

#### 【 0 1 0 4 】

ここで、スリープモードとは、一旦移行するとクロック制御回路 1 0 4 に内蔵されているタイマで所定時間が経過した時点で自動的に解除されるモードを言うものとし、ストップモードとは、一旦移行すると外部においてウェイクアップ要因 ( 後述するウェイクアップ信号など ) が発生するまで解除されないモードを言うものとする。即ち、これらは、C P U 1 0 2 の動作状態を通常時よりも低下させることで消費電力の低下を図るモードである。

#### 【 0 1 0 5 】

そして、クロック制御回路 1 0 4 は、ウェイクアップ要因の発生に応じてウェイクアップ信号 W K U P が出力されると、クロック停止信号の出力を中止してメイン発振回路 1 0 3 によるクロック信号の出力を再開させるようになっている。尚、スリープモードにあっても、ウェイクアップ信号 W K U P の出力によって当該モードは解除されるようになっている。

30

例えば、メイン発振回路 1 0 3 の発振周波数は 4 M H z 程度であり、C R 発振回路 1 0 5 の発振周波数は 2 5 k H z 程度である。また、C P U 1 0 2 は、周波数 4 M H z のクロックを、内蔵する P L L 発振回路 ( 図示せず ) で 4 逓倍して 1 6 M H z のクロック周波数で動作するようになっている。

#### 【 0 1 0 6 】

ポート制御回路 1 0 6 は、C P U 1 0 2 が内部のレジスタに行う設定に応じて、マイコン 1 0 1 の出力端子 ( 外部信号出力端子 ) 1 1 0 のレベル制御を行う回路である。また、

40

ポート制御回路 1 0 6 には、クロック制御回路 1 0 4 によってスリープモード中に出力される S L E E P 信号が与えられている。

尚、具体的には図示しないが、マイコン 1 0 1 は、その他、割込みコントローラ、D M A コントローラ、ウォッチドッグタイマ、A / D コンバータ、D / A コンバータやシリアル通信回路などの周辺回路を備えている。

#### 【 0 1 0 7 】

図 2 6 は、ポート制御回路 1 0 6 の内部構成を示す機能ブロック図である。タイマ ( レベル変化用タイマ ) 1 1 1 は、C R 発振回路 1 0 5 によって出力される C R クロック信号に基づいてカウント動作を行なうものであり、そのカウントデータは比較器 ( 比較回路 ) 1 1 2 に与えられている。尚、タイマ 1 1 1 は、S L E E P 信号がアクティブの場合カウ

50

ント動作がイネーブルとなる。

【0108】

比較器112には、出力タイミングレジスタ113の設定データも与えられており、比較器112は、両者のデータ値が一致すると、一致信号を一致保持部114を介してレベル設定部115に出力する。出力タイミングレジスタ113は、CPU102によるデータの書込みが可能に構成されたレジスタである。また、一致保持部114は、比較器112によって出力された一致信号のアクティブ状態を保持するフリップフロップである。

【0109】

レベル設定部115には、レベル選択部116において設定されたレベルの信号を、一致保持部114を介して与えられる一致信号をトリガとしてマイコン101の出力端子110に出力するものである。レベル選択部116は、出力タイミングレジスタ113と同様に、CPU102によるデータの書込みが可能に構成されたレジスタである。また、一致保持部114の出力状態は、CPU102が別途設けられているリセットレジスタに書込みを行なうことで、リセットする(S/Wリセット)ことが可能に構成されている。

【0110】

尚、このポート制御回路106の機能は、以下のように動作させることを目的としたものである。即ち、CPU102がスリープモードからウェイクアップした場合に、マイコン101の端子に接続されている制御対象等の外部デバイスについて、何らかの処理を行なう必要があるとする。その時に、処理の前段階として、当該外部デバイスの機能をアクティブにする(例えば、動作電源を投入する)ことが要求される場合に、CPU102がウェイクアップしてから全ての手順を踏むと、その処理が完了するまでに長い時間を要する。

そこで、第7実施例では、CPU102がスリープモードに移行している場合においても、その解除前の段階で出力端子110のレベルをハードウェア的に制御し、外部デバイスの機能を予めアクティブにすることを目的とする。

【0111】

次に、第7実施例の作用について図27及び図28を参照して説明する。図27は、CPU102によるスリープモード移行処理の内容を示すフローチャートである。先ず、CPU102は、レベル選択部116に書込みを行なうことで、スリープモード中に変化させる出力端子110のレベルを設定する(例えば、L、H、ステップF1)。続いて、出力タイミングレジスタ113に書込みを行なうことで、スリープモード中のどのタイミングで出力端子110のレベルを変化させるかを設定する(ステップF2)。

【0112】

それから、CPU102は、クロック制御回路104の図示しない内部レジスタに書込みを行なうことで、スリープモードの継続時間を設定すると(ステップF3)、クロック制御回路104に対してスリープコマンドを発行する(ステップF4)。すると、クロック制御回路104は、それを受けてメイン発振回路103に対してクロック停止信号を出力して発振動作を停止させる。並行して、クロック制御回路104は、ポート制御回路106に対してSLEEP信号を出力する。

【0113】

図28は、スリープモード移行中のタイミングチャートである。SLEEP信号がアクティブ(ハイ)になると(e)、メイン発振回路103によって出力されるマシクロックは停止する(d)。そして、ポート制御回路106のタイマ111が、SLEEP信号の立ち上がりからカウント動作を開始する(b)。出力タイミングレジスタ113には、例えば設定データ「10」がセットされており(a)、タイマ111のカウント値が「10」に達すると、比較器112は一致信号を出力する。

【0114】

すると、その時点で、レベル設定部115は出力端子110の信号レベルをL(ロウ)からH(ハイ)に変化させる。ここで、出力端子110の信号レベルがハイに変化したことで、その出力端子110に接続されている外部デバイスはアクティブ状態となる。その

10

20

30

40

50

後、設定されたスリープ継続期間が経過してCPU102がウェイクアップすると、CPU102は、当該外部デバイスに対して直ちに必要な処理を行うことが可能となる。そして、その処理を実行した後は、一致保持部114をS/Wリセットすることで、出力端子110の信号レベルを元に戻す。

#### 【0115】

以上のように第7実施例によれば、マイコン101のポート制御回路106は、CPU102がスリープモードに設定されている期間内に、出力端子110のレベルを変化させるようにした。従って、CPU102は、出力端子110のレベルを変化させるためだけに通常の動作モードを継続する必要がないので、消費電力を低減することができる。

そして、ポート制御回路106は、タイマ111のカウント値と出力タイミングレジスタ113のレジスタ値とを比較器112が比較し、両者が一致することでトリガ信号が出力されると出力端子110のレベルを変化させるので、レジスタ113に設定されるタイミングで、出力端子110のレベルを変化させることができる。また、そのレジスタ113は、CPU102によって任意のデータ値が設定可能に構成されるので、ユーザプログラムによってレベル変化タイミングを任意に設定することができる。

#### 【0116】

加えて、出力端子のレベル110は、スリープモードが解除されるとCPU102によってリセットすることが可能に構成されるので、CPU102が必要な処理を行った時点で出力端子のレベルを直ちにリセットすることができる。

#### 【0117】

##### (第8実施例)

図29及び図30は、本発明の第8実施例を示すものであり、第7実施例と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。第8実施例におけるポート制御回路117は、第7実施例の構成に機能を追加したものである。即ち、スリープ時間設定レジスタ118が追加されており、そのレジスタ118の設定データは、比較器119によってタイマ111のカウント値と比較される。

#### 【0118】

比較器119は、両者が一致した時点で一致信号を割り込み発生部120に出力する。但し、割り込み発生部120は、比較器119によって一致信号が出力される以前に外部ウェイクアップ要因が発生し、スリープモードが解除された場合に、前記一致信号を受けてCPU102に割り込み要求を発生させるようになっている。即ち、タイマ111、スリープ時間設定レジスタ118、比較器119及び割り込み発生部120は、割り込み発生手段121を構成している。

#### 【0119】

次に、第8実施例の作用について図30をも参照して説明する。まず、割り込み発生手段121の機能目的について述べる。スリープモードは、スリープ時間が経過する以前であっても外部要因の発生によって解除されるが、第7実施例の機能によってポート制御回路106が出力端子110のレベルを変化させた後に、外部要因の発生によって解除が行なわれると、次のような問題が発生する。

即ち、第7実施例において述べたように、ポート制御回路106が出力端子110のレベルを変化させる目的は、スリープモードが解除されると、CPU102が直ちに外部デバイスに対する処理を実行できるようにするためである。従って、出力端子110のレベルが変化した時点から、スリープモードがタイマによって解除されるまでの時間は、通常、外部デバイスをアクティブにするために必要最小限の時間に設定される。何故なら、この時間に冗長性を持たせると電流消費量が増加するからである。

#### 【0120】

そのような事情において、スリープモードが、スリープ時間の経過前に解除されると、CPU102が起動した時点では、出力端子110のレベルを変化させてから必要な時間が経過していないため、外部デバイスが未だインアクティブ状態となっているおそれがある。そして、CPU102は、起動した時点では、本来の必要な時間が後どれ位なのかを

知る手段がない。

#### 【0121】

そこで、第8実施例では、CPU102に対して本来必要であった時間を割り込みによって通知することを目的とする。即ち、図30に示すように、ポート制御回路117は、第7実施例と同様に出力端子110のレベルを変化させた後、外部要因の発生によって(f)スリープモードが早期解除されると(d, e)、割り込み発生部120がアクティブとなる。そして、本来のスリープ時間が経過して比較器119が一致信号を出力すると、その時点でCPU102に対して割り込みを発生させる。

従って、CPU102は、その割り込み信号によって、外部デバイスがアクティブとなったことが認識可能となり、必要な処理を行なった後に、出力端子110のレベルをS/Wリセットする。

10

#### 【0122】

以上のように第8実施例によれば、割り込み発生手段121は、ポート制御回路117信号が出力端子110のレベルを変化させた後、解除要因の発生によってスリープモードが解除されると、図示しない解除タイマによってスリープモードが解除される予定のタイミングでCPU102に対して割り込み要求を発生させるようにした。したがって、CPU102は出力端子110について変化させた信号レベルの維持期間を把握できるようになり、その割り込み要求を認識した後、必要に応じて出力端子110のレベルをリセットすることができる。

20

#### 【0123】

(第9実施例)

図31乃至図34は本発明の第9実施例を示すものである。マイクロコンピュータ131の構成を示す図31において、CPU132は、データバスが例えば16ビット構成であり、ROM133に記憶されているプログラムやデータを読み出して実行するようになっている。ROM133は、例えばフラッシュROMで構成されており、データバス幅はCPU132の2倍の32ビット構成となっている。

#### 【0124】

そして、両者の間にはROMコントローラ(メモリインターフェイス回路装置)134が介在しており、CPU132は、ROMコントローラ134を介してROM133よりデータを読み出すようになっている。ROMコントローラ134は、CPU132によって出力された読出しアドレスAについて所定の操作を行なったアドレスROM\_Aを出力してROM133よりデータROM\_Dを読み出す。そのデータを適切なタイミングでCPU132側のデータバス上にデータDとして出力するようになっている。

30

即ち、マイコン101においては、フラッシュROMで構成されるROM133の読出し速度はCPU132の処理速度に比較して遅いため、ROM133側のデータバス幅をCPU132の2倍として、両者の間の調停制御をROMコントローラ134が行なうように構成されている。

#### 【0125】

図32は、ROMコントローラ134の内部構成を示すブロック図である。ROMコントローラ134は、制御部(データ読出し手段、読出し制御手段)135、アドレスバス部136、データバス部(読出し制御手段)137によって構成されている。制御部135は、アドレスバス制御部137、データバス制御部138、アドレスヒット検出部139、ROM制御部140及びCPU制御部141を備えている。

40

#### 【0126】

アドレスバス制御部137、データバス制御部138は、夫々アドレスバス部136、データバス部137の制御を行う。アドレスヒット検出部139は、アドレスバス部136が保持しているアドレスと、CPU132によって出力されたアドレスとの一致(ヒット)を検出するものである。CPU制御部141は、CPU132に対して読み出し制御信号(アクノリッジ信号ACKN)を出力する。尚、読み出し制御信号ACKNは、CPU132に対してROMデータ読出しをウェイトさせる場合にハイレベルとなり、ロウレ

50

ベルではアクノリッジがアクティブであることを示している。そして、ROM制御部140は、これらを統括的に制御するようになっている。

#### 【0127】

アドレスバス部136は、ROM133に対してマルチプレクサ(MUX)142を介してアドレスを出力するようになっている。そのMUX142の一方の入力側には、CPU132側のアドレスバスに直結されるスループス143が接続されており、他方の入力側にはカウンタ側バス144が接続されている。

スループス143には、バッファ(ラッチ)145の入力側も接続されており、バッファ(アドレス格納手段)145の出力側は、アドレスヒット検出部139に接続されている。バッファ145は、CPU132がデータ読み出しサイクルを実行した場合に出力されたアドレスが格納される。

10

#### 【0128】

また、ビット出力部146は、ROM133のデータ読み出し対象アドレスと、そのアドレスに応じたデータがバッファ145、及び後述するデータ用バッファ154に格納されている場合に、ROM読み出しイネーブルを示すビット(バリッドビット)がセットされるように構成されており、その出力側もアドレスヒット検出部139に接続されている。尚、ビット出力部146のリセットは、ハードウェアによって行われる。

#### 【0129】

一方、カウンタ側バス144側には、MUX147、カウンタバッファ(アドレス保持手段)148及びカウンタ(+4)149が配置されている。MUX147の一方の入力側にはスループス143が接続されており、他方の入力側には、カウンタ149の出力側が接続されている。そして、MUX147の出力端子は、カウンタバッファ148を介してカウンタ149の入力側及びカウンタ側バス144に接続されている。

20

また、カウンタ側バス144には、スループス143側と同様にバッファ150の入力側も接続されており、バッファ150の出力側は、アドレスヒット検出部139に接続されている。また、ビット出力部151の出力側もアドレスヒット検出部139に接続されている。

#### 【0130】

ビット出力部151は、ビット出力部146と同様に、ROM133の命令読み出し対象アドレスと、そのアドレスに応じた命令がバッファ148、及び後述する命令用バッファ153に格納されている場合に、ROM読み出しイネーブルを示すビットがセットされるように構成されている。そして、CPU132による命令読み出しが連続したアドレスで行われている場合には、ROMコントローラ153、ROM133との間における1サイクル毎に、ビット出力部151及び153とCPU132側のアドレスAからヒット、ミスヒットを交互に検出することになる。

30

#### 【0131】

データバス部137は、MUX152、命令用バッファ153、データ用バッファ154及びMUX155で構成されている。MUX152の入力側には、32ビットのROM\_Dの内、上位16ビット[31:16]、下位16ビット[15:0]が夫々接続されている。命令用バッファ153は、CPU132がROM133に対して命令読み出し(インストラクションフェッチ)サイクルを実行した場合に、下位16ビットデータが格納される。

40

#### 【0132】

データ用バッファ154は、CPU132がROM133に対してデータ読み出し(データロード)サイクルを実行した場合に、32ビットデータが格納される。そして、MUX155は、MUX152、命令用バッファ153、データ用バッファ154の上位側、下位側の何れかを選択してCPU132側のデータバスに出力するようになっている。

#### 【0133】

図33は、CPU132がROM133に対する読み出しサイクルを実行する場合におけるROMコントローラ134の制御内容を示すフローチャートである。また、図34は

50



、CPU132が命令読出しサイクルを連続的に実行した場合のタイミングチャートである。尚、ROMコントローラ134は純粋にハードウェアのみで構成されており、図33のフローチャートは、そのハードウェアの動作を表したものである。

【0134】

図34における動作概要を説明すると、CPU132は、命令読出しを16ビット(2バイト)単位で行う(a)。その場合、ROMコントローラ134は、自身がバッファ148に保持しているアドレスを、ROM133のデータバス幅32ビットに合わせて「4」ずつ増加させ、命令を32ビット(4バイト)単位で読み出すようになっている(b)。

そして、ROMコントローラ134は、同時に読み出した32ビットの命令の内、上位16ビットは読出しと同時にCPU132側のデータバスに出力し、下位16ビットは一旦バッファ153に格納する(h)。そして、CPU132が次の読み出しサイクルを実行した場合に、バッファ153に格納した命令を前記データバスに出力する(i)。

【0135】

また、制御部135は、CPUアドレスAと、カウンタバッファ148が保持しているアドレスとが一致すると、その次のサイクルにおいてアドレスを「4」増加させるためのカウントアップ信号を出力する(c)。同時に、カウンタバッファ148が保持しているアドレスをバッファ150に、また、ROM133より読み出されたデータをバッファ153にロードするためのロード信号を出力する(e)。

【0136】

図33において、制御部135は、外部の図示しないデコーダによるデコード信号の出力状態によってROM133に対する読み出しサイクルが発生するまで待機している(ステップG1)。そして、前記読み出しサイクルが発生すると(「YES」)、その読み出しサイクルが「命令読出し」であるか否かを判断する(ステップG2)。

【0137】

A. <命令読出し:アドレス連続>

制御部135は、CPU132が出力する制御信号におけるアクセスコード等を参照し、「命令読出し」であると判断すると(ステップG2,「YES」)、次に、そのアドレスが命令用バッファ153にヒットしているか否かを判断する(ステップG3)。

前記アドレスに対応する命令が命令用バッファ153に格納されていればヒットであるから(「YES」)、制御部135は、カウンタ149によって「4」が加算されたアドレスにより(MUX147を介して)バッファ148の値を更新させる(ステップG4)。尚、制御部135は、ビット出力部151が「1」を出力している場合で、且つ、バッファ150に格納されているアドレスとCPU132側のアドレスAとが一致した場合に、命令の内下位16ビットがヒットしていると判断する。

【0138】

それから、MUX142を介してROM133側のアドレスバスに前記アドレスを出力させ、4バイト分の命令読出しを行う(ステップG5)。続いて、制御部135は、データバス部137の命令用バッファ153にヒットしている命令を、当該バッファ153よりCPU132側のデータバスに出力させる。

【0139】

ここで、図34を参照する。上記のケースは、例えば、サイクル(3)に対応する。即ち、CPU132がアドレス(A+2)を出力すると、そのアドレスに対応する命令D2は、ROMコントローラ134がその前のサイクル(1),(2)で行った読出しにおいて命令用バッファ153に格納されている。従って、この場合はバッファヒットとなり、命令D2はバッファ153より出力される。

それと同時に、バッファヒットとなった場合は、次回も命令が連続して(A+4)読み出される蓋然性が高いので、次回の命令読出しに備えてアドレス(A+4)による命令読出しを予め行なっておく。

【0140】

10

20

30

40

50

再び、図 3 3 を参照する。ステップ G 3 において、バッファヒットとならなかった場合(「NO」)、制御部 1 3 5 は、その時のアドレスが、現在読出しを行なっているアドレスに一致しているか否かを判断する(ステップ G 7)。そして、両者が一致している場合は(「YES」)、その時点で行われている読出しが完了するまでのセットアップ時間が経過するまで待機し(ステップ G 8, 「YES」)、読み出されたデータの下位側 1 6 ビットでバッファ 1 5 3 の内容を更新する(ステップ G 9)。また、読み出されたデータの上位側 1 6 ビットは、そのまま CPU 1 3 2 側のデータバスに出力する(ステップ G 1 0)。

【0 1 4 1】

上記のケースは、例えば、図 3 4 のサイクル(4)に対応する。即ち、CPU 1 3 2 がアドレス(A+4)を出力すると、そのアドレスに対応する命令 D 4 はバッファ 1 5 3 に格納されておらずバッファミスとなるが、アドレス(A+4)は、サイクル(3), (4)で行なっている読出しのアドレス(先読みアドレス)と一致している。従って、制御部 1 3 5 は、サイクル(4)で読み出されたデータの上位側 D 4 を CPU 1 3 2 側のデータバスに出力し、下位側 D 6 はバッファ 1 5 3 に格納する。

【0 1 4 2】

B. <命令読出し:分岐>

また、ステップ G 7 において、その時のアドレスが先読みアドレスに一致しなかった場合は(「NO」)、プログラムにおいて分岐命令が実行された場合である。この時、制御部 1 3 5 は、先読みアドレス(カウンタバッファ 1 4 8)を更新すると共に(ステップ G 1 1)、MUX 1 4 2 をスループス 1 4 3 側に切替えることで ROM アドレスを更新する(ステップ G 1 2)。そして、ステップ G 8 ~ G 1 0 と同様の処理を行なう(ステップ G 1 3 ~ G 1 5)。

【0 1 4 3】

C. <データ読出し>

ステップ G 2 において、制御部 1 3 5 が「NO」と判断してステップ G 1 6 に移行するケースは、CPU 1 3 2 が ROM 1 3 3 に対してデータ読出しサイクルを行った場合である。CPU 1 3 2 がデータロードを行う場合、バイトアクセス、ワード(1 6 ビット)アクセスの 2 つのケースがあるが、ROM コントローラ 1 3 4 は、何れであるかにかかわらず、読出し対象データが属する 3 2 ビット分のデータを ROM 1 3 3 より同時に読み出すようになっている。また、その場合の読み出しアドレスは、バッファ 1 4 5 に格納される。

そして、その 3 2 ビットデータは常にデータ用バッファ 1 5 4 に格納されると共に、CPU 1 3 2 の読出し対象データが属する上位, 下位 1 6 ビットの何れかは、MUX 1 5 2, 1 5 5 を介してデータバスに出力される。

【0 1 4 4】

即ち、制御部 1 3 5 は、ステップ G 1 6 において、読出しアドレスがデータ用バッファ 1 5 4 にヒットしたか否かを、バッファ 1 4 5 に格納されたアドレスとビット出力部 1 4 6 のビットに基づいて判断する。そして、ヒットした場合は(「YES」)データ用バッファ 1 5 4 よりヒットした側の 1 6 ビットデータを MUX 1 5 5 により選択して CPU 1 3 2 側のデータバスに出力する(ステップ G 1 7)。また、ステップ G 1 6 において、読出しアドレスがデータ用バッファ 1 5 4 にヒットしなかった場合は(「NO」)、データについてステップ G 1 2 ~ G 1 5 と同様の処理を行なう(ステップ G 1 8 ~ G 2 1)。

【0 1 4 5】

以上のように第 9 実施例によれば、ROM コントローラ 1 3 4 の制御部 1 3 5 は、バッファ 1 4 8 に保持されたアドレスに対して、CPU 1 3 2 が命令読み出しサイクルで出力したアドレスが一致すると、バッファ 1 4 8 に保持されたアドレス値を増加させてその次のサイクルで ROM 1 3 3 よりデータを読み出す。そして、命令用バッファ 1 5 3 は、制御部 1 3 5 が読み出したデータを CPU 1 3 2 のバス幅を超えている分だけ格納し、制御部 1 3 5 は、CPU 1 3 2 が次回に連続するアドレスで ROM 1 3 3 に対する命令読み出しサイクルを実行すると、命令用バッファ 1 5 3 が保持しているデータを CPU 1 3 2 の

データバスに出力するようにした。

【0146】

即ち、ROM133の読み出し速度が遅い場合でも、CPU132が連続するアドレス（CPU132のデータバス幅に応じた増分のアドレス）で命令読出しを行う場合は、次回以降に読み出そうとする命令は今回の読出しで同時に読み出されて命令用バッファ153に格納され、次の読出しでは命令用バッファ153より命令が読み出される。従って、CPU132がROM133からの読み出しを行うために従来必要であったウェイトサイクルを削減することができ、処理効率を向上させることができる。

【0147】

また、CPU132がROM133に対するデータ読み出しサイクルを実行した場合は、読み出されたデータをデータ用バッファ154に格納し、制御部135は、CPU132が、次回にデータ読み出しサイクルを実行した場合にその読出しアドレスがデータ用バッファ154にヒットすれば、バッファ154に格納されているデータをCPU132のデータバスに出力する。即ち、データ用バッファ154は所謂データキャッシュとして作用することになるので、CPUは、データの読出し効率を向上させることが可能となる。

【0148】

<以下は参考>

Q．CPUと、このCPUよりも広いデータバス幅を構成する1つ以上のROMとの間に接続され、前記CPUが前記ROMよりデータを読み出そうとする場合に、その読み出しを制御するメモリインターフェイス回路装置であって、

アドレス値を保持する命令用アドレス保持手段と、

このアドレス保持手段に保持されたアドレスと、前記CPUが前記ROMに対する命令読み出しサイクルを実行するために出力したアドレスとを比較し、両者が一致した場合は、前記アドレス保持手段に保持されたアドレス値を、前記ROMのバス幅が前記CPUのバス幅を超えている分だけ増加させて、前記ROMよりデータを読み出すデータ読み出し手段と、

前記データ読み出し手段が読み出したデータを、前記ROMのバス幅が前記CPUのバス幅を超えている分だけ格納する命令用バッファと、

前記CPUが、次回に連続するアドレスで前記ROMに対する命令読み出しサイクルを実行すると、前記命令用バッファが保持しているデータを前記CPUのデータバスに出力させるように制御する読出し制御手段とを備えることを特徴とするメモリインターフェイス回路装置。

【0149】

上記Qのメモリインターフェイス回路装置によれば、データ読み出し手段は、アドレス保持手段に保持されたアドレスと、CPUが命令読み出しサイクルで出力したアドレスとが一致すると、アドレス保持手段に保持されたアドレス値を増加させてROMよりデータを読み出す。そして、命令用バッファは、データ読み出し手段が読み出したデータをCPUのバス幅を超えている分だけバッファリングし、読出し制御手段は、CPUが次回に連続するアドレスでROMに対する命令読み出しサイクルを実行すると、命令用バッファが保持しているデータをCPUのデータバスに出力する。

【0150】

即ち、ROMの読み出し速度が遅い場合でも、CPUが連続するアドレスで命令読出しを行う場合は、CPUが次回以降に読み出そうとする命令は今回の読出しで同時に読み出されて命令用バッファに保持され、次の読出しでは命令用バッファより命令が読み出される。従って、CPUがROMからの読み出しを行うために従来必要であったウェイトサイクルを削減することができ、処理効率を向上させることができる。

【0151】

R．前記CPUが前記ROMに対するデータ読み出しサイクルを実行した場合に、前記データ読み出し手段が前記ROMより読み出したデータを、前記ROMのバス幅が前記CPUのバス幅を超えている分だけ格納するデータ用バッファと、

前記アドレスを格納するためのアドレス格納手段とを備え、

前記読出し制御手段は、前記アドレス格納手段に格納されているアドレスに基づいて、前記CPUが次回に前記ROMに対するデータ読み出しサイクルを実行した場合に、その読み出しアドレスに対応するデータが前記データ用バッファに格納されていると判断すると、前記データを前記CPUのデータバスに出力させるように制御することを特徴とする上記Qのメモリインターフェイス回路装置。

【0152】

上記Rのメモリインターフェイス回路装置によれば、CPUがデータ読み出しサイクルを実行した場合にROMより読み出されたデータを、ROMのバス幅がCPUのバス幅を超えている分だけデータ用バッファに格納する。また、この時、前記読出しアドレスはアドレス格納手段に格納される。そして、読出し制御手段は、CPUが次回にデータ読み出しサイクルを実行した場合に、その読み出しアドレスに対応するデータがデータ用バッファに格納されていると判断すると、そのデータをCPUのデータバスに出力させる。

10

即ち、データ用バッファは所謂データキャッシュとして作用するので、データの読出しアドレスがデータ用バッファにヒットした場合、CPUはそのデータを高速に読み出すことができる。従って、データの読出し効率を向上させることが可能となる。

【0153】

(第10実施例)

図35及び図36は本発明の第10実施例を示すものであり、第9実施例と異なる部分についてのみ説明する。図35に示すように、第10実施例では、ROMコントローラ134Aの制御部135Aは、CPU132がストール状態となったことを検出する機能を有しており、その場合に、ROM133の電流を遮断する制御を行うように構成されている。

20

【0154】

図36に示すタイミングチャートにおいて、制御部135Aは、CPU132の動作にストールが発生したことを、例えばアドレス値(A+4)が2サイクル続けて同じ値であることによってサイクル(5)のタイミングで検出する。

その後、CPU132のストール状態が例えば更に2サイクル継続すると、制御部135Aは、ROM133の消費電流をカットするように制御する。尚、ここで言う「ストール」とは、一般的な意味におけるCPU132内部の演算処理の停止に加えて、ROM133に対するアクセスが行われない状態(例えば、RAMやI/O等の他のリソースに対してアクセスを行っている場合)も含むものとする。その場合は、外部のデコードのデコード信号によってROM133がセレクトされなくなることで判定できる。例えば、図33のステップG1において、「NO」と判断している期間を計測して判定することが可能である。

30

【0155】

以上のように第10実施例によれば、ROMコントローラ134Aの制御部135Aは、CPU132がストール状態となったことを検出するとROM133からのデータ読み出しを停止させる。そして、CPU132のストール状態が所定期間継続すると、ROM133における消費電流を遮断するようにした。従って、無駄な電力消費を低減することができる。

40

【0156】

<以下は参考>

S. 前記読出し制御手段は、前記CPUの動作にストールが発生したことを検出可能に構成され、

前記データ読み出し手段は、前記ストールが発生したことが検出された場合に、前記ROMに対するデータの読み出しが実行中である場合は、その読み出し処理を継続して完了させることを特徴とする上記Q, R, 下記Uの何れかのメモリインターフェイス回路装置。

上記Sのメモリインターフェイス回路装置によれば、データ読み出し手段は、CPUの

50

動作にストールが発生したことが検出された場合でも、ROMに対するデータの読み出しが実行中である場合は、その読み出し処理を継続して完了させる。即ち、ストールが発生した時点で直ちに読出しを中止することがないので、読出し効率を向上させることができる。

#### 【0157】

T：前記読出し制御手段は、前記CPUの動作にストールが発生したことを検出し、そのストール状態が所定期間継続すると、前記ROMにおける消費電流を遮断するように制御することを特徴とする上記Q、R、下記Uの何れかのメモリインターフェイス回路装置。

上記Tのメモリインターフェイス回路装置によれば、読出し制御手段は、CPUのストール状態が所定期間継続すると、ROMにおける消費電流を遮断するように制御するので、無駄な電力消費を低減することができる。

#### 【0158】

本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、以下のような変形または拡張が可能である。

第1実施例において1/N分周器19、20は必要に応じて設ければ良い。

第2実施例において、メインクロック監視部7は削除しても良い。

また、第2実施例においてステップA0、A4は削除して実施しても良い。

また、第2実施例において、高速補正動作は、必ずしもバイナリサーチ方式で行なうものに限らず、比較的大なる調整信号データから開始して、その絶対値が次第に小さくなるようにして行えば良い。

第5実施例において、発振回路装置の発振動作を停止させる場合は、低消費電力モードの実行に伴うものに限ることはない。即ち、発振回路装置が出力するクロック信号は、CPUの動作クロック信号として供給されるものに限らず、どのような用途であっても良い。従って、その用途に応じてクロック信号の出力を一時的に停止させた後、出力を再開させる必要があるものであれば、広く適用が可能である。

#### 【0159】

第7実施例において、出力タイミングレジスタ113に設定されるデータは、ハードウェア的に固定されているように構成しても良い。

第8実施例において、レベル変化用タイマを解除タイマと共通にすれば、より簡単に構成することができる。

また、第8実施例において、割り込み発生用のタイマを、レベル変化用タイマと独立に備えても良い。

また、マイコン101に、CPU102の動作を監視するためのウォッチドッグタイマ、若しくは、CPU102の動作クロックとは独立にカウント動作するフリーランタイマなどを備えている場合、レベル変化用タイマを、それら他のタイマと共通とすることで、構成をより簡単にすることができる。但し、この場合、レベル変化用タイマとして使用する場合は、そのタイマ動作の開始時点におけるウォッチドッグタイマ等のカウント値を読み出し、出力タイミングに相当するカウント値を加算したものを出力タイミングレジスタに設定する。そして、タイマを共通にすることで、ソフトウェアの作成管理が容易となり、バグが発生する可能性を低下させることができる。

#### 【0160】

第9実施例において、メモリインターフェイス回路装置が内蔵するバッファのバス幅を、ROMのデータバス幅よりも広くするように構成しても良い。斯様に構成すれば、データ読み出し手段がROMに対する読出しを複数回行なって、前記バッファにデータを格納することでより多くのデータについてその先読みを行なうことができる。

第9または第10実施例において、ROMを、16ビットバス構成のマットを2個並べて同様に実施しても良い。また、その場合、ROMコントローラ134による読出し対象となっていないマットのROMについては消費電流を遮断するように構成しても良い。斯様に構成しても、ROMが複数マットで構成されている場合に、無駄な電力消費を低減す

10

20

30

40

50

ることができる。

【0161】

更に、第10実施例において、CPU132がスリープ/ストップなどの低消費電力モードに移行した場合は、ROMの全ての消費電流を遮断するように構成しても良い。斯様に構成すれば、無駄な電力消費を低減することができる。

また、第10実施例において、ROMコントローラ134Aを、CPU132のストール検出タイミングが例えばサイクル(4)でアドレス(A+2)が継続した場合に、その時点でROM133に対して実行中である命令のデータD2, D4の読出しがその他の条件により続行可能であれば、続行して完了させるようにする。斯様に構成すれば、ROMコントローラ134Aは、ストール状態を検出しても直ちにROM133に対する読出しを停止することがないので、読出し効率を向上させることができる。

10

【0162】

<以下は参考>

U. 前記バッファのバス幅は、前記ROMのデータバス幅よりも広く構成されていることを特徴とする請求項30または31記載のメモリインターフェイス回路装置。

上記Uのメモリインターフェイス回路装置によれば、バッファのバス幅を、ROMのデータバス幅よりも広くするので、データ読み出し手段が読出しを複数回行なって、前記バッファにデータを格納すれば、より多くのデータについてその先読みを行なうことができる。

【0163】

20

V. 前記ROMが、複数マツで構成されている場合、

前記読出し制御手段は、前記データ読み出し手段による読出し対象となっているROM以外の消費電流を遮断するように制御することを特徴とする請求項34記載のメモリインターフェイス回路装置。

上記Vのメモリインターフェイス回路装置によれば、読出し制御手段は、データ読み出し手段による読出し対象となっているROM以外の消費電流を遮断するので、ROMが複数マツで構成されている場合に、無駄な電力消費を低減することができる。

【0164】

W. 前記読出し制御手段は、前記CPUが、内部状態を保持したまま動作を一時的に停止する低消費電力モードに移行した場合は、前記ROMの全ての消費電流を遮断するように制御することを特徴とする上記S又はTのメモリインターフェイス回路装置。

30

上記Wのメモリインターフェイス回路装置によれば、読出し制御手段は、CPUが低消費電力モードに移行した場合は、ROMの全ての消費電流を遮断するので、無駄な電力消費を低減することができる。

【図面の簡単な説明】

【0165】

【図1】本発明をマイクロコンピュータに適用した場合の第1実施例であり、マイクロコンピュータの電氣的構成を示す機能ブロック図

【図2】サブクロック補正部を中心とする詳細な構成を示す図

【図3】サブクロック補正部による補正処理を示すフローチャート

40

【図4】メインクロック監視部の詳細な構成を示す

【図5】本発明の第2実施例を示す図3相当図

【図6】ステップS12における処理内容を示すフローチャート

【図7】ステップS13における処理内容を示すフローチャート

【図8】高速補正動作が行なわれる状態の概念的な説明図

【図9】本発明の第3実施例であり、マイクロコンピュータの構成を示す機能ブロック図

【図10】低消費電力制御部が、スリープモードについて制御を行う機能部分の構成を示す図

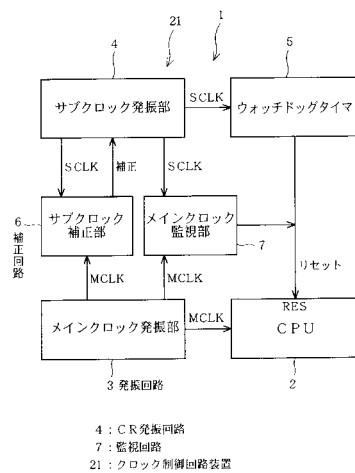
【図11】低消費電力制御部が、ストップモードが設定された場合にI/O端子部の制御を行う機能部分の構成を示す図

50

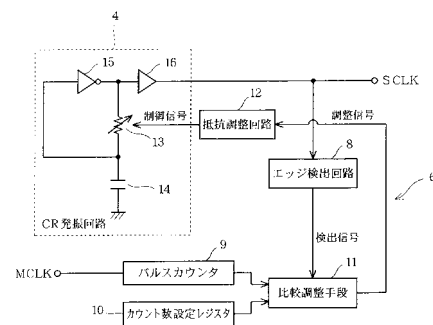
- 【図 1 2】ＣＰＵが低消費電力モードに移行する場合の処理を示すフローチャート
- 【図 1 3】低消費電力モードが解除されて、ＣＰＵが起動（ウェイクアップ）する場合の処理を示すフローチャート
- 【図 1 4】本発明の第 4 実施例であり、マイクロコンピュータのクロック制御に関する機能部分を示すブロック図
- 【図 1 5】電源投入時や、スリープ/ストップモードからＣＰＵが起動したウェイクアップ時におけるクロック信号の遷移状態を示す図
- 【図 1 6】ＣＰＵが通常の動作を行なっている状態において、ユーザプログラムによりマシクロックの切替えを行なう場合のダイアグラム
- 【図 1 7】ＣＰＵが、図 1 6 に示すダイアグラムに基づいてマシクロック信号の切替えを行なう場合の処理を示すフローチャート 10
- 【図 1 8】本発明の第 5 実施例であり、ＥＣＵの電氣的構成を示す機能ブロック図
- 【図 1 9】周波数逡倍回路の概略構成を示す機能ブロック図
- 【図 2 0】ＤＣＯの詳細な構成を示す機能ブロック図
- 【図 2 1】リングオシレータの構成を示す図
- 【図 2 2】カウンタ・データラッチ回路の内部構成の一部を示す図
- 【図 2 3】周波数逡倍回路が低消費電力モードにある状態から、起動して発振動作を行なう場合を示すタイミングチャート
- 【図 2 4】本発明の第 6 実施例を示すＣＰＵのフローチャート
- 【図 2 5】本発明の第 7 実施例であり、シングルチップマイクロコンピュータの一構成例を示す図 20
- 【図 2 6】ポート制御回路の内部構成を示す機能ブロック図
- 【図 2 7】ＣＰＵによるスリープモード移行処理の内容を示すフローチャート
- 【図 2 8】スリープモード移行中のタイミングチャート
- 【図 2 9】本発明の第 8 実施例を示す図 2 6 相当図
- 【図 3 0】図 2 8 相当図
- 【図 3 1】本発明の第 9 実施例であり、マイクロコンピュータの構成を示す図
- 【図 3 2】ＲＯＭコントローラの内部構成を示すブロック図
- 【図 3 3】ＣＰＵがＲＯＭに対する読み出しサイクルを実行する場合におけるＲＯＭコントローラの制御内容を示すフローチャート 30
- 【図 3 4】ＣＰＵが命令読み出しサイクルを連続的に実行した場合のタイミングチャート
- 【図 3 5】本発明の第 1 0 実施例を示す図 3 1 相当図
- 【図 3 6】図 3 3 相当図
- 【図 3 7】従来技術を示す図 2 8 相当図
- 【符号の説明】
- 【 0 1 6 6 】
- 1 はマイクロコンピュータ、2 はＣＰＵ、3 はメインクロック発振部（発振回路）、4 はサブクロック発振部（ＣＲ発振回路）、5 はウォッチドッグタイマ、6 はサブクロック補正部（補正回路）、7 はメインクロック監視部（監視回路）、8 はエッジ検出回路、8、9 はパルスカウンタ、1 0 カウント数設定レジスタ、1 1 は比較調整手段、1 3 はラダー抵抗（可変抵抗器）、2 1 はクロック制御回路装置、3 1 はマイクロコンピュータ、3 2 はＣＰＵ、3 5 は低消費電力制御部（端子制御手段）、4 2 は入出力端子（外部信号端子）、5 1 はマイクロコンピュータ、5 2 はＣＰＵ、5 4 は外部発振子、5 5 はＤＰＬＬ回路（周波数逡倍回路）、5 6 はクロック制御部（切替通知制御部）、6 2 はステータカウンタ（シーケンス制御手段）、7 1 はＥＣＵ（マイクロコンピュータ）、7 1 a はクロック制御回路（発振回路装置）、7 6 は発振回路、7 7 は周波数逡倍回路、7 8 は低消費電力制御回路（低消費電力制御手段）、8 0 は制御回路（シーケンス制御手段）、8 1 はＤＣＯ、8 3 はリングオシレータ（多相クロック信号出力手段）、9 5 は周波数情報保持回路部（データ保持手段）、1 0 1 はシングルチップマイクロコンピュータ、1 0 2 はＣＰＵ、1 0 6 はポート制御回路（信号レベル変化手段）、1 1 0 は出力端子（外部信号出力 40 50

端子)、111はタイマ(レベル変化用タイマ)、112は比較器(比較回路)、113は出力タイミングレジスタ、117はポート制御回路、121は割り込み発生手段、131はマイクロコンピュータ、132はCPU、133はROM、134, 134AはROMコントローラ(メモリアンタフェイス回路装置)、135, 135Aは制御部(データ読出し手段, 読出し制御手段)、137はデータパス部(読出し制御手段)、145はバッファ(アドレス格納手段)、148はカウンタバッファ(アドレス保持手段)、153は命令用バッファ、154はデータ用バッファを示す。

【図1】

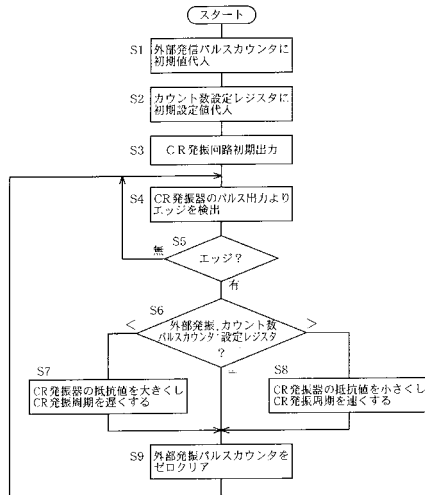


【図2】

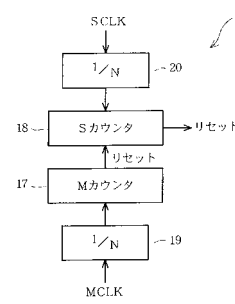




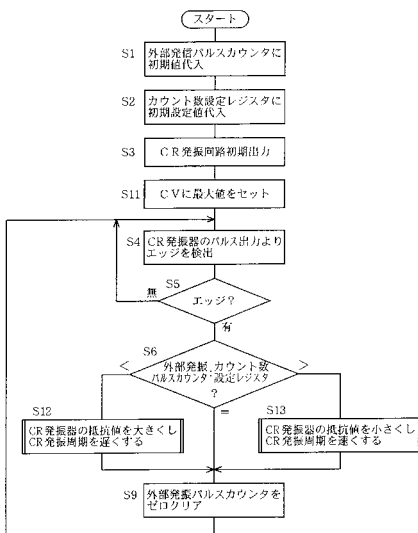
【図 3】



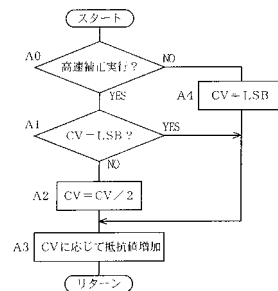
【図 4】



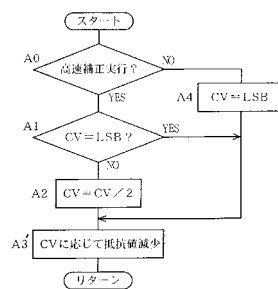
【図 5】



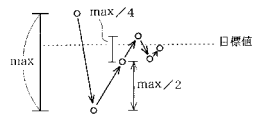
【図 6】



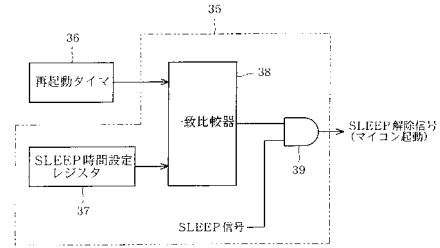
【図 7】



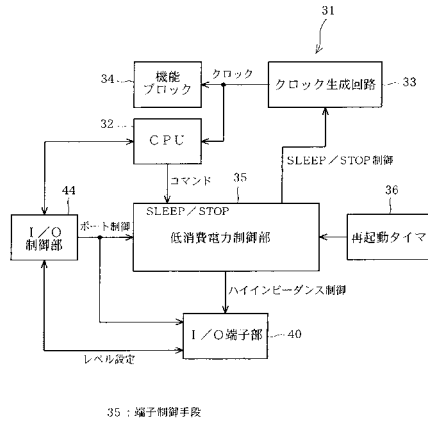
【圖 8】



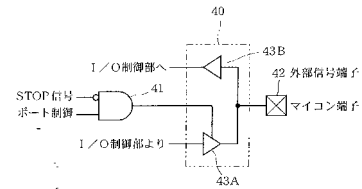
【 図 1 0 】



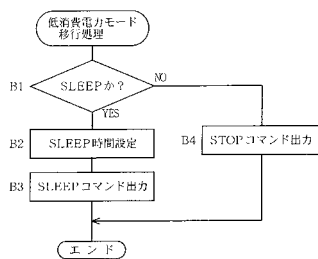
【 図 9 】



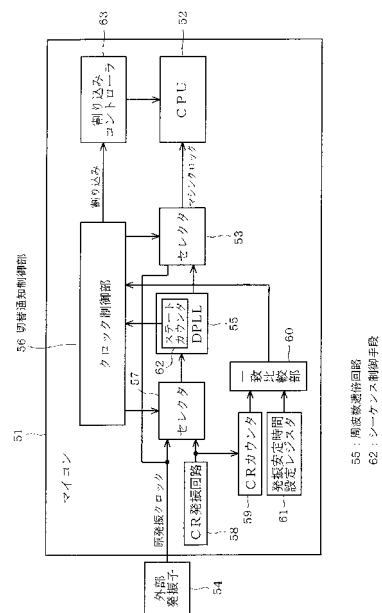
【 図 1 1 】



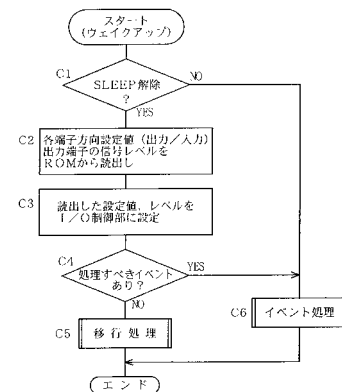
【 図 1 2 】



【 図 1 4 】

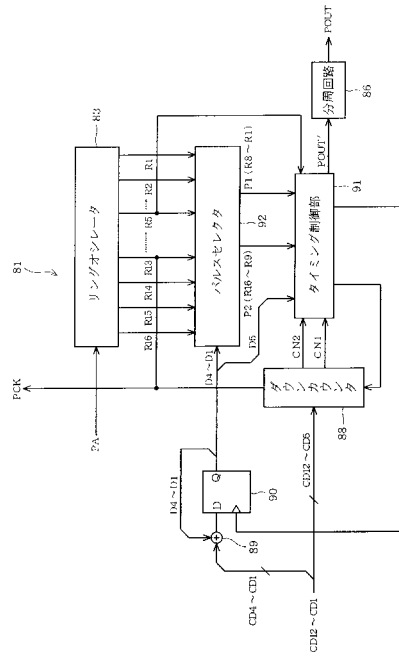


【 図 1 3 】

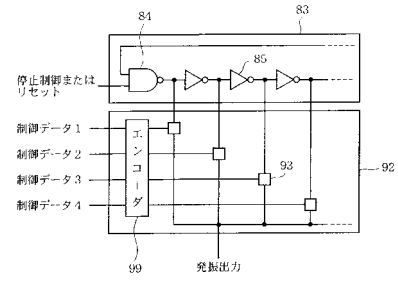




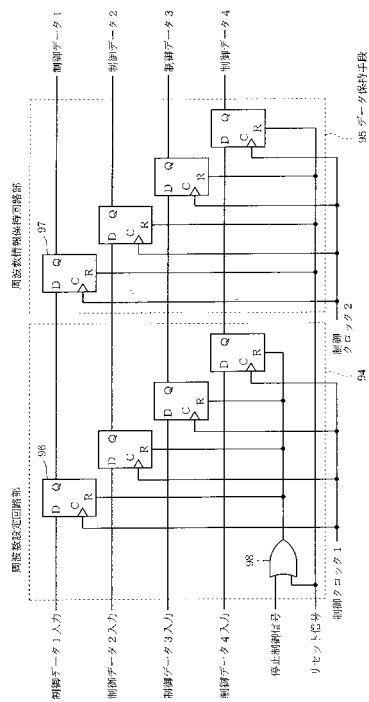
【図 20】



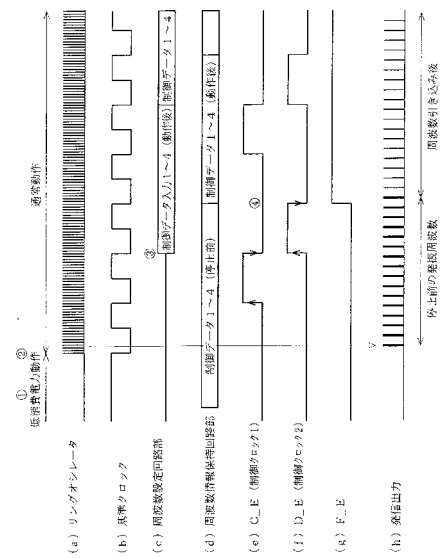
【図 21】



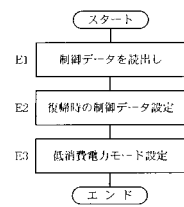
【図 22】



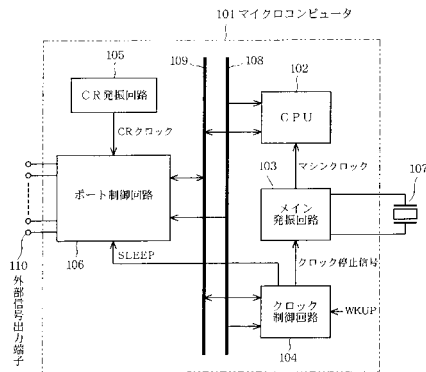
【図 23】



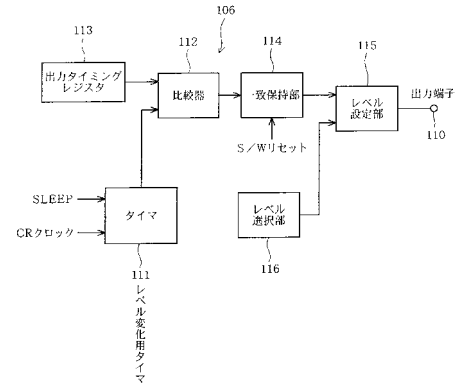
【図 24】



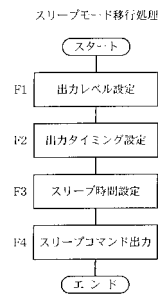
【図 25】



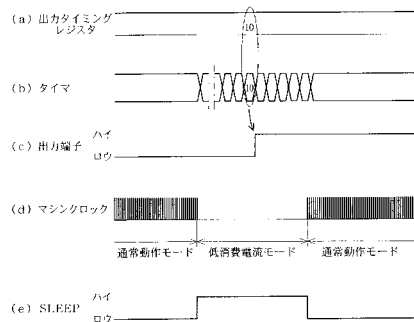
【図 26】



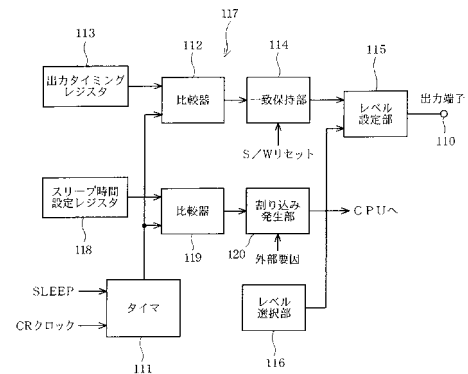
【図 27】



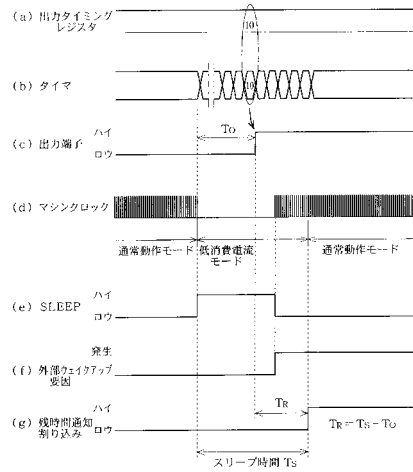
【図 28】



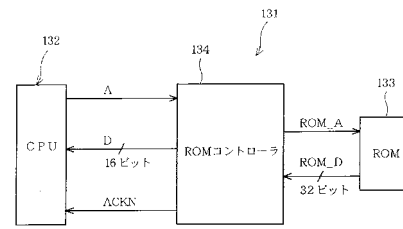
【図 29】



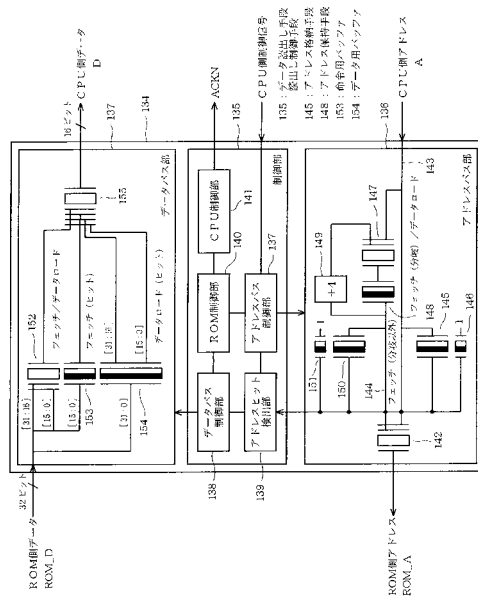
【図 30】



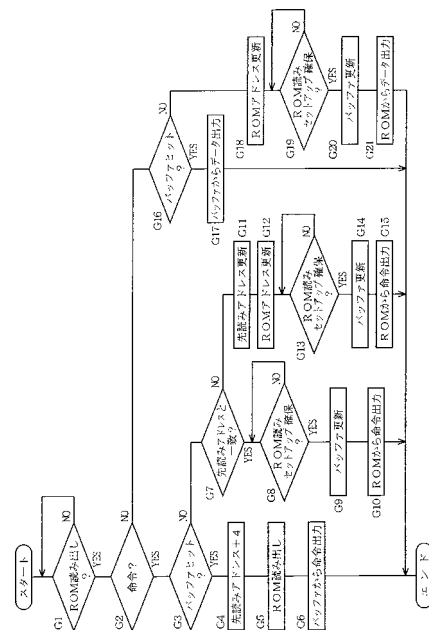
【図 31】



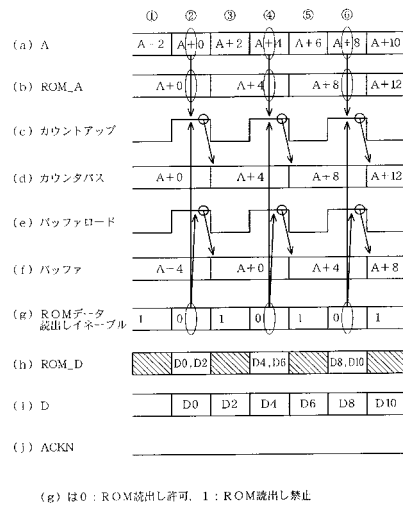
【図 32】



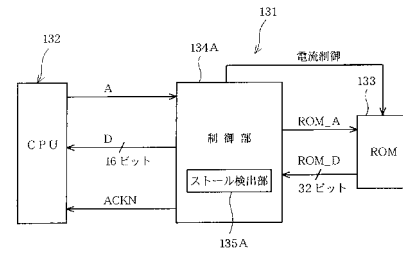
【図 33】



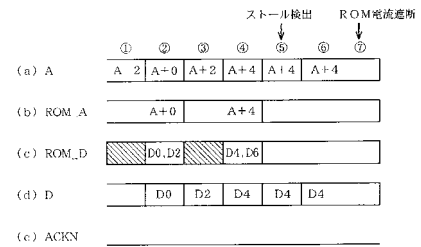
【図 34】



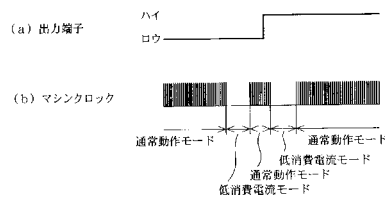
【図 35】



【図 36】



【図 37】



---

フロントページの続き

- (72)発明者 野田 真一  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 鶴田 前  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 藤井 裕志  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
- (72)発明者 石原 秀昭  
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

審査官 小林 正明

- (56)参考文献 特開2002-202830(JP,A)  
特開平05-073349(JP,A)  
特開平01-137355(JP,A)  
特開平09-006750(JP,A)  
特開2002-063150(JP,A)  
特開平11-095864(JP,A)  
特開平09-034867(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |      |       |
|------|-------|
| G06F | 1/04  |
| G06F | 15/78 |