(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 5 月 19 日 (19.05.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/074418 A1

(51) 国际专利分类号:
G09G 3/32 (2006.01)

(21) 国际申请号: PCT/CN2015/075371

(22) 国际申请日: 2015 年 3 月 30 日 (30.03.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410643960.X 2014 年 11 月 11 日 (11.11.2014) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 孙拓 (SUN, Tuo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

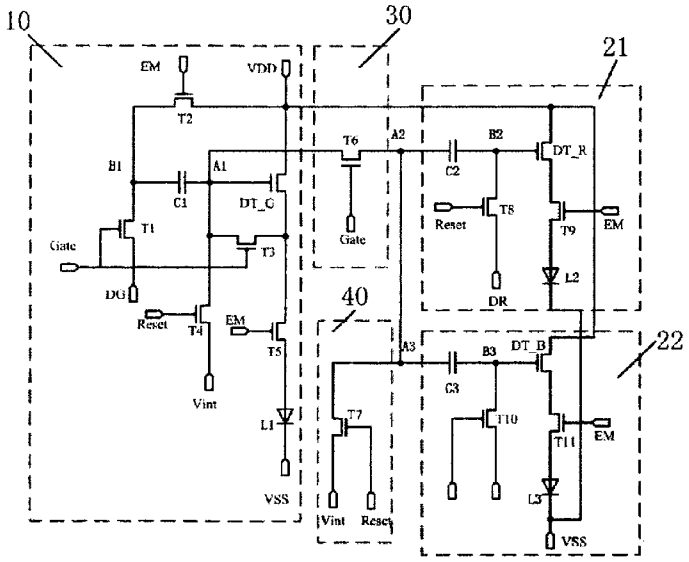
(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: PIXEL CIRCUIT, DRIVING METHOD, AND DISPLAY DEVICE

(54) 发明名称 : 一种像素电路、驱动方法和显示装置



(57) Abstract: Disclosed are a pixel circuit, a driving method, and a display device. The pixel circuit comprises multiple sub-pixel circuits. A threshold compensation module is disposed in one of the sub-pixel circuits, and a voltage compensated by the threshold compensation module is shared in the other sub-pixel circuits by means of a compensation sharing circuit (30). According to the pixel circuit, only one threshold compensation module is disposed for multiple pixels, and accordingly the average area occupied by a single pixel is decreased, which helps to increase the PPI of the display device.

(57) 摘要: 公开了一种像素电路、驱动方法和显示装置。该像素电路包括多个子像素电路，在其中一个子像素电路中设置有阈值补偿模块，并通过补偿共享电路（30）将阈值补偿模块补偿的电压共享到其他子像素电路中。该像素电路针对多个像素仅设置一个阈值补偿模块，从而减少了单个像素所占用的平均面积，利于提高显示装置的ＰＰＩ。

图 1 / FIG. 1

WO 2016/074418 A1

一种像素电路、驱动方法和显示装置

技术领域

本发明涉及显示技术领域，尤其涉及一种像素电路、驱动方法和显示装置。

背景技术

有机发光显示器（OLED）是当今平板显示器研究领域的热点之一。与液晶显示器相比，OLED 具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前，在手机、PDA、数码相机等显示领域 OLED 已经开始取代传统的液晶（LCD）显示屏。像素驱动电路设计是 OLED 显示器核心技术内容，具有重要的研究意义。

与 TFT（薄膜场效应晶体管）-LCD 利用稳定的电压控制亮度不同，OLED 属于电流驱动，需要稳定的电流来控制发光。

由于工艺流程和器件老化等原因，在现有的 2T1C 驱动电路（包括两个薄膜场效应晶体管和一个电容）中，各像素点的驱动 TFT 的阈值电压存在不均匀性，这样就导致了流过每个像素点 OLED 的电流发生变化，使得显示亮度不均，从而影响整个图像的显示效果。

上述问题的一种解决方案是在各个像素电路中都设置阈值电压补偿回路，用于补偿驱动 TFT 的阈值电压，从而使流经 OLED 的电流大小为与阈值电压无关。但是在各个像素电路中设置电压补偿回路会导致单个像素的面积增大，导致相应的显示装置的 PPI（每英寸像素数目）降低。

发明内容

本发明的目的是提供一种可以降低单个像素面积的像素电路。

为了实现上述目的，本发明实施例提供了一种像素电路，包括：

第一子像素电路，所述第一像素电路包括用于产生驱动电流的驱动晶体管、用于拉高所述驱动晶体管的栅极电压的电容以及阈值补偿模块，所述阈值补偿模块与所述第一子像素电路的电容相连，用于针对所述电容补偿第一子像素电路中的驱动晶体管的阈值电压；

至少一个第二子像素电路，所述至少一个第二子像素电路包括用于产生驱动

电流的驱动晶体管以及用于拉高相应驱动晶体管的栅极电压的电容；以及

补偿共享电路，所述补偿共享电路的第一端与所述第一子像素电路的电容相连，第二端与所述至少一个第二子像素电路的电容相连；所述补偿共享电路配置为在输入的控制信号的控制下，使所述第一端和所述第二端导通，以使所述阈值补偿模块在对所述第一子像素电路的电容进行阈值电压补偿的同时对所述至少一个第二子像素电路的电容进行阈值电压补偿。

优选的，所述补偿共享电路还包括一个共享控制晶体管，所述共享控制晶体管的源极和漏极中的一个连接至所述第一子像素电路中的电容的第一端，另一个连接至所述至少一个第二子像素电路中的电容的第一端。

优选的，每一个子像素电路还包括一个写控制晶体管，所述写控制晶体管连接在相应电容的第二端与相应子像素电路的数据电压输入端之间。

优选的，每一个子像素电路各包括至少一个重置控制晶体管，所述至少一个重置控制晶体管分别连接至相应子像素电路的电容，用于对所述相应子像素电路的电容进行重置。

优选的，每一个子像素电路的驱动晶体管是P沟道晶体管；每一个子像素电路还包括发光控制晶体管，该发光控制晶体管连接在相应驱动晶体管的漏极与电致发光元件之间；

所述阈值补偿模块包括一个补偿控制晶体管，所述补偿控制晶体管的源极和漏极中的一个与所述第一子像素电路中的驱动晶体管的漏极相连，另一个与所述第一子像素电路中的电容的第一端相连；所述第一子像素电路的驱动晶体管的栅极与所述第一子像素电路的电容的第一端相连；所述至少一个第二子像素电路的驱动晶体管的栅极与所述至少一个第二子像素电路的电容的第二端相连；所述至少一个重置控制晶体管的漏极连接至相应电容的第一端。

优选的，所述第一子像素电路中的写控制晶体管的栅极连接至所述像素电路的第一控制信号输入端；所述至少一个第二子像素电路中的写控制晶体管以及重置控制晶体管的栅极均连接至第二控制信号输入端；补偿控制晶体管以及共享控制晶体管的栅极均连接至所述像素电路的第三控制信号输入端；各个发光控制晶体管的栅极均连接至第四控制信号输入端；且栅极连接到同一输入端的各个晶体管的沟道类型相同。

优选的，所述第一子像素电路还包括一个跳变控制晶体管，所述跳变控制晶

体管连接在驱动晶体管的源极与电容的第二端之间，栅极连接至第三控制信号输入端；且所述第一控制信号输入端和所述第三控制信号输入端为同一输入端。

优选的，每一个子像素电路中的驱动晶体管均为P沟道晶体管，所述P沟道晶体管的栅极均与相应电容的第一端相连；每一个子像素电路还包括发光控制晶体管，该发光控制晶体管连接在驱动晶体管的漏极与电致发光元件之间；所述阈值补偿模块包括一个补偿控制晶体管，所述补偿控制晶体管的源极和漏极中的一个与所述第一子像素电路中的驱动晶体管的漏极相连，另一个与所述第一子像素电路中的电容的第一端相连。

优选的，每一个子像素电路的驱动晶体管均为N沟道晶体管，栅极各连接至相应子像素电路的电容的第一端；每一个子像素电路还包括发光控制晶体管，该发光控制晶体管连接在相应驱动晶体管的漏极与电致发光元件之间；所述阈值补偿模块包括一个补偿控制晶体管，所述补偿控制晶体管的源极和漏极中的一个与所述第一子像素电路中的驱动晶体管的源极相连，另一极接地；

所述第一子像素电路还包括充电控制晶体管，所述充电控制晶体管的源极和漏极中的一个与第一子像素电路的电容的第一端相连。

优选的，所述充电控制晶体管的源极和漏极中的另一个连接至所述像素电路的工作电压输入端。

本发明还提供了驱动一种上述任一项所述的像素电路的方法，包括：

在第一子像素电路进行像素补偿时，施加控制信号使所述补偿共享电路的第一端和第二端导通。

本发明实施例还提供了一种显示装置，包括上述任一项所述的像素电路。

根据本发明实施例的像素电路包括多个子像素电路，其中一个子像素电路设置有阈值补偿模块，并通过补偿共享电路将由阈值补偿模块补偿的电压与其他子像素电路共享。在实际应用中，距离相近的像素电路老化程度一般较为接近，因此一个子像素电路的阈值补偿模块所补偿的阈值电压也可以用于对其他子像素电路进行阈值电压补偿。根据本发明实施例，可以针对多个像素仅设置一个阈值补偿模块，从而减少了单个像素所占用的平均面积，利于提高显示装置的PPI。

附图说明

图1示出了根据本发明实施例一的像素电路的电路结构示意图；

图2示出了用于驱动图1所示的像素电路的驱动方法的信号时序图；

图3a-图3c示出了图1中的像素电路在图2所示的驱动方法中不同时序下的电流流向示意图；

图4示出了根据本发明实施例二的像素电路的电路结构示意图；

图5示出了用于驱动图4所示的像素电路的驱动方法的信号时序图；

图6示出了根据本发明实施例三的像素电路的电路结构示意图；

图7示出了用于驱动图6所示的像素电路的驱动方法的信号时序图；

图8示出了根据本发明实施例四的像素电路的电路结构示意图；以及

图 9 示出了用于驱动图 8 所示的像素电路的驱动方法的信号时序图。

具体实施方式

下面结合附图和实施例，对本发明的具体实施方式作进一步描述。以下实施例仅用于更加清楚地说明本发明的技术方案，而不能以此来限制本发明的保护范围。

本发明中的像素电路包括多个子像素电路，用于驱动多个像素的发光显示。在本发明中，在其中一个子像素电路中设置用于阈值补偿的阈值补偿模块，并使其他子像素电路共享该阈值补偿模块所补偿的电压，由于相邻的子像素电路中驱动晶体管的阈值电压一般较为接近。因此，根据本发明实施例，在其他子像素电路中不设置阈值补偿模块的情况下也能有效的完成的阈值补偿。在高PPI产品中，各个像素对应的像素电路相互距离较近，因此根据本发明实施例的像素电路尤其适用于高PPI产品中。以下结合一些具体的电路，对根据本发明实施例的像素电路的结构、原理和驱动方法进行说明。

实施例一

本发明实施例一提供了一种像素电路。如图1所示，该像素电路包括：第一子像素电路10、两个第二子像素电路21和22、补偿共享电路30以及共享控制电路40，其中，第一子像素电路10包括第一开关晶体管T1、第二开关晶体管T2、第三开关

晶体管T3、第四开关晶体管T4、第五开关晶体管T5、第一驱动晶体管DT_G、一个第一电容C1、以及一个第一电致发光元件L1。第二子像素电路21包括第八开关晶体管T8、第九开关晶体管T9、第二驱动晶体管DT_R、一个第二电容C2以及一个第二电致发光元件L2。另一个第二子像素电路22包括第十开关晶体管T10、第十一开关晶体管T11、第三驱动晶体管DT_B、一个第三电容C3以及一个第三电致发光元件L3。补偿共享电路30包括第六开关晶体管T6。共享控制电路40包括第七开关晶体管T7。上述的各个晶体管均可以是P沟道型晶体管。

在第一子像素电路10中，第一开关晶体管T1和第二开关晶体管T2的漏极均连接至第一电容C1的B1端，第二开关晶体管T2的源极连接至第一驱动晶体管DT_G的源极，第三开关晶体管T3和第四开关晶体管T4的漏极以及第一驱动晶体管DT_G的栅极均连接至第一电容C1的A1端，第三开关晶体管T3的源极连接至第一驱动晶体管DT_G的漏极；第五开关晶体管T5的源极连接至第一驱动晶体管DT_G的漏极，漏极连接至第一电致发光元件L1的阳极。

在第二子像素电路21中，第八开关晶体管T8的漏极以及第二驱动晶体管DT_R的栅极均连接至第二电容C2的B2端，第九开关晶体管T9的源极连接至第二驱动晶体管DT_R的漏极，漏极连接至第二电致发光元件L2的阳极；

在另一个第二子像素电路22中，第十开关晶体管T10的漏极以及第三驱动晶体管DT_B的栅极均连接至第三电容C3的B3端，第十一开关晶体管T11的源极连接至第三驱动晶体管DT_B的漏极，漏极连接至第三电致发光元件L3的阳极。

第一电容C1的A1端还通过第六开关晶体管T6与第二电容C2的A2端以及第三电容C3的A3端相连，第七开关晶体管T7的漏极连接至第二电容C2的A2端以及第三电容C3的A3端。

另外，该像素电路具有如下信号接入端：工作电压输入端VDD，三个数据电压输入端DG、DR、DR，接地端VSS，重置电压输入端Vint，三个控制信号输入端EM、Gate和Reset。其中，第一驱动晶体管DT_G、第二驱动晶体管DT_R、第三驱动晶体管DT_B的源极均连接至工作电压输出端VDD，第一电致发光元件L1、第二电致发光元件L2和第三电致发光元件L3的阴极均接连接至接地端VSS，第一开关晶体管T1、第三开关晶体管T3和第六开关晶体管T6的栅极均连接至第一信号输入端Gate，第二开关晶体管T2、第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11的栅极均连接第二信号输入端EM，第四开关晶体管T4、第七开

关晶体管T7、第八开关晶体管T8和第十开关晶体管T10的栅极均连接至第三信号输入端Reset；第一开关晶体管T1的源极连接至DG，第二开关晶体管T2的源极连接至DR，第三开关晶体管T3的源极连接至DB；第四开关晶体管T4、第七开关晶体管T7的源极连接至重置电压输入端Vint。

针对图1所示的像素电路，存在多种驱动方法有。下面结合图2和图3a-图3c来描述一种示例驱动方法，并且描述图1中的像素电路实现像素驱动的原理。图2为该驱动方法的信号时序图；图3a-图3c为在该方法的不同阶段像素电路中电流流向以及关键点的电压的示意图。由于在实际应用中，施加在Vint端和VDD端的电压一般为固定值，为了方便说明，以下用Vint表示Vint端的电压，以VDD表示VDD端的电压。

如图2所示，在第一阶段S1，在Reset施加低电平信号，Gate和EM均施加高电平，并分别在DR端施加与第二子像素电路21对应的数据电压Vr，在DB端施加与第二子像素电路22对应的数据电压Vb。此时，如图3a所示，在第一阶段S1中，第四开关晶体管T4、第七开关晶体管T7、第八开关晶体管T8、第十开关晶体管T10导通，其他控制晶体管关断。第一电容C1的A1端、第二电容C2的A2端和第三电容C3的A3端的电压被置电压Vint，第二电容C2的B2端的电压被置为Vr，第三电容C3的B3端的电压被置为Vb。对于第二电容C2来说，B2端和A2端两端的压差为V_{B2A2}=Vr-Vint；对于第三电容C3来说，B3端和A3端两端的压差为V_{B3A3}= Vb-Vint。这个阶段相当于把各个电容的A端（A1、A2、A3）的电压重置，第四开关晶体管T4、第七开关晶体管T7相当于重置控制晶体管。第八开关晶体管T8和第十开关晶体管T10用于将数据电压写入到B2端和B3端，相当于写控制晶体管。

在第二阶段S2，在Gate施加低电平信号，Reset和EM均施加高电平，并在DG端施加第二子像素电路22对应的数据电压Vg。此时，如图3b所示，在第二阶段S2中，第一开关晶体管T1、第三开关晶体管T3、第六开关晶体管T6导通，其他控制晶体管关断。此时，VDD通过第一驱动晶体管DT_G和第三开关晶体管T3向第一电容C1的A1端充电，直到该端的电压达到VDD+Vth1（其中Vth1为第一驱动晶体管DT_G的导通阈值电压，该值为负值）。由于第一开关晶体管T1导通，第一电容C1的B1端的电压被置为Vg；此时第六开关晶体管T6也导通，第二电容C2的A2端和第三电容C3的A3端的电压均被置为VDD+Vth1。第二电容C2的B2端发生等压跳变，电压变为Vr+VDD+Vth1-Vint（保持两端的压差为Vr-Vint）。相应的，第

三电容C3的B3端发生等压跳变，电压变为Vb+VDD+Vth1-Vint。在这个阶段，通过第三开关晶体管T3对第一电容C1的A1端进行第一次充电，将A1端的电压补偿为一个与第一驱动晶体管DT_G的阈值电压相关的电压，因此第三开关晶体管T3相当于补偿控制晶体管。另外，通过第六开关晶体管T6，第二电容C2的A2端和第三电容C3的A3端共享了针对第一电容C1的A1端的补偿电压共享到，因此第六开关晶体管T6相当于共享控制晶体管。第一开关晶体管T1用于将数据电压写入到B1端，相当于写控制晶体管。

在第三阶段S3，在EM施加低电平信号，Gate和Reset上施加高电平信号，此时由EM控制的第二开关晶体管T2、第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11导通，其他控制晶体管关断。此时，如图3c所示，第一电容C1的B1端的电压被置为VDD，相应的其A1端的电压跳变为2VDD+Vth1-Vg。第二开关晶体管T2充当了第一子像素电路10中的跳变控制晶体管。由于第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11的导通，第一电致发光元件L1、第二电致发光元件L2和第三电致发光元件L3开始发光，第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11充当了发光控制晶体管。

其中，第一电致发光元件L1中的电流$I1=C(VGS-Vth1)^2$

$=C(2VDD+Vth1-VDD-Vg-Vth1)^2$

$=C(VDD-Vg)^2$

第二电致发光元件L2中的电流$I2=C(VGS-Vth2)^2$

$=C(VDD+Vth1+Vr-Vint-VDD-Vth2)^2$

$=C(Vr-Vg+Vth1-Vth2)^2$

由于在实际应用中，相邻的像素电路中驱动晶体管的阈值电压一般相当，因此Vth1、Vth2、Vth3可认为相等。即$I2=C(Vr-Vg)^2$，相应的，第三电致发光元件L3中的电流$I3=C(Vb-Vg)^2$。其中，C是相应驱动晶体管的电流系数。

由此可见，流经各个电致发光元件的电流最终与对应驱动晶体管的阈值电压无关，从而能够避免由于驱动晶体管的老化导致的阈值漂移影响各个像素的发光显示。

在本发明实施例一中，仅在第一子像素电路10中设置用于进行补偿的补偿控制晶体管（第三开关晶体管T3）和相应的跳变控制晶体管（第二开关晶体管T2）。第二子像素电路中不设置相应的补偿模块和跳变控制晶体管，仅通过一个共享控

制晶体管第六开关晶体管T6即可将针对第一子像素电路的补偿电压传递到两个第二子像素电路21和22中，以实现对应驱动晶体管的阈值补偿。此外，通过使第二子像素电路21和22共用重置控制晶体管第七开关晶体管T7，进一步减少了晶体管的数目。本发明实施例一中，仅使用了14个晶体管，与现有技术中针对每一个像素均设置对应阈值补偿模块的方式（需要至少18个晶体管）相比较，大大减少了晶体管的使用数目。

当然在具体实施时，也可以针对每一个像素电路分别设置一个重置控制晶体管。

需要指出的是，尽管本发明实施例一中第二子像素电路的个数为两个，但是在具体实施时，第二子像素电路的个数并没有限制。如果像素的间距足够小，这里的第二子像素电路的个数可以足够多。当然，在实际应用中，也可以仅设置一个第二子像素电路。

需要指出的是，虽然图1中是以各个晶体管都为P沟道型晶体管进行的说明，但是在实际应用中，在保持连接结构不变的前提下，图1中的各个晶体管中除驱动晶体管以外的晶体管还可以均为N沟道型晶体管。在进行驱动时，可以施加与图2中的控制信号完全相反的信号达到同样的效果。优选地，由于需要同时开启和关断栅极连接到同一输入端的各个晶体管，可以将这些晶体管设置为相同的沟道类型。本发明优选的实施例是为了保证制作电路的工艺一致，降低制作难度，而不应理解为对本发明保护范围的限定。

实施例二

图4示出了根据本发明实施例二的像素电路的结构示意图。与图1不同的是，在图4所示的电路中，第一开关晶体管T1中的栅极单独连接一个信号输出端Scan，且图4所示的电路中不包含第二开关晶体管T2，此时，驱动该像素电路的各个信号的时序图如图5所示。与图2不同的是，在第二阶段中，当Gate上施加低电平信号时，同时在Scan上施加低电平信号，将第一开关晶体管T1导通，并在DG上施加第一电压Vg1，将B1端的电压置为Vg1；在第三阶段，仅在Scan上施加低电平信号，将第一开关晶体管T1到导通，其他晶体管均关断，并在DG上施加第二电压Vg2，使B1端的电压置为Vg2，此时A1端电压相应的跳变为VDD+Vth1+Vg2-Vg1，在第四阶段，仅在EM上施加低电平信号。利用Vg1与Vg2的压差控制第一驱动晶体管

DT_G所产生的电流，控制第一电致发光元件L1的发光显示。

根据本发明实施例二的像素电路与实施例一提供的像素电路的不同之处在于，在实施例一中，是在补偿阶段（第二阶段S2）之后，通过设置一个第二开关晶体管T2来改变B1端的电压，使A1端的电压跳变。在实施例二中，不设置第二开关晶体管T2，而是在完成补偿之后，再次通过第一开关晶体管T1向B1写入一个不同的数据电压，从而使A端的电压跳变。

综合实施例一和实施例二可以看出，在具体实施时，接入到同一信号输入端的各个晶体管的栅极也可以不连接到同一信号输入端，分别独立控制也能达到类似的效果。并且，图1的跳变控制晶体管（第二开关晶体管T2）不是必要的。相应的，在分别独立控制的情况下，各个晶体管的沟道类型可以不完全一致。

实施例三

根据本发明实施例三的像素电路的结构示意图如图6所示。与图4所示的像素驱动电路不同的是，图6中第一电容C1的A1端通过第六开关晶体管T6连接到第二电容C2的B2端和第三电容C3的B3端。此时，第八开关晶体管T8的漏极连接至第二电容C2的A2端，第十开关晶体管T10的漏极连接至第三电容C3的A端，此时可以不设置第七开关晶体管T7，该像素电路的驱动方法的信号时序可以如图7所示。与图5所示的驱动方法不同的是，在如图5所示分别将第二电容C2的A2端的电压和第三电容C3的A3端的电压补偿为VDD+Vth1的第二阶段，根据图7所示的信号时序图，在DR和DB上分别施加第一电压Vr1和Vb1，使A2端的电压置为Vr1，A3端的电压置为Vb1。在第三阶段，在DR和DB上分别施加第二电压Vr2和Vb2，使A2端的电压置为Vr2，A3端的电压置为Vb2。相应的，此时B2端的电压跳变为VDD+Vth1+Vr2-Vr1，B3端的电压跳变为VDD+Vth1+Vb2-Vb1。在第四阶段，按照图5中第四阶段的方式进行发光显示。此时，也可以利用第一电压和第二电压的压差实现发光控制。

根据实施例三的技术方案，第一子像素电路中的电容C1连接相应驱动晶体管栅极的一端（A1）通过补偿控制晶体管与第二子像素电路中的电容（C2、C3）连接驱动晶体管栅极的一端（B2、B3）相连。在具体实现中，也可以将第一子像素电路中的电容C1连接相应驱动晶体管的一端A1与第二子像素电路中的电容（C2、C3）不连接相应驱动晶体管的一端（A2、A3）通过补偿控制晶体管相连。相应的

技术方案同样应落入本发明的保护范围。并且，在实际应用中，重置控制晶体管也不是必要的。

实施例四

根据本发明实施例四的像素电路的结构示意图如图8所示。与图6所示像素电路的结构不同的是，图8所示的第二驱动晶体管DT_R、第一驱动晶体管DT_G、第三驱动晶体管DT_B均为N沟道型晶体管，且相比于图6，在第一子像素电路中不包含第四开关晶体管T4，在第一驱动晶体管DT_G的输出端源极与栅极之间不设置第三开关晶体管T3，在第一驱动晶体管DT_G的漏极和栅极之间设置有一晶体管P沟道晶体管开关晶体管T3'，第一驱动晶体管DT_G的源极还与一P沟道晶体管开关晶体管T4'的源极和漏极中的一个相连，开关晶体管T4'的源极和漏极中的另一个接地。

同时，本发明实施例四中的像素电路可以具有四个控制信号输入端，Reset、Gate、EM和Scan。其中，第三开关晶体管T3'的栅极连接至Reset，开关晶体管T4'和第六开关晶体管T6的栅极均连接至Gate，第一开关晶体管T1、第八开关晶体管T8、第十开关晶体管T10的栅极均连接至Scan，第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11的栅极均连接至EM。

图9示出了本发明实施例四的驱动方法中的信号时序图。

如图9所示，在第一阶段S1，在Reset端上施加低电平信号使第三开关晶体管T3'的栅极导通，此时Vdd通过开关晶体管T3'向A1端充电，充电完成后A1端的电压变为VDD。因此，开关晶体管T3'充当了充电控制晶体管。在Scan信号线上施加低电平，使第一开关晶体管T1、第八开关晶体管T8、第九开关晶体管T9导通，以对第一电容C1的B1端、第二电容C2的A2端、第三电容C3的A3端进行电压重置。

在第二阶段S2，在Gate线施加低电平信号，使第六开关晶体管T6和开关晶体管T4'导通，第一电容C1的A1端沿第一驱动晶体管DT_G和开关晶体管T4'开始放电，同时由于T6的导通，第一电容C1的A1端、第二电容C2的B2端和第三电容C3的B3端被置为相同的电压。放电完成后第一电容C1的A1端、第二电容C2的B2端和第三电容C3的B3端的电压均为第一驱动晶体管DT_G的阈值电压Vth1。在这个阶段，将DT_G的阈值电压Vth1补偿给每一个电容，晶体管T4'充当了补偿控制晶体管。同时继续在Scan电压线上施加低电平信号，使第一晶体管T1、第八晶

体管T8、第十晶体管T10继续导通，在DG、DR和DB端继续施加低电平信号；放电结束后，第一电容C1、第二电容C2、第三电容C3两端的压差为Vth1。

在第三阶段S3，在Scan上施加低电平信号，使第一开关晶体管T1、第八开关晶体管T8、第九开关晶体管T9导通，并在DG、DR和DB端分别施加对应的数据电压（假设为Vg、Vr和Vb），同时将其他的TFT均关断，此时第一电容C1的A1端、第二电容C2的B2端和第三电容C3的B3端的电压发生跳变，跳变后的电压分别为Vg+Vth1、Vr+Vth1和Vb+Vth1，从而达到阈值补偿的目的。

在第四阶段S4，在EM施加低电平信号使第五开关晶体管T5、第九开关晶体管T9和第十一开关晶体管T11导通，并控制使其他控制晶体管均关断，使第一电致发光元件L1、第二电致发光元件L2和第三电致发光元件L3发光，由于完成了阈值补偿。第一电致发光元件L1和第二电致发光元件L2、第三电致发光元件L3的发光不受对应的驱动晶体管的阈值电压的影响。

可见，在具体实施时，驱动晶体管的沟道类型可以为N型也可以为P型。在能够实现本发明的技术方案的前提下，相应的技术方案都应该落入本发明的保护范围。

另外，需要指出的是，在以上各个实施例中，将第一子像素电路中的电容C1与驱动晶体管的栅极相连的一端经由第六晶体管T6与第二子像素电路中的电容C2的一端相连，但是在一些电路变体中，也可以直接或间接将电容C1的一端连接至驱动晶体管的源极，并经由第六晶体管T6与第二子像素电路中的电容（连接对应的驱动晶体管的源极的一端）相连，其对应的方案同样能够本发明所要解决的技术问题，相应的也应该落入本发明的保护范围。同时，在一些子像素电路中，发光控制晶体管也不是必要的，在此不再一一列举。

另外，需要指出的是，在以上本发明各个实施例中，将作为阈值补偿模块的晶体管设置在第一子像素电路中，但是具体到显示装置中，该晶体管的位置并不必然完全位于一个像素的像素区域内。在实际应用中，该晶体管的位置可以是在各个子像素中各设置一部分，从而避免单个的子像素过大，其对应的技术方案同样应落入本发明的保护范围。

本发明还提供了一种显示装置，包括上述任一项所述的像素电路。

这里的显示装置可以为：电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

以上所述仅是本发明的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本发明技术原理的前提下，还可以做出若干改进和变体，这些改进和变体也应视为处于本发明的保护范围之内。

权 利 要 求

1、一种像素电路，包括：

第一子像素电路，所述第一子像素电路包括产生驱动电流的驱动晶体管、用于拉高所述驱动晶体管的栅极电压的电容以及阈值补偿模块；所述阈值补偿模块与第一子像素电路中的电容相连，用于针对所述电容补偿第一子像素电路中的驱动晶体管的阈值电压；

至少一个第二子像素电路，所述至少一个第二子像素电路包括用于产生驱动电流的驱动晶体管以及用于拉高相应驱动晶体管的栅极电压的电容；以及

补偿共享电路，所述补偿共享电路的第一端与所述第一子像素电路的电容相连，第二端与所述至少一个第二子像素电路的电容相连；所述补偿共享电路配置为在输入的控制信号的控制下，使所述第一端和所述第二端导通，以使所述阈值补偿模块在对所述第一子像素电路的电容进行阈值电压补偿的同时对所述至少一个第二子像素电路的电容进行阈值电压补偿。

2、如权利要求1所述的像素电路，其特征在于，所述补偿共享电路包括一个共享控制晶体管，所述共享控制晶体管的源极和漏极中一个连接至所述第一子像素电路中的电容的第一端，另一个连接至所述至少一个第二子像素电路中的电容的第一端。

3、如权利要求2所述的像素电路，其特征在于，每一个子像素电路各包括一个写控制晶体管，所述写控制晶体管连接在相应电容的第二端与相应子像素电路的数据电压输入端之间。

4、如权利要求3所述的像素电路，其特征在于，每一个子像素电路各包括至少一个重置控制晶体管，且至少有一个重置控制晶体管连接至相应子像素电路的电容，用于对所述相应子像素电路的电容进行重置。

5、如权利要求4所述的像素电路，其特征在于，每一个子像素电路的驱动晶体管是P沟道晶体管；每一个子像素电路还包括发光控制晶体管，该发光控制晶体管连接在相应驱动晶体管的漏极与电致发光元件之间；

所述阈值补偿模块包括一个补偿控制晶体管，所述补偿控制晶体管的源极和漏极中的一个与所述第一子像素电路的驱动晶体管的漏极相连，另一个与所述第一子像素电路中的电容的第一端相连；

在所述第一子像素电路中，驱动晶体管的栅极与电容的第一端相连；在所述至少一个第二子像素电路中，驱动晶体管的栅极与电容的第二端相连；所述至少一个重置控制晶体管的漏极连接至相应电容的第一端。

6、如权利要求5所述的像素电路，其特征在于，所述第一子像素电路中的写控制晶体管的栅极连接至所述像素电路的第一控制信号输入端；所述至少一个第二子像素电路中的写控制晶体管以及重置控制晶体管的栅极均连接至第二控制信号输入端；所述补偿控制晶体管以及所述共享控制晶体管的栅极均连接至所述像素电路的第三控制信号输入端；各个发光控制晶体管的栅极均连接至第四控制信号输入端；且栅极连接到同一输入端的各个晶体管的沟道类型相同。

7、如权利要求6所述的像素电路，其特征在于，所述第一子像素电路还包括一个跳变控制晶体管，所述跳变控制晶体管连接在所述第一子像素电路的驱动晶体管的源极与电容的第二端之间，栅极连接至第三控制信号输入端；且所述第一控制信号输入端和所述第三控制信号输入端为同一输入端。

8、如权利要求3所述的像素电路，其特征在于，每一个子像素电路中的驱动晶体管均为P沟道晶体管，所述P沟道晶体管的栅极与相应电容的第一端相连；

每一个子像素电路还包括发光控制晶体管，所述发光控制晶体管连接在驱动晶体管的漏极与电致发光元件之间；所述阈值补偿模块包括一个补偿控制晶体管，所述补偿控制晶体管的源极和漏极中的一个与所述第一子像素电路中的驱动晶体管的漏极相连，另一个与所述第一子像素电路中的电容的第一端相连。

9、如权利要求3所述的像素电路，其特征在于，每一个子像素电路的驱动晶体管均为N沟道晶体管，栅极各连接至相应子像素电路的电容的第一端；

每一个子像素电路还包括发光控制晶体管，该发光控制晶体管连接在相应驱动晶体管的漏极与电致发光元件之间；

所述阈值补偿模块还包括一个补偿控制晶体管，所述补偿控制晶体管的源极和

漏极中的一个与所述第一子像素电路中的驱动晶体管的源极相连，另一极接地；

所述第一像素子电路还包括充电控制晶体管，所述充电控制晶体管的源极和漏极中的一个与第一子像素电路中的电容的第一端相连。

10、如权利要求9所述的像素电路，其特征在于，所述充电控制晶体管的源极和漏极中的另一个连接至所述像素电路的工作电压输入端。

11、一种驱动如权利要求1-10任一项所述的像素电路的方法，其特征在于，包括：

在第一子像素电路进行像素补偿时，施加控制信号使所述补偿共享电路的第一端和第二端导通。

12、一种显示装置，其特征在于，包括如权利要求1-10任一项所述的像素电路。

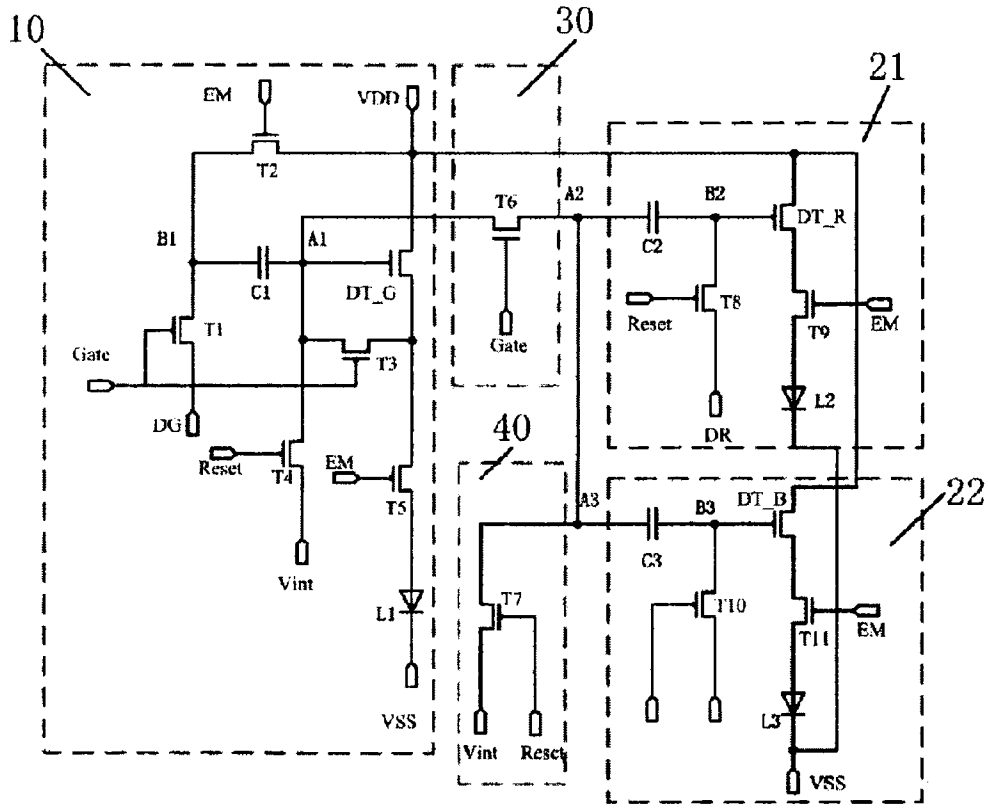

10
30
21
22
40
EM
VDD
T2
T6
A2
B2
DT_R
C2
B1
A1
C1
DT_G
T1
Gate
T3
Gate
T8
Reset
T9
EM
L2
DG
DR
Reset
T4
EM
T5
A3
B3
DT_B
C3
Vint
T7
T10
T11
EM
L1
L3
VSS
Vint
Resct
VSS

图 1

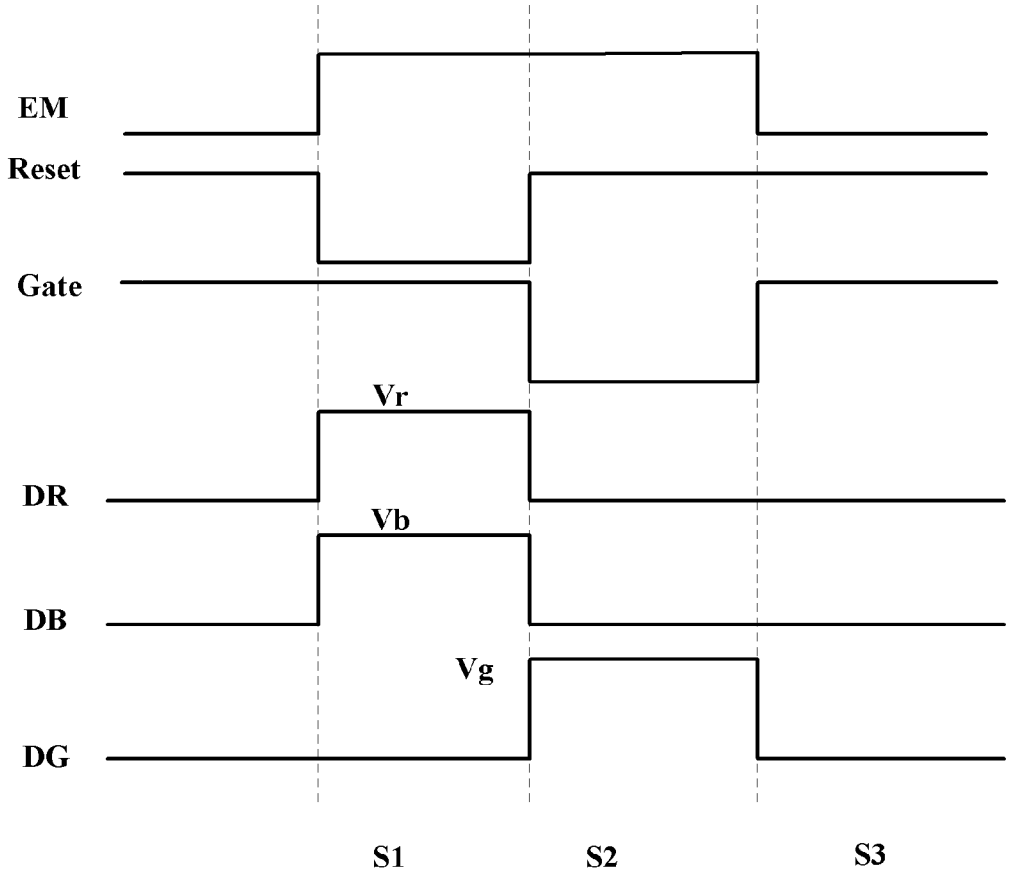


图 2

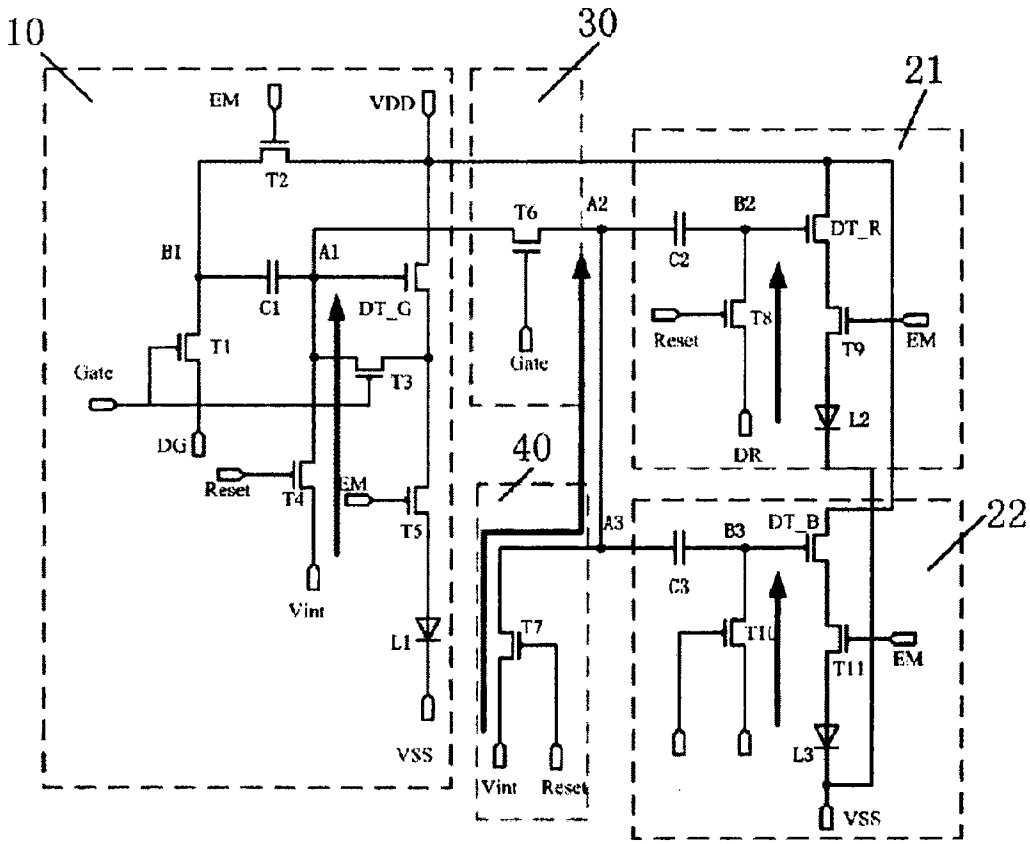

10
30
21
22
40
EM
VDD
T2
T6
A2
B2
DT_R
C2
B1
A1
C1
DT_G
T1
Gate
T3
Gate
Reset
T8
T9
EM
L2
DR
DG
Reset
T4
EM
T5
A3
B3
DT_B
C3
Vint
T7
T10
T11
EM
L1
L3
VSS
Vint
Reset
VSS

图 3a

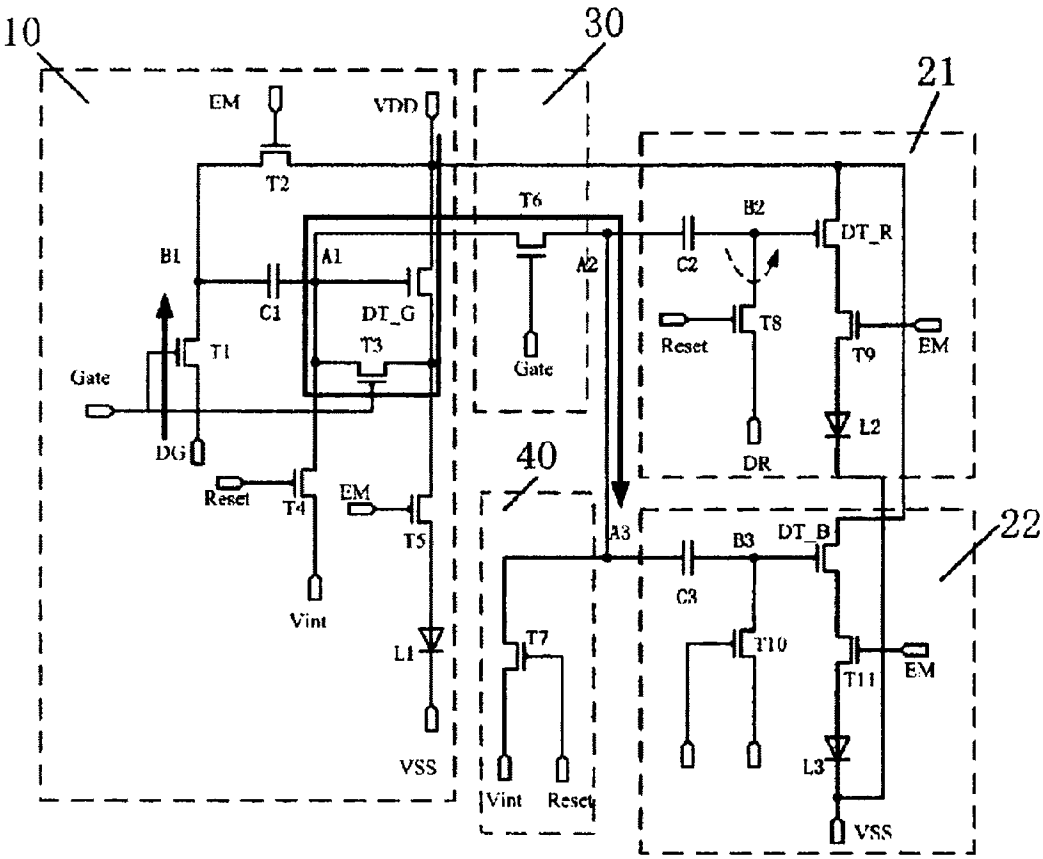

10
30
21
22
40
EM
VDD
T2
T6
B1
A1
C1
DT_G
T3
T1
Gate
DG
Reset
T4
EM
T5
Vint
L1
VSS
A2
Gate
C2
B2
DT_R
Reset
T8
T9
EM
DR
L2
A3
B3
DT_B
C3
T10
T11
EM
L3
VSS
T7
Vint
Reset

图 3b

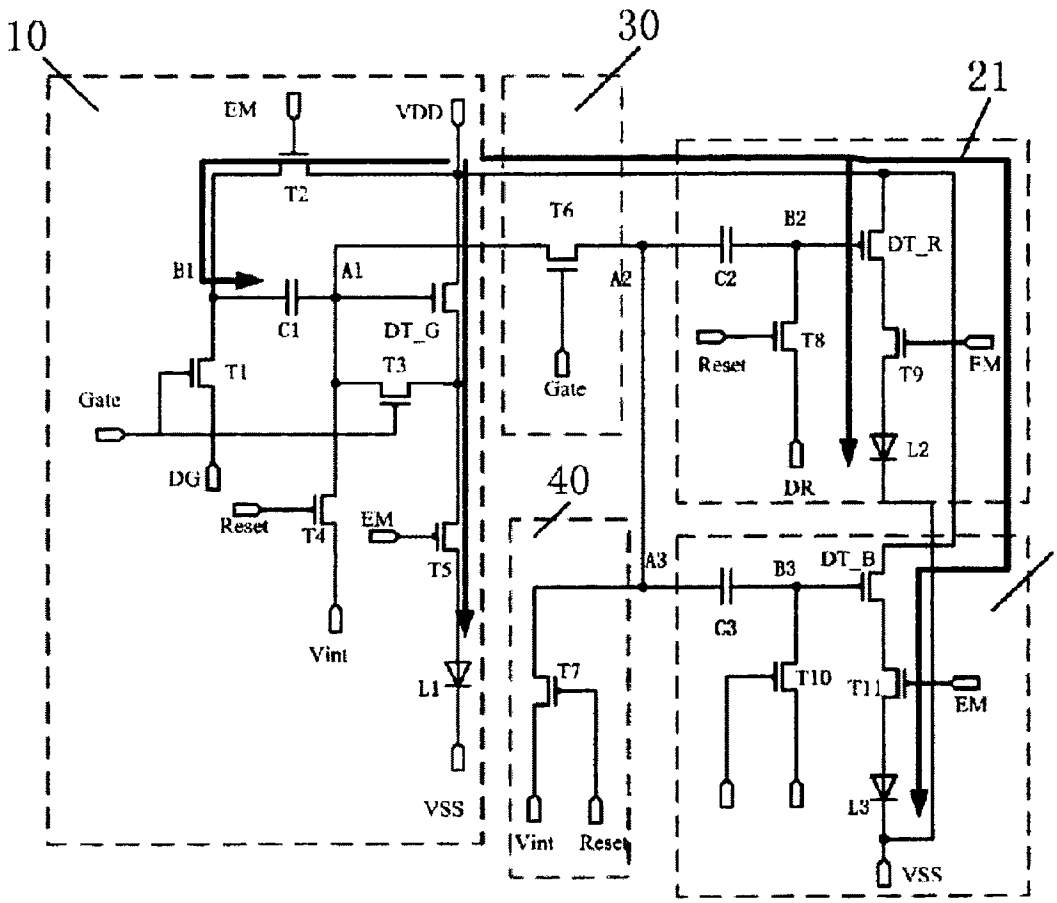

10
30
21
40
EM
VDD
T2
T6
B2
DT_R
B1
A1
C1
DT_G
A2
C2
T8
T9
EM
T1
T3
Gate
Gate
Reset
DG
L2
DR
Reset
T4
EM
T5
A3
B3
DT_B
C3
Vint
T7
T10
T11
EM
L1
L3
VSS
Vint
Reset
VSS

图 3c

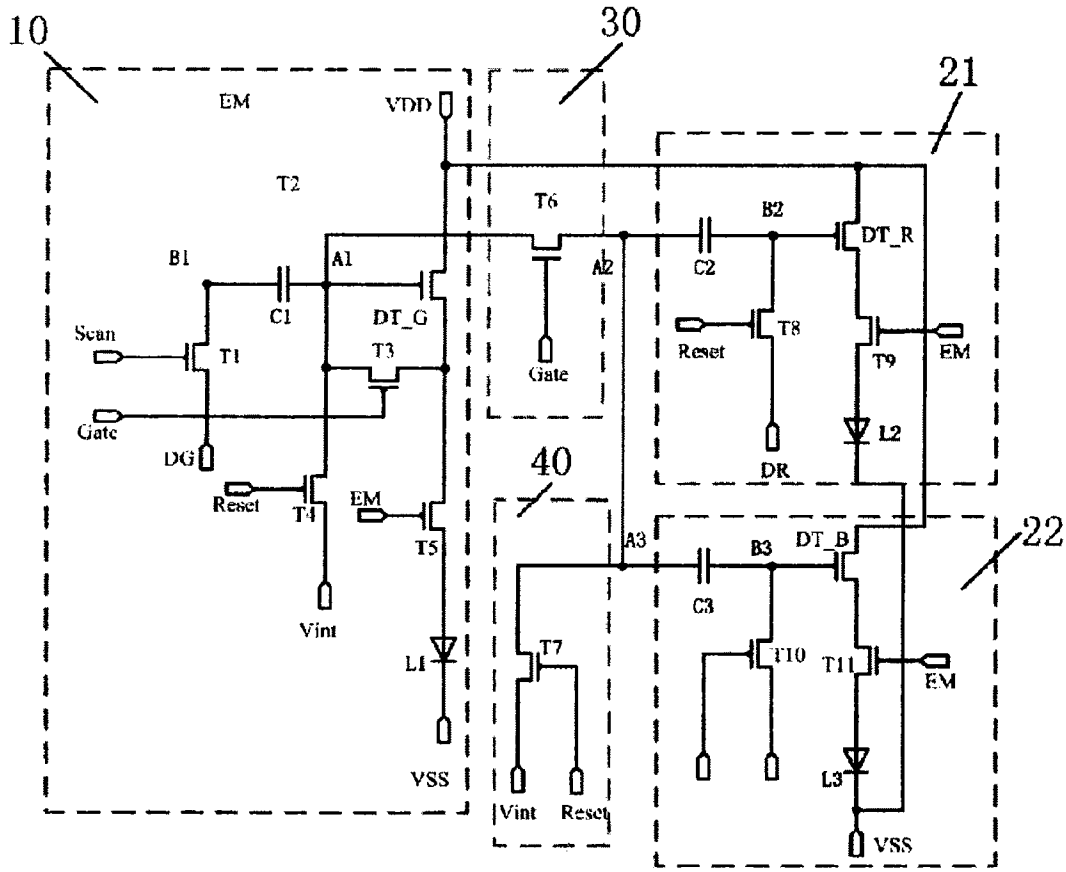

10
30
21
40
22
EM
VDD
T2
T6
B2
DT_R
B1
A1
A2
C2
C1
DT_G
Scan
T1
T3
Gate
T8
Reset
T9
EM
Gate
DG
L2
DR
Reset
T4
EM
T5
A3
B3
DT_B
C3
Vint
T7
T10
T11
EM
L1
L3
VSS
Vint
Reset
VSS

图 4

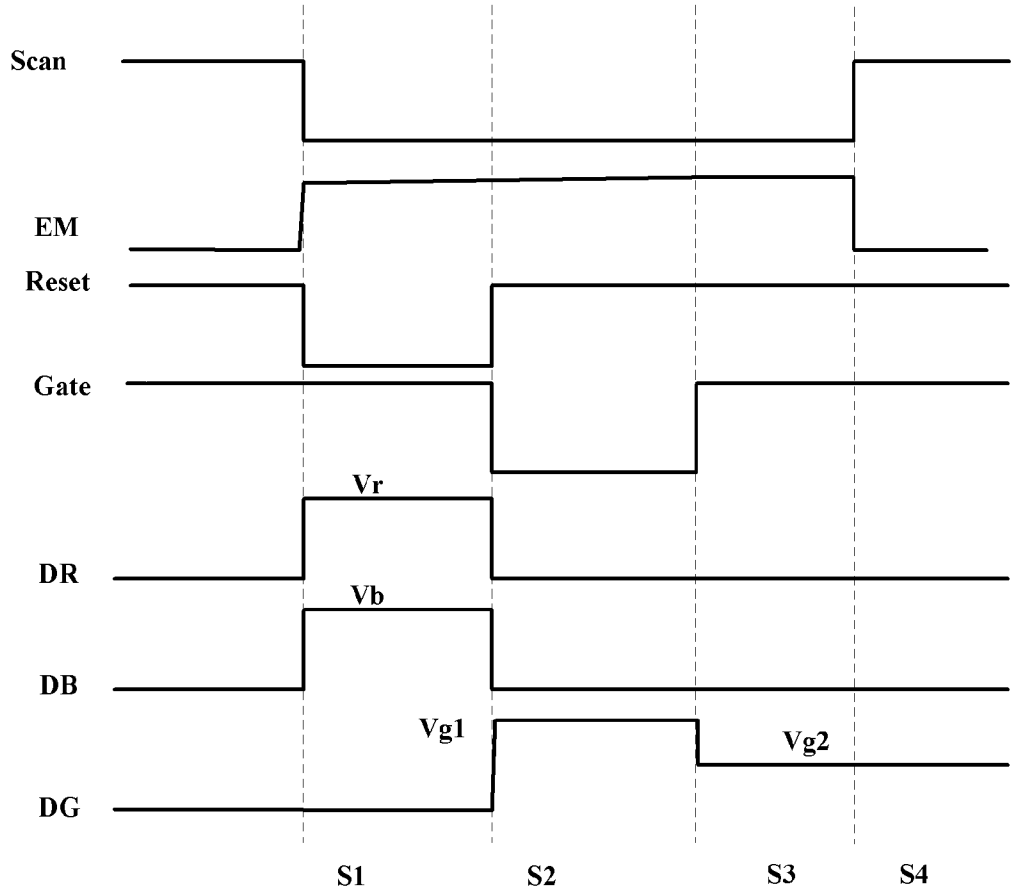


图 5

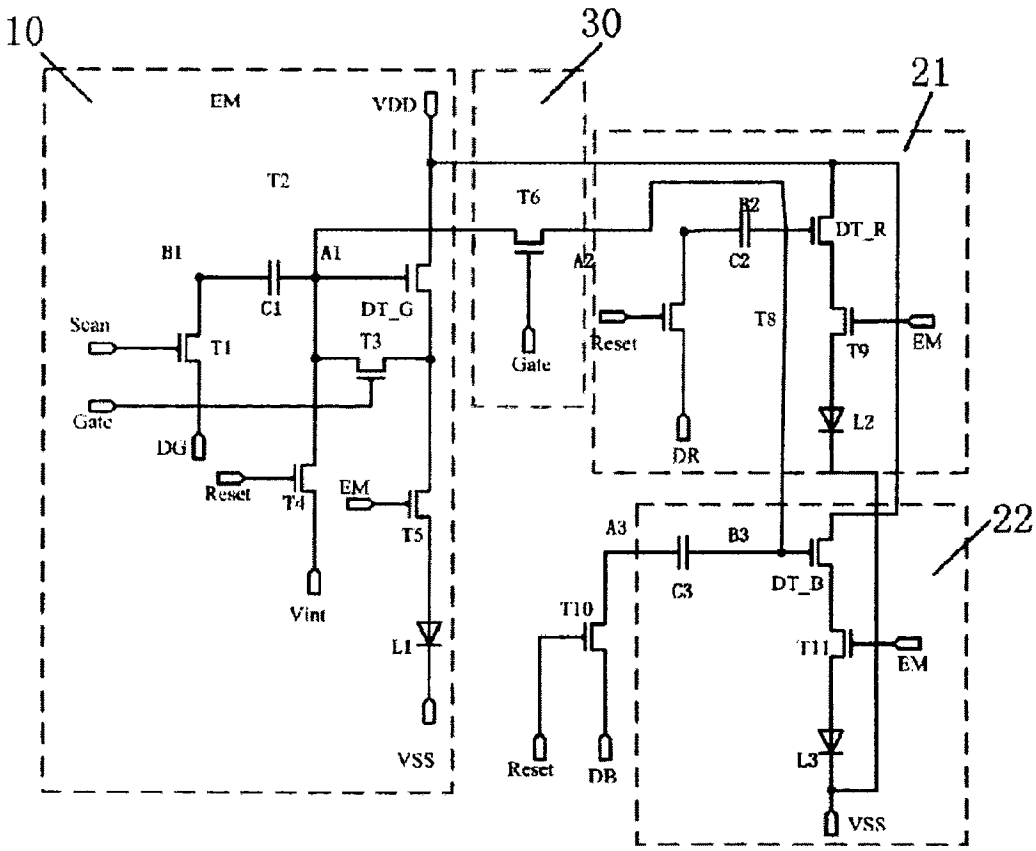

10
30
21
22
EM
VDD
T2
T6
B2
DT_R
B1
A1
C1
DT_G
A2
C2
Scan
T1
T3
Gate
T8
T9
EM
Reset
Gate
L2
DG
DR
Reset
T4
EM
T5
A3
B3
C3
DT_B
T10
T11
EM
Vint
L1
Reset
DB
L3
VSS
VSS

图 6

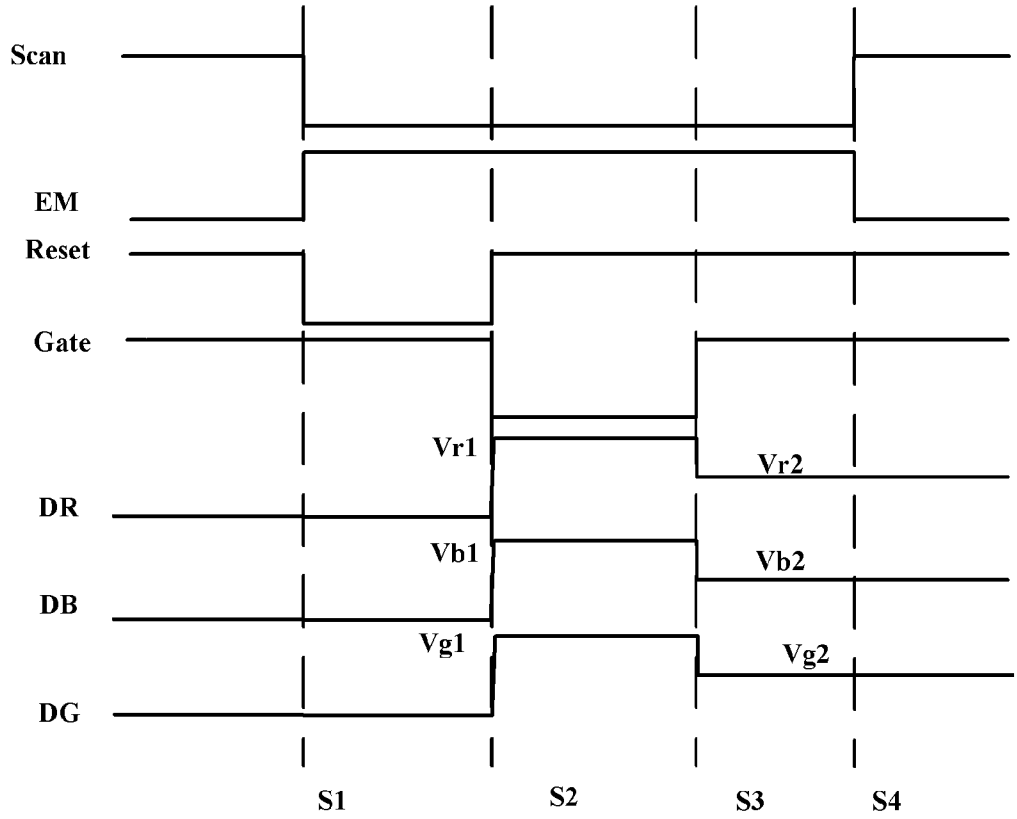


图 7

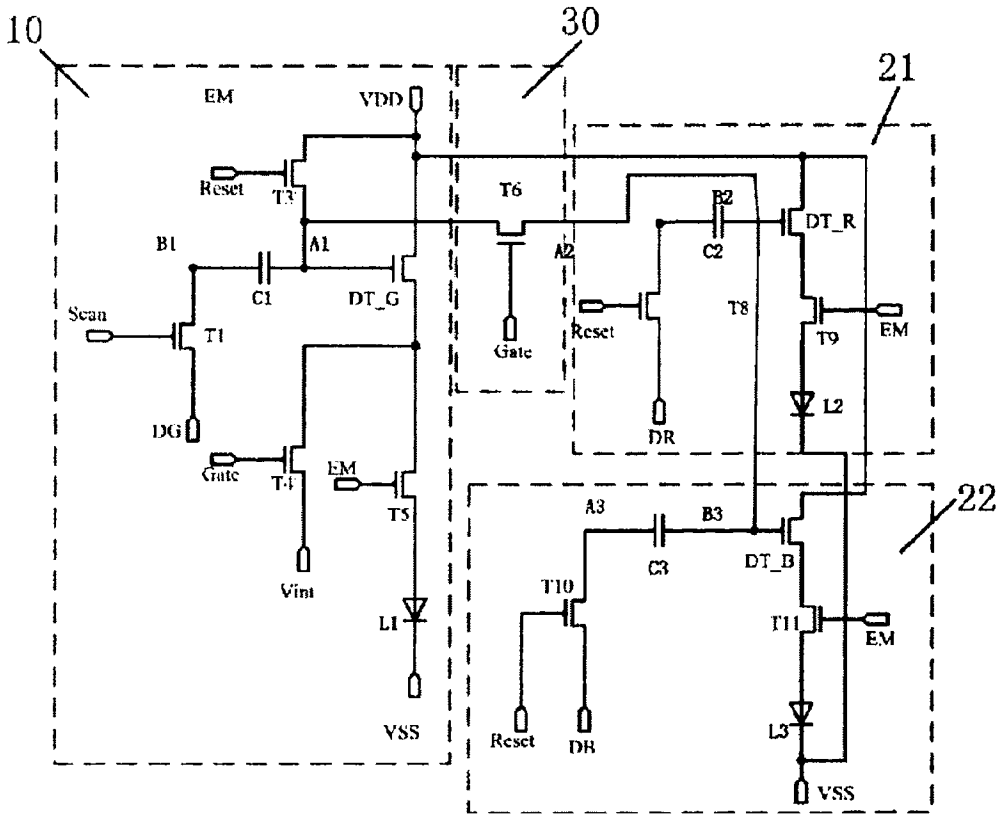

10
30
21
22
EM
VDD
Reset
T7
T6
B2
DT_R
B1
A1
A2
C2
C1
DT_G
Scan
T1
Gate
Reset
T8
T9
EM
L2
DR
DG
Gate
T4
EM
T5
A3
B3
C3
DT_B
Vint
T10
T11
EM
L1
VSS
Reset
DB
L3
VSS

图 8

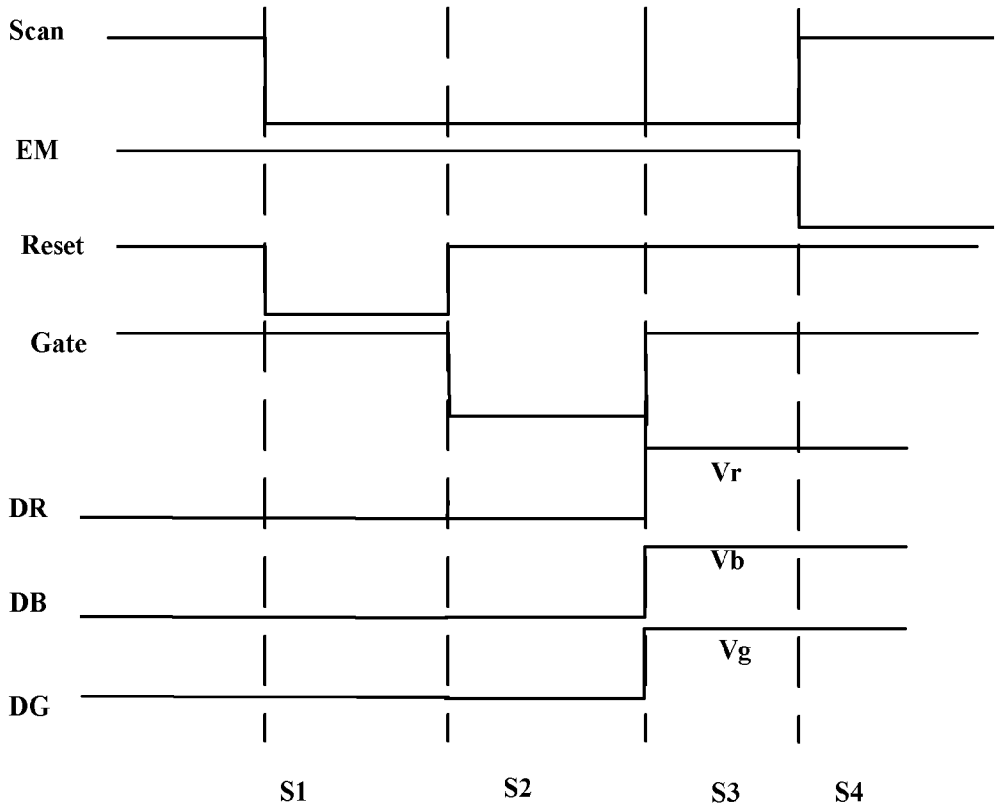


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/075371

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: threshold voltage, second pixel, second subpixel, drive transistor, modula+, subpixel, pixel, rectif+, regulat+, driv+, offset, transistor?, float, voltage, excursion, mendation, drift, threshold, second, adjust+, compensat+, revis+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104078004 A (BOE TECHNOLOGY GROUP CO., LTD.; BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 October 2014 (01.10.2014), description, paragraphs [0030]-[0040], and figures 1-3	1, 2, 11, 12
A	CN 104078004 A (BOE TECHNOLOGY GROUP CO., LTD.; BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 01 October 2014 (01.10.2014), the whole document	3-10
X	CN 104091559 A (BOE TECHNOLOGY GROUP CO., LTD.; BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 October 2014 (08.10.2014), description, paragraphs [0064]-[0096], and figure 3	1, 2, 11, 12
A	CN 104091559 A (BOE TECHNOLOGY GROUP CO., LTD.; BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 08 October 2014 (08.10.2014), the whole document	3-10
PX	CN 104318898 A (BOE TECHNOLOGY GROUP CO., LTD.), 28 January 2015 (28.01.2015), claims 1-12	1-12

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 June 2015 (17.06.2015)	**01 July 2015 (01.07.2015)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LI, Jun** Telephone No.: (86-10) **62085773**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/075371

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 204117568 U (BOE TECHNOLOGY GROUP CO., LTD.), 21 January 2015 (21.01.2015), claims 1-11	1-12
A	WO 2004097782 A1 (KONINKL PHILIPS ELECTRONICS NV et al.), 11 November 2004 (11.11.2004), the whole document	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/075371

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104078004 A	01 October 2014	None	
CN 104091559 A	08 October 2014	None	
CN 104318898 A	28 January 2015	None	
CN 204117568 U	21 January 2015	None	
WO 2004097782 A1	11 November 2004	KR 20060015571 A	17 February 2006
		JP 2006525539 A	09 November 2006
		EP 1627372 A1	22 February 2006
		US 2006208971 A1	21 September 2006
		US 7551164 B2	23 June 2009

国际检索报告

国际申请号
PCT/CN2015/075371

A. 主题的分类

G09G 3/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNABS;VEN:偏移，漂移，阈值电压，补偿，第二像素，第二子像素，驱动晶体管，modula+，subpixel，pixel，rectif+，regulat+，driv+，offset，transistor?，float，voltage，excursion，mendation，drift，threshold，second，adjust+，compensat+，revis+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 104078004 A (京东方科技集团股份有限公司 北京京东方光电科技有限公司) 2014年 10月 1日 (2014-10-01) 说明书[0030]-[0040]段和附图1-3	1，2，11，12
A	CN 104078004 A (京东方科技集团股份有限公司 北京京东方光电科技有限公司) 2014年 10月 1日 (2014-10-01) 全文	3-10
X	CN 104091559 A (京东方科技集团股份有限公司 北京京东方光电科技有限公司) 2014年 10月 8日 (2014-10-08) 说明书[0064]-[0096]段和附图3	1，2，11，12
A	CN 104091559 A (京东方科技集团股份有限公司 北京京东方光电科技有限公司) 2014年 10月 8日 (2014-10-08) 全文	3-10
PX	CN 104318898 A (京东方科技集团股份有限公司) 2015年 1月 28日 (2015-01-28) 权利要求1-12	1-12

☑ 其余文件在C栏的续页中列出。　　☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 6月 17日	2015年 7月 1日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	受权官员 李军 电话号码 (86-10)62085773

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告

国际申请号
PCT/CN2015/075371

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 204117568 U（京东方科技集团股份有限公司）2015年 1月 21日（2015 - 01 - 21） 权利要求1-11	1-12
A	WO 2004097782 A1（KONINKL PHILIPS ELECTRONICS NV等）2004年 11月 11日（2004 - 11 - 11） 全文	1-12

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/075371

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	104078004	A	2014年 10月 1日	无			
CN	104091559	A	2014年 10月 8日	无			
CN	104318898	A	2015年 1月 28日	无			
CN	204117568	U	2015年 1月 21日	无			
WO	2004097782	A1	2004年 11月 11日	KR	20060015571	A	2006年 2月 17日
				JP	2006525539	A	2006年 11月 9日
				EP	1627372	A1	2006年 2月 22日
				US	2006208971	A1	2006年 9月 21日
				US	7551164	B2	2009年 6月 23日