

408467

公告

申請日期	86年12月30日
案號	86110081
類別	HALL 7.11.18

A4  
C4

408467

(以上各欄由本局填註)

發  
新  
型  
專  
利  
說  
明  
書

一、發明 名稱	中 文	在引線與晶片之間具有黏著劑的半導體裝置及其製法
	英 文	Semiconductor device having adhesive between lead and chip, and method of manufacture thereof
二、發明 創作人	姓 名	(1) 增田正親 (2) 杉山道昭
	國 籍	(1) 日本                      (2) 日本 (1) 日本國埼玉縣所沢市北岩岡六二〇一一五
	住、居所	(2) 日本國東京都豊島區高田三一四〇一四
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(2) 日立超愛爾·愛斯·愛工程股份有限公司 日立超エル·エス·アイ·エンジニアリング株式会社 (1) 日本                      (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 日本國東京都小平市上水本町五丁目二〇番 一號
	代 表 人 姓 名	(1) 金井務 (2) 鈴木仁一郎

裝

訂

線

408467

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

日本 1997年 1月 16日 9-005134 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

本發明關於一種半導體裝置，尤其是關於一種能夠應用於具有晶上引線(lead-on-chip)(LOC)封裝結構之半導體，其中引線之內引線部是配置於密封在封裝主體之半導體晶片的主表面上。

在表面安裝LSI(大型積體電路)封裝中，包含一種LOC結構的封裝。此封裝透過黏著帶(即，黏著劑與絕緣層，該絕緣層也作為基膜使用)而使其引線之內引線部配置於封膠有模製樹脂之半導體晶片的主表面上(裝置-形成表面)，其中引線之內引線部電器連接到具有金線之半導體晶片的接合墊上。其中LOC結構之封裝是揭示於日本公開特許申請案第218139/1986(其美國對應案為USP第4,943,843號)或是第236130/1986號，等等。

近年來，在要求日益小型化之工程工作站或個人電腦以高速來處理大量資料的情況下，已著手一種記憶體模組堆疊記憶體裝置，以符合大容量記憶體(RAM:隨機存取記憶體)之要求。

一種已知的堆疊記憶體模組具有一種堆疊著諸如TSOP(薄小外形封裝)及TSOJ(薄小外形J引線封裝)等之數個薄的LSI封裝結構，而且對應於上、下封裝之引線是以焊錫相連接。日本特許公開申請案第175406-1993號揭示一種技術，該技術藉由向上彎曲TOSJ引線的中間部，並且水平延伸該引線之彎曲部，以利堆疊上、下封裝的引線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 五、發明說明(2)

### 發明概述

在上述 LOC 結構封裝中，位於半導體晶片與內引線部分之間的絕緣層黏著帶之基膜具有約為  $50 \mu\text{m}$  的厚度，這是阻礙減少封裝厚度的原因之一。當利用 LOC 結構封裝來製造堆疊記憶體模組時，基膜也是減少模組厚度時的一個障礙。

另外，因為基膜佔據封裝中相當大的區域，且由於基膜會吸收溼氣，所以在模組樹脂中會產生回流破裂。

本發明的目的是要提供一種有助於減少半導體裝置（包含 LOC 結構封裝）之厚度的技術。

本發明的另一個目的是要提供一種降低半導體裝置（包含 LOC 結構封裝）之製造成本的技術。

本發明的另一個目的是要提供一種增進半導體裝置（包含 LOC 結構封裝）之可靠度與產率的技術。

本發明的另一個目的是要提供一種有助於減少堆疊記憶體模組（包含使用 LOC 結構封裝的堆疊記憶體模組）之厚度的技術。

藉由下列的說明及參考圖示將使本發明之目的及特性更為清楚明瞭。本發明所揭示於說明書中的個別態樣將簡述如下。這些用於說明本發明的個別態樣並不是用來限制本發明的範圍，本發明應由申請專利範圍所定義。

本發明之半導體裝置是藉由 LOC 結構封裝而加以說明的，其中引線的內引線部分是位於密封在封裝體內之半導體晶片的主表面上，而且內引線部分透過線體而電器連接半導體晶片之主表面上的接合墊，並且以非導電黏著劑接合

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(3)

於半導體晶片的主表面。本發明僅使用非導電性的黏著層而不使用基膜(例如,也不使用絕緣、非黏著材料層)。因此,根據本發明,單一黏著層(可具有多層黏著層或是單一黏著層)將內引線部分接合於半導體晶片,而且可以與內引線部分以及半導體晶片兩者接觸,以提供接合。在任何情況下,黏著層並不包含基膜(非黏著絕緣層),以便減少封裝半導體裝置的厚度。

非導電黏著劑無法施加於以特定距離而配置於半導體晶片主表面與內引線部分之間的區域內。

在本發明之半導體裝置中,至少一部份的黏著劑需要施加於半導體晶片之主表面中的邊緣部分。

在本發明的半導體裝置中,從封裝體的側邊向外延伸之引線的外引線部分是彎曲的,所以該封裝是表面可安裝的,部分的外引線設有向上斜伸的延伸部。

本發明之半導體裝置兩側具有一對止動器,該止動器在每個引線之外引部兩側以寬度方向而朝向封裝體的頂面延伸,而該引線從封裝體的側邊向外延伸。

在本發明之半導體裝置中,每個外引線部之底端的寬度比向上斜伸之延伸部的寬度更窄。

在本發明之半導體裝置中,連接於引框之外引線部的擋板是彎曲的,以形成止動器。

本發明之半導體裝置亦為一種LOC結構的封裝,其中引線的內引線部分是位於密封在封裝體內之半導體晶片的主表面上,而且內引線部分是電氣連接在一起的,其中內引

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

線部分是以非導電黏著劑而接合於半導體晶片的主表面。

本發明之半導體裝置具有多晶片模組結構，其中兩個或兩個以上的LOC結構封裝是堆疊於印刷電路板的垂直方向（或是包夾一個印刷電路板）。

## 圖示簡單說明

圖1係本發明第一實施例之半導體裝置的平面圖。

圖2係沿著圖1之II - II'線所取出的剖面圖。

圖3係顯示本發明第一實施例之半導體裝置之尺寸的說明圖。

圖4係第一實施例之半導體裝置的平面圖，顯示其製造之處理。

圖5係第一實施例之半導體裝置的平面圖，顯示其製造之處理。

圖6係第一實施例之另一個半導體裝置的平面圖，顯示其製造之處理。

圖7係第一實施例之半導體裝置的平面圖，顯示其製造之處理。

圖8係第一實施例之半導體裝置的剖面圖，顯示其製造之處理。

圖9係第一實施例之半導體裝置的平面圖，顯示其製造之處理。

圖10係第一實施例之半導體裝置的剖面圖，顯示其製造之處理。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

圖 11 係第一實施例之半導體裝置的平面圖，顯示其製造之處理。

圖 12 係第一實施例之半導體裝置的剖面圖，顯示其製造之處理。

圖 13 係安裝於印刷電路板上之第一實施例之半導體裝置的剖面圖。

圖 14 係安裝於印刷電路板上之第一實施例之另一個半導體裝置的剖面圖。

圖 15 係本發明第二實施例之半導體裝置的剖面圖。

圖 16 係顯示第二實施例之部分半導體裝置的剖面圖。

圖 17 係本發明第三實施例之半導體裝置的立體圖。

圖 18 係本發明第三實施例之半導體裝置的剖面圖。

圖 19(a) 及 19(b) 係第三實施例之半導體裝置的平面圖，顯示其製造之處理。

圖 20 係顯示利用第三實施例之半導體裝置之堆疊型記憶體模組之實例的立體圖。

圖 21 係顯示利用第三實施例之半導體裝置之堆疊型記憶體模組之製造處理的說明圖。

圖 22 係顯示利用第三實施例之半導體裝置之堆疊型記憶體模組之製造處理的說明圖。

圖 23 係顯示利用第三實施例之半導體裝置之堆疊型記憶體模組之另一個實例的立體圖。

圖 24 係本發明第四實施例之半導體裝置的平面圖。

圖 25 係第四實施例之半導體裝置的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

圖 26 係本發明第五實施例之半導體裝置的剖面圖。

圖 27 係本發明另一個實施例之半導體裝置的剖面圖。

圖 28 係本發明另一個實施例之半導體裝置的剖面圖。

圖 29 係本發明另一個實施例之半導體裝置的平面圖。

圖 30 係本發明另一個實施例之半導體裝置的平面圖。

圖 31 係本發明另一個實施例之半導體裝置的平面圖。

圖 32 係另一個記憶體模組實例的剖面圖，其具有電氣連接於印刷電路板上的多個半導體裝置。

## 主要元件對照表

- 1 封裝體
- 1A 封裝裝置
- 1B 封裝裝置
- 2 半導體晶片
- 3 止動器
- 3A 擋板
- 5 引線
- 5A 內引線部
- 5B 外引線部
- 5B-b 延伸部
- 5B-d 引線端部
- 5X 支持引線
- 5Y 虛引線
- 6 黏著劑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

- 6A 黏著劑
- 7 金線
- 8 接合墊
- 9 印刷電路板
- 10 電極
- 11 被動膜
- 12 聚合物膜
- 13 電路板
- 15 突起電極
- 16 鋁箔
- 61 導體

## 發明詳細說明

現將參照圖示來加以詳述本發明之較佳實施例。這些較佳實施例僅作為說明之用，且不是用來限制本發明的範圍，本發明應由申請專利範圍所定義。

## 〔實施例1〕

圖1為第一實施例之半導體裝置的平面圖，而圖二為沿著圖1之II - II'線所取出的剖面圖。圖1並不顯示封裝體之部分，以便顯示出封裝的內部結構。

本發明之半導體裝置是一種TSOJ（薄小外型之J引線封裝），其為一種表面安裝LSI封裝。

單晶矽半導體晶片2是密封於以轉移模製法所形成之環

## 五、發明說明(8)

氧樹脂的封裝體1中，其中製造出例如DRAM（動態隨機存取記憶體）的記憶體LSI。形成TSOJ之外接端子的引線5使其內引線部5A排列於半導體晶片2的主表面上。引線5是由銅或鐵合金所製成，且透過金線7而電氣連接於半導體晶片2之主表面之中央部位上的接合墊8。

如圖2所示，引線5的內引線部5A是以非導電黏著劑6而接合於半導體晶片2。亦即，TSOJ使其內引線部5A及半導體晶片2僅透過非導電黏著劑6而接合在一起，而不須提供一種位於內引線部與晶片之間且含有基膜的厚絕緣帶。例如，非導電黏著劑6可以熱塑性聚合樹脂。或者是，非導電黏著劑6可為熱固性環氧樹脂或熱塑性環氧樹脂。

引線5的外引線部5B從封裝體1之長邊向外延伸。如圖2所示，每個外引線部5B具有從封裝體1之近中央部位（以厚度方向（垂直方向））水平延伸的部分（5B-a）、向上斜深的延伸部（5B-b）、垂直延伸（如：向下）的部分（5B-c）以及半圓形彎曲的引線端部（5B-d）。因此，外引線部5B形成所謂的J形形狀。外引線部5B便因此具有比一般TSOJ之外引線部更長的總長度，使得外引線部5B具有向上斜伸的延伸部（5B-d）。

圖3顯示出以厚度方向所測得之TSOJ部的外形實例。這些外形僅作為說明之用而不作為限制本發明之用。從封裝體1底面到半導體晶片2底側之樹脂厚度（ $\Delta Ta$ ）為0.1mm，半導體晶片2之厚度（ $\Delta Tc$ ）為0.28mm，而從半導體晶片2頂面到封裝體1頂面之厚度（ $\Delta Tb$ ）為0.22mm。因此，封裝

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

## 五、發明說明(9)

體1的總厚度為0.6mm。引線5之厚度為0.07-0.125mm，黏著劑6之厚度為0.01mm，且封裝體1底面到外引線部5B中最低位置之間的間隔( $\Delta s$ )為0.03mm。外引線部5B之斜伸部與水平夾角為 $\theta$ (平行於封裝體1的頂面)，其中 $\tan \theta = 0.35$ 。

為了組裝本實施例，第一步驟是要準備如圖4所示的引線框LF。雖然實際的引線框LF具有5或6個封裝的多重封裝結構，但為說明之便，圖示中僅顯示一個封裝的區域。

接著，黏著劑6藉由分配器而施加於引線框LF之內引線部5A的背面。分配器可以是具有小開口的噴嘴。黏著劑6可以施加於內引線部5A的整個背面，或是如圖5所示之內引線部的整個背面；然而，黏著劑6也可施加於每個內引線部5A之兩個或三個點上(如圖6所示)，以減少黏著劑6所使用的量及其使用時間。在此，為了方便說明(而非限制本發明之範圍)，內引線部具有0.3mm的寬度，而黏著點(如：沿著內引線部之中點而集中)具有0.2mm的直徑。所施加的黏著劑可具有 $10 \mu m$ 的厚度；在曬乾時，黏著劑可具有 $0.8 \mu m$ 的厚度。若不使用分配器來施加黏著劑的話，也可將精確切割成對應於內引線部5A之大小的黏著層放置於內引線部5A上。黏著劑在晶片的邊緣上必須具有至少 $100 \mu m$ 的長度(於內引線部所延伸的方向)，以提供晶片與內引線部之間的對齊區(如圖所示，黏著劑在晶片邊緣之上延伸 $50 \mu m$ )。

接著，如圖7與8所示，內引線部5A是位於半導體晶片2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(10)

的主表面上，其後，內引線部5A與半導體晶片2是藉由黏著劑6而接合在一起。然後，如圖9與10所示，金線7是接合於（如，利用習之技術所使用的熱聲thermosonic或超聲ultrasonic接合法）半導體晶片2的接合墊8以及內引線部5A，以便將其電氣連接。黏著劑最好位於內引線之下，且其中金線7與內引線部相接合的位置上（見圖29）。

接著，如圖11與12所示，封裝體1是利用已知的轉移模製法所形成，以便密封該半導體晶片2。然後，除了外引線部5B之外，切割並移除封裝體1所暴露的引線框LF部份。然後形成外引線部5B並完成圖1與2所示的TSOJ。

圖13是顯示安裝於印刷電路板9上之TSOJ實施例的剖面圖。爲了將TSOJ安裝於電路板9，事先塗拭有焊錫的外引線部5B必須定位於電路板9的電極10上。如習之技術所知，焊錫膏是塗敷於電極10上，以便利用焊錫膏的黏著力而暫時將外引線部5B固定於電極10。或者是，在外引線部5B固定於電極10之後，藉由加熱以使外引線部5B表面上所塗敷的焊錫稍微融化，以便暫時將其固定。參見圖14，當將TSOJ安裝於電路板9之背面（底側）時，基本接合樹脂是施加於電路板9與TSOJ的背面，然後加以烘烤，以便將TSOJ定位與固定。在此情況下，塗敷焊錫是回焊的。在圖14所示之TSOJ實施例中，可將封裝體1以面朝下的方式來安裝，而不須改變外引線部5B的形狀。

對於本實施例的TSOJ而言，因爲引線5的內引線部5A是藉由黏著劑6而與半導體晶片2接合在一起，因此不須提供

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(11)

引線與晶片之間的基膜，所以封裝體1的厚度可以減少一個相當於基膜厚度的大小。封裝體1的厚度為0.6mm，因此本實施例之TSOJ可以適用於IC卡中而具有0.76mm的標準厚度。

本實施例之TSOJ比採用絕緣帶之TSOJ(如，在絕緣(基)膜兩側具有黏著層)具有更少的元件，因此可以低製造成本來加以生產。

在本實施例之TSOJ中，因為封裝體1之內並不密封有高溼氣吸收性的基膜(不同於採用絕緣帶的TSOJ)，所以不會輕易產生回焊破裂，否則當TSOJ安裝於電路板時，便會由於熱而產生該回焊破裂。另外，如圖6所示，當黏著劑6施加於點狀區域時，可減少黏著劑6所吸收之溼氣的量，進而增進回焊破裂的抗性。

因為外引線部5B設有向上的斜伸部，所以增加其整體長度，藉此增進外引線部5B的彈性。在封裝體安裝於電路板的期間，外引線部5B的彈性吸收了由於焊接所造成之溫度週期而產生的應力，因而在進行電路板9之電極10與外引線部5B之間的連接時，可避免焊錫破裂的發生。

## 〔實施例2〕

圖15顯示本實施例之半導體裝置的剖面圖，而圖16顯示圖15之部份的放大剖面圖。

在本實施例中，將引線5之內引線部5A與半導體晶片2接合在一起的部份的黏著劑6是位於半導體晶片2主表面的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

邊緣部份。

如圖16的放大圖所示，半導體晶片2的主表面通常是覆蓋著最終被動膜11以及聚合物膜12，用以保護基體電路。最終被動膜11（如氮化矽或氧化矽）是用來防止溼氣從半導體晶片與引線外部而接觸到晶片與引線。聚合物膜12是用來防止阿法粒子進入到晶片內以避免發生軟性錯誤，並且防止轉移模製樹脂中的填充劑（如 $\text{SiO}_2$ ）破壞被動膜。當處理過的晶圓切割成半導體晶片2時，為了避免氮化矽膜之最終被動膜11或是阿法射線阻隔聚合物膜12的破裂，所以這些膜不可形成於半導體晶片2的主表面端（亦即，這些膜11與12並不設於方塊切割區，也就是將晶圓切割成以形成半導體晶片的區域內）。

因此，降低黏著劑6的厚度會引發一個危險，亦即內引線部5A的下表面會與半導體晶片2之主表面的邊緣部份接觸，因而造成短路失敗。另外，因為矽基底表面是暴露於半導體晶片2的側面，所以內引線部5A與半導體晶片2可能因為封裝之外來導電因素或是內引線部5A之變形而造成短路現象。

因此，即使當黏著劑6很薄時，將半導體晶片2之主表面的邊緣部份覆蓋著非導電黏著劑6可有效防止內引線部5A與半導體晶片2之間的短路失敗。如圖15與16所示，黏著劑必須延伸於半導體晶片2的邊緣之上；黏著劑6可以設於引線上，使得當引線定位於晶片上時，黏著劑可以延伸於半導體晶片的邊緣之上。參見分別對應於圖5與6的圖30與31

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

### 五、發明說明(13)

顯示出以破折線所示之延伸於晶片位置之上的黏著劑6A

。

#### { 實施例3 }

圖17為本實施例之半導體裝置的立體圖，而圖18是本半導體裝置的剖面圖。

本實施例之TSOJ具有一對止動器3, 3, 該止動器從引線5之外引線部5B之相對於寬度方向的兩端向上延伸，而該引線5在延伸部向上斜伸。這些止動器3, 3雖然可以不同於引線5的材料所製成，但在本實施例中卻是利用與引線5相同的材料所製成。尤其是如圖19(a)所示，在模製封裝體1之後的引線框切割處理期間，連接於外引線部5B的擋板3A是切割成如圖所示的形狀。然後，如圖19(b)所示，切割後的擋板彎曲成止動器3。為了說明起見（但不藉此限制），每個止動器3延伸至引線上約0.12-0.2mm的高度。

圖20是堆疊形記憶體模組的立體圖，其中兩個本實施例之TSOJ是彼此堆疊在一起，而且兩列這種堆疊封裝是位於印刷電路板9上。而圖20顯示兩個堆疊的封裝，本發明並佈線至於一個堆疊僅具有兩個TSOJ，而是一個堆疊中可具有多個TSOJ。

堆疊形記憶體模組是如下所組裝的。如圖21所示，第一TSOJ是根據第一實施例所述的處理而安裝於印刷電路板9的電極10上，然後第二TSOJ則堆疊於第一TSOJ上，其中第二TSOJ之外引線部5B的下端是位於第一TSOJ的外引線部5B

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(14)

上。第二TSOJ之外引線部5B的下端可事先塗敷著焊錫膏，使得當上、下外引線部5B堆疊在一起時，兩者可以藉由焊錫膏的黏著力而暫時固定在一起。

因為在本實施例的TSOJ中，止動器3, 3是設於每個外引線部5B之厚度方向彼此相對的兩端，所以第二TSOJ之外引線部5B的下端可以利用作為導引件的止動器3, 3而精確且快速地定位於第一TSOJ的外引線部5B上。如圖22所示，每個外引線部5B之下端（即，半圓形彎曲部）的寬度（ $W_d$ ）要比向上斜伸部的寬度（ $W_b$ ）要小，（亦即， $W_d < W_b$ ）。即使當外引線部5B具有一些變形時，這使得外引線部5B的下端可以快速插入於止動器3, 3之間。

然後，印刷電路板9置於托盤中並且載入於回焊爐中。在該回焊爐中，將塗敷於TSOJ之外引線部5B表面上的焊錫融化，以便將第一TSOJ的外引線部5B固接於印刷電路板9的電極10，並且將上、下TSOJ的外引線部5B彼此連接。

因為第二TSOJ的每個外引線部5B是插入於第一TSOJ之外引線部5B的止動器3, 3之間，所以可防止外引線部5B當載有印刷電路板9之托盤移入回焊爐時所產生之震動而引起之寬度方向（封裝體1的縱長方向）的位移。另外，因為第二TSOJ之外引線部5B的下端就位於第一TSOJ之外引線部5B之向上斜伸部的位置中，所以可防止第二TSOJ的外引線部5B在外引線部5B所延伸的方向上（封裝體1的橫向）發生位移。止動器3, 3不須設於所有從封裝體1中向外延伸的外引線部5B中，而僅需設於某些外引線部5B中。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(15)

在本實施例中，當堆疊多個TSOJ以形成印刷電路板9上的堆疊形記憶體模組時，可以準確且快速地連接上、下TSOJ的外引線部5B，因而增進記憶體模組的產率及產量。

在本實施例中，使用薄的TSOJ可促進降低堆疊形記憶體模組的厚度。

如上可知，可堆疊兩個或兩個以上本實施例之TSOJ。圖23顯示一個堆疊形記憶體模組的實例，其中以多層形式堆疊於印刷電路板9上的多個TSOJ是透過位於堆疊TSOJ兩側之一對電路板13而彼此電氣連接。

### [實施例4]

圖24為本實施例之半導體裝置的平面圖，而圖25為本半導體裝置的剖面圖。

在本實施例的TSOJ中，引線5的內引線部5A是透過金線7而電氣連接至位於半導體晶片2周圍的接合墊8上。引線5的內引線部5A以及半導體晶片2是透過非導電黏著劑6而接合在一起。

本實施例之TSOJ之內引線部5A的長度要比先前第一至第三實施例的TSOJ還短，所以黏著劑6可施加於每個內引線部5A的整個背面，或是每個內引線部5A的一點上。在此情況下，也可如由實施例2一樣，利用黏著劑6來覆蓋半導體晶片2之主表面的邊緣部份，以及將黏著劑6延伸於半導體晶片2的主表面邊緣之上（見圖29之黏著劑6），使得即使減少黏著劑6之厚度的話，也可有效防止內引線部5A以及半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(16)

導體晶片2之間的短路缺陷。另外，如實施例3一樣，藉由提供止動器3，3於外引線部5B的延伸部，可增進堆疊形記憶體模組的產量與產能。

## 〔實施例5〕

圖26為本實施例之半導體裝置的剖面圖。

在本實施例的TSOJ中，引線5之內引線部5A是電氣連接至半導體晶片2主表面上的金突起電極15。引線5的內引線部5A與半導體晶片2是藉由非導電黏著劑6而接合在一起。

與上述第一至第四實施例的TSOJ比較起來，因為突起電極15取代金線7，所以本實施例之TSOJ可以減少從半導體晶片2頂面到封裝體1頂面之樹脂的厚度。這可進一步減少封裝體1的厚度。

在此情況下，也可如由實施例2一樣，利用黏著劑6來覆蓋半導體晶片2之主表面的邊緣部份，以及將黏著劑6延伸於半導體晶片2的主表面邊緣之上，使得即使減少黏著劑6之厚度的話，也可有效防止內引線部5A以及半導體晶片2之間的短路缺陷。另外，如實施例3一樣，藉由提供止動器3，3於外引線部5B的延伸部，可增進堆疊形記憶體模組的產量與產能。

## 〔實施例6〕

圖32為本實施例半導體裝置的剖面圖。

在本實施例中，兩個TSOJ夾著電路板9，而且對應於該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(17)

兩個 TSOJ 的引線藉由延伸穿過電路板的導體 61 而彼此電氣連接。從圖 32 可知，該封裝半導體裝置面向同一個方向，使得一個封裝裝置（封裝裝置 1A）的頂端面向電路板 9，而另一個封裝裝置（封裝裝置 1B）的底端面向電路板。本實施例結合圖 13 與 14 中位於共用電路板 9 相對兩側之結構，並使得個別裝置的引線透過電路板而彼此電氣連接。

藉由將兩個 TSOJ 安裝於如圖 32 所示的共用電路板上，可簡化必要的接線。另外，藉由使用黏著劑 6，可實現較薄的結構。

本發明業以結合上述的較佳實施例而詳述如上。請注意，本發明並不僅局限於上述的實施例，在不脫離本發明之精神的情況下可加以做不同的變更。

例如，即使當提供諸如鋁箔 16 的光反射層於封裝體 1 的表面，以形成非常薄的封裝體 1 時（如圖 27 所示），也可避免由於光之故而產生資料殘留的惡質特性。也請注意，引線 5 之外引線部 5B 的形狀並不限於實施例一至四中的形狀，而可以為不同的形狀，如圖 28 所示。

黏著劑可設於晶片與引線框之每個個引線之間，或是設於晶片與某些引線之間。如圖所示，圖 29 顯示出點狀（點 6A 必須延伸於半導體晶片 2 之主表面的邊緣之上）塗敷的黏著劑 6 是設於支持引線 5X 與晶片 2 之間、虛引線 5Y（在轉移模製期間，用以穩定晶片的長邊，以避免晶片的扭曲）與晶片 2 之間，以及剩餘引線（用以電氣連接於接合墊 8）與晶片 2 之間。然而，黏著劑 6 也可設於 (1) 虛引線與連接於

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(18)

金線之引線以及(2)晶片之間；或就介於連接於金線之引線與晶片之間。

本發明並不僅限於TSOJ封裝，也可廣泛地適用於其他的LOC結構封裝。也可適用於引線上之晶片(chip-on-lead)結構的封裝，其中半導體晶片是安裝於引線的內引線部。另外，本發明之應用不局限於封裝密封記憶體LSI，也適用於密封有微電腦與邏輯LSI的封裝，或是使用該封裝的堆疊形記憶體模組。

本發明所呈現的優點可歸納如下：

本發明之半導體裝置是一種超薄的LSI封裝。

本發明之半導體裝置可降低該超薄LSI封裝的製造成本。

本發明之半導體裝置是一種堆疊形超薄多晶片模組。

本發明之半導體裝置可增進該超薄LSI封裝的可靠度以及產率。

本發明業已參照附圖而加以詳述於上，但並不侷限於上述之細節，這是因為在不脫離本發明的精神與範圍之下，熟悉此技藝者可做任何的修正與變更。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 在引線與晶片中具有黏著劑的半導體裝置及其製法)

本發明揭示一種例如晶上引線(lead-on-chip)型之封裝半導體裝置，該半導體裝置僅藉由引線之內引線部與半導體晶片之間的黏著劑(不使用基膜)來將內引線部黏著於晶片中，以減少其厚度。該黏著劑可覆蓋半導體晶片的切割部，並且通常可覆蓋晶片的邊緣部份(且延伸於晶片邊緣之上)，以防止內引線部與半導體晶片之間的短路。外引線部具有下外部端以及靠近於封裝體且向上斜伸的延伸部；具有位於斜伸部上的止動器；以及具有一斜伸部，其寬度大於外引線部之外端部的寬度；以便於封裝半導體晶片彼此的堆疊，亦即方便安裝於電路板上。封裝半導體晶片具有向上斜伸的延伸部，可面對於相同的方向而安裝於電路板的相對側，藉此簡化裝置的接線。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： SEMICONDUCTOR DEVICE HAVING ADHESIVE BETWEEN LEAD AND CHIP, AND METHOD OF MANUFACTURE THEREOF)

Disclosed is a packaged semiconductor device, e.g., of the lead-on-chip type, having reduced thickness, by providing only an adhesive (without a base film) between inner lead portions of the leads and the semiconductor chip to adhere the inner lead portions to the chip. The adhesive can cover a dicing area of the semiconductor chip, and, in general, can cover edge parts of the chip (and extend beyond the edge of the chip) to prevent short-circuits between the inner lead portions and the semiconductor chip. The outer lead portions have a lower outer end part and a part, closer to the package body, which extends upward obliquely; has stopper members on the obliquely extending part; and has an obliquely extending part with a greater width than a width of the outer end parts of the outer lead portions, to facilitate stacking of packaged semiconductor chips on each other, e.g., for mounting on a printed circuit board. Packaged semiconductor chips having, e.g., outer lead portions with a part that extends upward obliquely, can be mounted on opposed sides of a printed circuit board while facing in the same direction, thereby simplifying wiring of the device.

訂

線

## 六、申請專利範圍

1. 一種半導體裝置，在相鄰於封裝體內之半導體晶片的主表面上具有引線之內引線部，且在半導體晶片的主表面上具有接合墊，該接合墊電氣連接至內引線部，其中內引線部僅藉由非導電黏著劑而接合於半導體晶片的主表面，而不須使用內引線部與半導體晶片之主表面之間的基膜。
2. 如申請專利範圍第1項之半導體裝置，其中至少一部份的非導電黏著劑是連接於半導體晶片之主表面的邊緣部。
3. 如申請專利範圍第2項之半導體裝置，其中該黏著劑延伸於半導體晶片之主表面的邊緣之上。
4. 如申請專利範圍第1項之半導體裝置，其中位於內引線部與半導體晶片之主表面之間的黏著劑具有點狀的圖樣。
5. 如申請專利範圍第1項之半導體裝置，其中位於個別內引線部與相鄰於個別內引線部之半導體晶片的部份主表面之間的黏著劑之圖樣是不連續的。
6. 如申請專利範圍第1項之半導體裝置，其中位於個別內引線部與相鄰於個別內引線部之半導體晶片的部份主表面之間的黏著劑之圖樣是連續的。
7. 如申請專利範圍第1項之半導體裝置，其中黏著劑僅位於內引線部與相鄰於該內引線部之半導體晶片的部份主表面之間。
8. 如申請專利範圍第1項之半導體裝置，其中該接合

## 六、申請專利範圍

墊是藉由接線而電氣連接至該內引線部。

9. 如申請專利範圍第1項之半導體裝置，另外包含從封裝體側面向上延伸彎曲之引線的外引線部，使得封裝體可被表面安裝，而且部份的外引線部設有向上斜伸的延伸部。

10. 一種表面安裝的半導體裝置，包含表面安裝於電路板之如申請專利範圍第9項之半導體裝置。

11. 一種表面安裝的半導體裝置，包含電路板以及兩個如申請專利範圍第9項之半導體裝置，該半導體裝置相鄰位於該電路板的相對表面，每個半導體裝置的主表面面朝上，該兩個半導體裝置分別表面安裝於電路板的相對表面。

12. 如申請專利範圍第11項之表面安裝的半導體裝置，其中該電路板具有延伸穿過其中的導電件，且該兩個半導體裝置的相對外引線部在其相對端電氣連接至同一個導電件。

13. 如申請專利範圍第1項之半導體裝置，另外包含從封裝體側面向上延伸彎曲之引線的外引線部，使得封裝體可被表面安裝。

14. 如申請專利範圍第13項之半導體裝置，其中一對朝向封裝體頂面延伸的止動器是以寬度方向而分設於引線之外引線部的兩端，而該引線從封裝體的側邊向外延伸。

15. 如申請專利範圍第14項之半導體裝置，其中外引線部之下端的寬度窄於接近於封裝體而沿著外引線部之部份外引線部的寬度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

16. 如申請專利範圍第15項之半導體裝置，其中該外引線部包含向上斜伸的延伸部，該延伸部的寬度大於該外引線部之下端的寬度。

17. 一種堆疊半導體裝置，包含至少兩個如申請專利範圍第16項之半導體裝置，其中一個該半導體裝置之外引線部的下端是位於另一個半導體裝置之相對外引線部的止動器上，以便將其中一個半導體裝置堆疊於另一個半導體裝置上。

18. 一種堆疊半導體裝置，包含至少兩個如申請專利範圍第14項之半導體裝置，其中一個該半導體裝置之外引線部的下端是位於另一個半導體裝置之相對外引線部的止動器上，以便將其中一個半導體裝置堆疊於另一個半導體裝置上。

19. 如申請專利範圍第14項之半導體裝置，其中該對止動器是藉由將連接於外引線部之引線框的擋板彎曲而形成。

20. 一種多晶片模組結構，包含多個如申請專利範圍第1項之半導體裝置，而該半導體裝置是垂直堆疊於電路板上。

21. 一種半導體裝置，其中引線之內引線部是相鄰位於密封於封裝體內之半導體晶片的主表面上，而且半導體晶片之主表面上的突起電極是電氣連接於該內引線部，其中該內引線部僅藉由非導電黏著劑而接合於半導體晶片的主表面，而不須使用內引線部與半導體晶片之主表面之間的

## 六、申請專利範圍

基膜。

22. 如申請專利範圍第21項之半導體裝置，其中至少一部份的非導電黏著劑是連接於半導體晶片之主表面的邊緣部。

23. 如申請專利範圍第21項之半導體裝置，其中該非導電黏著劑是施加於半導體晶片之主表面與內引線部之間的多個位置。

24. 一種多晶片模組結構的半導體裝置，其中如申請專利範圍第21項之多個半導體裝置是垂直堆疊於電路板上。

25. 一種半導體裝置，其中引線之內引線部是相鄰位於密封於封裝體內之半導體晶片的主表面上，而且半導體晶片之主表面上的接合墊是電氣連接於該內引線部，其中該內引線部是藉由非導電黏著劑而接合於半導體晶片的主表面，該半導體晶片的主表面的第一部份具有相鄰於此的內引線部，而第二部份則不具有相鄰於此的內引線部，而且非導電黏著劑緊接設於該半導體晶片之主表面的第一部份。

26. 一種半導體裝置，其中引線之內引線部是相鄰位於密封於封裝體內之半導體晶片的主表面上，而且半導體晶片之主表面上的接合墊是電氣連接於該內引線部，其中該內引線部是藉由非導電黏著劑而接合於半導體晶片的主表面，該非導電黏著劑是單層的黏著劑，而且該黏著層是與內引線部及半導體晶片的主表面直接接觸。

27. 一種半導體裝置，包含：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

半導體晶片，其具有形成於半導體晶片之主表面上的接合墊，以及半導體晶片之主表面邊緣上的切割區；

被動膜，其覆蓋於除了該接合墊及切割區之外的主表面上；

封裝體，其封膠著該半導體晶片；

引線，每個引線具有位於封裝體之內的內引線部以及該封裝體的外引線部，該內引線部是相鄰位於該半導體晶片的主表面上；

接合線，每個接合線是電氣連接於一個接合墊及一個引線；以及

非導電黏著劑，其將該引線接合至半導體晶片，其中該黏著劑覆蓋著該引線與半導體晶片之主表面之間的切割區。

28. 如申請專利範圍第27項之半導體裝置，另外包含聚合物膜，其覆蓋著該被動膜，但不覆蓋著該接合墊與切割區。

29. 如申請專利範圍第27項之半導體裝置，其中每個引線的內引線部具有一接合部，以使得該接合線連接於此，而且用以將引線接合至半導體晶片的該黏著劑是相鄰於該接合部。

30. 如申請專利範圍第27項之半導體裝置，該半導體晶片的主表面是一個具有長邊與短邊的四角形，而且該接合墊是位於該主表面之長邊方向上的中央部位。

31. 如申請專利範圍第27項之半導體裝置，該半導體晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

片的主表面是一個具有長邊與短邊的四角形，而且該接合墊是位於該主表面之長邊與短邊方向上的周圍部位。

32. 一種半導體裝置，包含：

具有主表面的半導體晶片，其包括位於半導體晶片之主表面邊緣上的切割區；

被動膜，其覆蓋於除了該切割區之外的主表面上；

封裝體，其封膠著該半導體晶片；

引線，其具有相鄰於該半導體晶片之主表面的第一部份以及延伸於該封裝體之外側的第二部份；以及

非導電黏著劑，其將該引線接合至半導體晶片，其中該黏著劑覆蓋著切割區，並且延伸於該引線與半導體晶片之間。

33. 如申請專利範圍第32項之半導體裝置，其中該封裝體在對應於半導體晶片之主表面的四角形表面上具有長邊與短邊，而且該半導體晶片之主表面具有包括長邊與短邊的四角形，且其中該引線突出於該封裝體的外側，而該封裝體交叉於半導體晶片之主表面的短邊以及該封裝體之四角形表面的短邊。

34. 如申請專利範圍第32項之半導體裝置，其中該封裝體在對應於半導體晶片之主表面的四角形表面上具有長邊與短邊，而且該半導體晶片之主表面具有包括長邊與短邊的四角形，且其中該引線突出於該封裝體的外側，而該封裝體交叉於半導體晶片之主表面的長邊以及該封裝體之四角形表面的長邊。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 六、申請專利範圍

35. 如申請專利範圍第34項之半導體裝置，另外包含形成於該半導體晶片之主表面上的接合墊，以及用以電氣連接該引線與接合墊之接合線。

36. 一種製造半導體裝置的方法，該半導體裝置具有相鄰於半導體晶片之主表面的內引線部，而該內引線部是藉由非導電黏著劑而接合於半導體晶片的主表面，該方法包含下列步驟：

施加非導電黏著劑於內引線部；

在施加非導電黏著劑於內引線部之後，將內引線部定位相鄰於半導體晶片的主表面上；以及

利用黏著劑而將內引線部接合於該半導體晶片。

37. 如申請專利範圍第36項之方法，其中藉由將黏著劑塗敷於內引線部而施加該非導電黏著劑。

38. 如申請專利範圍第36項之方法，其中該黏著劑是施加於面對於半導體晶片之主表面之內引線部的整個表面。

39. 如申請專利範圍第36項之方法，其中該黏著劑是施加於面對於半導體晶片之主表面之內引線部的表面的選擇點上。

40. 如申請專利範圍第36項之方法，其中該內引線部是相鄰位於半導體晶片的主表面，使得該黏著劑從半導體晶片表面的附近持續延伸，以橫過半導體晶片之主表面的邊緣。

41. 一種藉由如申請專利範圍第40項之方法所製成之產品。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

## 六、申請專利範圍

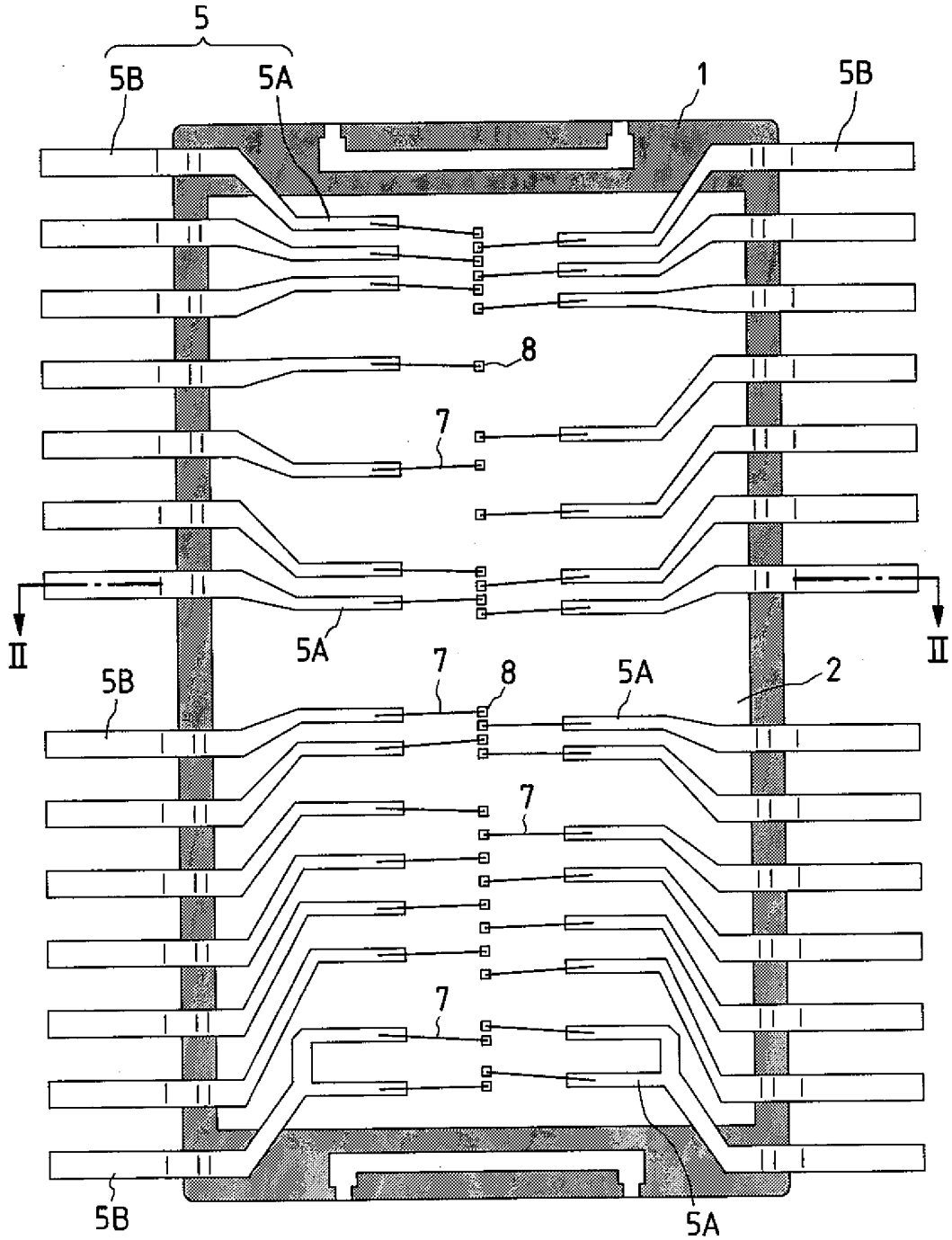
42. 一種藉由如申請專利範圍第39項之方法所製成之產品。
43. 一種藉由如申請專利範圍第36項之方法所製成之產品。

(請先閱讀背面之注意事項再填寫本頁)

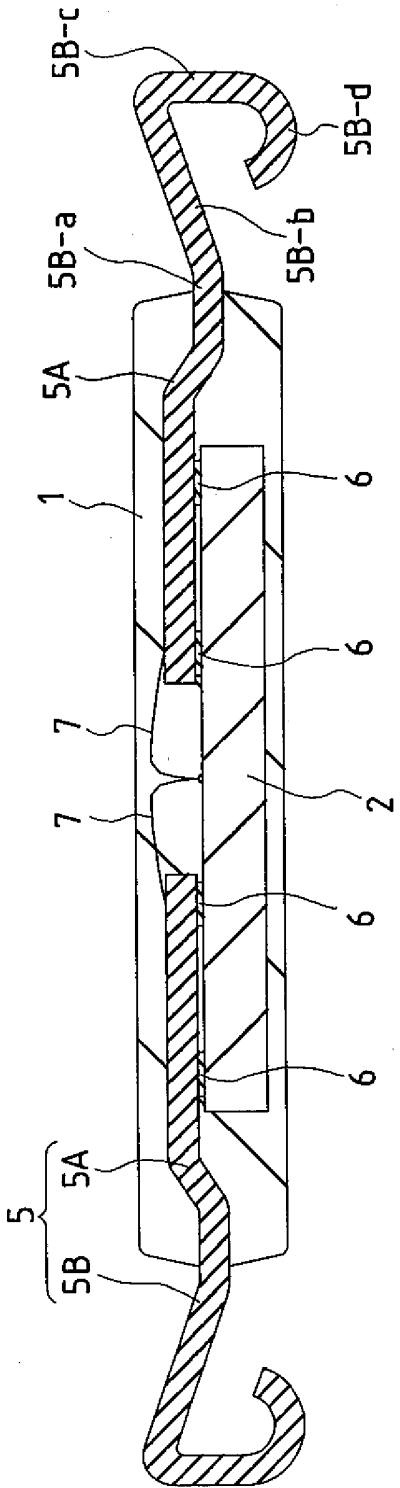
裝

訂

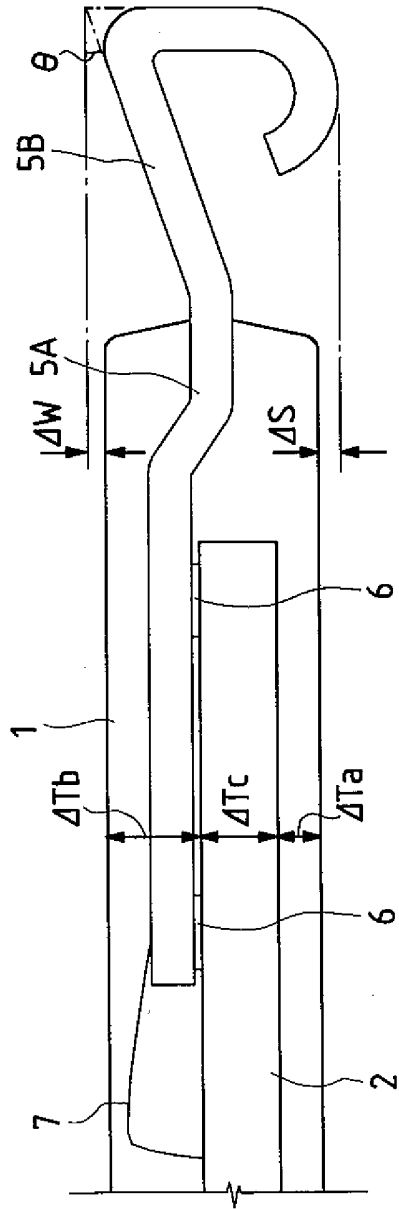
86119981



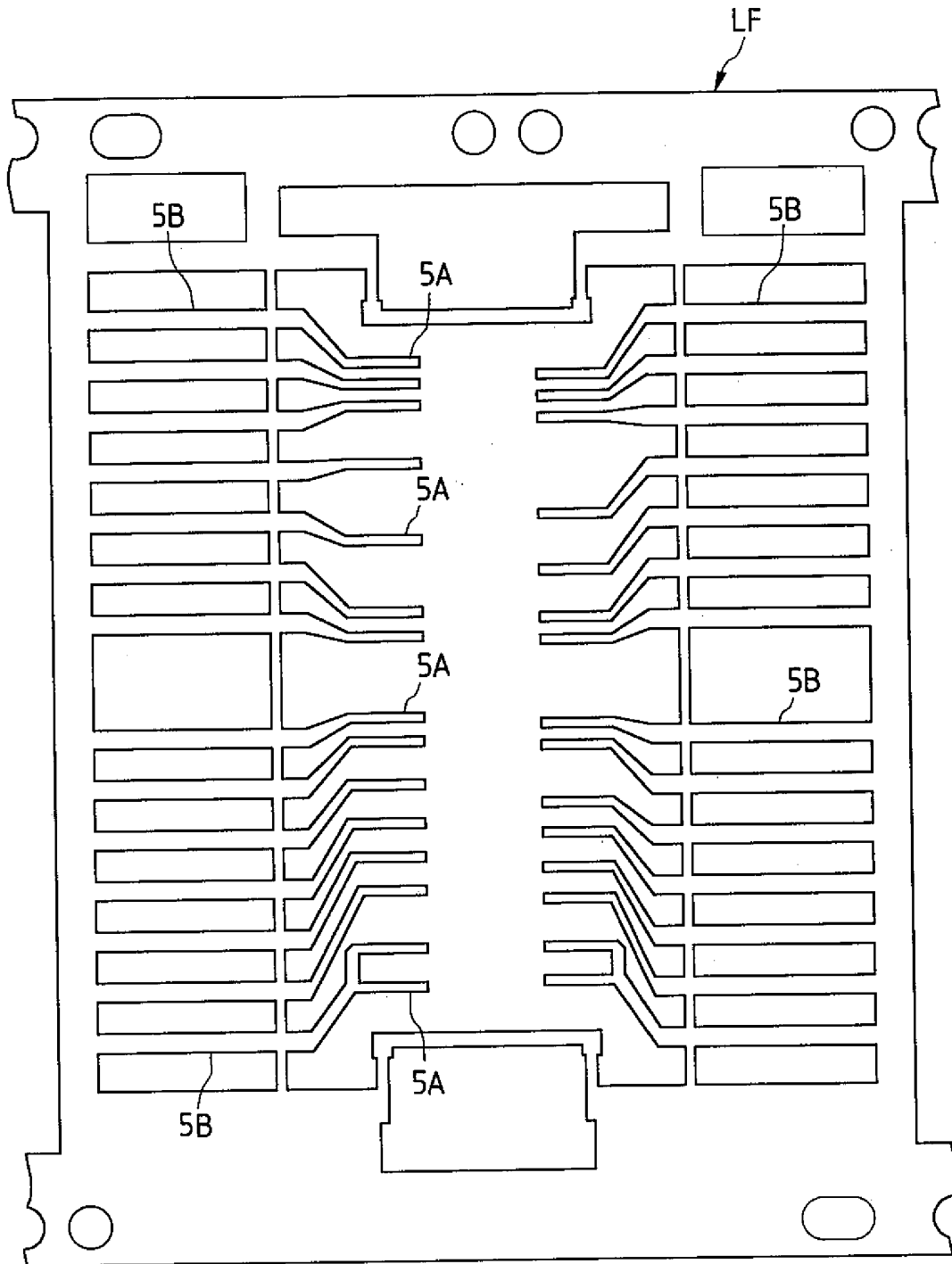
第 1 圖



第2圖

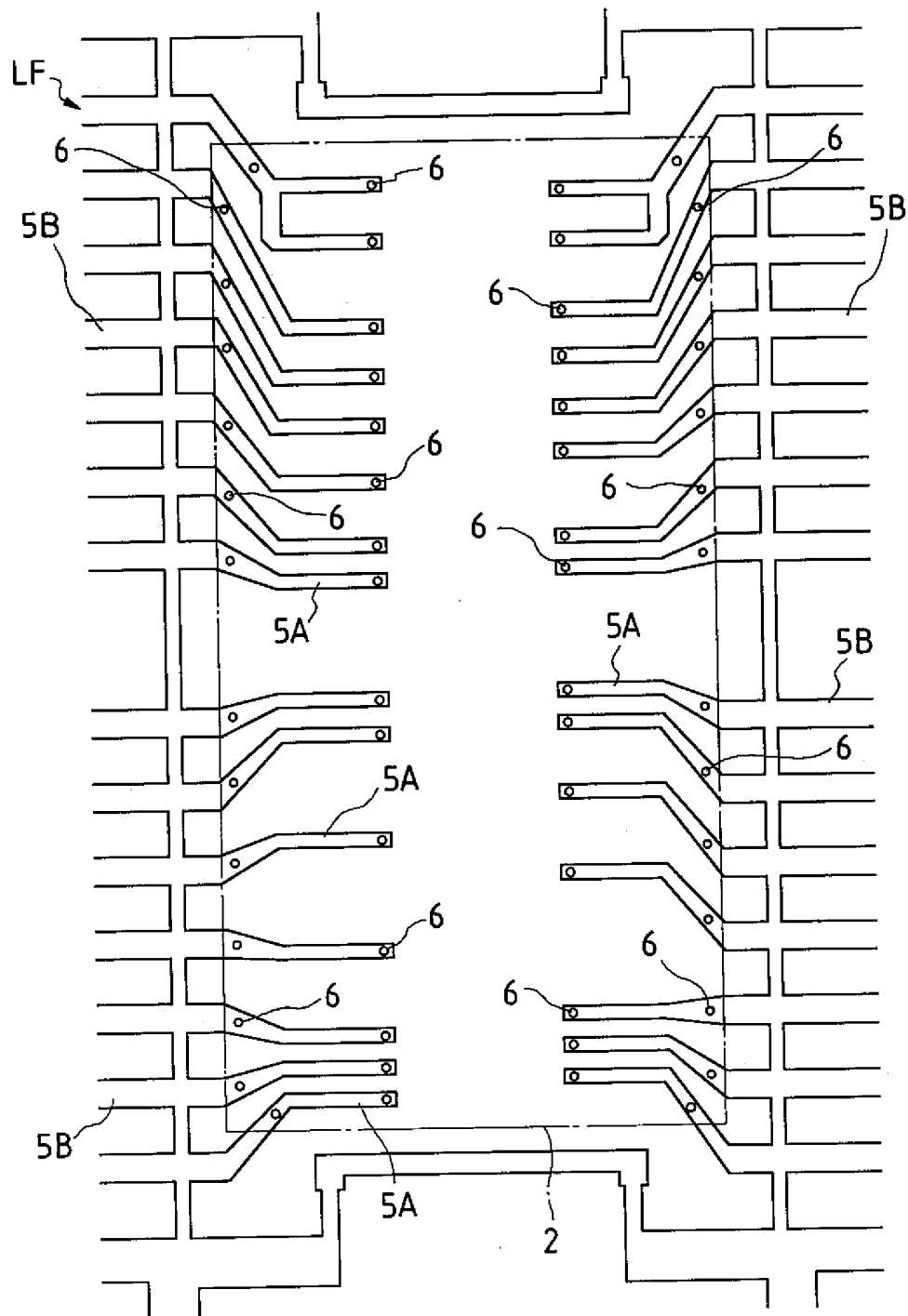


第3圖

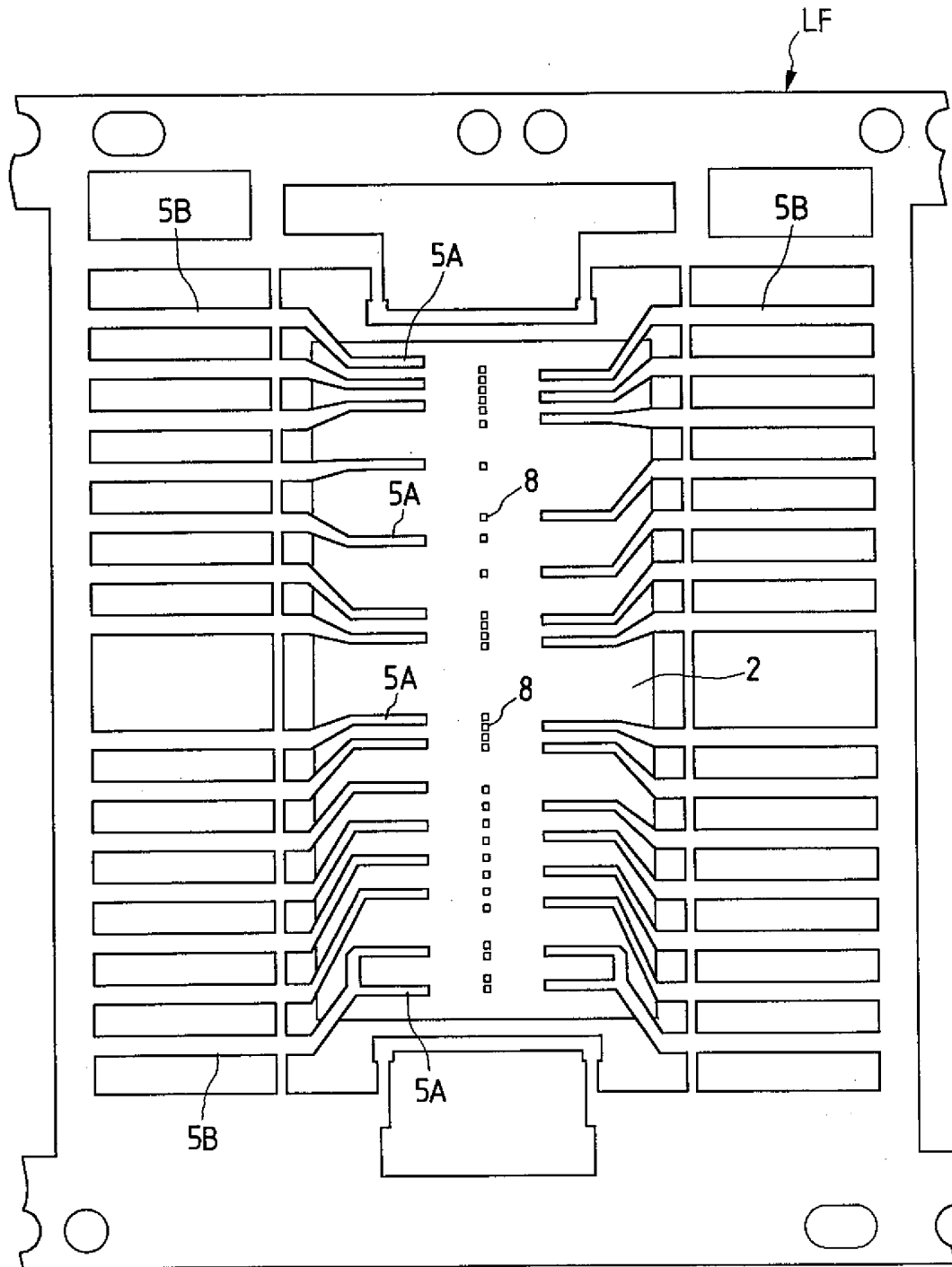


第4圖

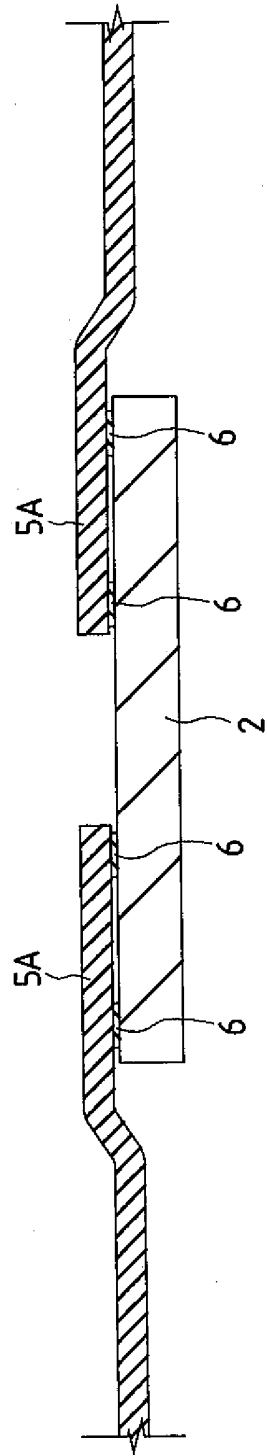




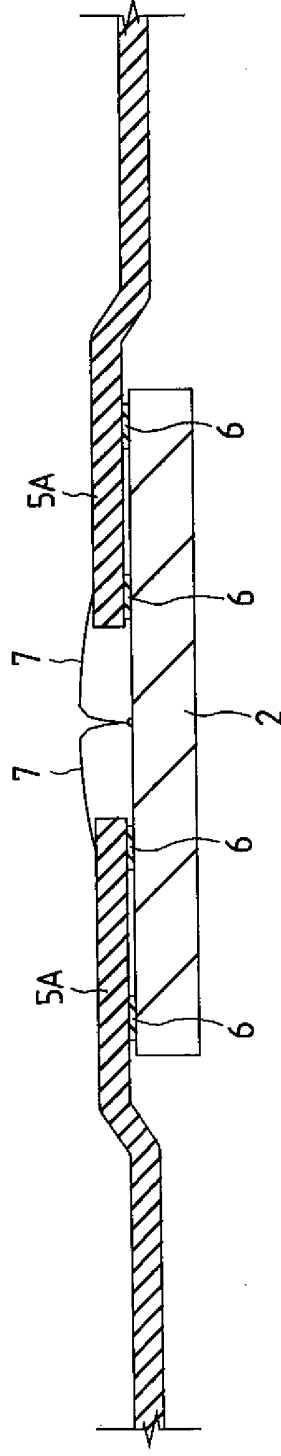
第6圖



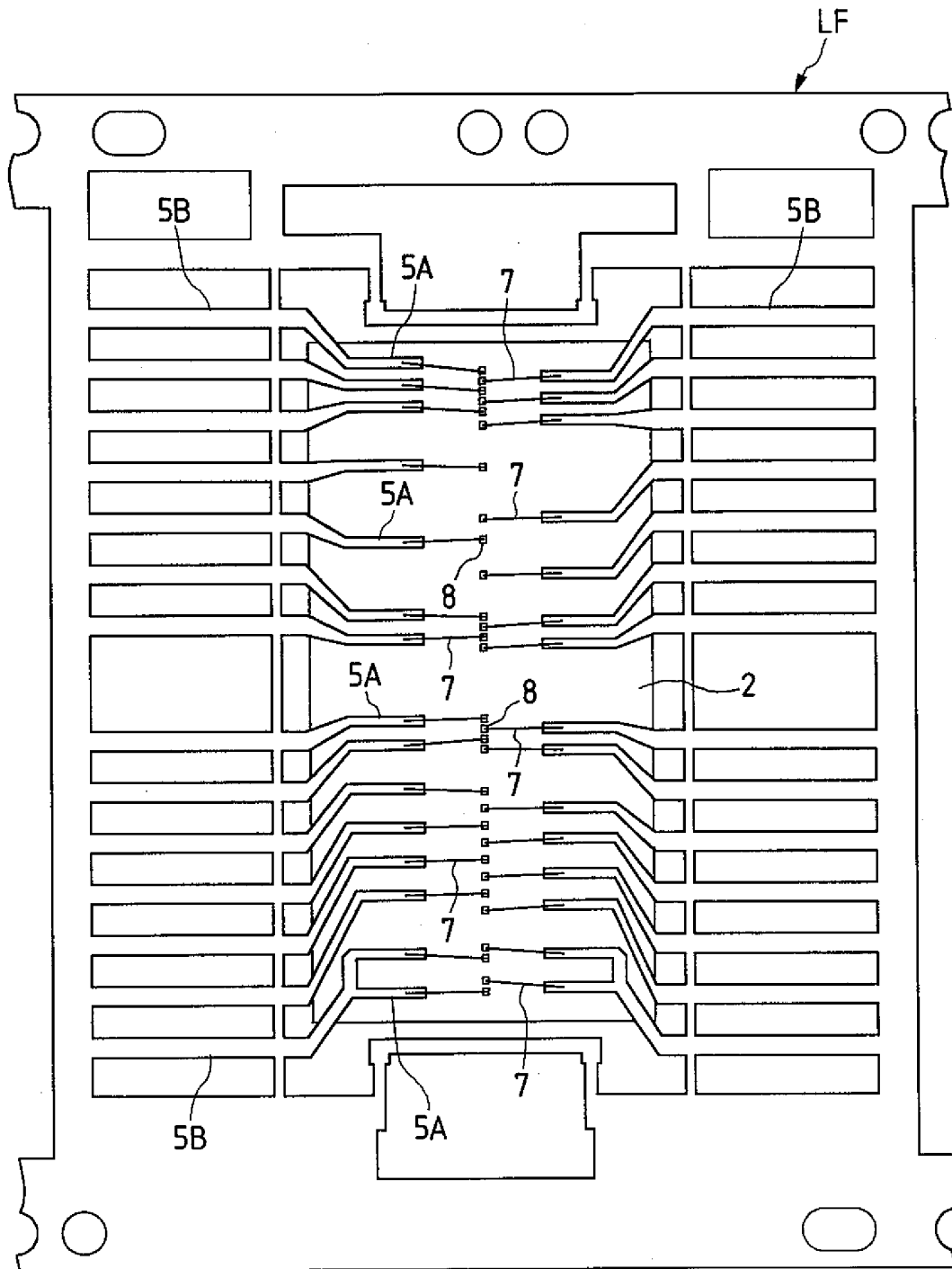
第 7 圖



第8圖

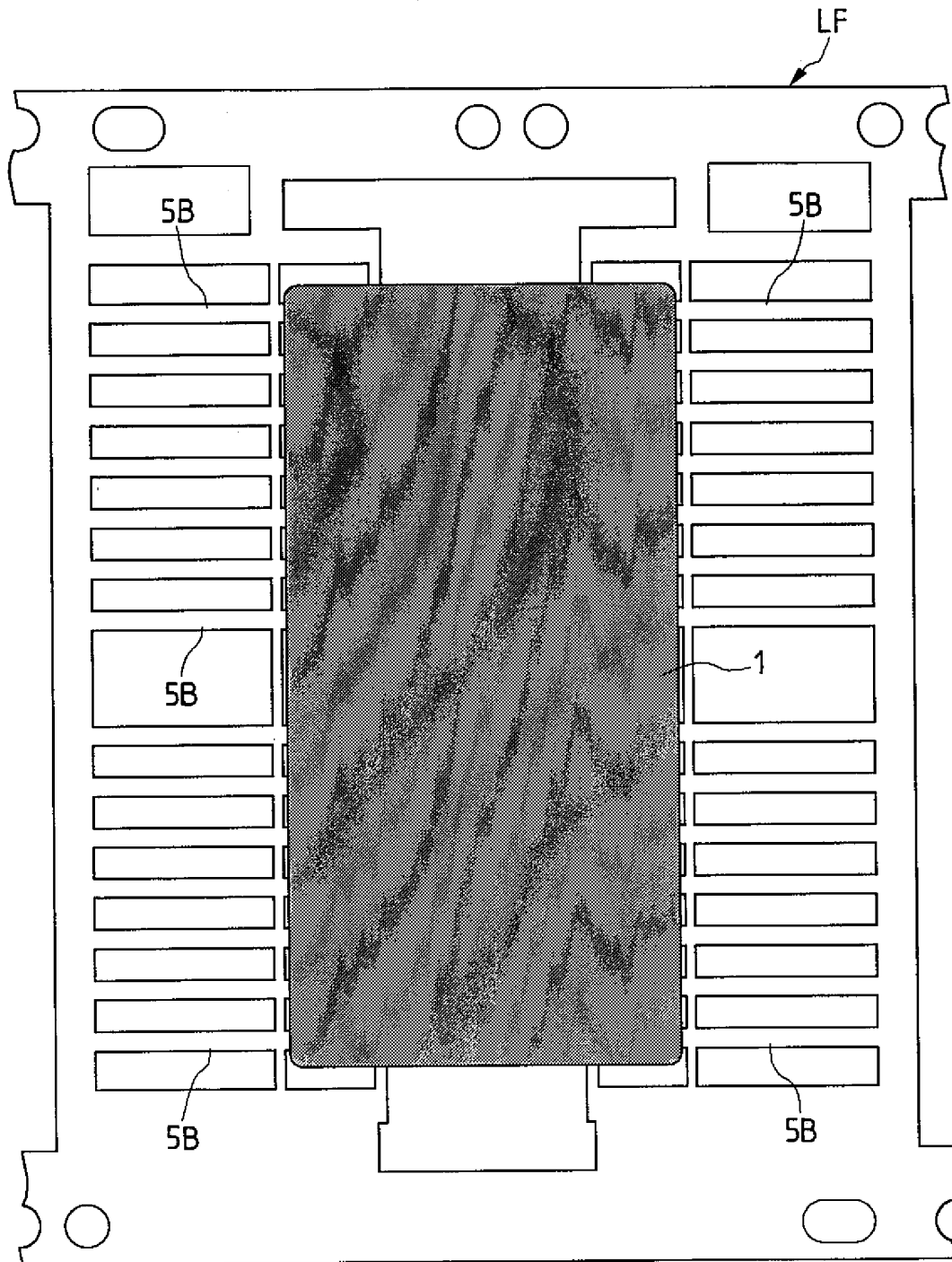


第10圖

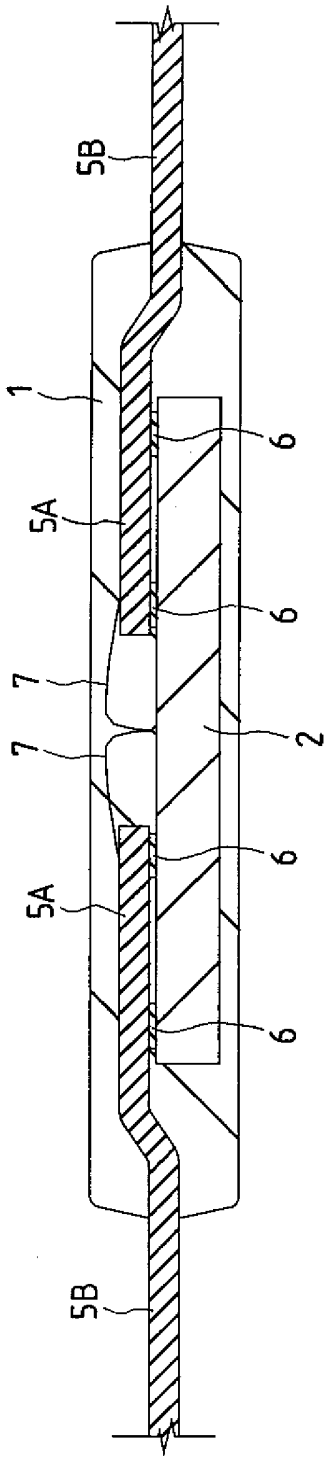


第 9 圖

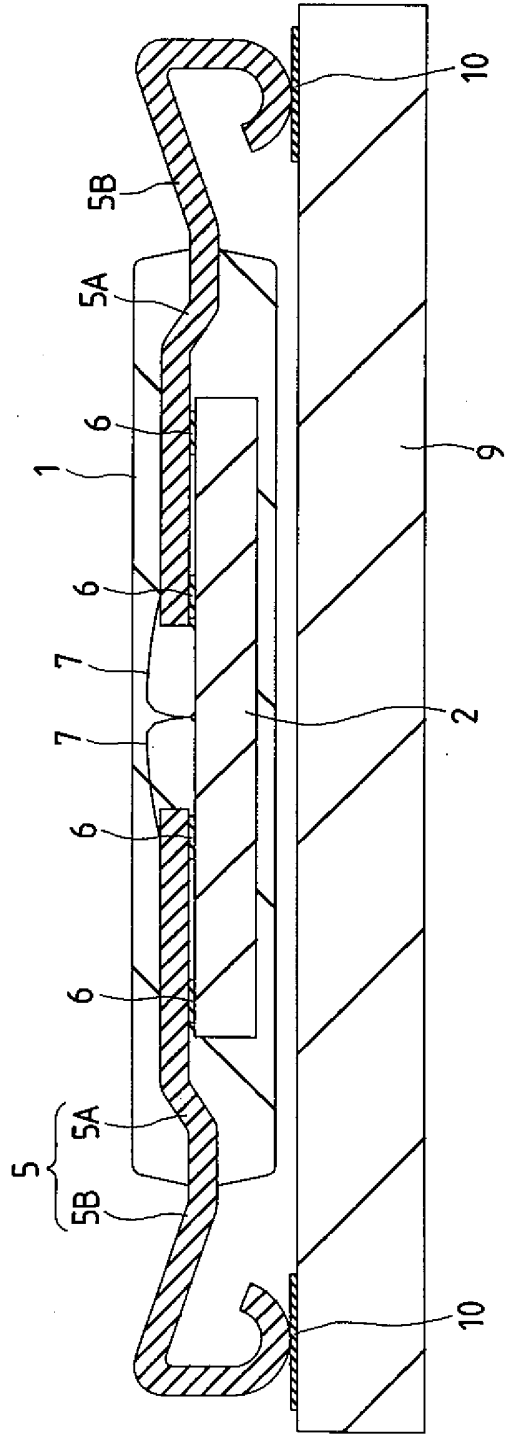
408467



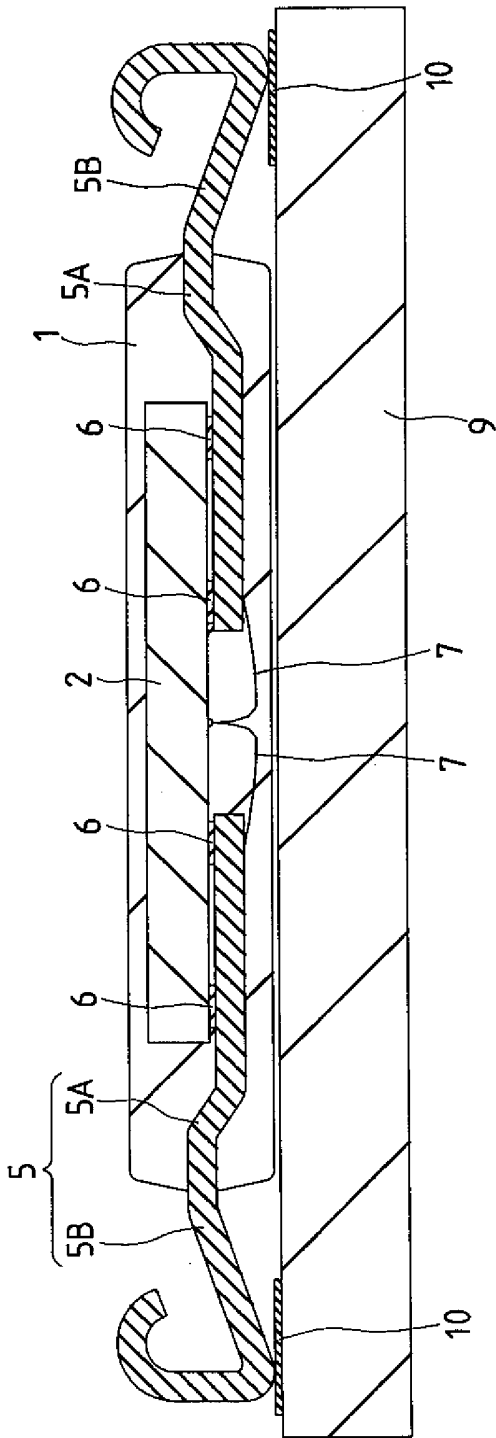
第11圖



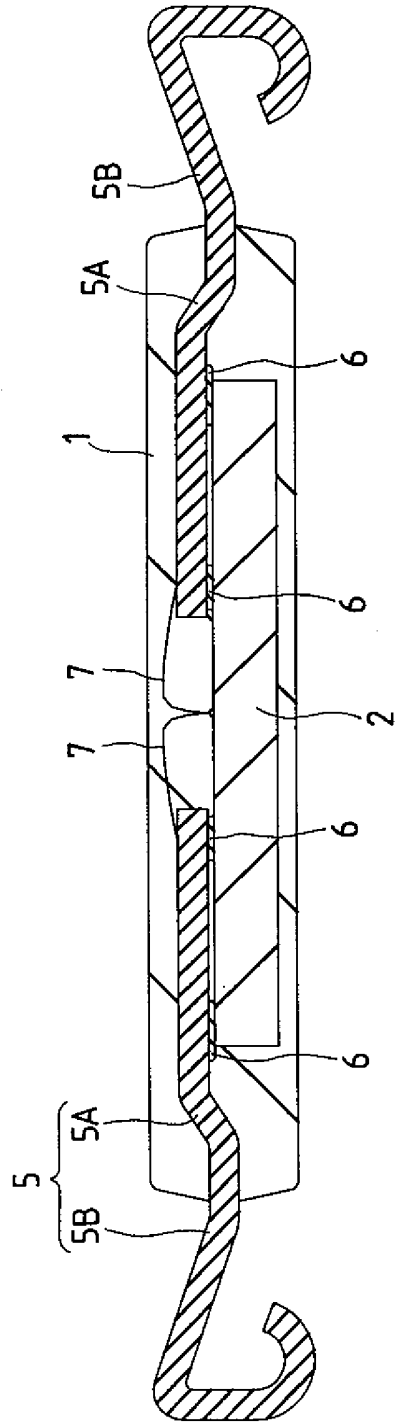
第12圖



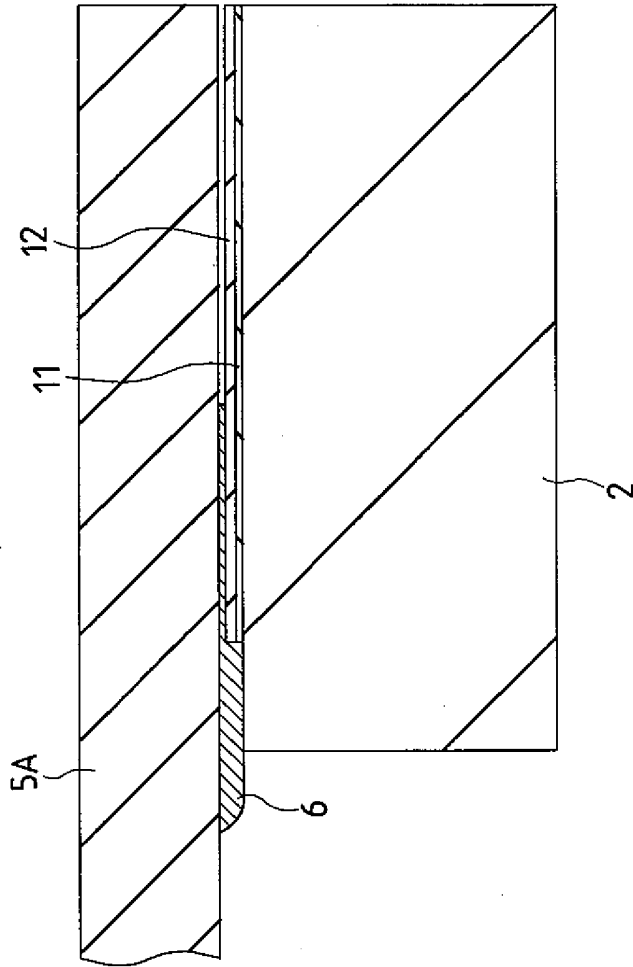
第13圖



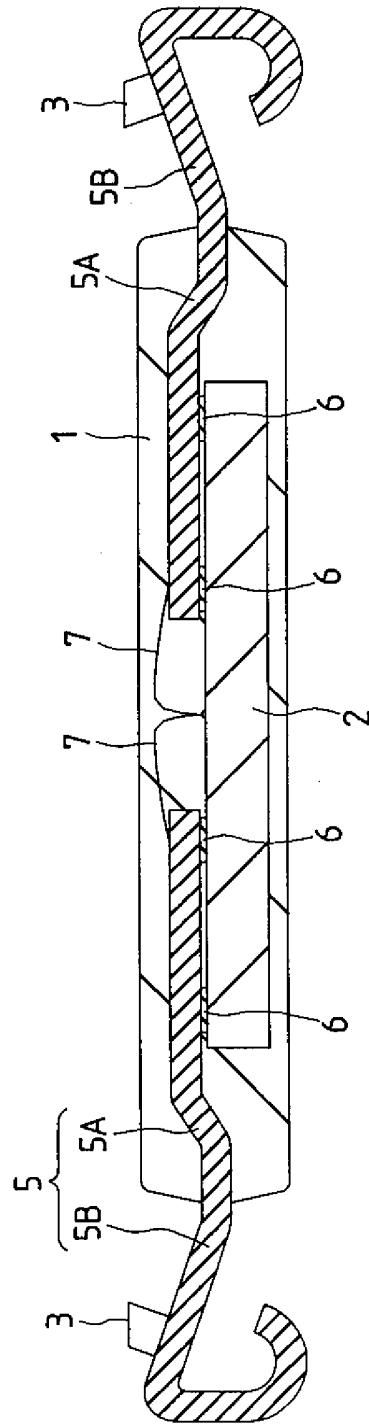
第14圖



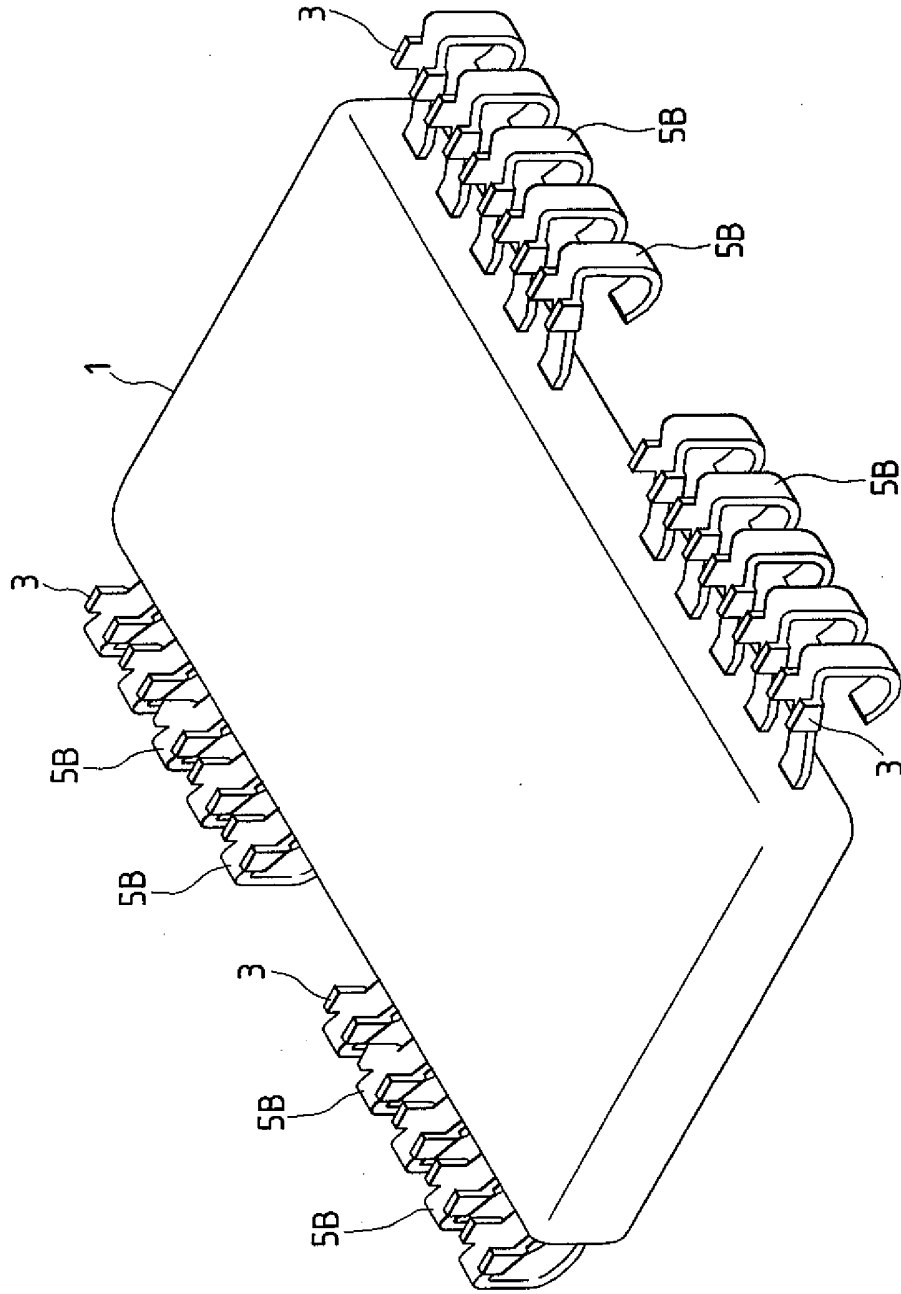
第15圖



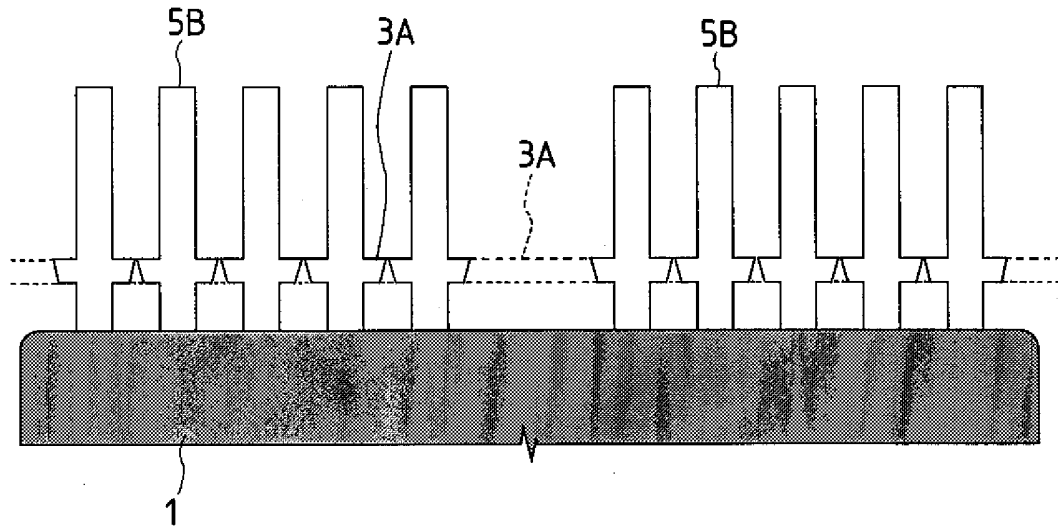
第16圖



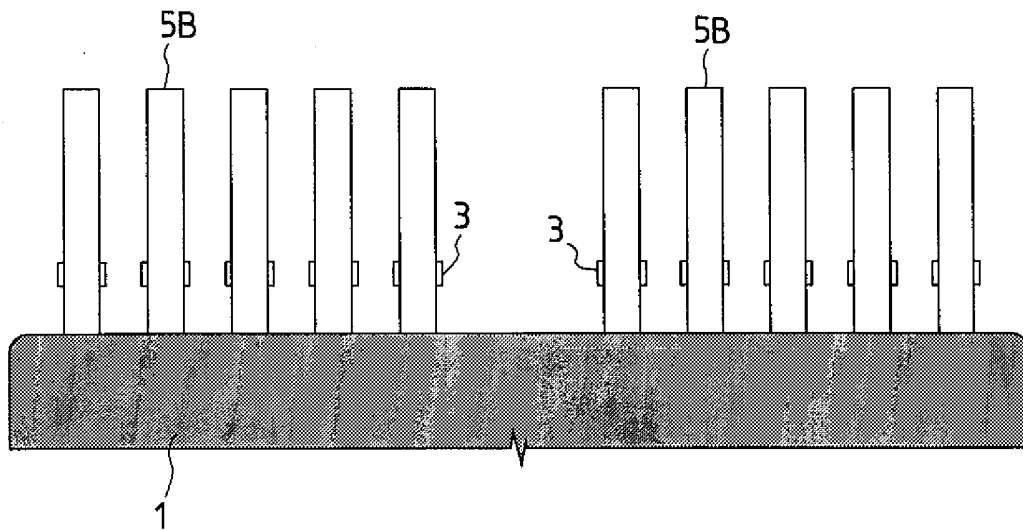
第18圖



第17圖

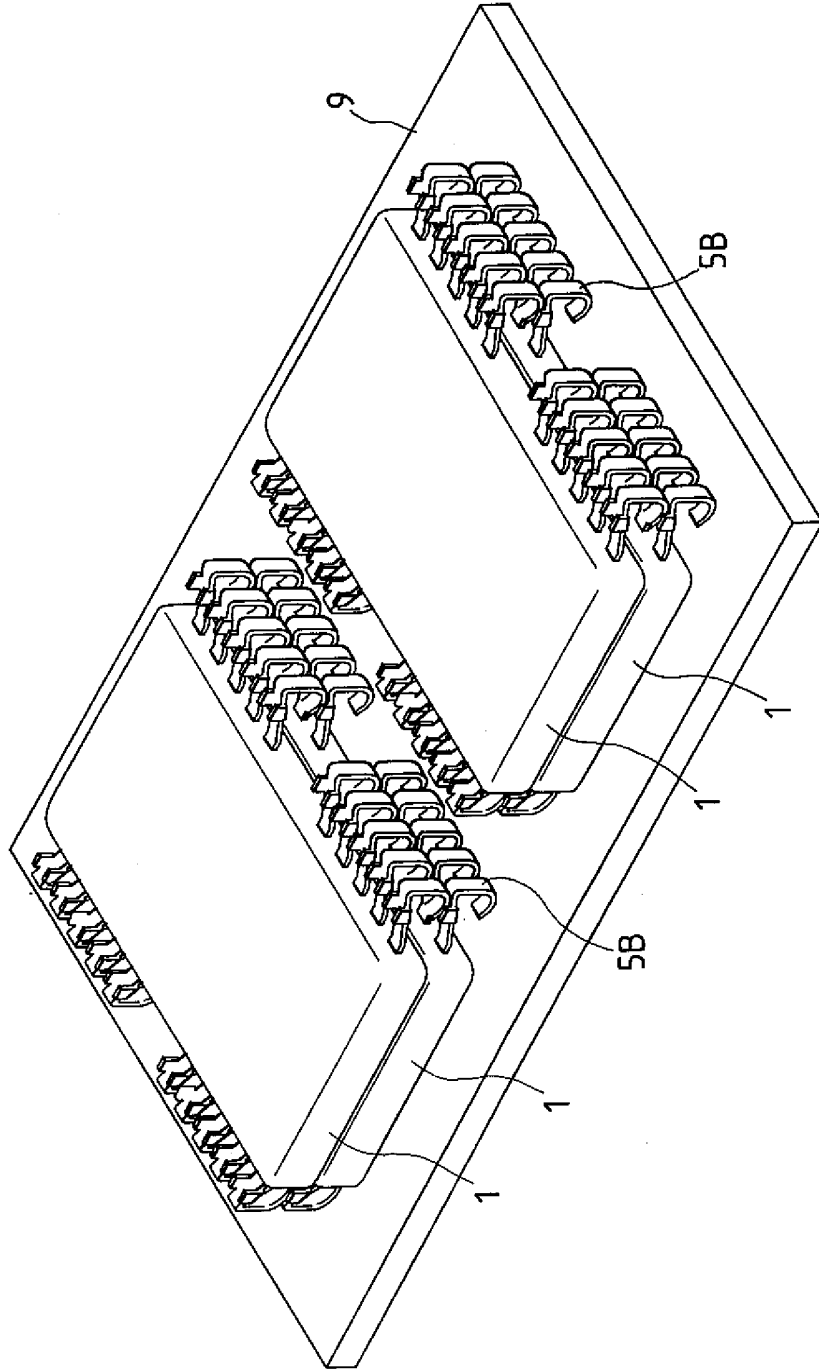


第19圖A

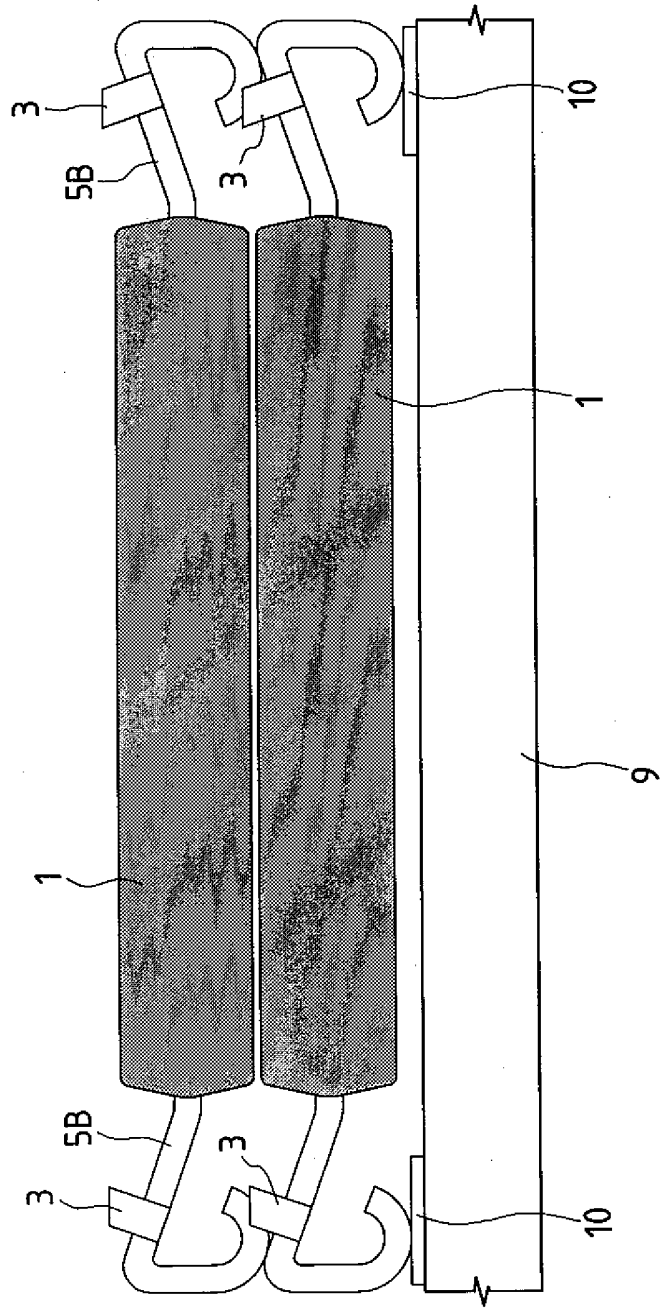


第19圖B

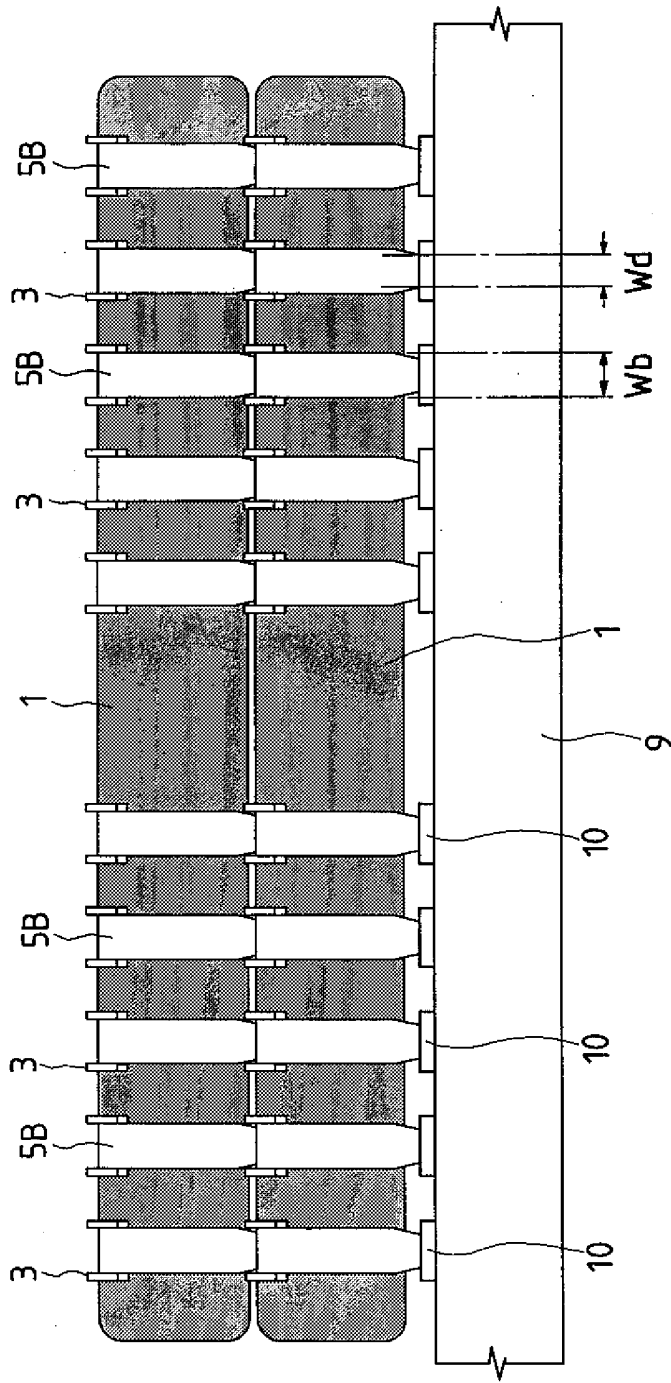
408467



第20圖

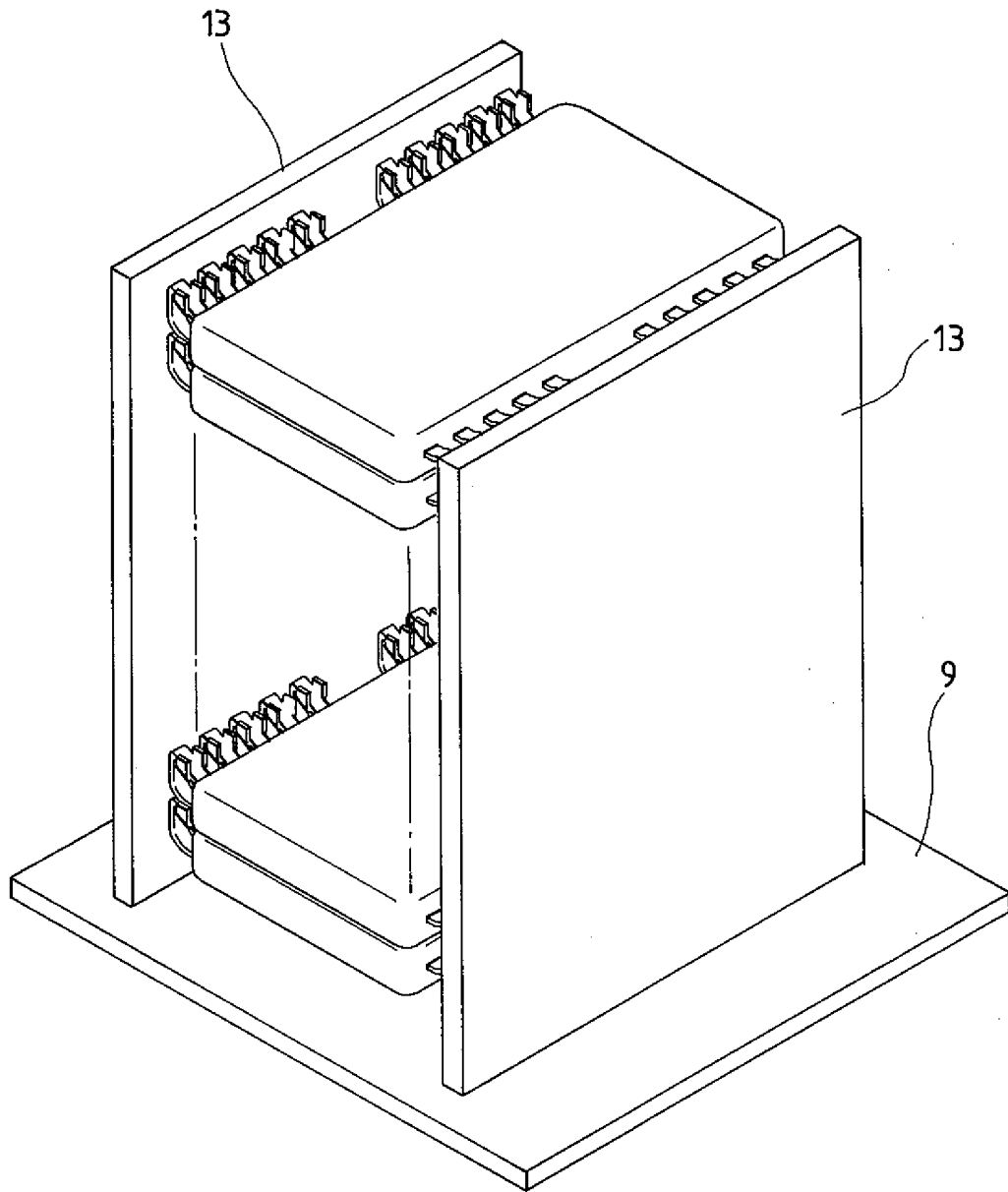


第21圖

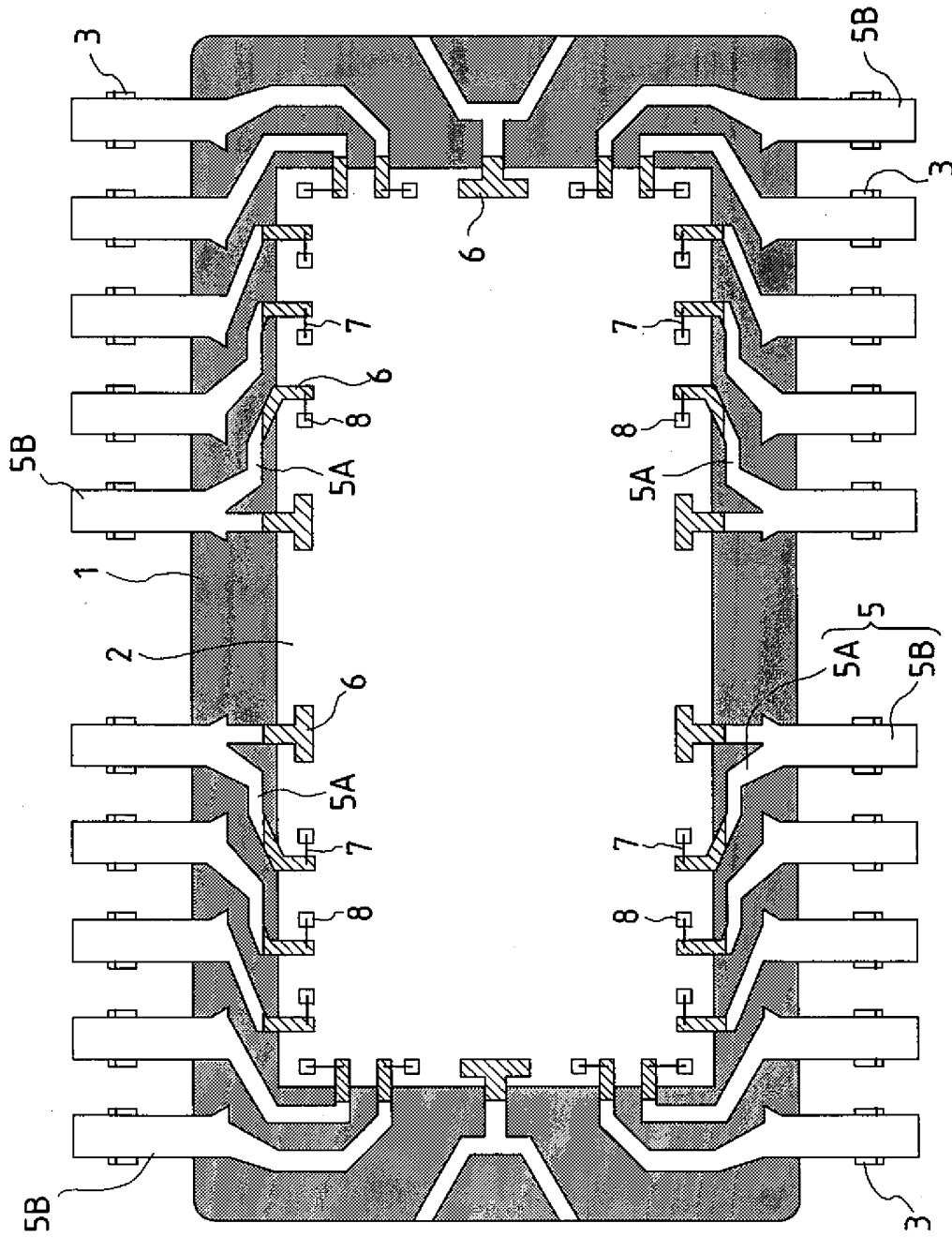


第22圖

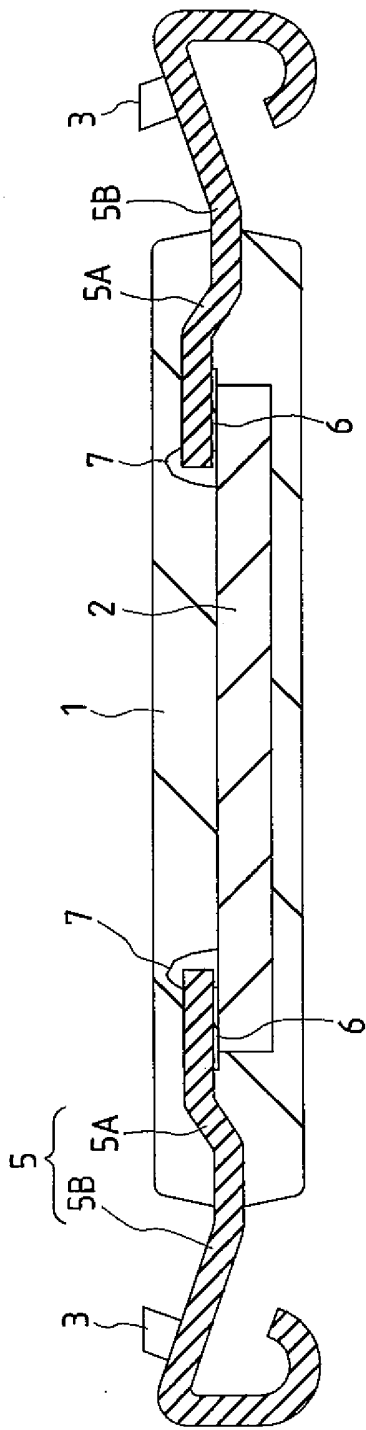
408467



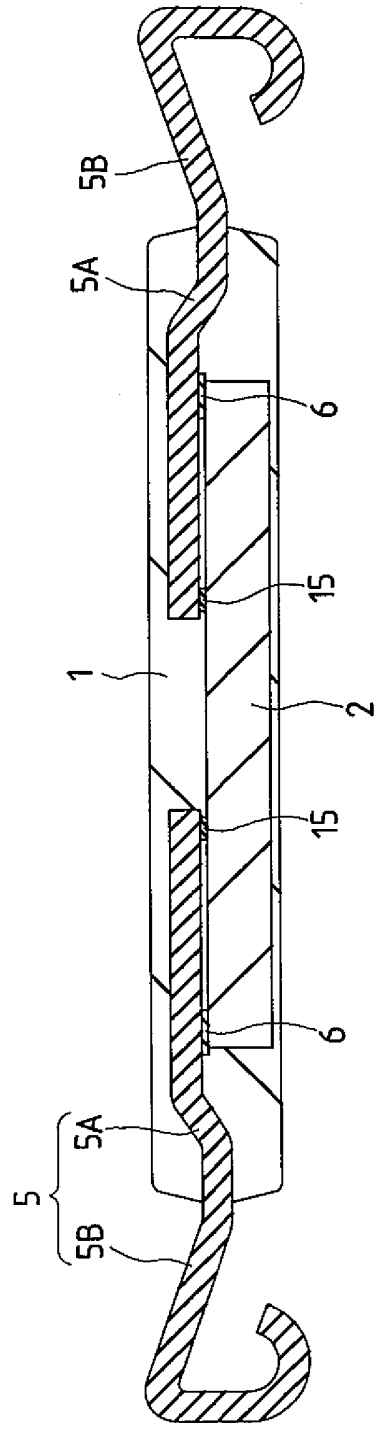
第23圖



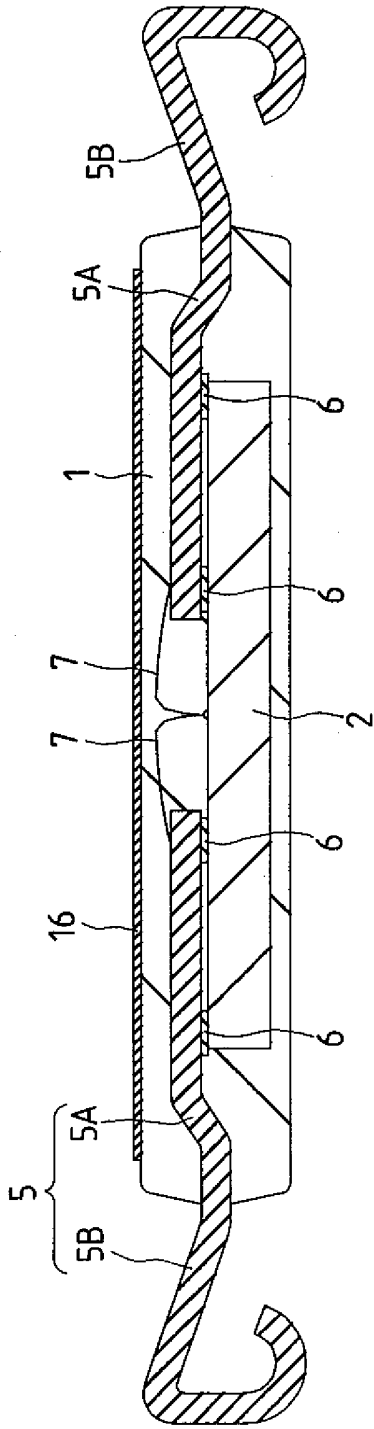
第24圖



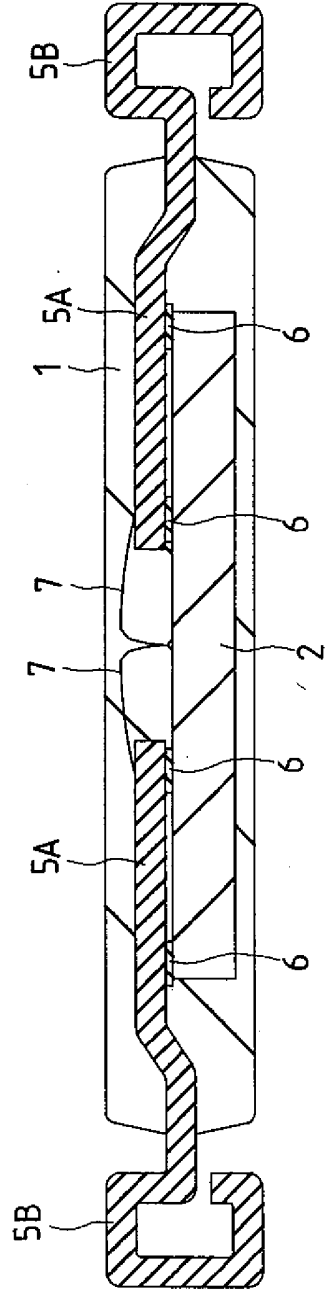
第25圖



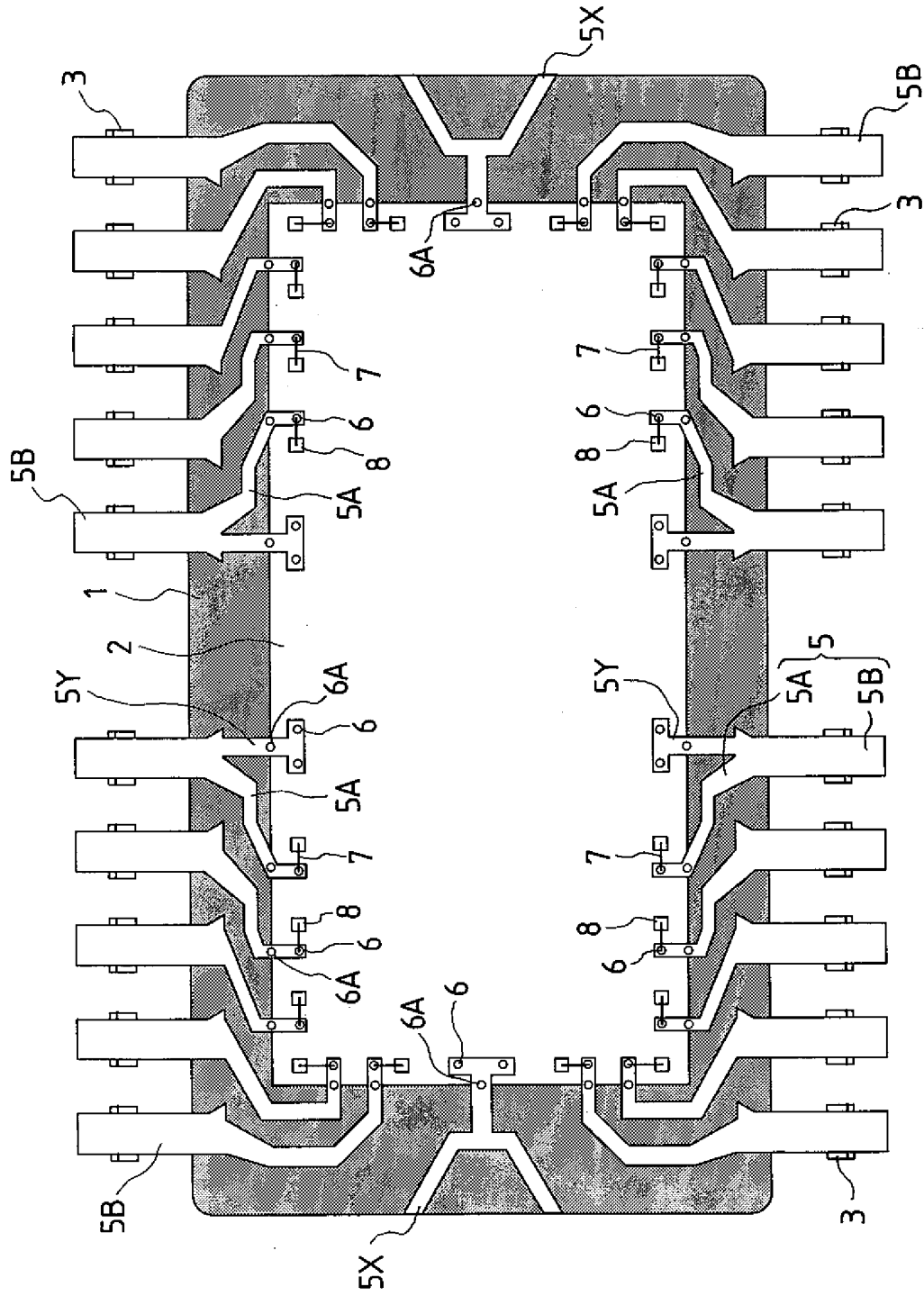
第26圖



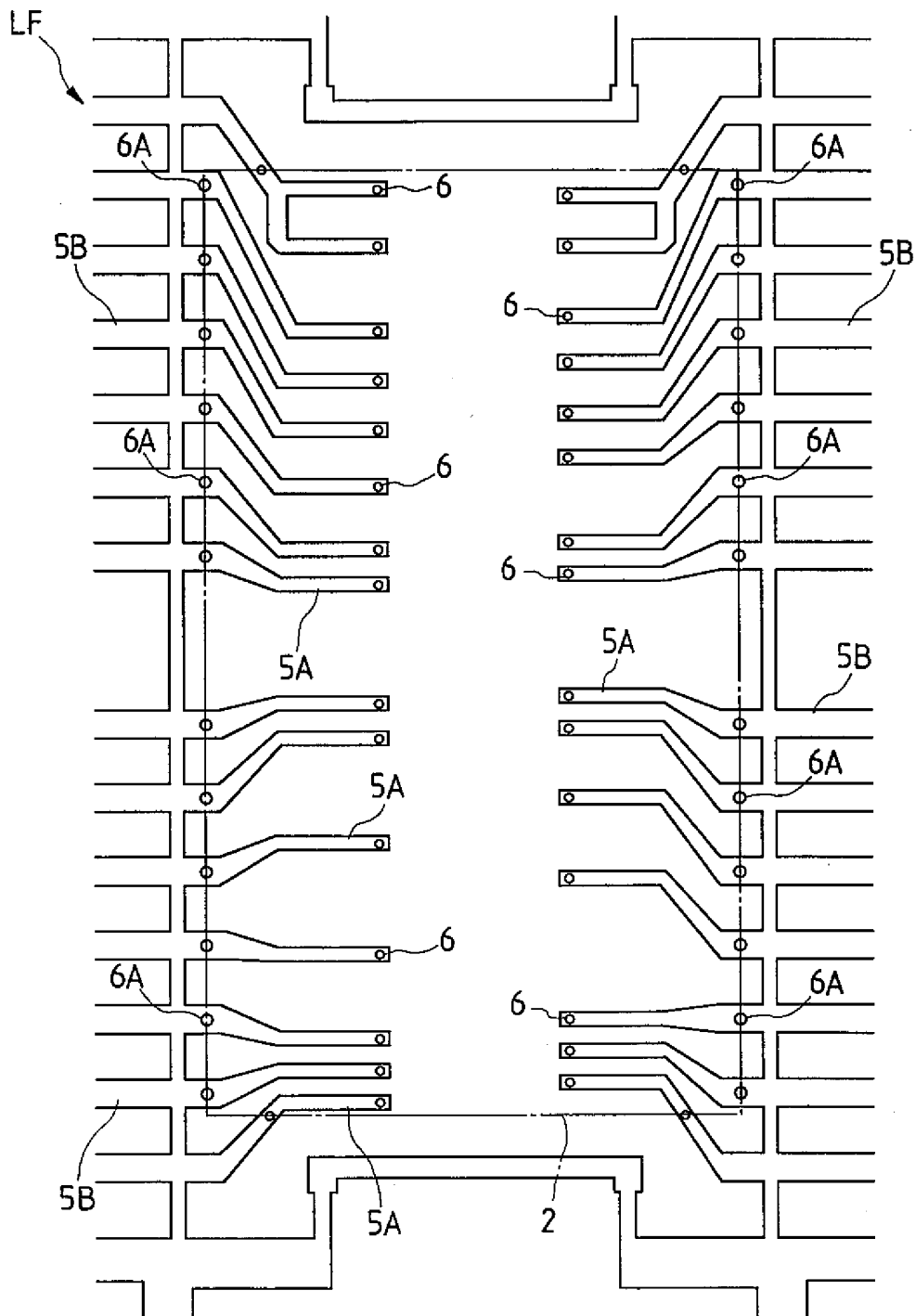
第27圖



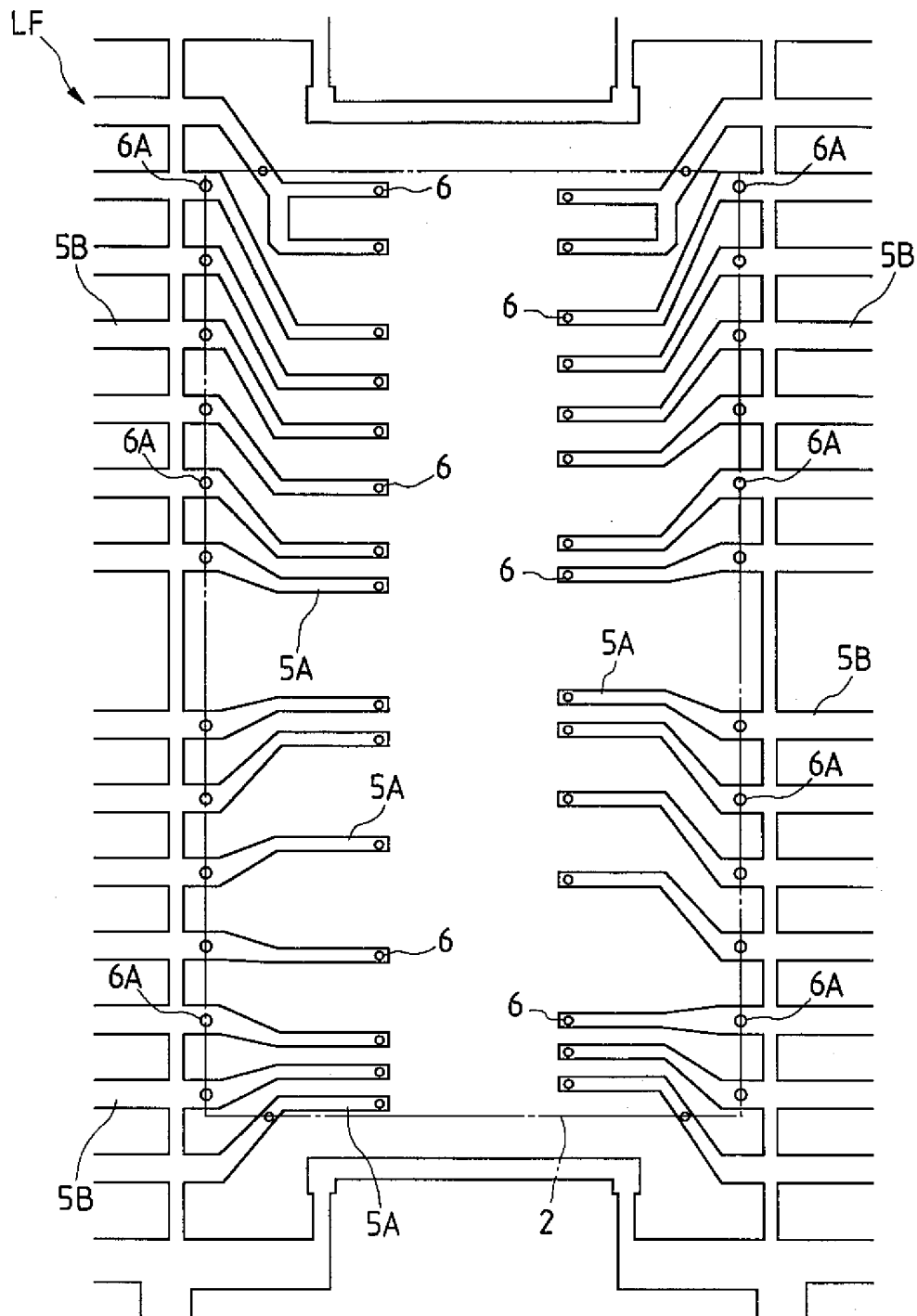
第28圖



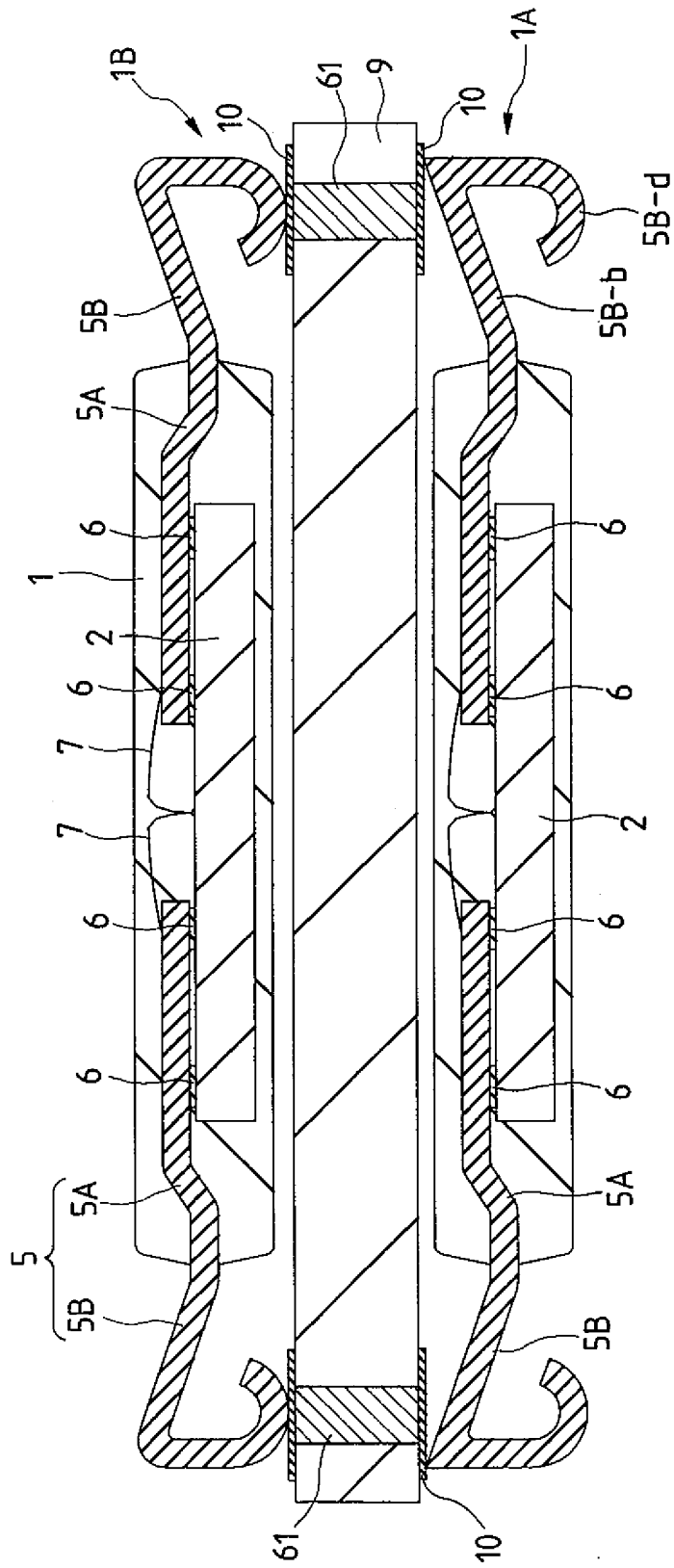
第29圖



第30圖



第31圖



第32圖