PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro

INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation [7] :
H03M 7/00

A2

(11) Internationale Veröffentlichungsnummer: **WO 00/31877**

(43) Internationales Veröffentlichungsdatum: 2. Juni 2000 (02.06.00)

(21) Internationales Aktenzeichen: PCT/DE99/03727

(22) Internationales Anmeldedatum: 24. November 1999 (24.11.99)

(30) Prioritätsdaten:
198 54 124.4 24. November 1998 (24.11.98) DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: ROBERT BOSCH GMBH [DE/DE]; Postfach 30 02 20, D–70443 Stuttgart (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: JELONNEK, Bjoern [DE/DE]; Rohrweg 28, D–89079 Ulm (DE). NYENHUIS, Detlev [DE/DE]; Hauptstrasse 7, D–31079 Sibesse (DE).

(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

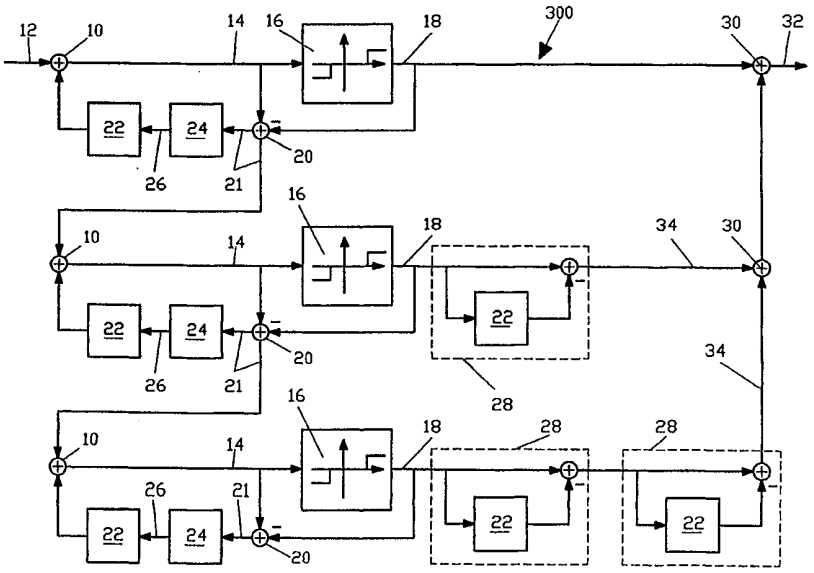
Veröffentlicht
Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

(54) Title: SIGMA–DELTA–D/A–CONVERTER

(54) Bezeichnung: SIGMA–DELTA–D/A–WANDLER

(57) Abstract

The invention relates to a sigma delta D/A–converter (300) with N steps, the nth step, with n = 1, 2, 3... N, comprising the following; a first adder (10), which adds a useful signal x(k) (12) and an error signal $err_n(k-1)$ to give an input signal $e_n(k)$ (14), a quantizer (16), which quantizes the input signal $e_n(k)$ (14) to an output signal $y_n(k)$ (18) in accordance with a predetermined quantization function, and a second adder (20), which adds the input signal $e_n(k)$ (14) and the inverted output signal $y_n(k)$ to $x_n(k)$ (21) and conveys it to a delay member (22) which delays the signal $x_n(k)$ (21) by one clock pulse period in relation to the error signal $err_n(k-1)$ being supplied to the first adder (10). An amount reducer (24) is provided between the second adder (20) and the delay member (22), said amount reducer reducing the amount $|x_n(k)|$ of the signal $x_n(k)$ (21) by at least one smallest representable number unit when $x_n(k) \neq 0$.



(57) Zusammenfassung

Die vorliegende Erfindung betrifft einen Sigma–Delta–D/A–Wandler (300) mit N Stufen, wobei die n–te Stufe, mit n = 1, 2, 3... N, folgendes umfaßt, einen ersten Addierer (10), welcher ein Nutzsignal x(k) (12) mit einem Fehlersignal $err_n(k-1)$ zu einem Eingangssignal $e_n(k)$ (14) addiert, einen Quantisierer (16), welcher das Eingangssignal $e_n(k)$ (14) gemäß einer vorbestimmten Quantisierungsfunktion zu einem Ausgangssignal $y_n(k)$ (18) quantisiert, sowie einen zweiten Addierer (20), welcher das Eingangssignal $e_n(k)$ (14) mit dem invertierten Ausgangssignal $y_n(k)$ zu $x_n(k)$ (21) addiert und einem Verzögerungsglied (22) zuführt, welches das Signal $x_n(k)$ (21) um eine Taktperiode verzögert als das Fehlersignal $err_n(k-1)$ an den ersten Addierer (10) abgibt. Zwischen dem zweiten Addierer (20) und dem Verzögerungsglied (22) ist ein Betragsminderer (24) vorgesehen, welcher den Betrag $|x_n(k)|$ des Signals $x_n(k)$ (21) um wenigstens eine kleinste darstellbare Zahleneinheit erniedrigt, wenn $x_n(k) \neq 0$ ist.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	**ES**	Spanien	**LS**	Lesotho	**SI**	Slowenien
AM	Armenien	**FI**	Finnland	**LT**	Litauen	**SK**	Slowakei
AT	Österreich	**FR**	Frankreich	**LU**	Luxemburg	**SN**	Senegal
AU	Australien	**GA**	Gabun	**LV**	Lettland	**SZ**	Swasiland
AZ	Aserbaidschan	**GB**	Vereinigtes Königreich	**MC**	Monaco	**TD**	Tschad
BA	Bosnien-Herzegowina	**GE**	Georgien	**MD**	Republik Moldau	**TG**	Togo
BB	Barbados	**GH**	Ghana	**MG**	Madagaskar	**TJ**	Tadschikistan
BE	Belgien	**GN**	Guinea	**MK**	Die ehemalige jugoslawische Republik Mazedonien	**TM**	Turkmenistan
BF	Burkina Faso	**GR**	Griechenland			**TR**	Türkei
BG	Bulgarien	**HU**	Ungarn	**ML**	Mali	**TT**	Trinidad und Tobago
BJ	Benin	**IE**	Irland	**MN**	Mongolei	**UA**	Ukraine
BR	Brasilien	**IL**	Israel	**MR**	Mauretanien	**UG**	Uganda
BY	Belarus	**IS**	Island	**MW**	Malawi	**US**	Vereinigte Staaten von Amerika
CA	Kanada	**IT**	Italien	**MX**	Mexiko		
CF	Zentralafrikanische Republik	**JP**	Japan	**NE**	Niger	**UZ**	Usbekistan
CG	Kongo	**KE**	Kenia	**NL**	Niederlande	**VN**	Vietnam
CH	Schweiz	**KG**	Kirgisistan	**NO**	Norwegen	**YU**	Jugoslawien
CI	Côte d'Ivoire	**KP**	Demokratische Volksrepublik Korea	**NZ**	Neuseeland	**ZW**	Zimbabwe
CM	Kamerun			**PL**	Polen		
CN	China	**KR**	Republik Korea	**PT**	Portugal		
CU	Kuba	**KZ**	Kasachstan	**RO**	Rumänien		
CZ	Tschechische Republik	**LC**	St. Lucia	**RU**	Russische Föderation		
DE	Deutschland	**LI**	Liechtenstein	**SD**	Sudan		
DK	Dänemark	**LK**	Sri Lanka	**SE**	Schweden		
EE	Estland	**LR**	Liberia	**SG**	Singapur		

Beschreibung

Sigma-Delta-D/A-Wandler

Technisches Gebiet

Die Erfindung betrifft einen Sigma Delta D/A-Wandler mit N Stufen, wobei die n-te Stufe, mit n = 1, 2, 3 ... N, folgendes umfasst, einen ersten Addierer, welcher ein Nutzsignal bzw. Nutzsignal x(k) mit einem Fehlersignal $err_n(k-1)$ zu einem Eingangssignal $e_n(k)$ addiert, einem Quantisierer, welcher das Eingangssignal $e_n(k)$ gemäß einer vorbestimmten Quantisierungsfunktion zu einem Ausgangssignal $y_n(k)$ quantisiert, sowie einem zweiten Addierer, welcher das Eingangssignal $e_n(k)$ mit dem invertierten Ausgangssignal $y_n(k)$ zu $x_n(k)$ addiert und einem Verzögerungsglied zuführt, welches das Signal $x_n(k)$ um eine Taktperiode verzögert als das Fehlersignal $err_n(k-1)$ an den ersten Addierer abgibt, gemäß dem Oberbegriff des Anspruchs 1.

Stand der Technik

Ein gattungsgemäßer Sigma Delta D/A-Wandler ist aus dem Buch "Delta Sigma Data Converter, Theory, Design and Simulation" von Steven R. Norsworthy, Richard Schreiner und Gabor C. Temes, IEEE Press 1997, ISBN 0-7803-1045-4 bekannt. Derartige bekannte Sigma Delta D/A-Wandler haben den Nachteil, dass diese nicht asymptotisch stabil, kurz astabil, sind. Hierbei werden vom Sigma Delta D/A-Wandler ggf. unerwünschte Grenzzyklen erzeugt, wenn das Eingangssignal des Wandlers Null ist, d.h. wenn der Wandler nicht angeregt wird. Diese Grenzzyklen können dabei ggf. hohe Amplituden annehmen, welche beispielsweise in Modulationspausen eines Rundfunknutzsignals als NF-Amplitude hörbar werden oder das Signal-Rausch-Verhältnis verschlechtern. Ferner erzeu-

gen Sigma Delta D/A-Wandler ohne Eingangssignal ein sogn. "digitales Rauschen", d.h. ein "Null-Eingangssignal" ($x(k) \equiv 0$ für alle $k >= k_0$) wird nicht eindeutig auf ein "Null-Ausgangssignal" abgebildet, sondern auf eine Folge von Ausgangswerten des D/A-Wandlers, die um die Nulllage pendeln und somit ein Rauschen erzeugen. Der Grund hierfür liegt in idealen diskreten Integratoren sowie in den verwendeten Quantisierern. Die vorgenannten Effekte beeinträchtigt die Funktionstüchtigkeit und Einsatzfähigkeit derartiger D/A-Wandler.

Darstellung der Erfindung, Aufgabe, Lösung, Vorteile

Es ist Aufgabe der vorliegenden Erfindung, einen verbesserten Sigma Delta D/A-Wandler der obengenannten Art zur Verfügung zu stellen, welcher die obengenannten Nachteile beseitigt.

Diese Aufgabe wird durch einen Sigma Delta D/A-Wandler der o.g. Art mit den in Anspruch 1 gekennzeichneten Merkmalen gelöst.

Dazu ist es erfindungsgemäß vorgesehen, dass zwischen dem zweiten Addierer und dem Verzögerungsglied ein Betragsminderer vorgesehen ist, welcher das Signal $x_n(k)$ unverändert belässt, wenn $x_n(k)=0$ ist und ansonsten den Betrag $|x_n(k)|$ des Signals $x_n(k)$ um wenigstens eine kleinste darstellbare Zahleneinheit erniedrigt, wobei die Quantisierungsfunktion des Quantisierers der n-ten Stufe des Sigma Delta D/A-Wandlers folgendermaßen lautet,

$$y_n(k) = \begin{cases} 2^{(1-n)}, falls \;\; e_n(k) > 2^{-n} \\ 0 \quad\quad , falls \;\; abs(e_n(k)) \le 2^{-n} \\ -2^{(1-n)}, falls \;\; e_n(k) < -2^{-n} \end{cases}$$

wobei abs() die Betragsfunktion darstellt. Dies hat den Vorteil, dass der erfindungsgemäße Sigma Delta D/A-Wandler ein asymptotisch stabiles Verhalten aufweist, d.h. alle beliebigen Startwerte der Integratoren des Sigma Delta D/A-Wandlers erreichen in endlicher Zeit den Zustand Null. Ferner ist eine Anzahl benötigter Ausgangsstufen des D/A-Wandlers minimiert, was einen nachfolgenden Schaltungsaufwand reduziert.

Vorzugsweise Weitergestaltungen der Vorrichtung sind in den Ansprüchen 2 bis 4 beschrieben.

So ist zweckmäßigerweise ein Nutzsignal der n-ten Stufe, mit $n>1$, das Ausgangssignal $x_{n-1}(k)$ des zweiten Addierers der (n-1)-ten Stufe, wobei bei zwei oder mehr Stufen die n-te Stufe (n-1) Differenzierer aufweist, welche dem Quantisierer nachgeschaltet sind.

Eine abschließende Zusammenführung der Ausgangssignale aller Stufen erzielt man dadurch, dass die ersten (N-1) Stufen, mit $N>1$, jeweils einen dritten Addierer aufweisen, welcher im Falle der ersten Stufe dem Quantisierer und im Falle der zweiten bis (N-1)-ten Stufe den Differenzieren nachgeschaltet ist, wobei jeder dritte Addierer der ersten bis zur (N-2)-ten Stufen mit dem jeweiligen dritten Addierer der nächst höheren Stufe verbunden ist und der dritte Addierer der (N-1)-Stufe mit dem letzten Differenzierer der N-ten Stufe verbunden ist.

Kurze Beschreibung der Zeichnungen

Nachstehend wird die Erfindung anhand der beigefügten Zeichnungen näher erläutert. Diese zeigen in

Fig. 1 eine erste Bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers,

Fig. 2 eine zweite Bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers und

Fig. 3 eine dritte Bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers.

Bester Weg zur Ausführung der Erfindung

Die in Figur 1 dargestellte erste bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers 100 ist vom einstufigen Typ (N = 1) und umfasst einen ersten Addierer 10, welcher ein Nutzsignal x(k) bei 12 erhält und mit einem Fehlersignal $err_1(k-1)$ zu einem Eingangssignal $e_1(k)$ bei 10 zu einem Signal 14 addiert. Ein nachfolgender Quantisierer 16 quantisiert das Eingangssignal $e_1(k)$ gemäß einer vorbestimmten Quantisierungsfunktion zu einem Ausgangssignal $y_1(k)$ bei 18. Ein zweiter Addierer 20 addiert das Eingangssignal $e_1(k)$ mit dem invertierten Ausgangssignal $y_1(k)$ zu $x_1(k)$ bei 21 und führt dieses einem Verzögerungsglied 22 zu, welches das Signal $x_1(k)$ um eine Taktperiode verzögert als das Fehlersignal $err_1(k-1)$ an den ersten Addierer 10 abgibt.

Zwischen dem zweiten Addierer 20 und dem Verzögerungsglied 22 ist ein Betragsminderer 24 vorgesehen ist, welcher das Signal $x_1(k)$ unverändert belässt, wenn $x_1(k)=0$ ist und ansonsten den Betrag $|x_1(k)|$ des Signals $x_1(k)$ um wenigstens eine kleinste darstellbare Zahleneinheit erniedrigt. Ein entsprechendes Ausgangssignal $z_1(k)$ des Betragsminderers 24 liegt bei 26 vor und bildet das Eingangssignal für das Verzögerungsglied 22. Die Quantisierungsfunktion $q_1(e_1(k))$ des Quantisierers dieser einzigen

Stufe des Sigma-Delta-D/A-Wandlers lautet erfindungsgemäß folgendermaßen:

$$y_1(k) = \begin{cases} 1, falls & e_1(k) > \frac{1}{2} \\ 0, falls & abs(e_1(k)) \leq \frac{1}{2} \\ -1, falls & e_1(k) < -\frac{1}{2} \end{cases}$$

Hierbei bezeichnet k = 1, 2, 3, ... etc. den k-ten Abtastwert und ist somit äquivalent zu einer diskreten Zeit. Bei einer Abtastfrequenz f_a ist eine Zeit- bzw. Periodendauer T zwischen zwei Abtastvorgängen gegeben durch $T = 1/f_a$. Somit entspricht der k-te Abtastwert einer vergangenen Zeit $t(k) = k * T$.

Die in Fig. 2 dargestellte zweite bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers 200 ist vom zweistufigen Typ (N = 2), wobei zwei Stufen der Art gemäß Fig. 1 derart miteinander kombiniert sind, dass der Ausgang $x_1(k)$ des zweiten Addierers 20 der ersten Stufe als Eingangssignal für den ersten Addierer 10 der zweiten Stufe dient. Ferner ist dem Quantisierer 16 der zweiten Stufe ein digitaler Differenzierer 28 nachgeschaltet, dessen Ausgang einem Eingang eines zusätzlichen dritten Addierers 30 der ersten Stufe zugeführt wird, so dass sich bei 32 das Ausgangssignal y(k) ergibt. Alle in den jeweiligen Stufen gleiche Teile sind mit gleichen Bezugsziffern bezeichnet, so dass zu deren Erläuterung auf obige Ausführungen in Bezug auf Fig. 1 verwiesen wird. Ferner ist für die zweite Stufe der jeweilige Index n des Eingangssignals $e_n(k)$ bei 14, des Ausgangssignals $y_n(k)$ bei 18, des Signals $x_n(k)$ bei 21 und $z_n(k)$ bei 26 um eins zu erhöhen, so dass in der zweiten Stufe an den angegebenen Orten die Signale $e_2(k)$, $y_2(k)$, $x_2(k)$ und $z_2(k)$ vorliegen.

Die Quantisierungsfunktion $q_1(e_1(k))$ der ersten Stufe entspricht derjenigen gemäß der ersten bevorzugten Ausführungsform 100 gemäß Fig. 1. Die Quantisierungsfunktion $q_2(e_2(k))$ der zweiten Stufe lautet:

$$y_2(k) = \begin{cases} 1/2, falls \;\; e_2(k) > 1/4 \\ 0, falls \;\; abs(e_2(k)) \leq 1/4 \\ -1/2, falls \;\; e_2(k) < -1/4 \end{cases}$$

In der dritten bevorzugten Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers 300 ist analog zur zweiten Ausführungsform 200 eine dritte Stufe vorgesehen (N = 3), welche zwei Differenzierer 28 aufweist. Alle in den jeweiligen Stufen gleiche Teile sind mit gleichen Bezugsziffern bezeichnet, so dass zu deren Erläuterung auf obige Ausführungen in Bezug auf Fig. 1 und 2 verwiesen wird. Die entsprechenden Signale $e_3(k)$, $y_3(k)$, $x_3(k)$ und $z_3(k)$ der dritten Stufe liegen jeweils an den Orten 14, 18, 21 und 26 vor. Die jeweiligen Ausgangssignale $y_1(k)$, $y_2(k)$ und $y_3(k)$ sind wieder über die dritten Addierer 30 der jeweiligen Stufen zum Ausgangssignal y(k) bei 32 zusammengeführt.

Die Quantisierungsfunktionen $q_1(e_1(k))$ und $q_2(e_2(k))$ der ersten und zweiten Stufe entsprechen jeweils der Quantisierungsfunktion der ersten und zweiten Stufe gemäß der zweiten Ausführungsform 200 von Fig. 2. Die Quantisierungsfunktion $q_3(e_3(k))$ der dritten Stufe lautet:

$$y_3(k) = \begin{cases} 1/4, falls \;\; e_3(k) > 1/8 \\ 0, falls \;\; abs(e_3(k)) \leq 1/8 \\ -1/4, falls \;\; e_3(k) < -1/8 \end{cases}$$

Für eine Ausführungsform mit n Stufen, wobei n = 1, 2, 3, ... N, lautet die jeweilige Quantisierungsfunktion $q_n(e_n(k))$ der n-ten Stufe folgendermaßen:

$$y_n(k) = \begin{cases} 2^{(1-n)}, falls \;\; e_n(k) > 2^{-n} \\ 0 \quad\quad , falls \;\; abs(e_n(k)) \le 2^{-n} \\ -2^{(1-n)}, falls \;\; e_n(k) < -2^{-n} \end{cases}$$

mit jeweiligen Signalen $e_n(k)$, $y_n(k)$, $x_n(k)$ und $z_n(k)$, welche in der n-ten Stufe jeweils bei 14, 18, 21 und 26 vorliegen. Nach dem jeweils letzten Differenzierglied 28 der zweiten und jeder nachfolgenden n-ten Stufe ergibt sich ein jeweiliges Signal $y_{nd}(k)$ 34.

Der Betragsminderer 24 der jeweiligen Stufe führt dazu, dass nicht in herkömmlicherweise auf- bzw. abgerundet wird, sondern dass sich der Betrag des Signals $x_n(k)$ immer vermindert, es sei denn $x_n(k) = 0$. Mit anderen Worten entzieht jeder Betragsminderer 24 dem Sigma Delta D/A-Wandler Energie, so dass es sich bereits daraus anschaulich ergibt, dass es zu keinen Grenzzyklen kommen kann. Dies soll jedoch zusätzlich nachfolgend anhand der ersten bevorzugten Ausführungsform 100 gemäß Fig. 1 auch mathematisch verdeutlicht werden.

x(k) ist das digitale Eingangssignal bei 12 mit einem Wertebereich zwischen -1 und 1. $e_1(k)$ ist das Eingangssignal des Quantisierers 16. y(k) ist das Ausgangssignal des einstufigen Sigma Delta D/A-Wandlers 100 bei 32. In diesem Fall des einstufigen Sigma Delta A/D-Wandlers gilt $y_1(k) = y(k)$. Das Eingangssignal x(k) sei für den k_0-ten Abtastwert und davor, d.h. also bis zum Zeitpunkt $t_0 = k_0 * T$, nicht identisch Null und ab dem Zeitpunkt t_0 sei $x(k) = 0$, d.h.

$$x(k) = \begin{cases} x(k), k < k_0 \\ 0 \quad , sonst \end{cases}$$

Beispielsweise in Kommunikationssystemen tritt dieser Fall auf, wenn ab t_0 eine Modulationspause vorhanden ist. Im Verzögerungsglied 22 steht zu diesem Zeitpunkt t_0 ein Zahlenwert I0, den man als Anfangswert oder Startwert für einen Zeitabschnitt auffassen kann, in dem keine Anregung des Sigma Delta D/A-Wandlers existiert. Der Betragsminderer 24 führt folgende Funktion aus:

$$z_1(k) = \begin{cases} x_1(k) + 1LSB, falls \quad x_1(k) < 0 \\ 0 \qquad\qquad , falls \quad x_1(k) = 0 \\ x_1(k) - 1LSB, falls \quad x_1(k) > 0 \end{cases}$$

Hierbei bezeichnet LSB eine kleinste darstellbare Zahleneinheit. Alternativ ist es vorgesehen ein vielfaches von LSB zu addieren bzw. zu subtrahieren.

Es sei nun zum Zeitpunkt t_0 I0 = vz * $b/2^{(w-1)}$, wobei vz das Vorzeichen + bzw. -, b ein Zahlenwert und w eine Wortbreite in Zweierkomplementdarstellung ist. Beispielsweise bei 16 Bit ergibt sich eine Wertigkeit von 15 Bit, wobei ein Bit als Vorzeichen dient.

Im ersten Fall sei $b > 2^{14}$, was einem Wert im Verzögerungsglied von I0 > ½ entspricht. Somit ergibt sich

$$\begin{aligned} e_1(k) &= B[e_1(k-1) - y_1(k-1)] \\ &= B[e_1(k-1) - q_1(e_1(k-1))] \end{aligned}$$

wobei B die Betragsminderungsfunktion des Betragsminderers 24 und q_1 die Quantisierungsfunktion des Quantisierers 16 ist. Ferner gilt gemäß Annahme und durch Einsetzen

$$e_1(0) = I0 = b/2^{15} > ½$$

$$\begin{aligned} e_1(1) &= B[b/2^{15} - 2^{15}/2^{15}] && , e_1(0)>½ \Rightarrow q(e_1(0))=1 \\ &= B[(b-2^{15})/2^{15}] && , (b-2^{15})/2^{15} < 0 \\ &= (b+1-2^{15})/2^{15} \end{aligned}$$

Es gilt: $0 > e_1(1) > -½$

$$\begin{aligned} e_1(2) &= B[e_1(1) - q(e_1(1))] && , q(e_1(1))=0 \\ &= B[e_1(1)] \\ &= (b+2-2^{15})/2^{15} \end{aligned}$$

somit ergibt sich allgemein :

$$e_1(k) = \begin{cases} \frac{(b+k-2^{15})}{2^{15}}, \textit{falls } b+k < 2^{15} \\ 0 \qquad , \textit{sonst} \end{cases}$$

Für die Ausgangsfolge $y_1(k)$ ergibt sich somit

$$y_1(k) = \begin{cases} 1, \textit{falls } k = 0 \\ 0 \qquad , \textit{sonst} \end{cases}$$

Im zweiten Fall sei $0 < b < 2^{14}$. Dann gilt analog

$$e_1(k) = \begin{cases} \frac{(b-k)}{2^{15}} & , falls\ b-k>0 \\ 0 & , sonst \end{cases}$$

und $y_1(k)=0$ für alle k. Der dritte Fall mit $2^{14}<b<0$ beweist sich analog zum zweiten Fall und der vierte Fall mit $b<-2^{14}$ beweist sich analog zum ersten Fall.

Sowohl im betrachteten einstufigen Fall als auch bei Ausführungsformen 200 bzw. 300 mit mehreren Stufen liefert die erste Stufe des Sigma Delta D/A-Wandlers bei fehlender Anregung, d.h. Eingangssignal x(k) identisch Null, nach endlicher Zeit das Signal $e_1(k) = 0$. Diese Zeit lässt sich für den schlechtesten Fall folgendermaßen abschätzen:

$$t_{max} = (½ * 2^{(w-1)} + 1) * T \qquad \text{mit } T = 1/f_a,\ f_a \text{ Abtastfrequenz}$$

Nach dieser Maximalzeit ist das Signal $e_1(k) = 0$ und somit ebenfalls das Ausgangssignal des zweiten Addierers 20 $x_1(k) = 0$. Die zweite Stufe arbeitet analog zur ersten Stufe und liefert nach endlicher Zeit das Ausgangssignal $y_2(k) = 0$. Dieses Prinzip ist in naheliegender Weise auf n-stufige Sigma Delta D/A-Wandler ausdehnbar.

Es ergibt sich ferner durch die Wahl der erfindungsgemäßen Quantisierer der jeweiligen Stufen eine Reduktion des Wertebereiches des Ausgangssignals y(k), was nachfolgend anhand des zweistufigen Sigma Delta D/A-Wandlers 200 gemäß Fig. 2 näher erläutert wird.

Das Signal $y_1(k)$ nach dem Quantisierer 16 der ersten Stufe hat die möglichen Werte 1, 0, -1. Das Signal $y_2(k)$ nach dem Quantisierer 16 der zweiten Stufe hat die möglichen Werte ½, 0, -½. Nach dem Differenzierglied

28 in der zweiten Stufe ergeben sich für $y_{2d}(k)$ die möglichen Werte 1, ½, 0, -½, -1. Das Signal y(k) nach dem dritten Addierer 30 der ersten Stufe hat somit die möglichen Werte

$$2,\ 1\tfrac{1}{2},\ 1,\ \tfrac{1}{2},\ 0,\ -\tfrac{1}{2},\ -1,\ -1\tfrac{1}{2},\ -2$$

Jedoch existieren die Werte 2 und -2 am Ausgang 32 nicht, wie sich durch Widerspruch zeigen lässt:

Annahme: y(k)=2

$$\begin{aligned} y(k) = 2 \quad &<=> \ y_1(k) = 1 \text{ und } y_{2d}(k) = 1 \\ &<=> \ y_1(k) = 1 \text{ und } y_2(k) = \tfrac{1}{2} \text{ und } y_2(k-1) = -\tfrac{1}{2} \\ &<=> \ e_1(k) > \tfrac{1}{2} \text{ und } e_2(k) > \tfrac{1}{4} \text{ und } e_2(k-1) < -\tfrac{1}{4} \end{aligned}$$

Mit $q_1, q_2, \ldots q_n$ gleich der jeweiligen Quantisierungsfunktion der 1-ten, 2-ten, ... n-ten Stufe ergibt sich ferner:

$$\begin{aligned} e_2(k) &= e_2(k-1) - q_2(e_2(k-1)) + (e_1(k) - q_1(e_1(k))) \\ &= -\tfrac{1}{4} - eps_1 - (-\tfrac{1}{2}) + (\tfrac{1}{2} + eps_2 - 1) \qquad \text{mit } eps_1, eps_2 > 0 \\ &= eps_2 - eps_1 - \tfrac{1}{4} \\ \Leftrightarrow \quad \tfrac{1}{4} + eps_3 &= eps_2 - eps_1 - \tfrac{1}{4} \qquad \text{mit } eps3 > 0 \\ \Leftrightarrow \quad \tfrac{1}{2} &= eps_2 - eps_1 - eps_3 \end{aligned}$$

Dies ist jedoch ein Widerspruch, da $eps_2 <= \tfrac{1}{2}$ und $eps_1, eps_3 > 0$. Analog ergibt sich, dass y(k) = -2 nicht möglich ist.

Für die dritte bevorzugte Ausführungsform eines erfindungsgemäßen Sigma Delta D/A-Wandlers 300 gemäß Fig. 3 ergibt sich für den möglichen Wertebereich des Ausgangssignals y(k) bei 32 folgendes:

Das Signal $y_1(k)$ hat die möglichen Werte 1, 0, -1.
Das Signal $y_2(k)$ hat die möglichen Werte ½, 0, -½.
Das Signal $y_3(k)$ hat die möglichen Werte ¼, 0, -¼.
Nach dem Differnezierglied 28 der zweiten Stufe hat $y_{2d}(k)$ die möglichen Werte

1, ½, 0, -½, -1.

Nach dem zweichen Differenzierglied 28 der dritten Stufe hat $y_{3d}(k)$ die möglichen Werte

1, ¾, ½, ¼, 0, -¼, -½, -¾, -1.

Das Signal y(k) hat bei 32 damit folgenden theoretischen Wertebereich:
3, 2.75, 2.5, 2.25, 2, 1.75, 1.5, 1.25, 1, 0.75, 0.5, 0.25, 0, -0.25, -0.5, -0.75, -1, -1.25, -1.5, -1.75, -2, -2.25, -2.5, -2.75, -3

Von diesen 25 Zuständen treten nur die folgenden 15 Zustände auf,

1.75, 1.5, 1.25, 1, 0.75, 0.5, 0.25, 0, -0.25, -0.5, -0.75, -1, -1.25, -1.5, -1.75

was sich wiederum durch analogen Widerspruch wie zuvor beweisen lässt.

Zusammenfassend ergibst sich erfindungsgemäß ein Sigma Delta D/A-Wandler mit asymptotisch stabilem Verhalten, beispielsweise mit drei Stufen (Fig. 3), bei dem keine Grenzzyklen existieren und der ein Eingangssignal Null in endlicher Zeit auf ein Ausgangssignal Null abbildet, wodurch sich eine Minimierung des Rauschens in solchen Zeiten ergibt, in

denen der erfindungsgemäße Sigma Delta D/A-Wandler nicht angeregt wird. Durch die spezielle Wahl der Quantisierungsfunktion $q_n(e_n(k)$ benötigt beispielsweise der dreistufige Sigma Delta D/A-Wandler 300 gemäß Fig. 3 lediglich 15 Ausgangsstufen, wodurch sich ein entsprechender Aufwand nachfolgender Schaltungen, beispielsweise eines Widerstandsnetzwerkes oder entsprechender Strompumpen, auch bei hohen Wortbreiten w von beispielsweise 32 Bit, erheblich reduziert.

Patentansprüche

1. Sigma Delta D/A-Wandler (100, 200, 300) mit N Stufen, wobei die n-te Stufe, mit n = 1, 2, 3 ... N, folgendes umfasst: einen ersten Addierer (10), welcher ein Nutzsignal x(k) (12) mit einem Fehlersignal $err_n(k-1)$ zu einem Eingangssignal $e_n(k)$ (14) addiert, einen Quantisierer (16), welcher das Eingangssignal $e_n(k)$ (14) gemäß einer vorbestimmten Quantisierungsfunktion zu einem Ausgangssignal $y_n(k)$ (18) quantisiert, sowie einen zweiten Addierer (20), welcher das Eingangssignal $e_n(k)$ (14) mit dem invertierten Ausgangssignal $y_n(k)$ zu $x_n(k)$ (21) addiert und einem Verzögerungsglied (22) zuführt, welches das Signal $x_n(k)$ (21) um eine Taktperiode verzögert als das Fehlersignal $err_n(k-1)$ an den ersten Addierer (10) abgibt,
dadurch gekennzeichnet, dass
zwischen dem zweiten Addierer (20) und dem Verzögerungsglied (22) ein Betragsminderer (24) vorgesehen ist, welcher das Signal $x_n(k)$ (21) unverändert belässt, wenn $x_n(k)=0$ ist und ansonsten den Betrag $|x_n(k)|$ des Signals $x_n(k)$ (21) um wenigstens eine kleinste darstellbare Zahleneinheit erniedrigt, wobei die Quantisierungsfunktion des Quantisierers (16) der n-ten Stufe des Sigma Delta D/A-Wandlers (100, 200, 300) folgendermaßen lautet,

$$y_n(k) = \begin{cases} 2^{(1-n)}, falls \;\; e_n(k) > 2^{-n} \\ 0 \quad\quad , falls \;\; abs(e_n(k)) \le 2^{-n} \\ -2^{(1-n)}, falls \;\; e_n(k) < -2^{-n} \end{cases}$$

2. Sigma Delta D/A-Wandler (200, 300) nach Anspruch 1, dadurch gekennzeichnet, dass ein Nutzsignal der n-ten Stufe, mit n>1, das Ausgangssignal $x_{n-1}(k)$ (21) des zweiten Addierers (20) der (n-1)-ten Stufe ist.

3. Sigma Delta D/A-Wandler (200, 300) nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die n-te Stufe (n-1) Differenzierer (28) aufweist, welche dem Quantisierer (16) nachgeschaltet sind.

4. Sigma Delta D/A-Wandler (200, 300) nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die ersten (N-1) Stufen, mit N>1, jeweils einen dritten Addierer (30) aufweisen, welcher im Falle der ersten Stufe dem Quantisierer (16) und im Falle der zweiten bis (N-1)-ten Stufe den Differenzieren (28) nachgeschaltet ist, wobei jeder dritte Addierer (30) der ersten bis zur (N-2)-ten Stufen mit dem jeweiligen dritten Addierer (30) der nächst höheren Stufe verbunden ist und der dritte Addierer (30) der (N-1)-Stufe mit dem letzten Differenzierer (28) der N-ten Stufe verbunden ist.

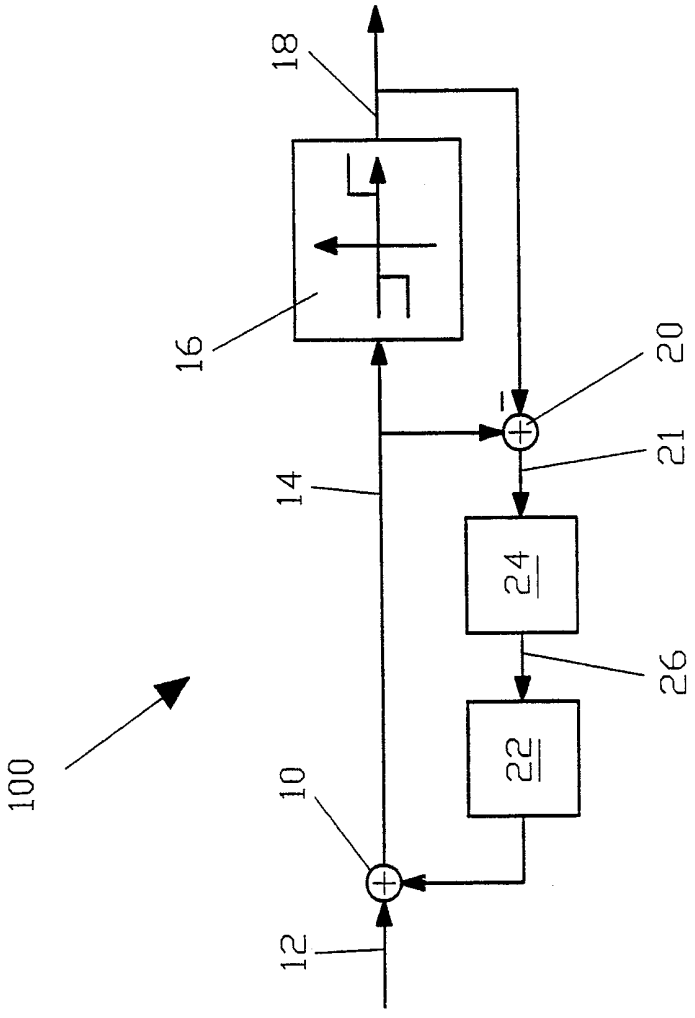


Fig.1

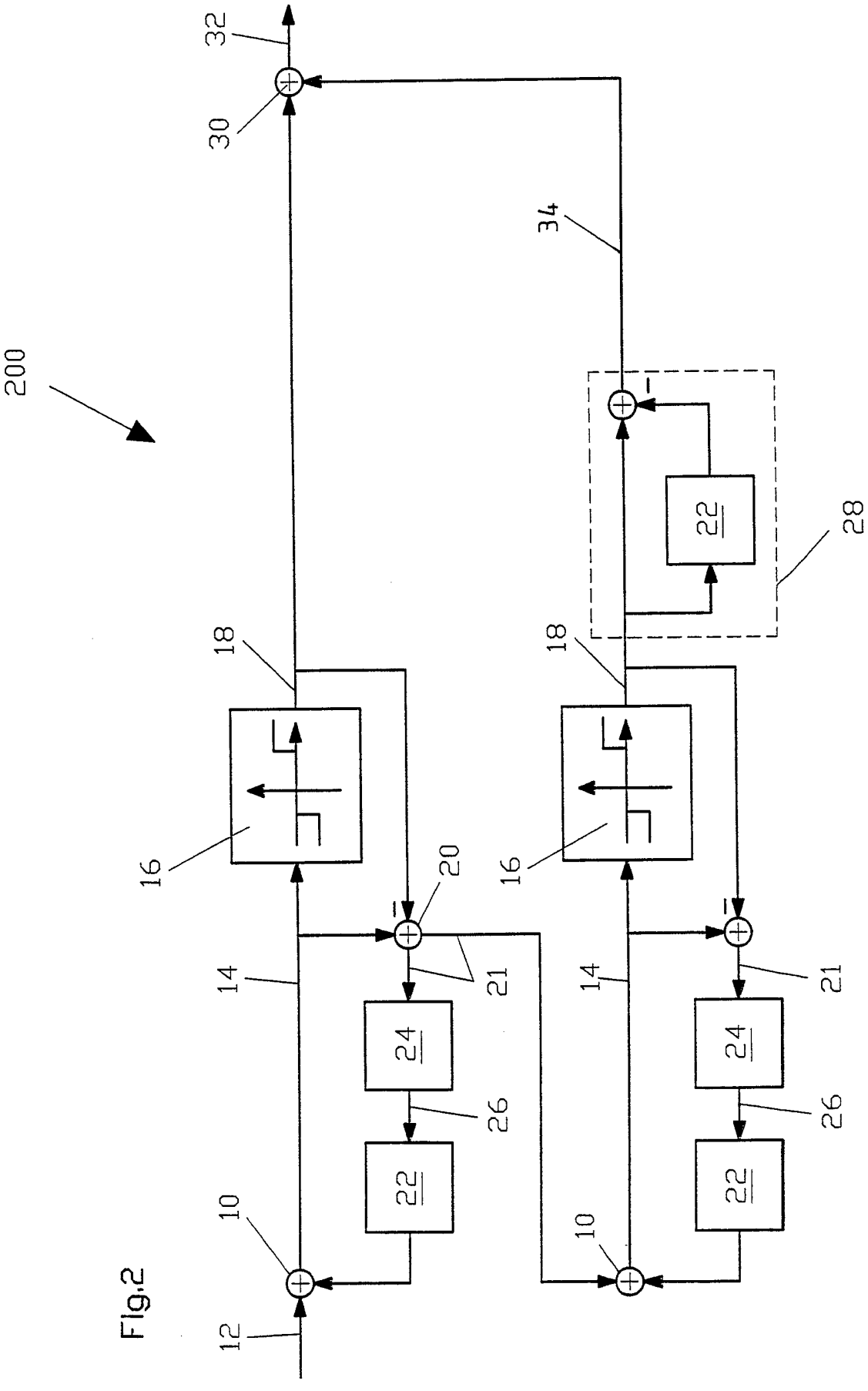


Fig.2

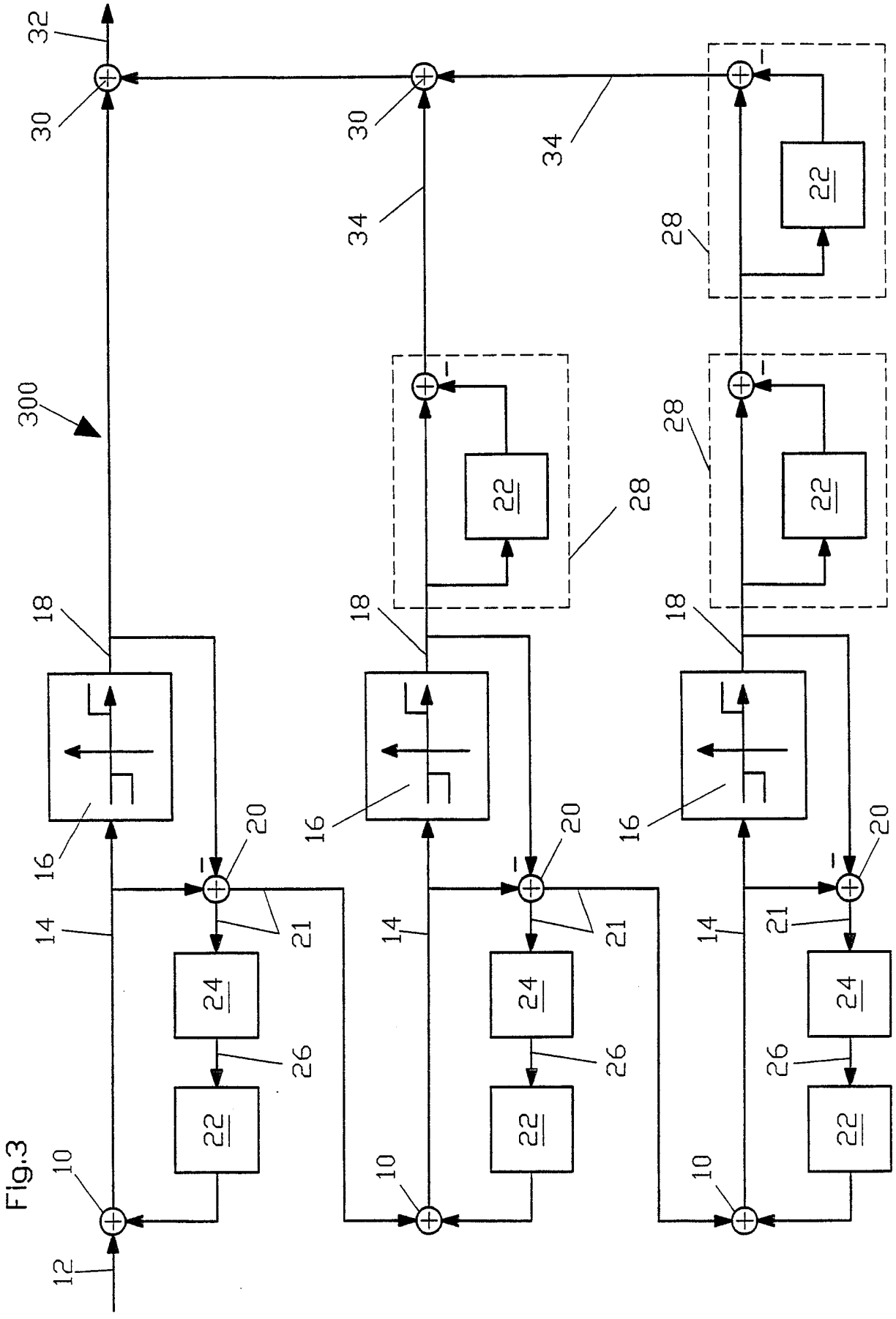


Fig.3