



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년10월16일

(11) 등록번호 10-1561209

(24) 등록일자 2015년10월12일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 출원번호 10-2011-7009989

(22) 출원일자(국제) 2009년09월28일
심사청구일자 2014년09월26일

(85) 변역문제출일자 2011년04월29일

(65) 공개번호 10-2011-0081254

(43) 공개일자 2011년07월13일

(86) 국제출원번호 PCT/US2009/058629

(87) 국제공개번호 WO 2010/037036
국제공개일자 2010년04월01일

(30) 우선권주장
12/240,682 2008년09월29일 미국(US)

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 페.오.박스
3453 원 에이엠디 플레이스

(72) 발명자
양 프란크 빈
미국 뉴저지 07430 마화 디아블로 코트 424
팔 로히트
미국 뉴욕 12524 피쉬킬 #18씨 그린힐 드라이브 5
하그로브 마이클 제이.

(74) 대리인
박장원

(56) 선행기술조사문현
KR1020080074737 A*
KR1020060062268 A*
KR1020080035674 A*
*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 13 항

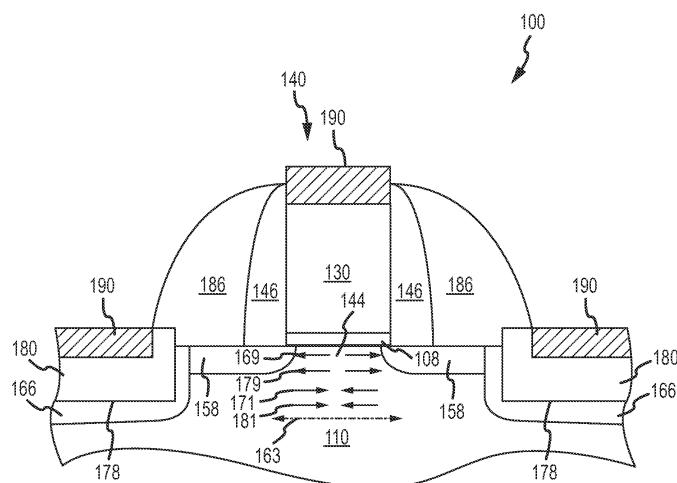
심사관 : 심병로

(54) 발명의 명칭 크게 스트레스받는 채널들을 구비한 MOS 디바이스들을 제조하는 방법

(57) 요약

실리콘 함유 기판을 포함하는 반도체 디바이스를 형성하는 방법이 제공된다. 하나의 예시적 방법은, 상기 실리콘 함유 기판 위에 놓이는 폴리실리콘 층을 증착하는 단계와, 상기 폴리실리콘 층을 비정질화하는 단계와, 상기 비정질화된 폴리실리콘 층을 에칭하여 게이트 전극을 형성하는 단계와, 상기 게이트 전극 위에 놓이는 스트레스 유발 층을 증착하는 단계와, 상기 실리콘 함유 기판을 어닐링하여 상기 게이트 전극을 재결정화하는 단계와, 상기 스트레스 유발 층을 제거하는 단계와, 상기 게이트 전극을 에칭 마스크로서 사용하여 상기 기판에 리세스들을 에칭하는 단계와, 그리고 상기 리세스들에, 불순물 도핑된 실리콘 함유 영역들을 에피택셜 성장시키는 단계를 포함한다.

대표 도 - 도12



명세서

청구범위

청구항 1

실리콘 함유 기판을 포함하는 반도체 디바이스를 형성하는 방법으로서, 상기 실리콘 함유 기판 위에 놓이는(overlaying) 폴리실리콘 층을 증착하는 단계와; 상기 폴리실리콘 층을 비정질화(amorphizing)하는 단계와; 상기 비정질화된 폴리실리콘 층을 에칭하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극 위에 놓이는 스트레스 유발 층을 증착하는 단계와; 상기 스트레스 유발 층이 존재하는 상태에서 상기 실리콘 함유 기판을 어닐링하여 상기 게이트 전극을 재결정화(recrystallize)하는 단계와; 상기 스트레스 유발 층을 제거하는 단계와; 그리고 상기 스트레스 유발 층을 제거한 후, 상기 게이트 전극을 에칭 마스크로서 사용하여 상기 기판에 리세스(recess)들을 에칭하는 단계 및 상기 리세스들에 불순물 도핑된 실리콘 함유 영역들을 에피택셜 성장시키는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 2

제1항에 있어서,

상기 폴리실리콘 층을 비정질화(amorphizing)하는 단계는 상기 폴리실리콘층을 이온주입 공정으로 비정질화 하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 3

제1항에 있어서,

상기 스트레스 유발 층을 증착하는 단계는 30nm 내지 70nm 범위의 두께를 갖는 스트레스 유발층을 증착하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 4

제1항에 있어서,

상기 스트레스 유발 층을 증착하는 단계는 인장성 스트레스 유발 실리콘 나이트라이드 층을 증착하는 것을 포함하는 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 5

제1항에 있어서,

상기 스트레스 유발 층을 증착하는 단계는 압축성 스트레스 유발 실리콘 나이트라이드 층을 증착하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 6

제1항에 있어서,

상기 불순물 도핑된 실리콘 함유 영역들을 에피택셜 성장시키는 단계는 탄소 혹은 게르마늄을 더 포함하는 불순물 도핑된 실리콘 함유 영역들을 에피택셜 성장시키는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 7

제1항에 있어서,

상기 리세스들을 에칭하는 단계는 50nm 내지 100nm 범위의 깊이를 갖는 리세스들을 에칭하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스를 형성하는 방법.

청구항 8

제 1 표면을 갖는 실리콘 함유 기판상 및 그 내부에 MOS 트랜지스터를 제조하는 방법으로서,

상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이는(overlaying) 폴리실리콘 층을 증착하는 단계와;

상기 폴리실리콘 층을 비정질화하는 단계와;

상기 폴리실리콘 층으로부터 제조되며 측벽들을 갖는 게이트 전극을 포함하는 게이트 스택(gate stack)을 형성하는 단계와, 여기서 상기 게이트 스택은 상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이도록 배치되며;

상기 게이트 전극의 상기 측벽들에 인접하는(adjacent) 오프셋 스페이서(offset spacer)들을 형성하는 단계와;

상기 게이트 스택, 상기 오프셋 스페이서들, 및 상기 제 1 표면 위에 놓이는 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계와;

상기 스트레스 유발 실리콘 나이트라이드 층이 존재하는 상태에서 상기 실리콘 함유 기판을 어닐링하는 단계와;

상기 스트레스 유발 실리콘 나이트라이드 층을 제거하는 단계와;

상기 게이트 스택 및 상기 오프셋 스페이서들을 에칭 마스크로서 사용하여 상기 실리콘 함유 기판의 상기 제 1 표면을 에칭하여 상기 실리콘 함유 기판에 리세스들을 형성하는 단계와, 여기서 상기 에칭은 상기 스트레스 유발 실리콘 나이트라이드 층을 제거하는 단계 후에 수행되며; 그리고

상기 리세스들에 불순물 도핑된 실리콘 함유 영역들을 에피택셜 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

청구항 9

제8항에 있어서,

상기 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계는 30nm 내지 70nm 범위의 두께를 갖는 스트레스 유발 실리콘 나이트라이드 층을 증착하는 것을 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

청구항 10

제8항에 있어서,

상기 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계는 인장성 스트레스 유발 실리콘 나이트라이드 층을 증착하는 것을 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

청구항 11

제8항에 있어서,

상기 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계는 압축성 스트레스 유발 실리콘 나이트라이드 층을 증착하는 것을 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

청구항 12

제8항에 있어서,

상기 실리콘 함유 기판의 상기 제 1 표면을 에칭하는 단계는 50nm 내지 100nm 범위의 깊이를 갖는 리세스들을 형성하도록 상기 실리콘 함유 기판의 상기 제 1 표면을 에칭하는 것을 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

청구항 13

제8항에 있어서,

상기 불순물 도핑된 실리콘 함유 영역들을 에피택셜 형성하는 단계는 탄소 혹은 게르마늄을 더 포함하는 불순물 도핑된 실리콘 함유 영역들을 에피택셜 형성하는 것을 포함하는 것을 특징으로 하는 MOS 트랜지스터를 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 디바이스를 제조하는 방법에 관한 것으로, 특히 크게 스트레스받는 채널들을 구비한 메탈 옥사이드 반도체 디바이스들을 제조하는 방법에 관한 것이다.

배경 기술

[0002] 대다수의 현재 사용되는 집적 회로(integrated Circuit, IC)들은, 메탈 옥사이드 반도체 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, MOSFET)들 혹은 간단히 MOS 트랜지스터들로도 불리는 복수의 상호연결된 전계 효과 트랜지스터들(Field Effect Transistor, FET)을 사용하여 구현된다. MOS 트랜지스터는 반도체 기판 위에 배치되는 제어 전극으로서 게이트 전극을 포함하고, 그리고 기판 내에 배치되는 서로 이격된 소스 영역과 드레인 영역을 포함하며, 이 영역들 사이에 전류가 흐를 수 있다. 게이트 전극에 인가되는 제어 전압은 기판 내의 소스 영역과 드레인 영역 사이의 채널을 통해 흐르는 전류의 흐름을 제어한다.

[0003] 트랜지스터 디바이스의 성능은 다수 캐리어들의 이동도를 증진시키기 위해 채널 영역에 적절한 스트레스를 인가함으로써 개선될 수 있다고 잘 알려져 있다. 예를 들어, N-채널 MOS(NMOS) 트랜지스터에서의 다수 캐리어인 전자의 이동도는 채널에 인장성의 길이 방향 스트레스를 인가함으로써 증가될 수 있다. 유사하게, P-채널 MOS(PMOS) 트랜지스터에서의 다수 캐리어인 정공의 이동도는 압축성의 길이 방향 채널 스트레스를 인가함으로써 증가될 수 있다. 인장성 및 압축성 스트레스 라이너 필름(liner film)들이, 65 nm, 45 nm, 및 32 nm 기술 노드들에 있어서, NMOS 및 PMOS 디바이스들 양쪽 모두에 대한 채널 스트레스 유발 층들로서 각각 통합된다. 그러나, 이러한 필름들의 두께가 디바이스 퍼치와 함께 감소하기 때문에, 인가된 스트레스 및 이에 따른 달성되는 성능적 혜택이 또한 각각의 새로운 기술 세대에 따라 감퇴한다.

[0004] 따라서, 크게 스트레스받는 채널을 갖는 MOS 디바이스들을 제조하는 방법을 제공하는 것이 바람직하다. 더욱이, 본 발명의 다른 바람직한 특징 및 특성은 첨부되는 도면 및 본 발명의 배경기술 부분과 연계되어 설명되는 본 발명의 후속하는 상세한 설명 및 첨부되는 특허청구범위로부터 명백하게 될 것이다.

발명의 내용

과제의 해결 수단

[0005] 본 발명의 예시적 실시예들에 따르면, 실리콘 함유 기판을 포함하는 반도체 디바이스를 형성하는 방법이 제공된다. 하나의 예시적 방법은 상기 실리콘 함유 기판 위에 놓이는 폴리실리콘 층을 증착하는 단계와, 상기 폴리실리콘 층을 비정질화(amorphizing)하는 단계와, 상기 비정질화된 폴리실리콘 층을 에칭하여 게이트 전극을 형성하는 단계와, 상기 게이트 전극 위에 놓이는 스트레스 유발 층을 증착하는 단계와, 상기 실리콘 함유 기판을 어닐링하여 상기 게이트 전극을 재결정화하는 단계와, 상기 스트레스 유발 층을 제거하는 단계와, 상기 게이트 전극을 에칭 마스크로서 사용하여 상기 기판에 리세스(recess)들을 에칭하는 단계와, 그리고 상기 리세스들에, 불순물 도핑된 실리콘 함유 영역들을 에피택셜 성장시키는 단계를 포함한다.

[0006] 본 발명의 또 다른 예시적 실시예에 따르면, 제 1 표면을 갖는 실리콘 함유 기판 상에 그리고 상기 실리콘 함유 기판 내에 MOS 트랜지스터를 제조하는 방법이 제공된다. 이 방법은, 상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이는 폴리실리콘 층을 증착하는 단계와, 상기 폴리실리콘 층을 비정질화하는 단계와, 상기 폴리실리콘 층으로부터 제조되며 측벽들을 갖는 게이트 전극을 포함하는 게이트 스택(gate stack)을 형성하는 단계와, 여기서 상기 게이트 스택은 상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이도록 배치되며, 상기 게이트 전극의 상기 측벽들에 인접하는 오프셋 스페이서(offset spacer)들을 형성하는 단계와, 상기 게이트 스택, 상기 오프셋 스페이서들, 및 상기 제 1 표면 위에 놓이는 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계와, 상기

실리콘 함유 기판을 어닐링하는 단계와, 상기 스트레스 유발 실리콘 나이트라이드 층을 제거하는 단계와, 상기 제거하는 단계 이후에, 상기 게이트 스택 및 상기 오프셋 스페이서들을 에칭 마스크로서 사용하여 상기 실리콘 함유 기판의 상기 제 1 표면을 에칭하여 상기 실리콘 함유 기판에 리세스들을 형성하는 단계와, 그리고 상기 리세스들에, 불순물 도핑된 실리콘 함유 영역들을 에피택셜 형성하는 단계를 포함한다.

[0007] 본 발명의 또 다른 예시적 실시예에 따르면, 제 1 표면을 갖는 실리콘 함유 기판 상에 그리고 상기 실리콘 함유 기판 내에 MOS 트랜지스터를 제조하는 방법이 제공된다. 이 방법은 상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이는 폴리실리콘 층을 증착하는 단계와, 상기 폴리실리콘 층을 비정질화하는 단계와, 상기 폴리실리콘 층으로부터 제조되며 측벽들을 갖는 게이트 전극을 포함하는 게이트 스택을 형성하는 단계와, 여기서 상기 게이트 스택은 상기 실리콘 함유 기판의 상기 제 1 표면 위에 놓이도록 배치되고, 상기 게이트 전극의 상기 측벽들에 인접하는 오프셋 스페이서들을 형성하는 단계와, 상기 게이트 스택 및 상기 오프셋 스페이서들을 에칭 마스크로서 사용하여 상기 실리콘 함유 기판의 상기 제 1 표면을 에칭하여 상기 실리콘 함유 기판에 리세스들을 형성하는 단계와, 여기서 상기 리세스들은 상기 실리콘 함유 기판의 제 2 표면들을 노출시키고, 상기 게이트 스택, 상기 오프셋 스페이서들, 및 상기 제 2 표면들 위에 놓이는 스트레스 유발 실리콘 나이트라이드 층을 증착하는 단계와, 상기 실리콘 함유 기판을 어닐링하는 단계와, 상기 스트레스 유발 실리콘 나이트라이드 층을 제거하는 단계와, 그리고 상기 리세스들에, 불순물 도핑된 실리콘 함유 영역들을 에피택셜 형성하는 단계를 포함한다.

[0008] 본 발명은 다음의 제시되는 도면들과 연계되어 이후 설명될 것이며, 도면에서 동일한 참조 번호는 동일한 구성 요소를 표시한다.

도면의 간단한 설명

[0009] 도 1 내지 도 12는 본 발명의 예시적 실시예에 따른 MOS 트랜지스터를 제조하는 방법을 단면도로 도식적으로 나타낸 것이다.

도 13 내지 도 18은 본 발명의 또 다른 예시적 실시예에 따른 MOS 트랜지스터를 제조하는 방법을 단면도로 도식적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명의 다음의 상세한 설명은, 성질상 단지 예시적으로 제공되는 것이며, 본 발명을 한정하거나 혹은 본 발명의 응용 및 용도를 한정하려는 것이 아니다. 더욱이, 본 발명의 앞서의 배경기술 부분 혹은 본 발명의 다음의 상세한 설명에서 제시되는 어떤 이론에 의해 한정되도록 의도되지도 않았다.

[0011] 크게 스트레스받는 채널들을 갖는 MOS 디바이스들을 제조하는 방법이 본 명세서에서 제시된다. 이 방법은, 본 발명에 따라 형성되는 트랜지스터 디바이스들의 성능을 증가시키기 위해, 최대 32 nm 및 그 이상의 기술 노드에서 사용될 수 있다. 본 발명의 다양한 실시예들은 결과적으로, NMOS 디바이스들의 채널 영역에 길이 방향 인장성 스트레스(longitudinally-oriented tensile stress) 및 수직 방향 압축성 스트레스(vertically-oriented compressive stress)를 발생시키고, 그리고 PMOS 디바이스들의 채널 영역에 길이 방향 압축성 스트레스 및 수직 방향 인장성 스트레스를 발생시킨다. NMOS 디바이스들에서, 에피택셜 성장된 eSi:C 소스 및 드레인 스트레서 웨이퍼들이(증착된) 희생적 스트레스 유발 층들과 통합되어, 단독으로 사용된 그 어떤 기술보다 결과적으로 길이 방향 인장성 스트레스/수직방향 압축성 스트레스를 증진시키는 부가적인 스트레스 효과를 제공한다. PMOS 디바이스들에서, 에피택셜 성장된 eSi:Ge 소스 및 드레인 스트레서 웨이퍼들이, 희생적 압축성 스트레스 유발 층들과 통합되어, 증진된 길이방향 압축성 스트레스/수직방향 인장성 스트레스를 제공한다. 이러한 방법은 스트레스 유발 프로세스들의 신규한 조합(이 경우, 프로세스들은 각각의 프로세스의 개별 스트레스 기여도를 혼합시킴 없이 함께 사용될 수 있음)을 포함한다.

[0012] 도 1 내지 도 12는 본 발명의 예시적 실시예에 따른 MOS 트랜지스터(100)를 제조하기 위한 방법을 그 단면도로 도시적으로 나타낸 것이다. 용어 "MOS 트랜지스터"가 사실상 금속 게이트 전극 및 옥사이드 게이트 절연체를 갖는 디바이스를 말하지만, 이 용어는 본 명세서 전반에 걸쳐, 게이트 절연체(옥사이드이거나 혹은 다른 절연체일 수 있음) 위에 배치되는 전도성 게이트 전극(금속이거나 혹은 다른 전도성 물질일 수 있음)을 포함하는 임의의 반도체 디바이스를 말하는 것으로 사용될 것이다(여기서 게이트 절연체는 또한 실리콘 함유 기판 위에 배치됨). 본 명세서에서 설명되는 실시예들은 N-채널 MOS(NMOS) 트랜지스터 및 P-채널 MOS(PMOS) 트랜지스터 양쪽 모두에 대해 설명한다. 단지 하나의 MOS 트랜지스터의 제조가 예시되지만, 도 1 내지 도 12에 제시되는 방법은 임의 개수의 이러한 트랜지스터들을 제조하는데 사용될 수 있음을 이해해야 할 것이다. MOS 커먼트들의 제조

에 있어 다양한 단계들이 잘 알려져 있고, 따라서 간결한 설명을 위해, 종래의 많은 단계들이 본 명세서에서 간단히 언급만되거나 혹은 잘 알려진 프로세스를 세부적으로 제공함이 없이 전체적으로 생략될 것이다.

[0013] 도 1을 참조하면, 본 방법은 실리콘 기판(110) 위에 놓이는 게이트 절연체 층(104)을 형성함으로써 시작한다. 용어 "실리콘 기판"은, 반도체 산업에서 전형적으로 사용되는 상대적으로 순수한 실리콘 물질을 포함할 뿐만 아니라 게르마늄, 탄소, 등과 같은 다른 원소와 혼합된 실리콘을 포함하도록 본 명세서에서 사용된다. 실리콘 기판은 벌크 실리콘 웨이퍼일 수 있거나, 혹은 절연층 상의 얇은 실리콘 층(일반적으로 실리콘-온-절연체 (Silicon-On-Insulator) 혹은 SOI로 알려져 있음)일 수 있으며, 이것은 또한 캐리어 웨이퍼에 의해 지지된다. 적어도 실리콘 기판의 표면 영역(106)은, 예를 들어 PMOS 트랜지스터 및 NMOS 트랜지스터의 제조를 위한 N-타입 웰 영역 및 P-타입 웰 영역을 각각 형성함으로써, 불순물 도핑된다. 만약 실리콘 기판이 SOI 타입이라면, 얇은 실리콘 층의 두께는 바람직하게는, 아래에서 더 상세히 설명되는, 에피택설 깊은 소스 및 드레인 영역들이 적어도 약 10 nm만큼 절연층으로부터 떨어져 있도록 하기에 충분한 두께이다.

[0014] 전형적으로, 게이트 절연층(104)은, 열적으로 성장된 실리콘 다이옥사이드 혹은 대안적으로(설명된 바와 같이), 증착된 절연체, 예를 들어, 실리콘 옥사이드, 실리콘 나이트라이드, HfO_2 , Al_2O_3 등을 포함할 수 있다. 증착된 절연체들은, 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition, CVD), 저압 화학적 기상 증착(Low Pressure Chemical Vapor Deposition, LPCVD), 또는 플라즈마 강화 화학적 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD)에 의해 증착될 수 있다. 게이트 절연체 층(104)은 바람직하게는 약 1-10 nm의 두께를 갖지만, 실제 두께는 구현되는 회로에서의 트랜지스터의 애플리케이션에 근거하여 결정될 수 있다.

[0015] 게이트 전극 층(114)이 게이트 절연층(104) 위에 놓이도록 형성되고, 그리고 본 발명의 일 실시예에 따른, 비도핑 다결정성 실리콘을 포함한다. 게이트 전극 층(114)은 실란(silane)(SiH_4)의 수소 환원에 의한 LPCVD에 의해 증착될 수 있고, 아울러 약 50 nm 내지 약 100 nm 범위의 두께를 가지며, 바람직하게는 약 70 nm의 두께를 가진다. 게이트 층(114)의 형태는 그 다음에, 고에너지 이온 주입 프로세스를 사용하여 다결정성으로부터 비정질로 변환된다. 예시적 일 실시예에서, 제논(Xe) 혹은 게르마늄(Ge) 혹은 실리콘(Si)의 이온들(화살표 118로 표시됨)이 게이트 전극 층(114)에 주입된다. 또 다른 예시적 실시예에서, 이온들은, 약 3 keV 내지 약 20 keV의 가속 전압과, 약 $1 \times 10^{14} \text{ cm}^{-2}$ 내지 약 $5 \times 10^{15} \text{ cm}^{-2}$ 범위의 주입량을 사용하여 주입된다. 게이트 전극 층(114)을 비정질화하는데 사용되는 특정 에너지 및 주입량은 이 층의 두께에 따라 대응하여 달라진다.

[0016] 도 2를 참조하면, 실리콘 옥사이드를 포함하는 옥사이드 캡핑 층(122)이 게이트 전극 층(114) 위에 놓이도록 증착된다. 옥사이드 캡핑 층(122)은, 비정질화된 게이트 전극 층(114)의 재결정화를 피하기 위해 저온 증착 프로세스를 사용하여 증착된다. 예를 들어, 옥사이드 캡핑 층(122)은 SiH_4 혹은 테트라에틸오소실리케이트 (TetraEthylOrthoSilicate $\text{Si}(\text{OC}_2\text{H}_5)_4$ (TEOS))를 사용하여 LPCVD 프로세스를 통해 증착될 수 있다. 대안적으로, PECVD 프로세스는 SiH_4 와 함께 사용될 수 있고 그리고 반응물로서 산소(O_2) 혹은 아산화질소(N_2O)와 함께 사용될 수 있다. 옥사이드 캡핑 층(122)의 두께는 약 5 nm 내지 약 10 nm 범위에 있고, 바람직하게는 약 8 nm의 두께를 갖는다. 다음으로, 실리콘 나이트라이드(Si_3N_4)를 포함하는 나이트라이드 캡핑 층(126)이 옥사이드 캡핑 층(122) 위에 놓이도록 증착된다. 나이트라이드 캡핑 층(126)은 또한, 비정질화된 게이트 전극 층(114)의 재결정화를 피하기 위해 저온 증착 프로세스를 사용하여 증착되고, 그리고, 예를 들어, 아르곤(Ar) 플라즈마의 존재 하에 SiH_4 및 암모니아(NH_3) 혹은 질소(N_2)를 사용하는 PECVD 프로세스에 의해 증착될 수 있다. 나이트라이드 캡핑 층(126)의 두께는 약 10 nm 내지 약 50 nm 범위에 있고, 바람직하게는 약 20 nm 내지 약 40 nm의 두께를 갖는다.

[0017] 도 3을 참조하면, 나이트라이드 캡핑 층(126)이 포토리소그래피 및 반응성 이온 에칭(Reactive Ion Etch, RIE) 시퀀스를 사용하여 패터닝되어 나이트라이드 캡(138)이 형성된다. 나이트라이드 캡핑 층(126)이 예를 들어, 탄소 트리플루오라이드/산소(carbon trifluoride/oxygen)(CHF_3/O_2) 플라즈마 화학을 사용하여 에칭될 수 있다. 이러한 에칭 이후에, 옥사이드 캡핑 층(122), 게이트 전극 층(114), 및 게이트 절연 층(104)이 순차적으로, 나이트라이드 캡(138) 및/또는 임의의 잔존 포토레지스트를 에칭 마스크로서 사용하여 이방성으로 에칭된다. 각각의 층에 있어서, 선택적 에칭 프로세스가, 나이트라이드 캡(138)의 부식을 최소화시키기 위해 사용되고, 그리고 옥사이드 캡핑 층(122)을 에칭하기 위해 CH_3^- 혹은 HBr/O_2 화학을 포함할 수 있다. 이러한 에칭이 완료될 때, 게이트 유전체(108), 게이트 전극(130), 옥사이드 캡(134), 및 나이트라이드 캡(138)을 포함하는 게이트 스택(140)이 형성된다. 다음으로, 임

의의 잔존하는 포토레지스트가 제거되고, 그리고 실리콘 옥사이드를 포함하는 제 1 유전체 층(142)이 MOS 트랜지스터(100) 위에 놓이도록 컨포멀하게 블랭킷 증착된다.

[0018]

다음으로, 제 1 유전체 층(142)이, 옥사이드 및 나이트라이드를 에칭하기 위해 앞서 설명된 바와 같은 방법을 사용하여 이방성으로 에칭되어, 도 4에 예시된 바와 같이, 게이트 스택(140)의 측벽들을 따라 오프셋 스페이서(offset spacer)들(146)이 형성된다. 오프셋 스페이서들(146)은 비정질화된 폴리실리콘 게이트 전극(130)의 재결정화를 피하기 위해 저온 증착 및 에칭 프로세스를 사용하여 형성된다. 이러한 이유로, 게이트 전극(130)의 측벽들을 따라 열 산화 성장(thermal oxidative growth)과 같은 고온 프로세스를 사용하여 형성되는 측벽 스페이서들이 피해진다. 오프셋 스페이서들(146)은 그 베이스에서 약 10 nm 내지 약 20 nm 범위에 있는 최종 두께까지 에칭된다. 오프셋 스페이서들(146)의 형성 이후, 소스 및 드레인 연장부(158)가 기판(110)을 불순물 도핑시킴으로써 형성되는데, 예를 들어, MOS 트랜지스터(100)의 극성에 적합한 (화살표 150으로 예시된) 도편트 이온들의 이온 주입에 의해 형성된다. 게이트 스택(140) 및 오프셋 스페이서들(146)이 연장부(158)의 자기 정렬을 제공하기 위해 주입 마스크로서 사용된다. 게이트 채널(144)로부터 연장부(158)의 분리는, 앞서 설명된 바와 같이 더 많은 혹은 더 적은 에칭을 수행하여 오프셋 스페이서들(146)의 목표 두께를 변경함으로써 조정될 수 있다. N-채널 MOS 트랜지스터에 있어, 소스 및 드레인 연장부들(158)은 바람직하게는, 비소(As) 이온들(하지만, 인(P) 이온들이 또한 사용될 수도 있음)을 주입함으로써 형성된다. 이러한 주입 프로세스에 대해 사용되는 가속 전압은 약 2 KeV 내지 약 5 KeV 범위에 있고, 주입량은 약 $1 \times 10^{15} \text{ cm}^{-2}$ 내지 약 $5 \times 10^{15} \text{ cm}^{-2}$ 범위에 있다. P-채널 MOS 트랜지스터에 있어서, 소스 및 드레인 연장부들(158)은 바람직하게는, 봉소(B) 이온들을 주입함으로써 형성된다. 약 0.5 KeV 내지 약 3 KeV의 가속 전압 및 약 $1 \times 10^{15} \text{ cm}^{-2}$ 내지 약 $5 \times 10^{15} \text{ cm}^{-2}$ 의 주입량이 사용된다. 그 다음에, MOS 트랜지스터(100)는, 실리콘 기판(110)의 표면(106) 상에 형성된 임의의 옥사이드를 제거하기 위해, 예를 들어, 저농도의 하이드로플로리산(hydrofluoric acid)을 사용하여 세정될 수 있다. 소스 및 드레인 연장부들(158)의 형성 이후에, 실리콘 나이트라이드를 포함하는 처분가능 스페이서 층이 MOS 트랜지스터(100) 위에 놓이도록 블랭킷 증착되고, 그리고 앞서 설명된 바와 같이, 이방성으로 에칭되어, 도 5에 예시된 바와 같이, 오프셋 스페이서들(146)에 인접하는 제 2 스페이서들(154)(이것은 종종 처분가능 스페이서들로 언급됨)이 형성된다. 예시적 일 실시예에서, 처분가능 스페이서들(154)은 그 베이스에서 약 10 nm 내지 약 30 nm의 최종 두께를 갖도록 에칭된다.

[0019]

도 6에 예시된 선택적 실시예에서, 제1의 깊은 소스 및 드레인 영역들(166)은 기판(110)의 표면에 (화살표 170으로 표시된) 불순물 도편트 이온들(예를 들어, NMOS 트랜지스터에 대해서는 인 혹은 비소 이온들, 또는 PMOS 트랜지스터에 대해서는 봉소 이온들)을 주입함으로써 형성된다. 제1의 영역(166)은, 처분가능 스페이서들(154), 오프셋 스페이서들(146), 및 게이트 스택(140)을 주입 마스크로서 사용하여 이온들을 주입(170)함으로써 게이트 스택(140)에 자기 정렬되어 정의된다. NMOS 디바이스들에 대한 이러한 주입 프로세스를 위해 사용되는 가속 전압은 약 10 KeV 내지 약 30 KeV 범위에 있고, 반면 PMOS에 대한 가속 전압은 약 0.5 KeV 내지 약 3 KeV 범위에 있다. NMOS 및 PMOS 디바이스들 양쪽 모두에 대해 사용되는 주입량은 약 $1 \times 10^{15} \text{ cm}^{-2}$ 내지 약 $5 \times 10^{15} \text{ cm}^{-2}$ 범위에 있다.

[0020]

본 방법은, 도 7에 예시된 바와 같이, MOS 트랜지스터(100) 위에 실리콘 옥사이드를 포함하는 옥사이드 라이너(162)를 블랭킷 증착함으로써 계속된다. 예시적 일 실시예에서, 옥사이드 라이너(162)는 저온 CVD 혹은 PECVD 프로세스를 사용하여 증착된다. 다음으로, 실리콘 나이트라이드를 포함하는 스트레스 유발 층(174)이, 이전에 설명된 바와 같은 저온 증착 프로세스를 사용하여 옥사이드 라이너(162) 위에 놓이도록 증착된다. 스트레스 유발 층(174)은 약 30 nm 내지 약 70 nm 범위의 두께를 가지며, 바람직하게는 약 50 nm의 두께를 갖는다. NMOS 디바이스에 대해, 스트레스 유발 층(174)은 CVD, LPCVD 혹은 PECVD 프로세스를 사용하여 도포되는바, 이것은 결과적으로 인장성 스트레스 유발 필름을 형성하고, 이러한 인장성 스트레스 유발 필름은 게이트 전극(130)이 MOS 트랜지스터(100)의 길이방향 축(163)에 실질적으로 평행인 인장성 힘(화살표 164로 표시됨)을 받도록 한다. PMOS 디바이스에 대해, 스트레스 유발 층(174)은 CVD, LPCVD 혹은 PECVD 프로세스를 사용하여 도포되는바, 이것은 결과적으로 압축성 스트레스 유발 필름을 형성하고, 이러한 압축성 스트레스 유발 필름은 게이트 전극(130)이 길이방향 축(163)에 실질적으로 평행인 압축성 힘(화살표 168로 표시됨)을 받도록 한다. 종래 기술에서 숙련된 기술을 가진 자들에 잘 알려진 바와 같이, 증착된 실리콘 나이트라이드 필름에서의 스트레스는, 원하는 인장성 혹은 압축성 스트레스 특성을 갖는 필름을 달성하기 위해, 기상 증착 프로세스의 동작 조건(여기에는 온도, 압력, 및 가스 속도가 포함됨)을 조정함으로써 수정될 수 있다.

[0021]

MOS 트랜지스터(100)는 그 다음에 예를 들어, 고속 열적 어닐링(Rapid Thermal Annealing, RTA) 혹은 레이저

어닐링을 사용하는 고온 어닐링 하에 놓이게 된다. 어닐링 온도는 약 2 나노초 내지 약 3 초의 시간 동안 약 1000 °C 내지 약 1300 °C 범위에 있으며, 연장부와 그리고 제1의 깊은 소스 및 드레인 영역들(158 및 166)에 주입된 도편트들을 각각 활성화시킨다. 어닐링 프로세스는 또한, 도편트들이 아래 방향을 향해 기판(110)으로 확산하고 아울러 채널(144)을 향해 확산함에 따라 영역들을 모두 약간 확장시킨다. 더욱이, 이러한 어닐링 동안, 위에 놓인 스트레스 유발 층(174)에 의해 (NMOS에 대해서는) 인장성 스트레스 혹은 (PMOS에 대해서는) 압축성 스트레스를 받는 게이트 전극(130)의 형태는 비정질 상태로부터 다결정성 상태로 변형되는바, 이것은 결과적으로 체적에서의 증가 혹은 감소를 각각 일으킨다. 어닐링 이후 게이트 전극(130)이 냉각될 때, 체적 변화는 유사한 인장성 스트레스(169) 혹은 압축성 스트레스(171)를 발생시키는바, 이것은 게이트 절연체(108)를 통해 채널 영역(144)에 전달된다. 따라서, 스트레스 유발 층(174)에 의해 본래 발생된 인장성 혹은 압축성 스트레스는, 어닐링/제결정화 프로세스 동안 게이트 전극(130) 및 채널(144)로 전달되고, 그리고 스트레스 유발 층(174)이 제거된 이후 채널(144)에 고정되어 유지된다(즉, 기억된다). 스트레스 유발 층(174)은 그 다음에, 예를 들어, 약 1:3 내지 약 1:10의 부피비를 갖는 고온 인산/물 혼합물을 사용하여, 그리고 약 120 °C 내지 약 160 °C의 온도를 사용하여, 도 8에 예시된 바와 같이 제거된다. 옥사이드 라이너(162)는 애칭 정지로서의 역할을 하는바, 나이트라이드 캡(138), 처분가능 스페이서들(154), 및 MOS 트랜지스터(100)의 임의의 다른 노출된 표면 영역을 부식으로부터 보호한다. 옥사이드 라이너(162)는 그 다음에 저농도 혹은 완충 하이드로플로릭산 용액을 사용하여 제거된다.

[0022]

도 9를 참조하면, 리세스들(178)이, 게이트 스택(140) 및 처분가능 스페이서들(154)을 애칭 마스크로서 사용하여, 게이트 스택(140)에 근접한 실리콘 기판(110)으로 이방성 애칭된다. 이러한 애칭 동안, 나이트라이드 캡(138)의 두께가 감소되고, 처분가능 스페이서들(154)이 또한 약간 부식된다. 이러한 리세스들은, 예를 들어, HBr/O₂ 화학을 사용하는 반응성 이온 애칭(RIE)에 의해 애칭될 수 있다. 예시적 일 실시예에 따르면, 리세스들(178)은 약 50 nm 내지 약 100 nm의 깊이까지, 바람직하게는 약 60 nm까지 애칭된다. 또 다른 예시적 실시예에서, 리세스들(178)은 일정 깊이까지 애칭되어, 제1의 깊은 소스 및 드레인 영역들(166)의 일부가 리세스들(178)을 둘러싸는 상태를 유지하게 한다. 채널(144) 내에 기억된 인장성 혹은 압축성 스트레스들(169 및 171)에 의해 생성된 스트레인(strain)은, 리세스들(178)의 형성 동안 채널에 인접한 지지 물질의 제거에 의해 더 증진될 수 있다. 이것은, 리세스들(178)이 형성되지 않고 이에 따라 채널(144)에 인접한 지지 물질이 남아 있게 되는 종래 스트레스 기억 기술(Stress Memorization Techniques, SMT)과는 대조적인 것이다. 본 발명의 다양한 실시예들에서, 리세스들(178)의 형성은 이러한 지지 물질을 제거하고, 이에 따라 채널(144) 내에서의 추가적인 스트레인의 실현을 도울 수 있다.

[0023]

도 10을 참조하면, 실리콘 함유 필름(182)이 리세스들(178)에 애피택셜 성장되어 애피택셜 성장된 소스 및 드레인 영역들(180)이 형성된다. 애피택셜 프로세스가 실리콘 표면에 대해 선택적으로 수행되어, 처분가능 스페이서들(154) 혹은 나이트라이드 캡(138)과 같은 비실리콘 표면들 상의 성장을 방지된다. 애피택셜 실리콘 함유 필름(182)은, 성장 선택도를 제어하기 위해 하이드로클로릭산(hydrochloric acid)(HCl)의 존재 하에 실란(SiH₄) 혹은 디클로로실란(dichlorosilane)(SiH₂Cl₂)의 환원에 의해 성장될 수 있다. 예시적 일 실시예에서, 애피택셜 성장 반응물에 추가하여, 불순물 도핑 원소들이, 실리콘 함유 필름(182)이 성장됨에 따라, 애피택셜 성장된 소스 및 드레인 영역들(180)을 적절하게 인시추 도핑(*in situ* doping)하기 위해 제공된다. 예를 들어, 붕소가 PMOS 애플리케이션에 대해 깊은 소스/드레인 영역들의 애피택셜 성장 동안 반응물에 부가될 수 있고, 그리고 비소 혹은 인이 NMOS 애플리케이션에 대해 애피택셜 성장 동안 반응물에 부가될 수 있다.

[0024]

대안적 실시예에서, 실리콘 함유 필름(182)은 추가적인 스트레스 유발 원소들(예를 들어, 탄소 혹은 게르마늄과 같은 것)의 존재 하에 애피택셜 성장될 수 있어, 이들을 결정 격자 안에 포함할 수 있다. 예시적 일 실시예에서, 매립된 실리콘 게르마늄(eSi:Ge)은 바람직하게는, PMOS 트랜지스터의 채널(144)에 압축성 스트레스(화살표 181로 표시됨)를 인가하기 위해 사용된다. 또 다른 실시예에서, eSi:Ge은 최대 약 40 % 게르마늄을 포함하고, 바람직하게는 약 25% 내지 약 35% 게르마늄을 포함한다. 또 다른 예시적 실시예에서, NMOS 트랜지스터의 애피택셜 성장된 소스 및 드레인 영역들(180)은, 인장성 스트레스(화살표 179로 표시됨)를 채널(144)에 인가하는 단결정의 매립된 실리콘 탄소(eSi:C)를 애피택셜 성장시킴으로써 유사한 방식으로 제조될 수 있다. 또 다른 예시적 실시예에서, 애피택셜 eSi:C 필름(182)은 최대 3%의 탄소를 포함하고, 그리고 바람직하게는 약 2%의 탄소를 포함한다. 인장성 스트레스(179) 및 압축성 스트레스(181)가 도 7 내지 도 9의 스트레스들(169 및 171)에 각각 부가될 수 있어, 채널에 부여되는 전체 스트레스가 증진될 수 있다. 애피택셜 성장 이후에, 나이트라이드 캡(138) 및 처분가능 스페이서들(154)이 앞서 설명된 고온 인산 애칭을 사용하여 제거된다.

[0025]

도 11을 참조하면, 실리콘 나이트라이드를 포함하는 최종 스페이서들(186)이 오프셋 스페이서들(146)의 측벽 둘레에 형성되는바, 이는 트랜지스터(100) 위에 놓이는 실리콘 나이트라이드의 블랭킷 필름을 도포하고 이후 앞서 설명된 바와 같이 이방성 나이트라이드 에칭을 행함으로써 형성될 수 있다. 최종 스페이서들(186)은 그 베이스에서 약 30 nm 내지 약 50 nm 범위의 두께를 가지거나 바람직하게는 약 40 nm의 두께를 갖는다. 저농도 혹은 완충 하이드로플로릭산을 포함하는 습식 에체트가 후속적으로 사용되어 옥사이드 캡(134)을 제거하고 그리고 형성될 수 있는 임의의 표면 옥사이드들을 제거함으로써 실리콘 함유 필름(182)의 표면들(187)을 세정한다. 그 다음에, 금속 실리사이드 콘택 영역들(190)이, 잘 알려진 금속 증착, 어닐링, 및 금속 에칭 프로세스를 사용하여 형성되어, 도 12에 예시된 바와 같이, MOS 트랜지스터(100)의 게이트 전극(130)과 에피택셜 성장된 소스 및 드레인 영역들(180)로의 전기적 연결을 제공한다.

[0026]

도 13 내지 도 18은 본 발명의 또 다른 예시적 실시예에 따른 MOS 트랜지스터(100)를 제조하는 방법을 단면도로 나타낸 것이다. 도 13 내지 도 18에 예시되는 방법은 도 1 내지 도 5에 예시된 단계를 사용하고, 따라서, 간결한 설명을 위해, 이러한 단계들은 여기서 반복되지 않을 것이다. 따라서, 도 5의 실리콘 나이트라이드 처분가능 스페이서들(154)의 형성 이후, 옥사이드 스페이서들(194)이 도 13에 도시된 바와 같이 처분가능 스페이서들(154) 위에 놓이도록 형성된다. 옥사이드 스페이서들(194)이, 저온 CVD, LPCVD, 혹은 PECVD 실리콘 옥사이드 블랭킷 증착 프로세스를 사용하고 이후 옥사이드에 대해 선택적인 이방성 에칭을 행함으로써 형성되어, 나이트라이드 캡(138)의 부식이 최소화된다. 옥사이드 스페이서들(194)의 형성 이후, 리세스들(196)이 게이트 스택(140), 오프셋 및 처분가능 스페이서들(146 및 154), 그리고 옥사이드 스페이서들(194)을 에칭 마스크로서 사용하여, 게이트 스택(140)에 근접한 실리콘 기판(110)에 이방성 에칭된다. 에칭은 예를 들어, 옥사이드 스페이서(194) 혹은 나이트라이드 캡(138)의 과도한 부식을 피하기 위해, 실리콘에 대해 선택적인 방식으로 HBr/O₂ 화학을 사용하는 반응성 이온 에칭(RIE)에 의해, 수행된다. 리세스들(196)은 약 50 nm 내지 약 100 nm의 깊이까지, 바람직하게는 약 60 nm까지 에칭된다.

[0027]

다음으로, 도 14에 도시된 바와 같이, 실리콘 나이트라이드를 포함하는 스트레스 유발 층(198)이 MOS 트랜지스터(100) 위에 놓이도록 (리세스들(196)의 바닥면(200)과 측면(204)을 포함하여) 블랭킷 증착된다. 스트레스 유발 층(198)이, 결과적으로 (NMOS 디바이스들에 대해서는) 인장성 스트레스 유발 필름을 생성시키고 또는 (PMOS 디바이스들에 대해서는) 압축성 스트레스 유발 필름을 생성시키는 방식으로 저온 CVD 혹은 PECVD 프로세스를 사용하여 증착된다. 스트레스 유발 층(198)이, 비정질화된 게이트 전극(130)의 재결정화를 피하기 위해 충분히 낮은 온도에서 형성되고, 그리고 약 30 nm 내지 약 70 nm 범위의 두께를 가지며, 바람직하게는 약 50 nm의 두께를 갖는다. 스트레스 유발 층(198)의 증착 이후, 기판(110)은 어닐링되어 연장부 주입 도편트를 활성화시키고, 게이트 전극(130)을 재결정화시킨다. 어닐링 온도는, 약 5 밀리초 내지 약 3초의 시간 동안 약 1000 °C 내지 약 1300 °C 범위에 있고, 그리고 연장부(158)에 주입된 도편트들로 하여금 기판(110)으로 그리고 채널(144)을 향해 안쪽으로 더 확산하도록 한다. 게이트 전극(130)의 재결정화는 스트레스 유발 층(198)에 의해 부여된 인장성 스트레스(화살표 195로 표시됨) 혹은 압축성 스트레스(화살표 197로 표시됨)의 영향 하에서 일어나고, 이로 인해 게이트 전극(130)의 체적을 (인장성 하에 있을 때는) 증가시키고, 혹은 (압축성 하에 있을 때는) 감소시킨다. 따라서, 이러한 체적 변화는, 냉각시 채널(144) 내에 유사한 인장성 스트레스(화살표 205로 표시됨) 혹은 압축성 스트레스(화살표 207로 표시됨)를 고정시킨다. 이러한 실시예에서, 리세스들(196)은 스트레스 유발 층(198)의 증착 이전에 형성되고, 따라서 스트레스 유발 층(198)은 도 7의 스트레스 유발 층(174)보다 더 깊은 슈라우드(shroud)를 MOS 트랜지스터(100) 위에 놓이도록 형성하고, 이에 따라 길이방향 인장성 및 압축성 스트레스들(205 및 207)을 각각 더 증진시킬 수 있다. 더욱이, 스트레스 유발 층(198)이 리세스들(196)에 형성될 때, (NMOS 트랜지스터에 대해서는) 압축성 스트레스(209) 혹은 (PMOS 트랜지스터에 대해서는) 인장성 스트레스(211)가 기판(110)의 길이방향 축(163) 및 표면(106)(도 5)에 실질적으로 수직으로 발생된다. 이러한 스트레스들은 각각의 디바이스 타입에 있어 다수 캐리어들의 이동도를 증진시키고, 따라서 인장성 길이방향 스트레스(205) 및 압축성 길이방향 스트레스(207)에 유사한 이로운 영향을 미친다. 재결정화 어닐링 이후에, 스트레스 유발 층(198) 및 나이트라이드 캡(138)이 앞서 설명된 고온 인산 에칭을 사용하여 도 15에 예시된 바와 같이 제거된다.

[0028]

도 16을 참조하면, MOS 트랜지스터(100)의 노출된 표면들이 저농도 하이드로플로릭산 에칭을 사용하여 세정되는 바, 이러한 에칭은 또한 옥사이드 스페이서들(194)을 제거하고 그리고 옥사이드 캡(134)을 부분적으로 제거할 수 있다. 그 다음에, (NMOS에 대해서는) 인 혹은 비소 또는 (PMOS에 대해서는) 봉소로 인시츄 도핑된 실리콘 함유 에피택셜 필름(202)이 (도 15의) 리세스들(196) 내에 성장되어 깊은 소스 및 드레인 영역들(230)이 형성된다. 일 실시예에서, NMOS 디바이스에 대해, 에피택셜 필름(202)은, eSi:C(최대 약 3%의 탄소를 포함할 수 있고 바람직하게는 약 2%의 탄소를 포함함)를 포함하는 인장성 스트레스 유발 물질이다. 또 다른 실시예에서,

PMOS 디바이스에 대해, 에피택셜 필름(202)은, eSi:Ge(최대 약 40%의 게르마늄을 포함할 수 있고 바람직하게는 약 25% 내지 약 35%의 게르마늄을 포함함)을 포함하는 압축성 스트레스 유발 물질이다. 이러한 매립된 에피택셜 필름들에 의해 각각 발생된 인장성 혹은 압축성 스트레스들(213 및 215)은, 스트레스 유발 층(198)으로부터 각각 발생하는 스트레스들(205 및 207)을 잠재적으로 보충한다. 에피택셜 성장 이후에, 치분가능 스페이서들(154)은 앞서 설명된 고온 인산 에칭을 사용하여 제거된다. 실리콘 나이트라이드 스페이서들(206)이, 앞서 설명된 바와 같이, 블랭킷 증착 및 이방성 에칭을 사용하여, 도 17에 제시된 바와 같이, 오프셋 스페이서들(146), 소스/드레인 연장부들(158) 그리고 깊은 소스/드레인 영역들(230)의 일부분 위에 놓이도록 형성된다. 그 다음에, 저농도 혹은 완충 하이드로플로릭산이 사용되어 옥사이드 캡(134)을 제거하고, 그리고 게이트 전극(13)과 깊은 소스 및 드레인 영역들(230)의 노출된 표면을 세정하며, 형성될 수 있는 임의의 표면 옥사이드를 제거한다. 그 다음에, 금속 실리사이드 콜택 영역들(210)이, 잘 알려진 금속 증착, 어닐링, 및 금속 에칭 프로세스를 사용하여, 도 18에 예시된 바와 같이, 게이트 전극(130)과 깊은 소스 및 드레인 영역들(230) 위에 놓이도록 형성될 수 있다.

[0029]

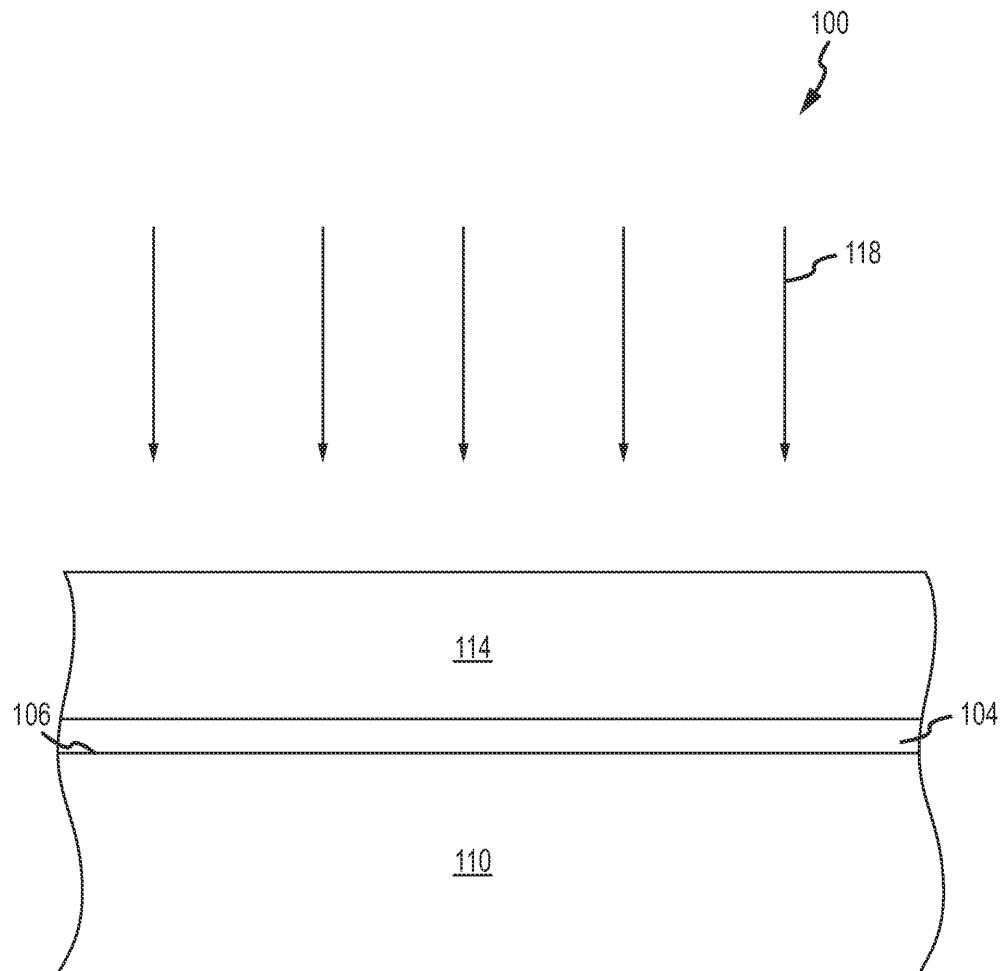
따라서, 본 명세서에서 설명되는 실시예들은 NMOS 혹은 PMOS 트랜지스터들의 채널에 스트레스를 인가하는 신규한 방법을 제공한다. 이러한 방법은 희생적 스트레스 유발 층으로부터 발생된 스트레스들이, 매립된 에피택셜 스트레스 유발 필름들에 의해 발생된 스트레스들과 호환가능하게 중첩될 수 있게 하여, 채널 스트레스를 증진시키고 디바이스 성능을 개선한다. 이러한 호환가능성은, 매립된 에피택셜 스트레스 유발 필름들의 스트레스 기여도가 완화되는 것을 피하기 위해, 이러한 매립된 에피택셜 스트레스 유발 필름들의 형성 이전에, 게이트 재결정화 어닐링을 수행함으로써 달성된다. 채널 스트레스는, 스트레스 유발 층의 증착 이전에 혹은 이후에, 소스 및 드레인 영역들에 리세스들을 형성함으로써, 더 증진될 수 있는데, 이러한 리세스의 형성은 채널에 인접한 지지물질을 제거하여, 증착된 스트레스 유발 층의 스트레인 효과를 증진시킨다. 더욱이, 이러한 리세스들이 스트레스 유발 층의 증착 이전에 형성되는 경우, 스트레스 유발 층은 MOS 트랜지스터 위에 놓이는 더 깊은 슈라우드를 형성하고, 이로 인해 채널에 더 큰 길이방향 스트레스 및 수직방향 스트레스가 전달된다. 따라서, 이러한 방법은, 결과적으로 PMOS 및 NMOS 디바이스들 양쪽 모두의 채널에 증진된 길이방향 및 수직방향 스트레스들을 생성시키고, 아울러 종래 제조 시퀀스에 통합되어 디바이스 성능을 개선시킬 수 있다.

[0030]

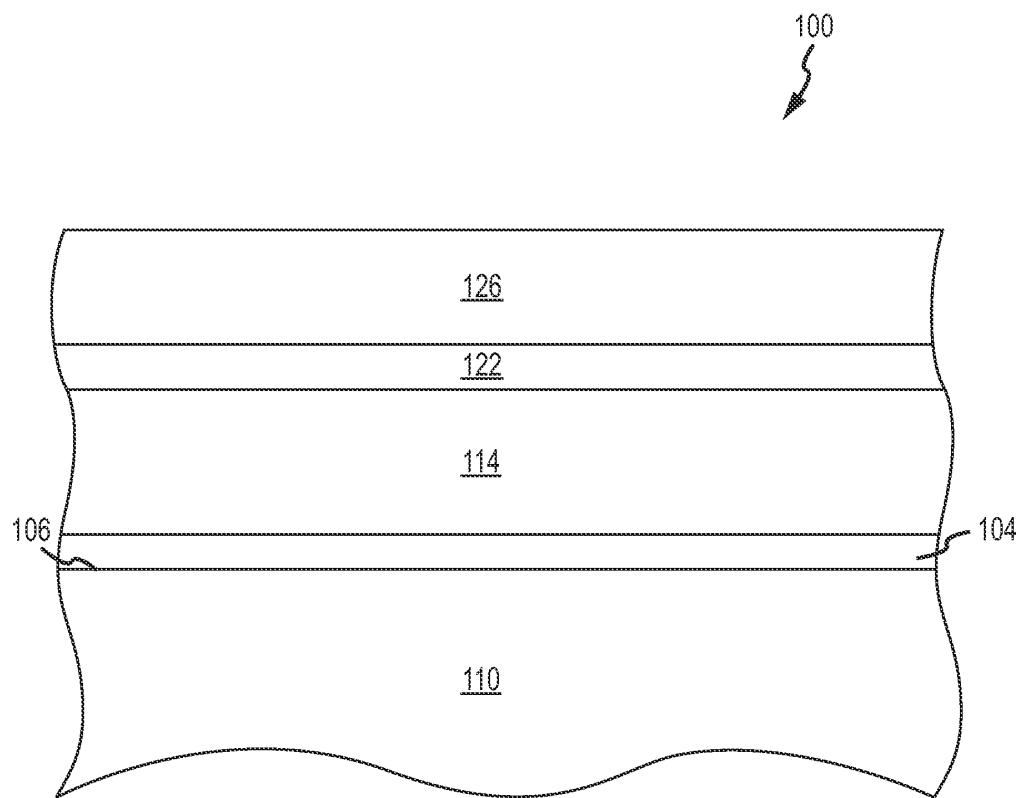
적어도 하나의 예시적 실시예가 앞서의 상세한 설명에서 제시되고 있지만, 다양한 변형이 존재할 수 있음을 이해해야 한다. 또한, 이러한 예시적 실시예 혹은 예시적 실시예들은 단지 예이며, 어느 경우든 본 발명의 범위, 응용가능성, 혹은 구성을 한정할 의도로 제시된 것이 아님을 이해해야 한다. 오히려, 앞서의 상세한 설명은 본 발명의 기술분야에서 숙련된 자들에게 이러한 예시적 실시예 혹은 예시적 실시예들을 구현함에 있어 편리한 도드맵을 제공하는 것이다. 구성요소의 기능 및 배치에 있어 다양한 변형이, 첨부되는 특허청구범위에서 설명되는 바와 같은 본 발명의 범위 및 그 법률적 등가물로부터 벗어남이 없이 행해질 수 있음을 이해해야 한다.

도면

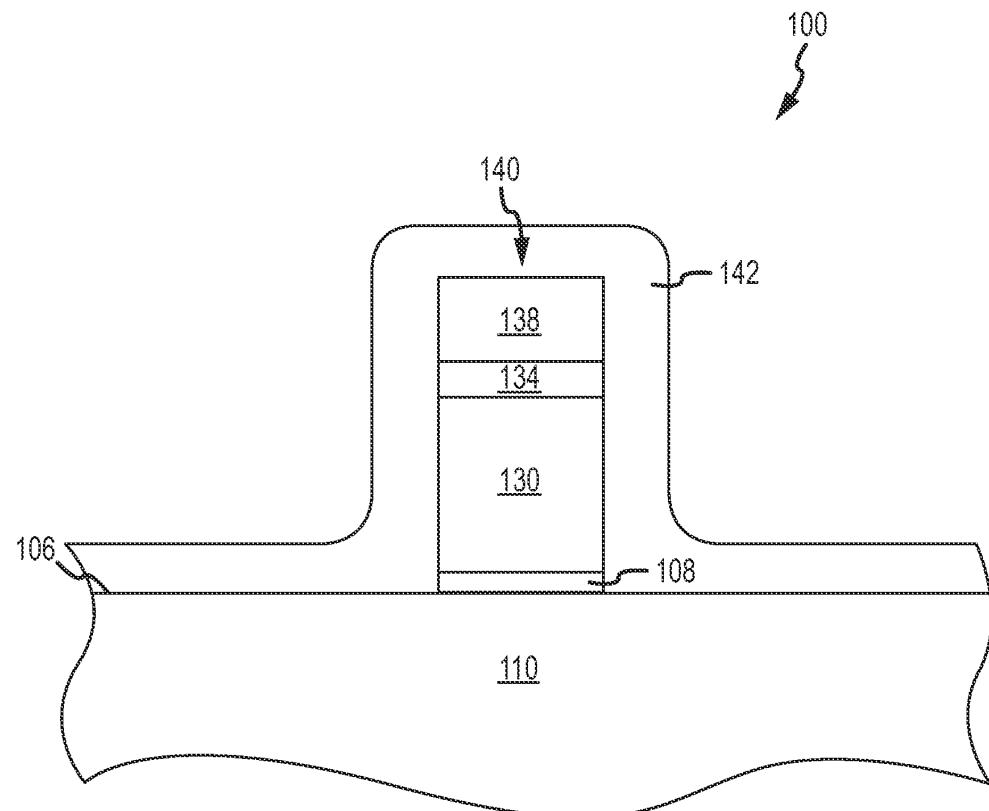
도면1



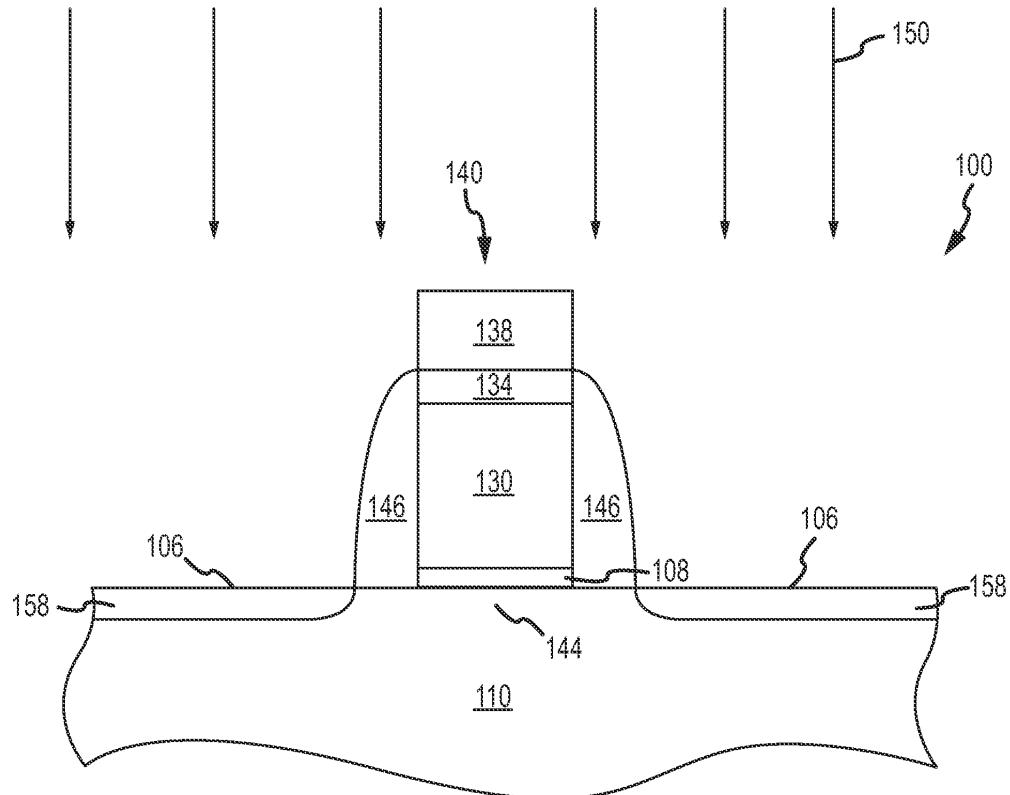
도면2



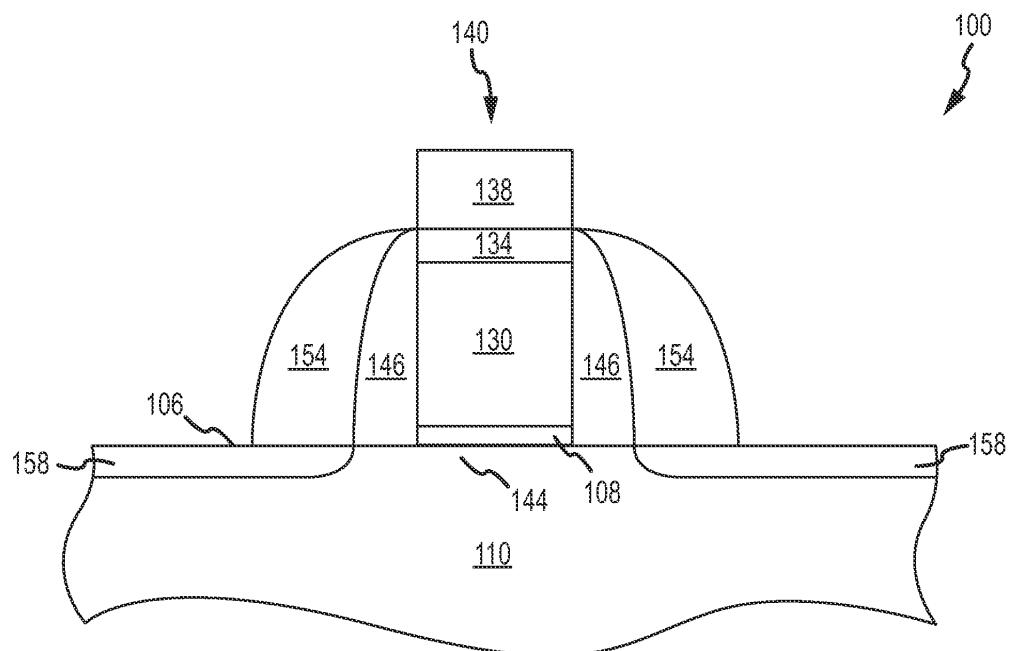
도면3



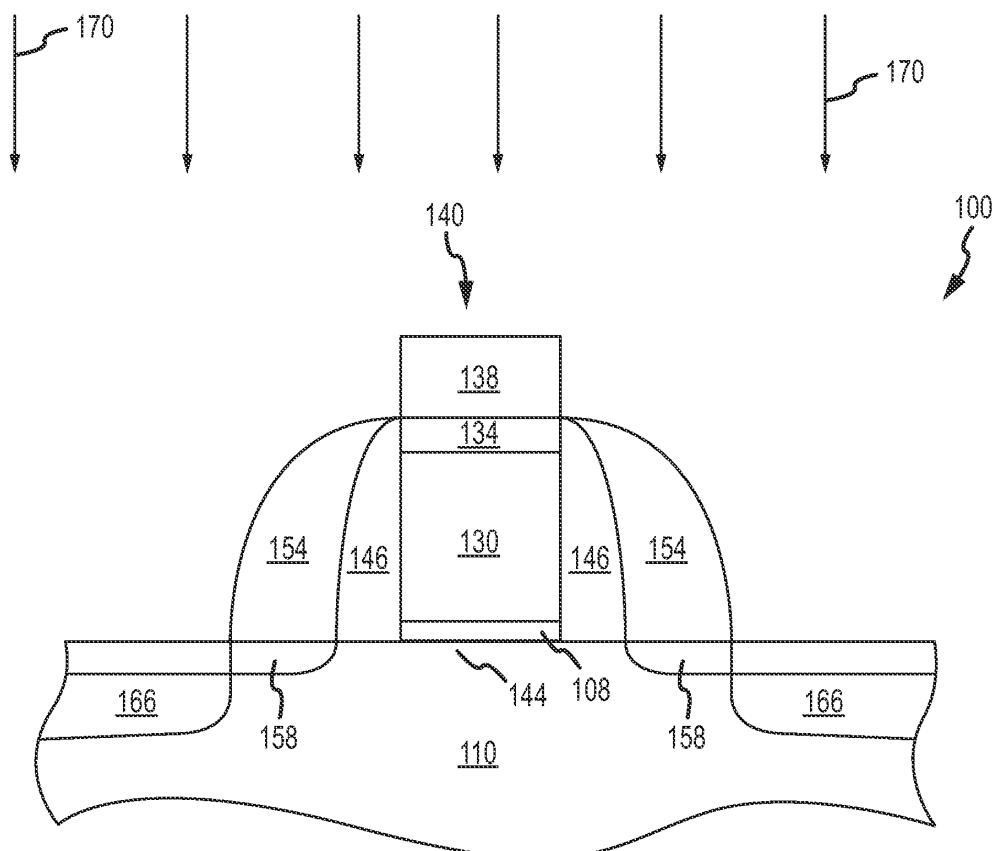
도면4



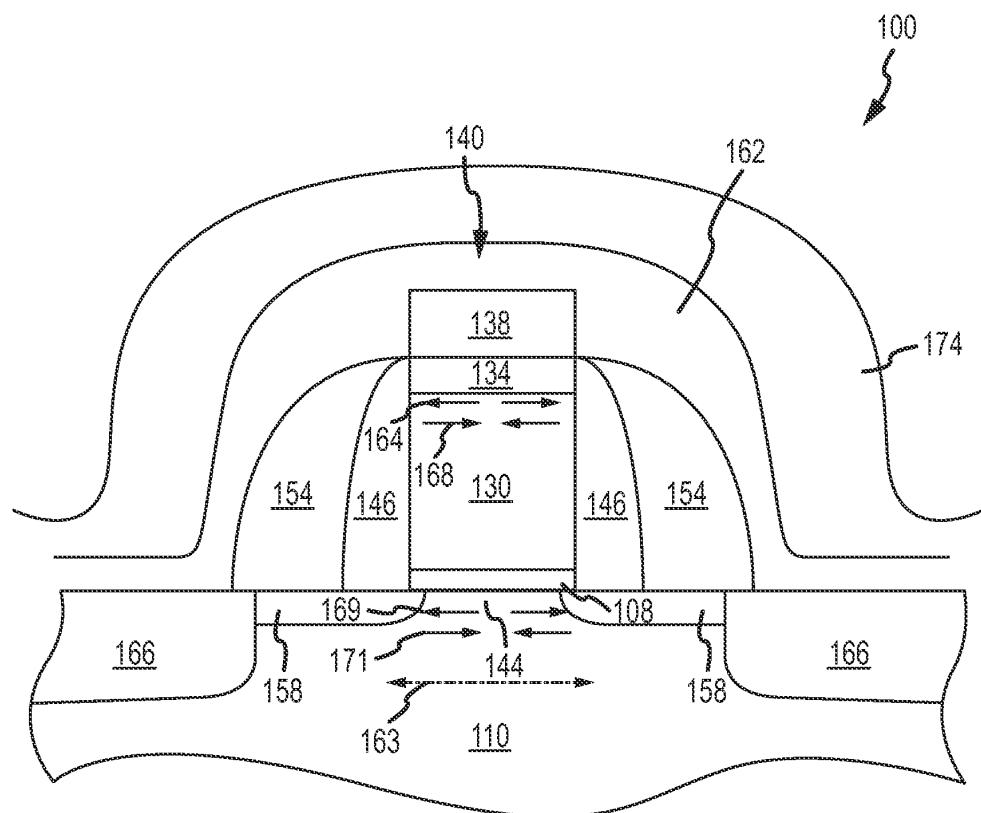
도면5



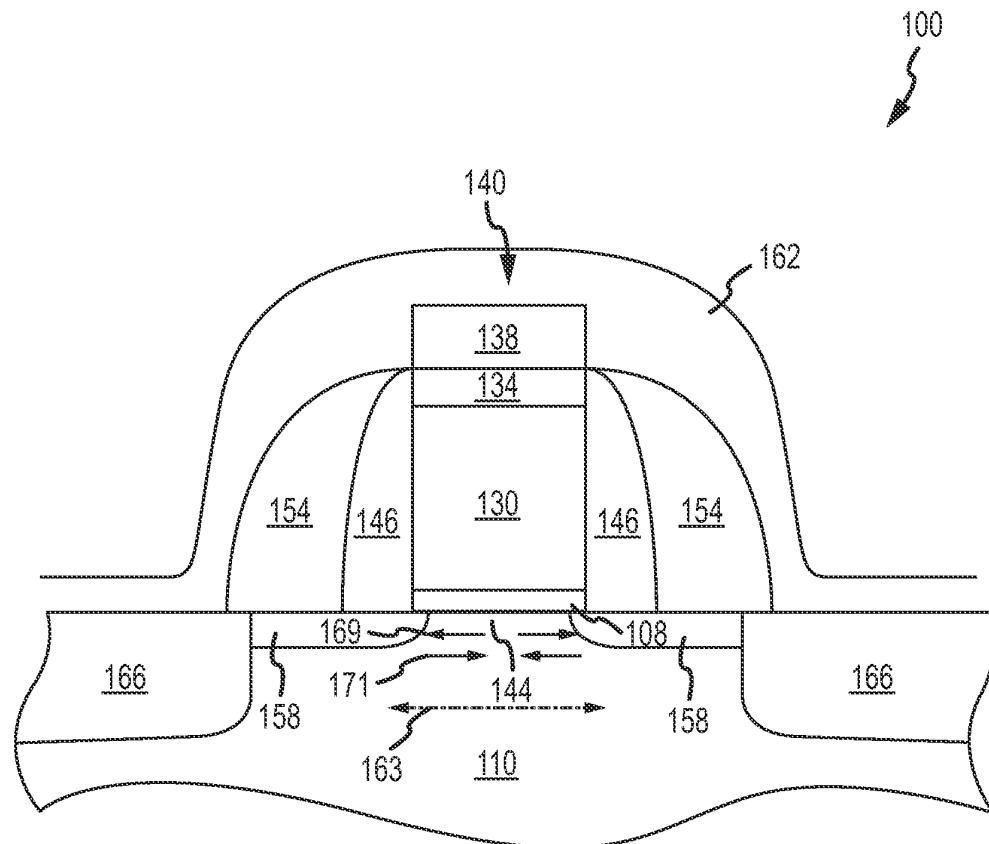
도면6



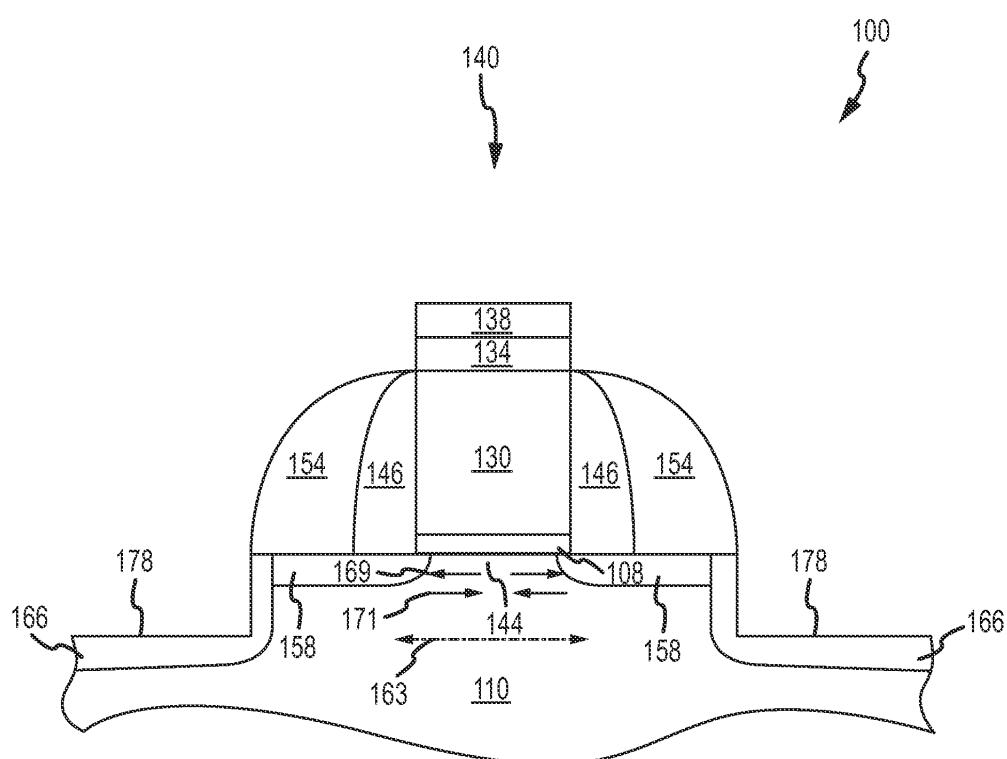
도면7



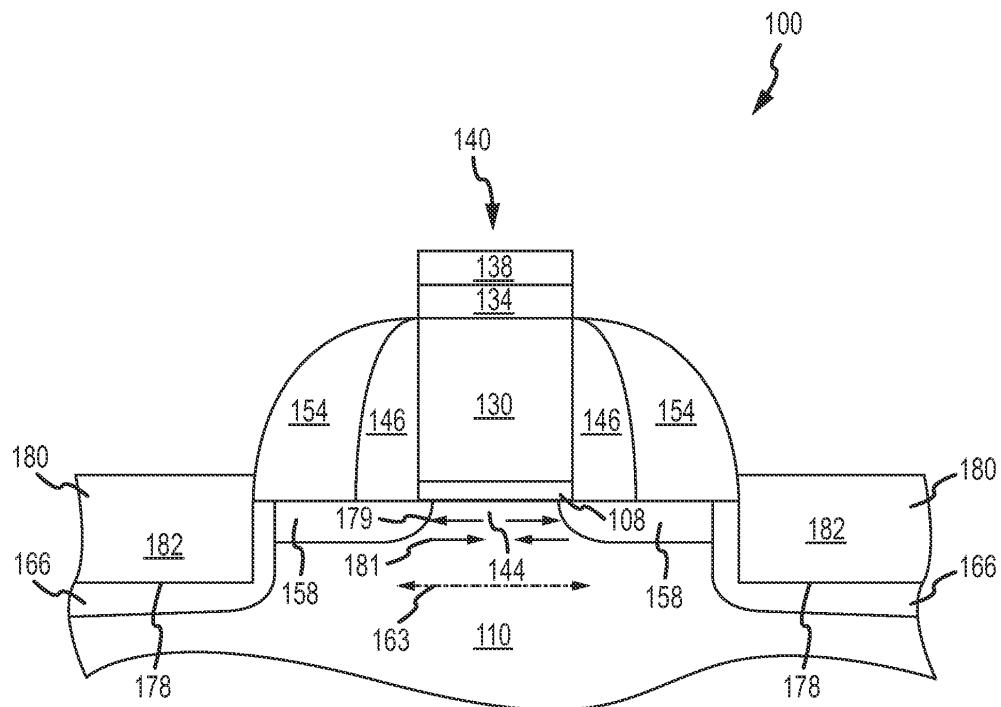
도면8



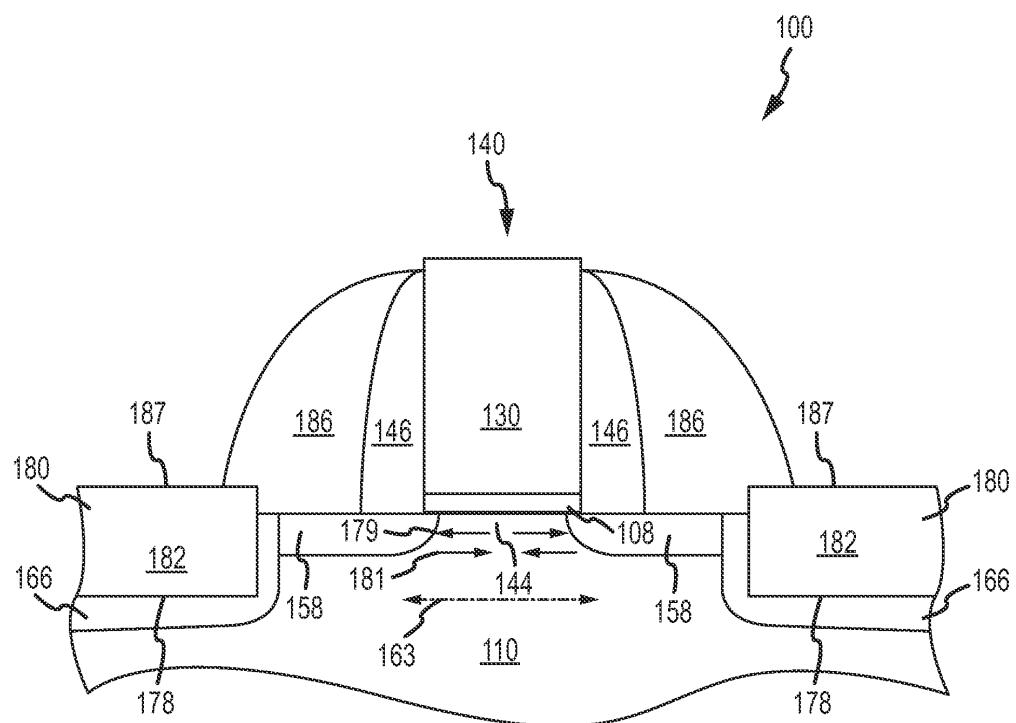
도면9



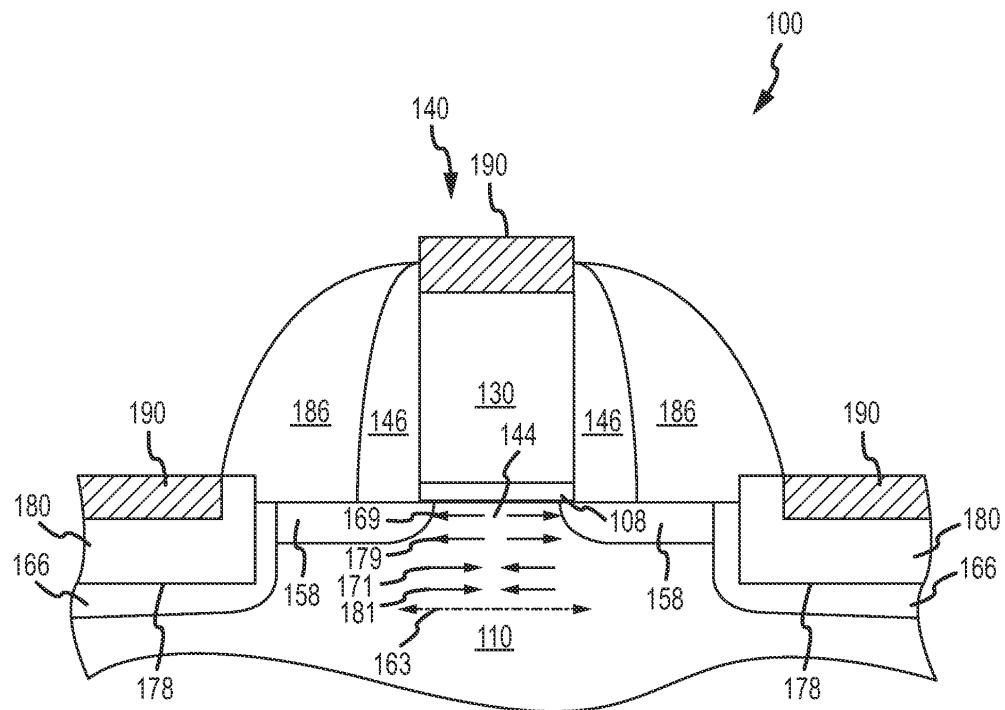
도면10



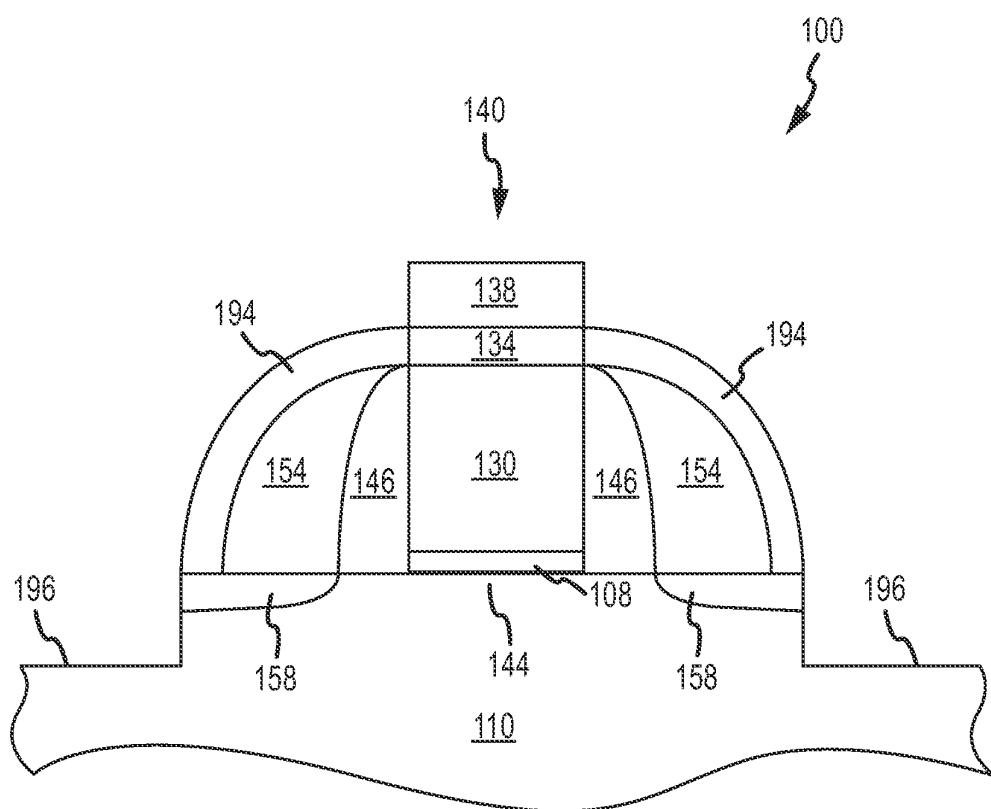
도면11



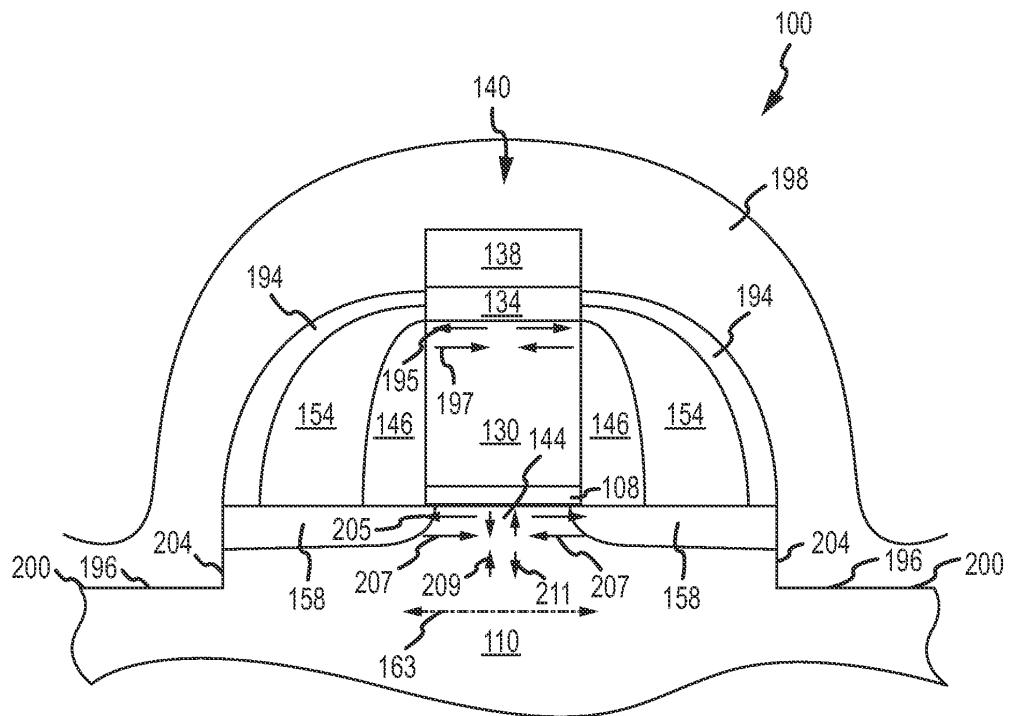
도면12



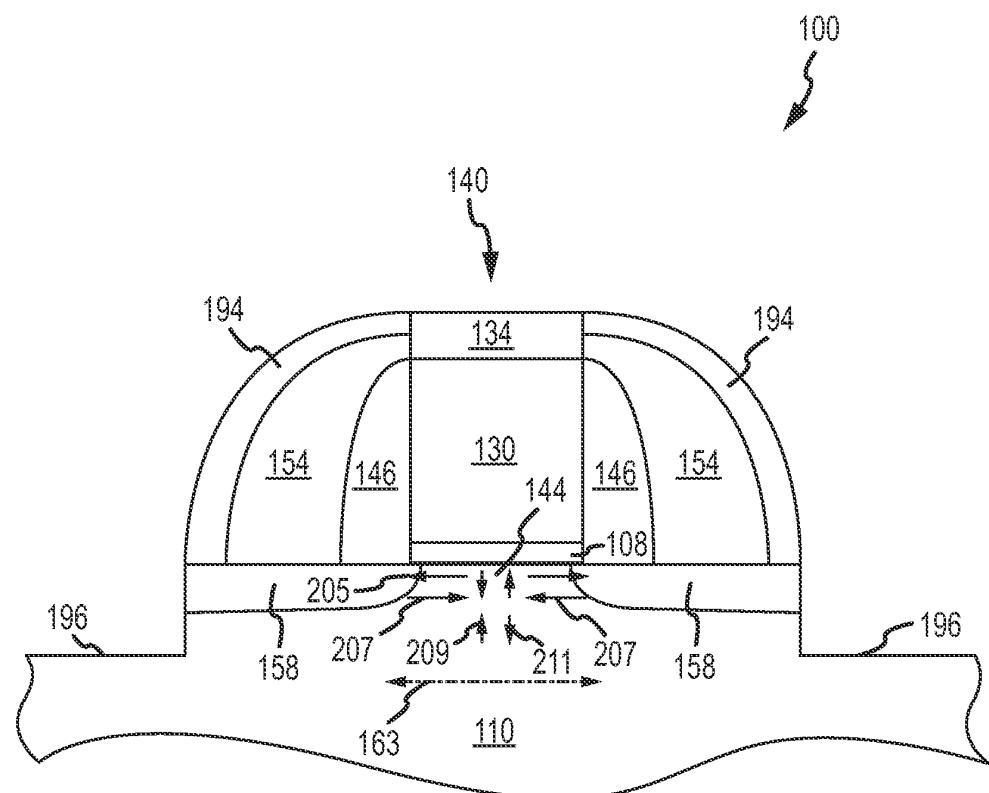
도면13



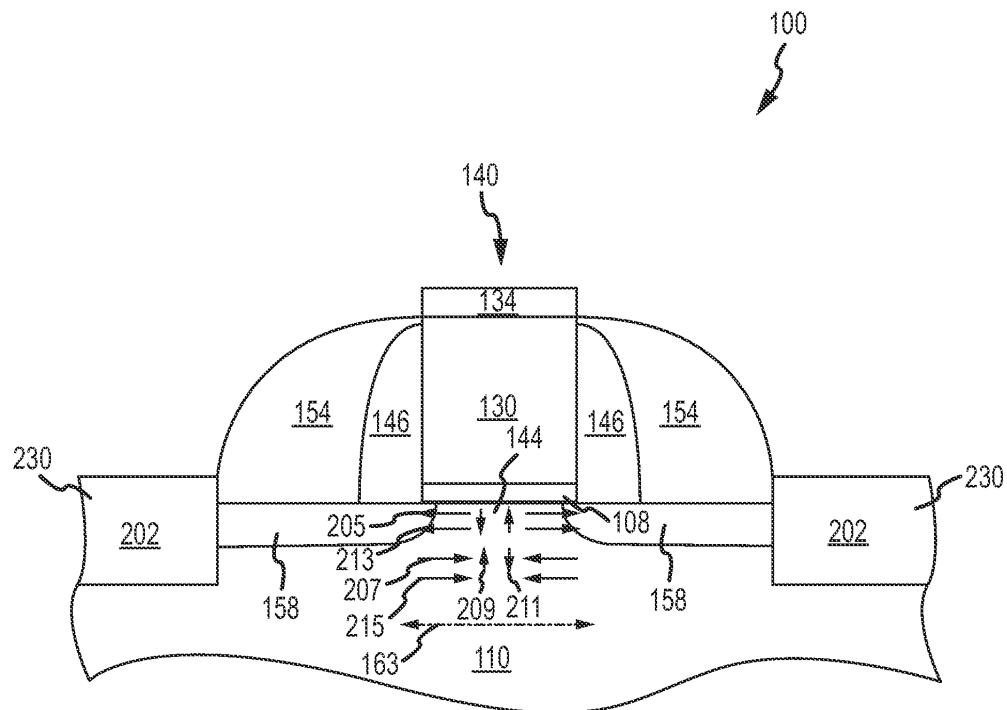
도면14



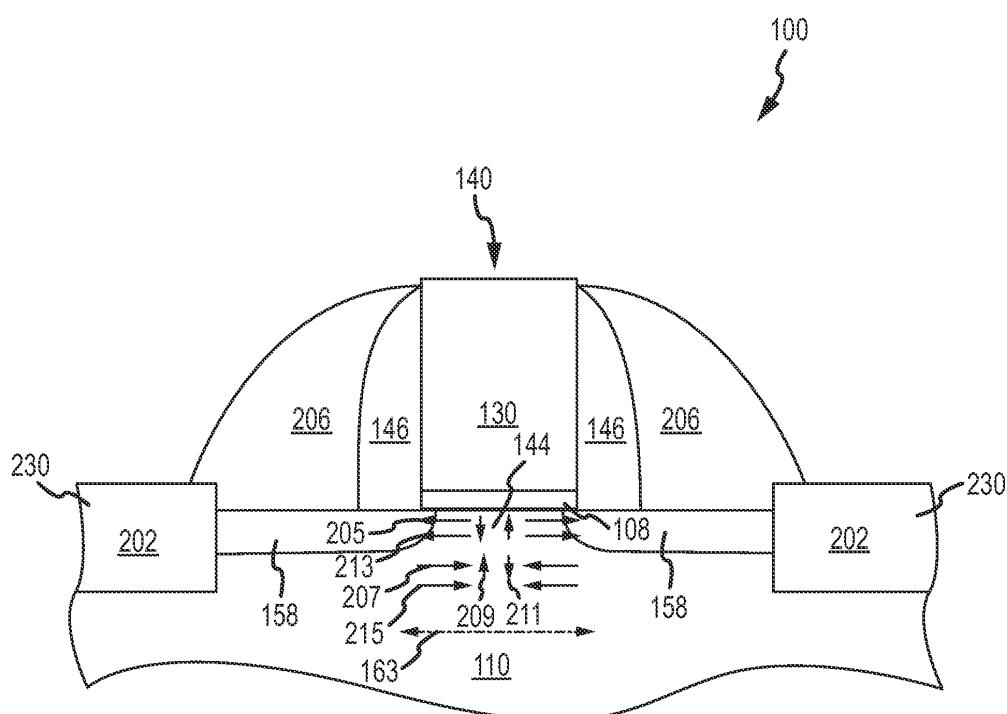
도면15



도면16



도면17



도면18

