



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0091373
(43) 공개일자 2016년08월02일

(51) 국제특허분류(Int. Cl.)
H04L 12/413 (2006.01) G06F 13/376 (2006.01)
H04L 12/40 (2006.01)
(52) CPC특허분류
H04L 12/413 (2013.01)
G06F 13/376 (2013.01)
(21) 출원번호 10-2016-7016886
(22) 출원일자(국제) 2014년11월21일
심사청구일자 없음
(85) 번역문제출일자 2016년06월23일
(86) 국제출원번호 PCT/US2014/066814
(87) 국제공개번호 WO 2015/077562
국제공개일자 2015년05월28일
(30) 우선권주장
14/089,550 2013년11월25일 미국(US)

(71) 출원인
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하
우스 드라이브 5775
(72) 발명자
와일리 조지 앨런
미국 92121-1714 캘리포니아주 샌디에고 모어하
우스 드라이브 5775
히르슈 오라프 조세프
미국 92121-1714 캘리포니아주 샌디에고 모어하
우스 드라이브 5775
위트펠트 리차드 도미니
미국 92121-1714 캘리포니아주 샌디에고 모어하
우스 드라이브 5775
(74) 대리인
특허법인코리아나

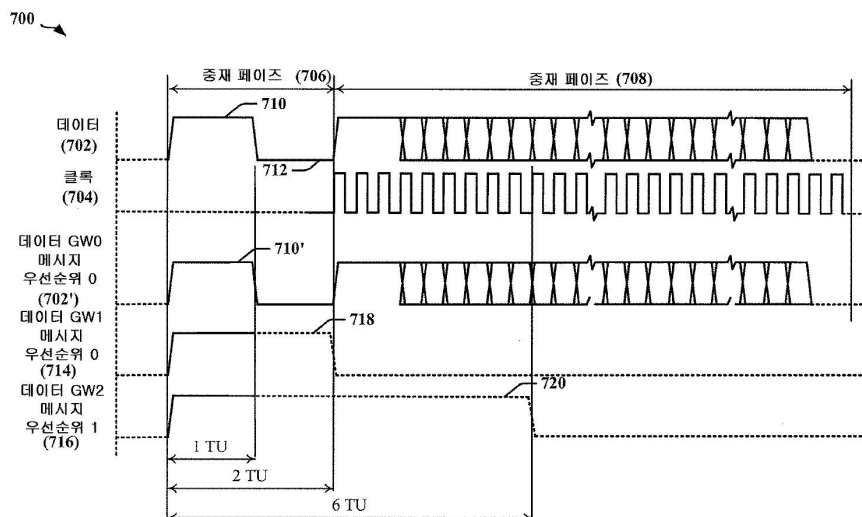
전체 청구항 수 : 총 40 항

(54) 발명의 명칭 멀티포인트 인터페이스 최단 펄스 폭 우선순위 레졸루션

(57) 요약

특히 전자 장치 내의 2개의 디바이스들 사이에서 데이터의 송신을 용이하게 하는 시스템, 방법들 및 장치가 설명된다. 각각의 디바이스는 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합할 수 있다. 중재 시간 주기가 경과하기 전에 데이터 신호 또는 클록 신호가 변하면, 하나 이상의 디바이스들은 통신 링크의 제어를 다른 경합자에게 양보한다. 각각의 경합자에 대한 중재 시간 주기는 상이하며 송신될 메시지의 우선순위를 나타낸다. 더 짧은 중재 시간 주기는 상위 우선순위를 나타낸다. 중재는, 통신 링크의 클록 및 데이터 신호들이 유힬상태로 남겨지거나 최소 유힬 시간 동안 다른 미리정의된 상태로 남겨진 이후에 개시할 수도 있다. 최소 유힬 시간은 상이한 노드들에 대해 상이할 수도 있으며 고 우선순위 메시지들 또는 노드들에 대해 더 짧을 수도 있다.

대표도



(52) CPC특허분류
H04L 12/4015 (2013.01)

명세서

청구범위

청구항 1

장치에서의 노드들 사이에서 통신하기 위한 방법으로서,

제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하는 단계;

제 1 시간 주기 동안 상기 데이터 신호 및 클록 신호를 모니터링하는 단계;

상기 데이터 신호 또는 상기 클록 신호의 전압이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있지 않으면 상기 통신 링크의 제어를 양보하는 단계;

상기 데이터 신호 및 상기 클록 신호의 전압들이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 상기 데이터 신호를 구동함으로써 상기 통신 링크 상의 제어를 어썬트(assert)하는 단계; 및

상기 통신 링크의 제어를 어썬트한 이후 통신 상의 메시지를 송신하는 단계를 포함하고,

상기 제 1 시간 주기는 상기 메시지의 우선순위에 대응하는 지속시간을 갖는, 노드들 사이에서 통신하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 통신 링크의 제어를 위해 경합하는 단계는,

상기 제 1 전압 레벨에서 상기 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 상기 통신 링크의 상기 데이터 신호 및 상기 클록 신호가 유효상태이었음을 결정하는 단계를 포함하는, 노드들 사이에서 통신하기 위한 방법.

청구항 3

제 2 항에 있어서,

상기 제 2 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 상기 메시지의 우선순위에 기초하여 계산되며,

상기 제 2 시간 주기는 상위 우선순위들에 대해 더 짧은, 노드들 사이에서 통신하기 위한 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의되는, 노드들 사이에서 통신하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산되며,

상기 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 상기 제 1 전압 레벨에서 구동되는, 노드들 사이에서 통신하기 위한 방법.

청구항 6

제 5 항에 있어서,

상기 통신 링크는 상이한 집적회로 디바이스들 상에 위치된 노드들을 접속시키는, 노드들 사이에서 통신하기 위한 방법.

청구항 7

제 6 항에 있어서,

상기 상이한 집적회로 디바이스들 상에 위치된 상기 노드들은 상이한 내부 클록 레이트들로 동작하고,

상기 송신 타이밍 유닛은 내부 클록들의 가장 느린 클록 주기보다 크거나 같은, 노드들 사이에서 통신하기 위한 방법.

청구항 8

제 1 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드의 어드레스와 상기 메시지의 우선순위의 가중 합으로서 계산되며,

상기 제 1 시간 주기는 상위 우선순위 메시지들 또는 상위 우선순위 노드들에 대해 더 짧은, 노드들 사이에서 통신하기 위한 방법.

청구항 9

제 1 항에 있어서,

상기 제 1 시간 주기 동안 상기 데이터 신호를 모니터링하는 단계는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드로 하여금 고 임피던스 상태로 진입하게 하는 단계를 포함하는, 노드들 사이에서 통신하기 위한 방법.

청구항 10

제 1 항에 있어서,

상기 통신 링크의 제어는 상기 데이터 신호 및 상기 클록 신호의 제어를 포함하는, 노드들 사이에서 통신하기 위한 방법.

청구항 11

제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하는 수단;

제 1 시간 주기 동안 상기 데이터 신호 및 클록 신호를 모니터링하는 수단;

상기 데이터 신호 또는 상기 클록 신호의 전압이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있지 않으면 상기 통신 링크의 제어를 양보하는 수단;

상기 데이터 신호 및 상기 클록 신호의 전압들이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 상기 데이터 신호를 구동함으로써 상기 통신 링크 상의 제어를 어췌트하는 수단; 및

상기 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하는 수단을 포함하고,

상기 제 1 시간 주기는 상기 메시지의 우선순위에 대응하는 지속기간을 갖는, 장치.

청구항 12

제 11 항에 있어서,

상기 통신 링크의 제어를 위해 경합하는 수단은 상기 통신 링크의 상기 데이터 신호 및 상기 클록 신호가 상기 제 1 전압 레벨에서 상기 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 유희상태이었음을 결정하도록 구성되는, 장치.

청구항 13

제 12 항에 있어서,

상기 제 2 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 상기 메시지의 우선순위에 기초하여 계산되며,

상기 제 2 시간 주기는 상위 우선순위들에 대해 더 짧은, 장치.

청구항 14

제 11 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의되는, 장치.

청구항 15

제 11 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산되며,

상기 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 상기 제 1 전압 레벨에서 구동되는, 장치.

청구항 16

제 15 항에 있어서,

상기 통신 링크는 상이한 집적회로 디바이스들 상에 위치한 노드들을 접속시키는, 장치.

청구항 17

제 16 항에 있어서,

상기 상이한 집적회로 디바이스들 상에 위치한 상기 노드들은 상이한 내부 클록 레이트들로 동작하고,

상기 송신 타이밍 유닛은 내부 클록들의 가장 느린 클록 주기보다 크거나 같은, 장치.

청구항 18

제 11 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드의 어드레스와 상기 메시지의 우선순위의 가중 합으로서 계산되며,

상기 제 1 시간 주기는 상위 우선순위 메시지들 또는 상위 우선순위 노드들에 대해 더 짧은, 장치.

청구항 19

제 11 항에 있어서,

상기 제 1 시간 주기 동안 상기 데이터 신호를 모니터링하는 수단은 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드로 하여금 고 임피던스 상태로 진입하게 하도록 구성되는, 장치.

청구항 20

제 11 항에 있어서,

상기 통신 링크의 제어는 상기 데이터 신호 및 상기 클록 신호의 제어를 포함하는, 장치.

청구항 21

프로세싱 회로를 포함하고,

상기 프로세싱 회로는,

제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하고;

제 1 시간 주기 동안 상기 데이터 신호 및 클록 신호를 모니터링하고;

상기 데이터 신호 또는 상기 클록 신호의 전압이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있지 않으면 상기 통신 링크의 제어를 양보하고;

상기 데이터 신호 및 상기 클록 신호의 전압들이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 상기 데이터 신호를 구동함으로써 상기 통신 링크 상의 제어를 어췌트하며; 그리고

상기 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하도록

구성되고,

상기 제 1 시간 주기는 상기 메시지의 우선순위에 대응하는 지속기간을 갖는, 장치.

청구항 22

제 21 항에 있어서,

상기 프로세싱 회로는, 상기 통신 링크의 상기 데이터 신호 및 상기 클록 신호가 상기 제 1 전압 레벨에서 상기 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 유희상태이었음을 결정하도록 구성되는, 장치.

청구항 23

제 22 항에 있어서,

상기 제 2 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 상기 메시지의 우선순위에 기초하여 계산되며,

상기 제 2 시간 주기는 상위 우선순위들에 대해 더 짧은, 장치.

청구항 24

제 21 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의되는, 장치.

청구항 25

제 21 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산되며,

상기 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 상기 제 1 전압 레벨에서 구동되는, 장치.

청구항 26

제 25 항에 있어서,

상기 통신 링크는 상이한 집적회로 디바이스들 상에 위치한 노드들을 접속시키는, 장치.

청구항 27

제 26 항에 있어서,

상기 상이한 집적회로 디바이스들 상에 위치한 상기 노드들은 상이한 내부 클록 레이트들로 동작하고,

상기 송신 타이밍 유닛은 내부 클록들의 가장 느린 클록 주기보다 크거나 같은, 장치.

청구항 28

제 21 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드의 어드레스와 상기 메시지의 우선순위의 가중 합으로서 계산되며,

상기 제 1 시간 주기는 상위 우선순위 메시지들 또는 상위 우선순위 노드들에 대해 더 짧은, 장치.

청구항 29

제 21 항에 있어서,

상기 프로세싱 회로는, 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드로 하여금 상기 제 1 시간 주기 동안 상기 데이터 신호를 모니터링하면서 고 임피던스 상태로 진입하게 하도록 구성되는, 장치.

청구항 30

제 21 항에 있어서,

상기 통신 링크의 제어는 상기 데이터 신호 및 상기 클록 신호의 제어를 포함하는, 장치.

청구항 31

명령들이 저장된 비-일시적인 머신 판독가능 저장 매체로서,

상기 명령들은, 적어도 하나의 프로세싱 회로에 의해 실행될 경우, 상기 적어도 하나의 프로세싱 회로로 하여금 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하게 하고;

제 1 시간 주기 동안 상기 데이터 신호 및 클록 신호를 모니터링하게 하고;

상기 데이터 신호 또는 상기 클록 신호의 전압이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있지 않으면 상기 통신 링크의 제어를 양보하게 하고;

상기 데이터 신호 및 상기 클록 신호의 전압들이 상기 제 1 시간 주기의 만료 시에 상기 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 상기 데이터 신호를 구동함으로써 상기 통신 링크 상의 제어를 어췌트하게 하며; 그리고
상기 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하게 하고,

상기 제 1 시간 주기는 상기 메시지의 우선순위에 대응하는 지속기간을 갖는, 비-일시적인 머신 판독가능 저장 매체.

청구항 32

제 31 항에 있어서,

상기 명령들은 상기 적어도 하나의 프로세싱 회로로 하여금

상기 제 1 전압 레벨에서 상기 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 상기 통신 링크의 상기 데이터 신호 및 상기 클록 신호가 유희상태이었음을 결정하게 하는, 비-일시적인 머신 판독가능 저장 매체.

청구항 33

제 32 항에 있어서,

상기 제 2 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 상기 메시지의 우선순위에 기초하여 계산되며,

상기 제 2 시간 주기는 상위 우선순위들에 대해 더 짧은, 비-일시적인 머신 판독가능 저장 매체.

청구항 34

제 31 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의되는, 비-일시적인 머신 판독가능 저장 매체.

청구항 35

제 31 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산되며,

상기 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 상기 제 1 전압 레벨에서 구동되는, 비-일시적인 머신 판독가능 저장 매체.

청구항 36

제 35 항에 있어서,

상기 통신 링크는 상이한 집적회로 디바이스들 상에 위치한 노드들을 접속시키는, 비-일시적인 머신 판독가능 저장 매체.

청구항 37

제 36 항에 있어서,

상기 상이한 집적회로 디바이스들 상에 위치한 상기 노드들은 상이한 내부 클록 레이트들로 동작하고,

상기 송신 타이밍 유닛은 내부 클록들의 가장 느린 클록 주기보다 크거나 같은, 비-일시적인 머신 판독가능 저장 매체.

청구항 38

제 31 항에 있어서,

상기 제 1 시간 주기는 상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드의 어드레스와 상기 메시지의 우선순위의 가중 합으로서 계산되며,

상기 제 1 시간 주기는 상위 우선순위 메시지들 또는 상위 우선순위 노드들에 대해 더 짧은, 비-일시적인 머신 판독가능 저장 매체.

청구항 39

제 31 항에 있어서,

상기 명령들은 상기 적어도 하나의 프로세싱 회로로 하여금

상기 통신 링크 상으로 상기 메시지를 송신하도록 구성된 노드가 상기 제 1 시간 주기 동안 상기 데이터 신호를 모니터링하면서 고 임피던스 상태로 진입하게 하도록 하는, 비-일시적인 머신 판독가능 저장 매체.

청구항 40

제 31 항에 있어서,

상기 통신 링크의 제어는 상기 데이터 신호 및 상기 클록 신호의 제어를 포함하는, 비-일시적인 머신 판독가능 저장 매체.

발명의 설명

기술 분야

[0001] 관련 출원들에 대한 상호참조

[0002] 본 출원은 2013년 11월 25일자로 미국특허상표청에 출원된 미국 정규특허출원 제14/089,550호를 우선권 주장하고 그 이익을 주장하며, 그 전체 내용은 본 명세서에 참조로 통합된다.

[0003] 본 개시는 일반적으로 고속 데이터 통신 인터페이스들에 관한 것으로서, 더 상세하게는, 다중의 디바이스들을 접속시키는 멀티포인트 데이터 통신 링크들에 관한 것이다.

배경 기술

- [0004] 셀룰러 전화기들과 같은 모바일 디바이스들의 제조자들은 상이한 제조자들을 포함한 다양한 소스들로부터 모바일 디바이스들의 컴포넌트들을 획득할 수도 있다. 예를 들어, 셀룰러 전화기에서의 어플리케이션 프로세서는 제 1 제조자로부터 획득될 수도 있는 한편, 셀룰러 전화기에 대한 디스플레이는 제 2 제조자로부터 획득될 수도 있다. 어플리케이션 프로세서 및 디스플레이, 디스플레이 드라이버 또는 다른 디바이스는 표준 기반의 또는 독점적인 물리 인터페이스를 이용하여 상호접속될 수도 있다. 물리 인터페이스의 일 예는 멀티포인트 공존 관리 인터페이스 (MP-CxMi) 이고, 이는 디바이스 또는 디바이스의 컴포넌트들 내에서 사용될 수도 있다.
- [0005] 모뎀들 또는 다른 기능부들과 연관된 CxMi 노드들의 단순한 네트워크가 완전 집적된 칩들 및 비-집적된 디바이스들을 위해 채용될 수도 있다. 표준 인터페이스의 사용은 상이한 디바이스들을 관리하거나 상이한 디바이스들과 상호작용하기 위해 공통 소프트웨어가 개발되게 한다. CxMi 인터페이스들은 단순한 상보형 금속산화물반도체 (CMOS) 신호들을 사용하고, 대략 50 Mbps 의 데이터 레이트에서 구동할 수도 있다. 하지만, 통상적으로 버스 마스터가 존재하지 않고 버스 중재 프로세스들이 연기될 수도 있으며, 이에 의해 스루풋에 영향을 줄 수도 있다.

발명의 내용

해결하려는 과제

- [0006] 본 명세서에서 개시된 실시형태들은 장치 내 디바이스들 간의 물리 인터페이스들에 대한 개선된 송신 레이트들을 인에이블링하는 시스템들, 방법들 및 장치를 제공한다. 그 장치는, 전자 장치에서 병치되고 하나 이상의 데이터 링크들을 통해 통신가능하게 커플링될 수도 있는 다중의 집적회로 (IC) 디바이스들을 갖는 모바일 단말기를 포함할 수도 있다.

과제의 해결 수단

- [0007] 본 개시의 일 양태에 있어서, 데이터 통신을 위한 방법은 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하는 단계, 제 1 시간 주기 동안 데이터 신호 및 클록 신호를 모니터링하는 단계, 데이터 신호 또는 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있지 않으면 통신 링크의 제어를 양보하는 단계, 데이터 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 상의 제어를 어서트(assert)하는 단계, 및 통신 링크의 제어를 어서트한 이후 통신 상의 메시지를 송신하는 단계를 포함한다. 제 1 시간 주기의 지속기간은 메시지의 우선순위에 대응할 수도 있다. 통신 링크의 제어는 데이터 신호의 제어 및/또는 클록 신호의 제어를 포함할 수도 있다.
- [0008] 본 개시의 일 양태에 있어서, 통신 링크의 제어를 위해 경합하는 것은 통신 링크의 데이터 신호 및 클록 신호가 제 1 전압 레벨에서 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 유힤상태이었음을 결정하는 것을 포함한다. 제 2 시간 주기는 통신 링크 상으로 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 메시지의 우선순위에 기초하여 계산될 수도 있다. 제 2 시간 주기는 하위 우선순위들에 대한 것보다 상위 우선순위들에 대해 더 짧을 수도 있다.
- [0009] 본 개시의 일 양태에 있어서, 제 1 시간 주기는 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의될 수도 있다. 제 1 시간 주기는 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산될 수도 있다. 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 제 1 전압 레벨에서 구동될 수도 있다. 통신 링크는 상이한 집적회로 디바이스들 상에 위치한 노드들을 접속시킬 수도 있다. 상이한 집적회로 디바이스들 상에 위치한 노드들은 상이한 내부 클록 레이트들로 동작할 수도 있다. 송신 타이밍 유닛은 내부 클록들의 가장 느린 클록 주기보다 크거나 같을 수도 있다.
- [0010] 본 개시의 일 양태에 있어서, 제 1 시간 주기는 통신 링크 상으로 메시지를 송신하도록 구성된 노드의 어드레스와 메시지의 우선순위의 가중 합으로서 계산된다. 제 1 시간 주기는 하위 우선순위 메시지들에 대한 것보다 상위 우선순위 메시지들에 대해 더 짧을 수도 있다. 제 1 시간 주기는 하위 우선순위 노드들에 대한 것보다 상위 우선순위 노드들에 대해 더 짧을 수도 있다.
- [0011] 본 개시의 일 양태에 있어서, 제 1 시간 주기 동안 데이터 신호를 모니터링하는 것은 통신 링크 상으로 메시지

를 송신하도록 구성된 노드로 하여금 고 임피던스 상태로 진입하게 하는 것을 포함할 수도 있다.

[0012] 본 개시의 일 양태에 있어서, 데이터 통신을 위한 장치는 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하는 수단, 제 1 시간 주기 동안 데이터 신호 및 클록 신호를 모니터링하는 수단, 데이터 신호 또는 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있지 않으면 통신 링크의 제어를 양보하는 수단, 데이터 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 상의 제어를 어췌트하는 수단, 및 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하는 수단을 포함한다. 제 1 시간 주기의 지속기간은 메시지의 우선순위에 대응할 수도 있다. 통신 링크의 제어를 위해 경합하는 수단은 데이터 신호 및 클록 신호가 제 1 전압 레벨에서 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 유희상태이었음을 결정하도록 구성될 수도 있다.

[0013] 본 개시의 일 양태에 있어서, 데이터 통신을 위한 장치는 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하고, 제 1 시간 주기 동안 데이터 신호 및 클록 신호를 모니터링하고, 데이터 신호 또는 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있지 않으면 통신 링크의 제어를 양보하고, 데이터 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 상의 제어를 어췌트하고, 그리고 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하도록 구성된 프로세싱 회로를 포함한다. 제 1 시간 주기의 지속기간은 메시지의 우선순위에 대응할 수도 있다. 프로세서는, 데이터 신호가 제 1 전압 레벨에서 구동되기 이전 제 2 시간 주기 동안 통신 링크의 데이터 신호 및 클록 신호가 유희상태이었음을 결정하도록 구성될 수도 있다.

[0014] 본 개시의 일 양태에 있어서, 비-일시적인 머신 판독가능 저장 매체는 저장된 명령들을 갖고, 그 명령들은, 적어도 하나의 프로세싱 회로에 의해 실행될 경우, 적어도 하나의 프로세싱 회로로 하여금 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하게 하고, 제 1 시간 주기 동안 데이터 신호 및 클록 신호를 모니터링하게 하고, 데이터 신호 또는 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있지 않으면 통신 링크의 제어를 양보하게 하고, 데이터 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 상의 제어를 어췌트하게 하고, 그리고 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신하게 한다. 제 1 시간 주기의 지속기간은 메시지의 우선순위에 대응한다.

도면의 간단한 설명

[0015] 도 1 은 복수의 이용가능한 표준들 중 하나에 따라 선택적으로 동작하는 IC 디바이스들 사이에 데이터 링크를 채용한 장치를 도시한다.

도 2 는 기능 컴포넌트들을 접속시키기 위해 내부 및 외부 데이터 링크들을 채용한 장치를 위한 시스템 아키텍처의 일 예를 도시한다.

도 3 은 다중의 내부 및 외부 MP-CxMi 통신 링크들을 채용한 장치를 위한 시스템 아키텍처의 일 예를 도시한다.

도 4 는 내부 MP-CxMi 통신 링크들로 디바이스들을 접속시키는 외부 MP-CxMi 통신 링크를 갖는 장치의 단순화된 예를 도시한다.

도 5 는 멀티포인트 MP-CxMi 통신 링크 상으로 송신될 수도 있는 메시지의 예시적인 포맷을 도시한다.

도 6 은 MP-CxMi 통신 링크 상으로 송신된 메시지의 송신을 도시한 타이밍 다이어그램이다.

도 7 은 본 명세서에 개시된 특정 양태들에 따른 MP-CxMi 버스 중재의 일 예를 도시한 타이밍 다이어그램이다.

도 8 은 본 명세서에 개시된 특정 양태들에 따른 키퍼 (keeper) 회로를 도시한다.

도 9 는 본 명세서에 개시된 특정 양태들에 따른 MP-CxMi 버스에 접속된 노드들 사이에서 통신하기 위한 방법의 플로우 차트이다.

도 10 은 MP-CxMi 버스에 접속된 장치의 하드웨어 구현의 단순화된 예를 도시한 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이제, 다양한 양태들이 도면들을 참조하여 설명된다. 다음의 설명에 있어서, 설명의 목적들로, 다수의 특정 상세들이 하나 이상의 양태들의 철저한 이해를 제공하기 위해 기술된다. 하지만, 그러한 양태들은 이들 특

정 상세들없이도 실시될 수도 있음이 명백할 수도 있다.

[0017] 본 출원에서 사용되는 바와 같이, 용어들 "컴포넌트", "모듈", "시스템" 등은, 하드웨어, 펌웨어, 하드웨어와 소프트웨어의 조합, 소프트웨어, 또는 실행 중인 소프트웨어와 같지만 이에 한정되지 않는 컴퓨터 관련 엔터티를 포함하도록 의도된다. 예를 들어, 컴포넌트는 프로세서 상에서 구동하는 프로세스, 프로세서, 오브젝트, 실행 가능물 (executable), 실행 스레드 (thread of execution), 프로그램, 및/또는 컴퓨터일 수도 있지만, 이에 한정되지 않는다. 예시로서, 컴퓨팅 디바이스 상에서 구동하는 어플리케이션 및 컴퓨팅 디바이스 양자는 컴포넌트일 수 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행 스레드 내에 상주할 수도 있고, 컴포넌트는 하나의 컴퓨터에 국부화되고/되거나 2 이상의 컴퓨터들 사이에서 분산될 수도 있다. 부가적으로, 이들 컴포넌트들은 다양한 데이터 구조들이 저장된 다양한 컴퓨터 판독가능 매체로부터 실행할 수 있다. 컴포넌트들은 로컬 및/또는 원격 프로세스들에 의해, 예컨대, 로컬 시스템에서, 분산 시스템에서 및/또는 신호에 의한 다른 시스템들과의 인터넷과 같은 네트워크에 걸쳐 다른 컴포넌트와 상호작용하는 하나의 컴포넌트로부터의 데이터와 같은 하나 이상의 데이터 패킷들을 갖는 신호에 따라 통신할 수도 있다.

[0018] 더욱이, 용어 "또는" 은 배타적 "또는" 보다는 포괄적 "또는" 을 의미하도록 의도된다. 즉, 달리 명시되거나 문맥으로부터 분명하지 않으면, 어구 "X 는 A 또는 B 를 채용한다" 는 자연적인 포괄적 치환들 중 임의의 치환을 의미하도록 의도된다. 즉, 어구 "X 는 A 또는 B 를 채용한다" 는 다음의 예들 중 임의의 것에 의해 만족된다: X 는 A 를 채용한다; X 는 B 를 채용한다; 또는 X 는 A 및 B 양자를 채용한다. 부가적으로, 본 출원 및 첨부된 청구항들에서 사용되는 바와 같은 관사들 ("a" 및 "an") 은, 달리 명시되거나 문맥으로부터 단수 형태로 지향되는 것이 분명하지 않으면 일반적으로 "하나 이상" 을 의미하도록 해석되어야 한다.

[0019] 본 발명의 특정 양태들은 전화기, 모바일 컴퓨팅 디바이스, 어플라이언스, 자동차 전자기기, 항공전자 시스템들과 같은 장치의 서브컴포넌트들을 포함할 수도 있는 전자 디바이스들 사이에 배치된 통신 링크들에 적용가능할 수도 있다.

[0020] 도 1 은 IC 디바이스들 사이에 통신 링크를 채용할 수도 있는 장치 (100) 를 도시한다. 일 예에 있어서, 장치 (100) 는 무선 액세스 네트워크 (RAN), 코어 액세스 네트워크, 인터넷 및/또는 다른 네트워크와 RF 트랜시버를 통해 통신하는 무선 통신 디바이스를 포함할 수도 있다. 장치 (100) 는 프로세싱 회로 (102) 에 동작가능하게 커플링된 통신 트랜시버 (106) 를 포함할 수도 있다. 프로세싱 회로 (102) 는 어플리케이션 특정 IC (ASIC) (108) 와 같은 하나 이상의 IC 디바이스들을 포함할 수도 있다. ASIC (108) 는 하나 이상의 프로세싱 디바이스들, 로직 회로들 등을 포함할 수도 있다. 프로세싱 회로 (102) 는, 프로세싱 회로 (102) 에 의해 실행될 수도 있는 명령들 및 데이터를 유지할 수도 있는 메모리 (112) 와 같은 프로세서 판독가능 저장부를 포함하고/하거나 그 프로세서 판독가능 저장부에 커플링될 수도 있다. 프로세싱 회로 (102) 는, 무선 디바이스의 메모리 디바이스 (112) 와 같은 저장 매체들에 상주하는 소프트웨어 모듈들의 실행을 지원 및 가능케 하는 어플리케이션 프로그래밍 인터페이스 (API) (110) 계층 및 오퍼레이팅 시스템 중 하나 이상에 의해 제어될 수도 있다. 메모리 디바이스 (112) 는 판독 전용 메모리 (ROM) 또는 랜덤 액세스 메모리 (RAM), 전기적으로 소거가능한 프로그래밍가능 ROM (EEPROM), 플래시 카드들, 또는 프로세싱 시스템들 및 컴퓨팅 플랫폼들에서 사용될 수 있는 임의의 메모리 디바이스를 포함할 수도 있다. 프로세싱 회로 (102) 는, 장치 (100) 를 구성 및 동작시키기 위해 사용된 동작 파라미터들 및 다른 정보를 유지할 수 있는 로컬 데이터베이스 (114) 를 포함하거나 로컬 데이터베이스 (114) 에 액세스할 수도 있다. 로컬 데이터베이스 (114) 는 데이터베이스 모듈, 플래시 메모리, 자기 매체들, EEPROM, 광학 매체들, 테이프, 소프트 또는 하드 디스크 등등 중 하나 이상을 사용하여 구현될 수도 있다. 프로세싱 회로 (102) 는 또한, 다른 컴포넌트들 중, 안테나 (122), 디스플레이 (124), 버튼 (128) 과 같은 오퍼레이터 제어부들, 및 키패드 (126) 와 같은 외부 디바이스들에 동작가능하게 커플링될 수도 있다.

[0021] 장치 (100) 는 서로 통신하는 복수의 프로세싱 회로들 (102), 트랜시버들 (106), 모듈들 및 다른 디바이스들을 포함할 수도 있다. 각각의 프로세싱 회로 (102) 는 하나 이상의 ASIC들 (108), 프로세서들, 시퀀서들, 상태 머신들, 마이크로제어기들, 및 다른 로직 엘리먼트들을 포함한 복수의 IC 디바이스들로서 구현될 수도 있다. 다양한 상이한 엘리먼트들, 디바이스들, 회로들, 모듈들 및 기능부들이 장치 (100) 내에서 데이터 및 제어 정보를 전달하거나, 전송하거나, 라우팅하거나, 중계하거나 그렇지 않으면 통신하기 위해 서로 상호접속하도록 적응될 수도 있다. 일부 경우들에 있어서, 상이한 엘리먼트들, 디바이스들, 회로들, 모듈들 및 기능부들은 상이한 주파수들에서 클럭킹되고/되거나 상이한 데이터 레이트들에서 통신 가능하다. 이에 따라, 엘리먼트들, 디바이스들, 회로들, 모듈들 및 기능부들을 상호접속시키는 데이터 통신 링크들은 통상적으로, 가변 수의 접속

된 엘리먼트들, 디바이스들, 회로들, 모듈들 및 기능부들의 액세스를 제공하도록 적응가능해야 한다.

[0022]

도 2 는 무선 통신 디바이스로서 동작할 수도 있는 장치 (200) 의 단순화된 예를 도시한 블록 다이어그램이다. 장치 (200) 는, 개별 다이소 상에서 형성될 수도 있고 및/또는 동일하거나 상이한 칩 캐리어들 상에서 또는 동일하거나 상이한 패키지들 내에서 제공될 수도 있는 복수의 IC 디바이스들 (202, 204, 206, 및 208) 을 포함한다. IC 디바이스들 (202, 204, 206, 및/또는 208) 중 2 이상은 통신 링크 (210) 를 통해 데이터 및 제어 정보를 교환할 수도 있다. 통신 링크 (210) 는, 서로 매우 근접하게 위치되거나 장치 (200) 의 상이한 부분들에서 물리적으로 위치된 IC 디바이스들 (202, 204, 206, 및/또는 208) 중 2 이상을 접속시키기 위해 사용될 수도 있다. 일 예에 있어서, 통신 링크 (210) 는, IC 디바이스들 (202, 204, 206, 및 208) 을 반송하는 칩 캐리어, 기판 또는 회로 보드 상에 제공될 수도 있다.

[0023]

IC 디바이스들 (202, 204, 206, 및 208) 은 동일한 IC 디바이스 (202, 204, 206, 또는 208) 의 다른 컴포넌트들과, 그리고 외부 데이터 링크 (210) 를 통해 다른 IC 디바이스들 (202, 204, 206, 및/또는 208) 의 컴포넌트들과 통신하도록 구성될 수도 있는 기능 컴포넌트들을 각각 포함할 수도 있다. 각각의 IC 디바이스 (202, 204, 206, 또는 208) 내의 컴포넌트들은 프로세싱 회로들 (226, 246, 266 및 282), 저장부 (286), 트랜시버들, 모듈들, UART들, 디바이스 드라이버들 등등 (컴포넌트들 (222a, 222b, 222c, 242a, 242b 및 262) 로서 일반적으로 도시됨) 을 포함할 수도 있다. 일 예에 있어서, 일반 프로세싱 디바이스 (208) 는, 디지털 신호 프로세서 (DSP), 마이크로프로세서, 마이크로제어기, 시퀀서 로직, 상태 머신들 등과 같은 하나 이상의 프로세싱 회로들 (282) 을 포함하는 ASIC 으로서 제공되고 그리고 저장 디바이스 (286) 를 포함한 회로들을 지원할 수도 있다. 다른 예에 있어서, 일반 프로세싱 디바이스 (208) 는 동적 랜덤 액세스 메모리 (DRAM) 또는 다른 저장 디바이스들 (286) 을 사용하는 벌크 저장부 및 하나 이상의 프로세싱 회로들 (282) 을 제공하는 메모리 제어기 또는 메모리 서브시스템일 수도 있다. IC 디바이스들 (202, 204, 206 및 208) 의 내부 컴포넌트들은, 본 명세서에 개시된 특정 양태들에 따라 구성된 병렬 또는 직렬 버스 또는 통신 링크를 포함할 수도 있는 내부 데이터 링크들 (224, 244, 264 및 284) 을 사용하여 서로 통신할 수도 있다.

[0024]

IC 디바이스들 (202, 204, 206, 및/또는 208) 중 하나 이상은 내부 데이터 링크들 (224, 244, 264 및/또는 284) 과 외부 데이터 링크 (210) 간의 인터페이스를 제공하기 위해 게이트웨이 회로 또는 컴포넌트 (220, 240, 260 및 280) 를 가질 수도 있다. 일부 경우들에 있어서, 게이트웨이 (220, 240, 260 또는 280) 는, 병렬-직렬 변환, 직렬-병렬 변환, 클록 레이트 차이들을 수용하기 위한 데이터 버퍼링, 로직 레벨 전환, 라인 드라이버들 등을 포함할 수도 있는 버스 전환 능력들을 제공할 수도 있다. 일부 예에 있어서, 게이트웨이 (220, 240, 260 또는 280) 는, 내부 데이터 링크들 (224, 244, 264 및/또는 284) 및 외부 데이터 링크 (210) 가 공통 아키텍처를 갖는 경우를 포함하여, 어드레스 전환 및/또는 어드레스 레졸루션을 제공할 수도 있다. 일 예에 있어서, 내부 데이터 링크들 (224, 244, 264 및/또는 284) 및 외부 데이터 링크 (210) 는 MP-CxMi 데이터 링크들을 포함할 수도 있다.

[0025]

도 3 은 공존 관리를 위해 및/또는 한계 관리 (LM) 및 다른 기능들을 지원하기 위해 2개의 MP-CxMi 데이터 링크들 (310, 312) 을 채용하는 장치 (300) 의 일 예를 도시한 블록 다이어그램이다. 일 예에 있어서, 무선 통신 디바이스는 복수의 디바이스들, 회로들 (302, 304, 306 및 308) 및 그 특정 기능 컴포넌트들 (본 명세서에서 "CxMi 노드들" 로서 대체가능하게 지칭됨) 간의 통신을 지원하기 위한 제 1 MP-CxMi 데이터 링크 (310), 및 IC 디바이스들 (302, 304, 306 및 308) 에 의해 지원된 LM 기능들을 위해 전용되는 제 2 MP-CxMi 통신 링크 (312) 를 제공할 수도 있다. 일 예에 있어서, 전용 LM MP-CxMi 통신 링크 (312) 는 전용 게이트웨이 (318) 를 통해 제 1 IC 디바이스 (302) 의 대응하는 내부 LM MP-CxMi 통신 링크 (314a) 와 접속할 수도 있다. 내부 LM MP-CxMi 통신 링크 (314s) 는, 프라이머리 외부 MP-CxMi 통신 링크 (310) 로의 액세스를 제공하는 게이트웨이 (320) 를 통해 다른 CxMi 노드들에 접속할 수도 있다. 다른 CxMi 노드들은 글로벌 네비게이션 위성 시스템 (GNSS) 및 LM 접속들을 갖는 액세스 포인트 큐 (APQ) (302), GNSS 를 갖는 모듈 (304), 듀얼 SIM 듀얼 활성 디바이스들을 위한 단일 칩 조합 디바이스 (306), 및 WLAN, 블루투스, FM 및 근접장 통신 (NFC) 모듈들을 지원하는 결합 디바이스 (308) 의 하나 이상의 노드들을 포함할 수도 있다.

[0026]

장치 (300) 의 다양한 엘리먼트들, 디바이스들, 회로들, 모듈들, 및 기능부들은 MP-CxMi 통신 링크 (310, 312, 314a-314d, 316a-316d) 를 사용하여 상호접속될 수도 있다. 하나의 외부 MP-CxMi 통신 링크 (310) 는 IC 디바이스들 (302, 304, 306 및 308) 을 상호접속시키는 한편, 내부 MP-CxMi 통신 링크들 (314a-314d 및 316a-316d) 은 외부 MP-CxMi 통신 링크 (310, 312) 를 연장하여, 각각, 대응하는 IC 디바이스들 (302, 304, 306 및 308) 내의 엘리먼트들, 디바이스들, 회로들, 모듈들 및 기능부들을 상호접속시킬 수도 있다.

- [0027] CxMi 노드들의 결과적인 MP-CxMi 네트워크는 포인트-투-포인트 (P2P) 및 멀티캐스트 통신을 지원하도록 구성될 수도 있다. CxMi 노드들은 모뎀들 또는 다른 기능부들과 연관될 수도 있다. 각각의 IC 디바이스 (302, 304, 306 및 308) 는 하나 이상의 내부 CxMi 노드들을 지원할 수도 있고, CxMi 노드들의 수는 IC 디바이스 (302, 304, 306 및 308) 에 의해 핸들링된 기능들의 수에 기초할 수도 있다.
- [0028] IC 디바이스들 (302, 304, 306 및 308) 은, 하나 이상의 CxMi 노드들의 동작들을 관리하도록 구성될 수 있는 프로세서 또는 다른 프로세싱 및/또는 컴퓨팅 회로 또는 디바이스를 각각 포함할 수도 있다. 일부 경우들에 있어서, 하나 이상의 CxMi 노드들은 시퀀서 또는 상태 머신에 의해 제어될 수도 있다.
- [0029] MP-CxMi 통신 시스템은 완전 집적된 및 비-집적된 IC 디바이스들 (302, 304, 306 및 308) 과 함께 사용될 수도 있으며, 공통 호스트 제어기 인터페이스 (HCI) 가 장치 (300) 에 대해 정의될 수도 있다. 이에 따라, 상위 레벨 소프트웨어는 장치 (300) 를 제어하기 위해 사용될 수도 있다. 공통 인터페이스 소프트웨어는, 장치 (300) 내에 배치될 수도 있는 모뎀들/트랜시버들의 타입들의 조합에 무관하게 사용될 수도 있다. 예를 들어, 장치 (300) 는 GSM 및/또는 LTE 모뎀들을 포함할 수도 있으며, 뿐만 아니라, 무선 코널 영역 네트워크 (WLAN) 트랜시버 (320b), 블루투스 트랜시버 (320a), 및 다른 엔드-포인트 모뎀들 또는 트랜시버들 (320c, 320d) 은 집적될 수도 있으며, MP-CxMi 통신 링크 (310, 312, 314a-314d 및/또는 316a-316d) 를 통해 공통 HCI 에 응답할 수도 있다.
- [0030] 특정 예들에 있어서, 외부 MP-CxMi 통신 링크 (310 또는 312) 는 특별한 물리 계층 드라이버들 및 다른 디바이스들에 대한 요건없이 단순 CMOS 신호들을 사용하여 동작할 수도 있다. 외부 MP-CxMi 통신 링크 (310 또는 312) 는 50 Mbps (megabits per second) 이상의 데이터 레이트로 데이터를 반송하도록 구성될 수도 있다. MP-CxMi 통신 링크 (310 또는 312) 는 유연하게 설계될 수도 있으며, 데이터 레이트는 송신 CxMi 노드에 의해 결정될 수도 있다. 지연 및 연기 파라미터들은 또한 유연하게 구성될 수도 있으며, 일 예에 있어서, 구성 레지스터들에 의해 유지된 파라미터들에 의해 구성될 수도 있다.
- [0031] 일 동작 모드에 있어서, 송신 CxMi 노드는 송신 클럭을 소싱한다. 어떠한 미리정의된 버스 마스터도 채용되지 않으며, 송신 CxMi 노드는 메시지 송신의 지속기간 동안 버스를 제어 또는 마스터할 수도 있다. 경합 해결은 모든 메시지가 송신되기 전에 수행되고, 이에 의해, 메시지의 송신이 경합 해결에 참여할 시에, 오직 버스 상으로 송신하길 원하는 그 CxMi 노드들만이 경합 해결에 참여한다.
- [0032] 각각의 CxMi 노드는 고유의 어드레스를 갖고, 이 고유의 어드레스는 HCI 레지스터를 통해 프로그래밍되거나 구성될 수 있다. 각각의 CxMi 노드는 P2P 모드에서 하나의 다른 노드로 메시지를 지향시키거나 또는 포인트-투-멀티포인트 (P2MP) 모드에서 모든 노드들로 메시지를 멀티캐스팅할 수 있다. P2MP 송신들은 멀티캐스트 어드레스들을 사용하여 용이하게 될 수도 있으며, 다수의 상이한 멀티캐스트 어드레스들은 CxMi 노드들의 네트워크 내에서 서브넷들을 정의하기 위해 정의될 수 있다. 일 예에 있어서, 공존 엘리먼트들은 하나의 서브넷을 할당받고, 센서들은 다른 서브넷에 할당되며, 열 관리 엘리먼트들은 다른 서브넷에 할당되는 등일 수도 있다. 다양한 서브넷들은 외부 MP-CxMi 통신 링크 (310 또는 312) 의 동일한 2개의 와이어들을 통해, 그리고 각각의 IC 디바이스 (302, 304, 306 또는 308) 내에서, 대응하는 내부 MP-CxMi 통신 링크 (314a-314d 또는 316a-316d) 상으로 접속되거나 커플링될 수도 있다. 이에 따라, 모든 IC 디바이스들과 서브넷들 간의 통신은 IC 디바이스들 (302, 304, 306 및/또는 308) 사이의 동일한 2개의 와이어들을 사용하여 실시될 수도 있다.
- [0033] 각각의 IC 디바이스 (302, 304, 306 또는 308) 는 프로세서 또는 다른 프로세싱 및/또는 컴퓨팅 회로 또는 디바이스, 및 IC 디바이스들 (302, 304, 306 및/또는 308) 상의 개별 프로세서들 및/또는 IC 디바이스들 (302, 304 및 306) 의 다른 컴포넌트들에 의해 사용된 명령들 및 데이터를 유지하도록 적응될 수도 있는 일시적인 및/또는 비-일시적인 저장 디바이스들을 포함한 저장 매체들을 가질 수도 있다.
- [0034] 도 4 는 복수의 IC 디바이스들 (402, 404 및 406) 을 접속시키기 위해 그리고 IC 디바이스들 (402, 404, 406) 내의 기능 엘리먼트들 또는 컴포넌트들 (420, 422a, 442b, 422c, 440, 442a, 442b, 460 및 462) 을 접속시키기 위해 MP-CxMi 를 채용하는 단순화된 장치 (400) 를 도시한 블록 다이어그램이다. 도시된 IC 디바이스들 (402, 404, 406) 각각은, 기능 엘리먼트들 또는 컴포넌트들 (420, 422a, 442b, 422c, 440, 442a, 442b, 460 및 462) 로 하여금 내부 MP-CxMi 데이터 링크들 (426, 446, 466) 을 통해 그리고 외부 MP-CxMi 데이터 링크 (410) 를 통해 상호접속 및 통신할 수 있게 하는 다양한 전환 서비스들을 제공하는 게이트웨이 (420, 440, 460) 를 포함한다. 게이트웨이들 (420, 440, 460) 은 레벨 전환, 버퍼링 및 클럭 레이트 변환 서비스들을 제공할 수도 있다. 각각의 MP-CxMi 데이터 링크 (410, 426, 446, 466) 는 통상적으로, 데이터 및 클럭 신호들 양자를 반송한다. 각각의 내부 컴포넌트 (422a, 422b, 422c, 442a, 442b 및 462) 는, 각각, 인터페이스 (CxMi 노

드) (424a, 424b, 424c, 444a, 444b 및 464) 를 통해 개별 내부 CxMi 데이터 링크들 (426, 446 및 466) 에 접속될 수도 있다.

[0035] 게이트웨이들 (420, 440 및/또는 460) 및 노드들 (424a, 424b, 424c, 444a, 444b 및/또는 464) 은 하나 이상의 상태 머신들 또는 다른 제어기들 또는 시퀀서들에 의해 제어될 수도 있다. 상태 머신들은 단순 실시간 이벤트들을 낮은 레이턴시로 효율적으로 전송할 수 있다. 상태 머신들은 노드 연관식 모델에 또는 메시지를 전송하기 위해 구성된 통신 프로세서에 통신가능하게 커플링될 수도 있다.

[0036] 이제, 장치 (400) 의 특정 동작 양태들이 도 5 내지 도 8 과 관련하여 설명된다.

[0037] 도 5 는 MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 상에서 사용될 수도 있는 메시지 (500) 의 특정 엘리먼트들을 도시한다. 메시지들은, MP-CxMi 프로토콜에 의해 효과적으로 터널링될 수도 있는 무선 공존 인터페이스 (WCI-2) 메시지들 (512) 을 포함할 수도 있다. WCI-2 메시지 (512) 는 멀티포인트 MP-CxMi 네트워크 (410, 426, 446 및/또는 466) 를 통해 송신될 수도 있으며, 메시지들은 특정 노드들 (424a, 424b, 424c, 444a, 444b 및 464) 에 또는 서브넷 상의 노드들의 그룹에 어드레스될 수도 있다. 메시지는 소형 헤더를 뒤따라 255 바이트들까지 포함할 수 있다. MP-CxMi 메시지 (500) 에서 터널링되는 메시지 데이터의 상위 레벨 프로토콜을 식별하기 위해 사용될 수도 있는 메시지 타입 필드 (504) 가 헤더에 포함된다. 일 예에 있어서, 프로토콜은, 각각이 상이한 메시지 타입 값과 연관되는 표준화된 및 독점적인 데이터 타입들을 포함한 32개까지의 상이한 메시지 타입들을 지원할 수 있다.

[0038] 다중의 노드들이 메시지들을 동시에 전송하려고 시도할 경우에 상위 우선순위 실시간 메시지들이 첫번째로 전송될 수 있게 하는 메시지 우선순위가 정의될 수도 있다. 메시지 우선순위 필드 (502) 는, 매 메시지 (500) 마다 전송되는 3비트 우선순위 값을 포함할 수도 있다. 일 예에 있어서, "0" 우선순위 값이 가장 높은 이용가능한 우선순위 및/또는 가장 긴급한 우선순위와 연관되는 한편 "7" 의 우선순위 값이 가장 낮은 그리고 가장 적게 긴급한 우선순위이도록, 하위 우선순위 값들은 상위 우선순위들에 대응한다. 시스템 설계자는, 실시간 이벤트들에 대응하는 메시지들의 효율적인 전달을 보장하기 위하여 각각의 메시지 타입에 대한 적절한 우선순위들을 선택할 수도 있다. 예를 들어, 타입-0 WCI-2 메시지들 (512) 에는 가장 높은 우선순위가 할당될 수도 있고, 타입-2 WCI-2 메시지들 (512) 에는 가장 낮은 우선순위가 할당될 수도 있다. 시스템 설계자는 3비트 우선순위 필드 (502) 에 의해 제공된 8개 미만의 이용가능한 우선순위 레벨들을 사용할 수도 있고/있거나 외부 MP-CxMi 버스 (410) 상의 중재 페이즈 (phase) 의 오버헤드를 감소하기 위해 우선순위 레벨들의 작은 서브세트를 활용할 수도 있다.

[0039] 각 메시지 타입의 우선순위는 다양한 방식으로 설정될 수 있다. 설명의 단순화를 위해, 노드는 전송될 메시지 데이터를 수신함과 병렬로 노드 인터페이스 회로들의 디바이스측으로부터 3비트 우선순위 필드 (502) 를 수신한다고 가정될 것이다.

[0040] 본 명세서에서 개시된 특정 양태들에 따르면, 다중의 디바이스들 (402, 404 및 406) 이 MP-CxMi 버스 (410) 에 접속될 경우, 외부 MP-CxMi 버스 (410) 로의 액세스를 중재하기 위해 최단 펄스 폭 방법이 사용될 수도 있다. 동시에 송신하길 원하는 복수의 디바이스들 (402, 404 및/또는 406) 에 대한 우선순위는, 상위 우선순위 메시지들이 최단 어썸트 펄스에 의해 식별될 경우에 리졸브(resolve)될 수도 있다. 상위 우선순위 메시지들에 대해 더 짧은 펄스들을 사용하는 것은 고 우선순위 메시지들에 대한 오버헤드를 감소시킬 수 있다. 일부 경우들에 있어서, 메시지 우선순위 필드 (502) 의 실제 디지털 콘텐츠는 외부 MP-CxMi 버스 (410) 가 아닌 오직 내부 MP-CxMi 버스 (426, 446 및/또는 466) 상으로 송신된다. 메시지가 외부 버스 (410) 상으로 송신되려 하면, 메시지 우선순위 (502) 는 중재 페이즈에서 어썸트 펄스 폭으로 변환될 수도 있는데, 왜냐하면 이 필드는 메시지 (500) 가 외부 버스를 통해 수신 게이트웨이들 (420, 440 및/또는 460) 로 전달된 이후에 더 이상 필요하지 않기 때문이다.

[0041] 일 예에 있어서, "3" 으로 설정된 어드레스를 갖는 제 1 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 는 "5" 로 설정된 어드레스를 갖는 제 2 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 로 P2P 메시지를 송신할 수도 있다. 메시지 목적지 어드레스 필드 (506) 는 "5" 로 설정될 수도 있고, 소스 어드레스 필드 (508) 는 "3" 으로 설정될 수도 있다. CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 가 메시지 (500) 를 전송할 경우, 모든 수신 노드들 (424a, 424b, 424c, 444a, 444b 및/또는 464) 이 메시지 (500) 를 볼 수 있도록 게이트웨이 (420, 440 및/또는 460), 외부 MP-CxMi 버스 (410) 및 대응하는 내부 MP-CxMi 버스들 (426, 446 및/또는 466) 을 통해 라우팅된다.

- [0042] 본 명세서에서 개시된 하나 이상의 양태들에 따른 펄스 폭 기반 경합 해결 방식은 외부 MP-CxMi 버스 (410) 에 대한 우선순위를 리졸브할 수 있다. 외부 MP-CxMi 버스 (410) 의 제어를 위해 경합하는 각각의 노드 (즉, 게이트웨이들 (420, 440 및/또는 460)) 는 "레벨 설정 및 모니터" 절차를 수행하여, 상위 우선순위 노드 (420, 440 또는 460) 가 버스 (410) 의 제어를 취하였는지 여부를 결정한다. MP-CxMi 신호들을 외부 MP-CxMi 버스 (410) 에 커플링하기 위한 I/O 패드 회로는 고 임피던스 능력을 갖는 표준 CMOS I/O 패드 회로를 포함할 수도 있다. 키퍼 회로 (도 8 참조) 는, 경합 노드들 (420, 440 및/또는 460) 을 포함한 모든 데이터 드라이버 회로들이 고 임피던스 상태에 있을 경우에 버스 (410) 의 상태를 데이터 하이 상태로 또는 데이터 로우 상태로 유지하도록 구성될 수도 있다. 외부 MP-CxMi 버스 (410) 의 클록 신호는, 경합 프로세스 동안에 포함하여 어떠한 디바이스도 클록을 구동하고 있지 않을 경우 클록을 로우 상태로 유지하는 풀-다운 전류 소스로 구성될 수도 있다.
- [0043] 도 6 은 도 5 에 도시된 메시지 (500) 와 같은 MP-CxMi 메시지의 송신을 도시한 타이밍 다이어그램 (600) 이다. 메시지 (500) 는 데이터 페이즈 (608) 동안 MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 중 하나 이상의 MP-CxMi 통신 링크들 상으로 송신될 수도 있다. 메시지 (500) 는 송신기에 의해 제공된 클록 (604) 을 사용하여 커넥터들의 쌍 상으로 데이터 (602) 로서 송신될 수도 있다. 데이터 페이즈 (608) 에서 메시지 (500) 를 송신하기 위하여, 송신기는 중재 페이즈 (606) 동안 필요한 MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 의 제어를 획득하려고 시도한다. 본 명세서에서 개시된 특정 양태들에 따르면, MP-CxMi 통신 링크 (410) 의 제어는 신호들의 타이밍에 기초한 프로토콜을 사용하여 중재 페이즈 (606) 동안 획득된다.
- [0044] 중재 페이즈 (602) 는, 가장 높은 우선순위 메시지가 첫번째로 송신됨을 보장하는 중재 프로세스를 사용하여 필요한 MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 의 제어를 위해 경합하는 복수의 CxMi 노드들 (424a, 424b, 424c, 444a, 444b 및/또는 464) 에 의해 MP-CxMi 통신 버스 (410) 상으로 전송될 메시지들 (500) 에 대한 메시지 우선순위를 리졸브할 수 있다. 우선순위는 메시지 (500) 의 메시지 우선순위 필드 (502) 의 콘텐츠 또는 값과 송신 게이트웨이 (420, 440 또는 460) 에 할당된 게이트웨이 어드레스의 조합으로부터 생성된 타이밍에 기초하여 리졸브될 수도 있다. 일 예에 있어서, 수치 게이트웨이 어드레스 및 메시지 우선순위 변수들에 적용된 상대적으로 단순한 알고리즘은, 메시지 (500) 의 우선순위를 결정하는 계산된 우선순위 값을 생성할 수도 있다.
- [0045] 가장 높게 계산된 우선순위 값은 어느 경합 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 가 MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 에 대한 경합에서 승리할 지를 결정할 수도 있다. MP-CxMi 통신 링크들 (410, 426, 446 및/또는 466) 에 대한 경합에서 승리한 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 는 내부 MP-CxMi 통신 링크들 (426, 446 및/또는 466) 중 하나 이상 및/또는 외부 MP-CxMi 통신 링크 (410) 로의 액세스를 제어할 수 있다. 노드 소스 어드레스 (508) 는, 2 이상의 메시지들이 동일한 계산된 우선순위 값을 가질 경우에 타이(tie)를 깨는데 사용될 수도 있다.
- [0046] CxMi 메시지들 (500) 은 데이터 페이즈 (608) 동안 송신될 수도 있다. 도 5 에 도시된 예에 있어서, CxMi 메시지 (500) 의 필드들은, 외부 MP-CxMi 통신 링크 (410) 상의 데이터 압축을 위해 CxMi 게이트웨이 (420, 440 또는 460) 에 의해 합성될 수도 있는 매우 짧은 헤더 (VSH) 필드 (622) 를 포함한다. VSH 필드 (622) 는 통상적으로 첫번째로 송신된다. 일 예에 있어서, VSH 필드 (622) 가 0 내지 6 의 값을 가지면, 메시지 타입 필드 (504), 목적지 노드 어드레스 필드 (506), 소스 노드 어드레스 필드 (508), 및 메시지 데이터 길이 필드 (510) 는 송신될 필요가 없는데, 왜냐하면 이들 필드들은 HCI 내의 레지스터들의 7개 세트들 중 하나로부터 획득될 수 있기 때문이다. 하지만, VSH 필드 (622) 가 7 의 값을 가지면, 메시지 타입 필드 (504) 는, 목적지 노드 어드레스 필드 (506), 소스 노드 어드레스 필드 (508), 및 메시지 데이터 길이 필드 (510) 를 포함한 필드들 (626) 이 뒤따르는 데이터 페이즈 (608) 의 다음 필드 (624) 에서 송신된다. 메시지 타입 필드 (504), 목적지 노드 어드레스 필드 (506), 소스 노드 어드레스 필드 (508), 및 메시지 데이터 길이 필드 (510) 에 대한 메시지 헤더 필드들의 길이들은 통상적으로 HCI 내의 레지스터들에 의해 명시된다.
- [0047] 송신된 VSH 필드 (622) 가 7 의 값을 가질 경우, 옵션적인 필드들 (626) 은 메시지 타입 필드 (504), 목적지 노드 어드레스 필드 (506), 소스 노드 어드레스 필드 (508), 및 메시지 데이터 길이 필드 (510) 를 포함한다.
- [0048] 메시지 타입 필드 (504) 는, MP-CxMi 인터페이스를 통해 터널링되는 프로토콜 또는 메시지의 타입을 식별한다.
- [0049] 목적지 노드 어드레스 필드 (506) 는, 메시지의 의도된 수신자인 CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 의 노드 어드레스를 명시한다. 어드레스는 또한, 다중의 CxMi 노드들 (424a, 424b, 424c,

444a, 444b 및/또는 464) 로 하여금 메시지 (500) 를 수신하게 하는 멀티캐스트 어드레스일 수도 있다.

[0050] 소스 노드 어드레스 필드 (508) 는, 메시지가 발신된 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 의 노드 어드레스를 포함한다.

[0051] 메시지 데이터 길이 필드 (510) 는, 뒤이어지는 메시지 데이터 (628) 의 바이트들의 수를 포함한다. 메시지 데이터는 메시지 (500) 의 페이로드를 포함한다.

[0052] 메시지들 (500) 은, 경합 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 가 MP-CxMi 메시지 (500) 의 각각의 송신에 선행하는 버스 중재 프로세스에 승리함으로써 외부 MP-CxMi 버스 (410) 의 제어를 획득한 이후에 외부 MP-CxMi 버스 (410) 상으로 전송된다. 송신될 메시지 (500) 를 갖는 각각의 CxMi 게이트웨이 (420, 440 및/또는 460) 가 버스 중재에 참여할 수도 있다. 전송할 어떠한 CxMi 메시지 (500) 도 갖지 않는 임의의 CxMi 게이트웨이 (420, 440 및/또는 460) 는 버스 활동을 무시하고 슬립 모드로 진입하거나 남겨질 수도 있다. CxMi 게이트웨이 (420, 440 및/또는 460) 는 버스 활동을 모니터링하여, 현재 CxMi 메시지 (500) 의 송신이 완료할 때를, 특히, 모니터링 CxMi 노드 (424a, 424b, 424c, 444a, 444b 또는 464) 가 전송할 메시지 (500) 를 갖거나 수신할 때를 결정할 수도 있다.

[0053] 중재 프로세스에서 승리하지 않은 경합 CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 는 슬립 모드에 진입할 수도 있다. 슬립 모드에 있어서, CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 는 메시지들을 수신할 수 있다. 수신기는, 로직이 오직 CxMi 인터페이스 클록에 의해서만 클록킹될 경우라도 (예를 들어, 내부 클록이 전력을 보존하기 위해 디스에이블링됨), 로직이 파워-온될 경우 메시지가 수신기로 어드레스되는지 여부를 결정할 수 있다. 일부 경우들에 있어서, CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 는 임의의 메시지의 수신 시 슬립 모드를 퇴장하도록 구성될 수도 있다. 일부 경우들에 있어서, CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 는 특정한 미리결정된 웨이크업 메시지들의 수신 시 슬립 모드를 퇴장하도록 구성될 수도 있다. CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 로 하여금 슬립 모드를 퇴장하게 하는 메시지는, CxMi 노드 (424a, 424b, 424c, 444a, 444b 및/또는 464) 가 웨이크업 이후 평가할 수 있는 부가적인 데이터를 반송할 수도 있다.

[0054] 도 7 은 3개의 CxMi 게이트웨이들 (420, 440 및 460) 사이의 버스 중재 프로세스 (700) 의 일 예를 도시한 타이밍 다이어그램이다. 중재 프로세스 (700) 는, 데이터 신호 (702) 및/또는 클록 신호 (704) 가 통상적으로 중재 클록 사이클들의 배수로서 측정되는 미리정의된 시간 동안 유힬상태로 남겨진 이후에 개시될 수도 있다. 도시된 예 (700) 에 있어서, 유힬 상태는 로직 로우 레벨로서 정의될 수도 있다. 중재 클록 사이클에 기반한 시간의 유닛은 송신 유닛 (TU) 로서 지칭될 수도 있다. TU 는 통상적으로, 상이한 클록 속도들에서 동작할 수도 있는 IC 디바이스들 (402, 404 및 406) (도 4 참조) 과 같은 접속된 디바이스들의 가장 느린 클록 레이트를 수용하도록 선택된다. 통상적으로, TU 는 접속된 디바이스들의 가장 느린 클록 레이트의 정수배이고, 이러한 중재 클록 타이밍은 경합 CxMi 게이트웨이들 (420, 440 및 460) 에 의해 송신된 펄스 폭들이 중재 동안 일치된 길이들일 수 있게 한다.

[0055] 데이터 신호 (702) 및 클록 신호 (704) 가 중재 프로세스 (700) 이전에 로우상태로 (또는 다른 유힬 상태로) 남겨지는 시간 주기는 가변일 수 있다. 일 예에 있어서, 복수의 경합 CxMi 게이트웨이들 (420, 440 및/또는 460) 은, 상이한 시간 주기들 동안 데이터 신호 (702) 및 클록 신호 (704) 에 대해 유힬 상태를 관측한 이후 중재 프로세스 (700) 를 개시하도록 구성될 수도 있다. CxMi 게이트웨이들 (420, 440 및/또는 460) 에는 상이한 우선순위들이 할당될 수도 있으며, 상위 우선순위 CxMi 게이트웨이들 (420, 440 및/또는 460) 은 하위 우선순위 CxMi 게이트웨이들 (420, 440 및/또는 460) 전에 중재 프로세스 (700) 를 개시하고, 이에 의해, 하위 우선순위 CxMi 게이트웨이들 (420, 440 및/또는 460) 을 선점할 수도 있다. 다른 예에 있어서, CxMi 게이트웨이들 (420, 440 및/또는 460) 은, 송신될 메시지 (500) 의 우선순위에 기초하여 결정된 시간 주기 동안 데이터 신호 (702) 및 클록 신호 (704) 에 대해 유힬 상태를 관측한 이후 중재 프로세스 (700) 를 개시하도록 구성될 수도 있다. 이러한 방식으로, 하위 우선순위를 갖는 메시지 (500) 는 상위 우선순위를 갖는 메시지 (500) 보다 더 긴 모니터 주기를 가질 수 있다.

[0056] 도 7 에 도시된 예에 있어서, 경합 CxMi 게이트웨이들 (420, 440 및 460) 각각은 중재 프로세스 (700) 에 참여한다. CxMi 게이트웨이들 (420, 440 및 460) 은, 데이터 신호 (702) 및 클록 신호 (704) 가 2 이상의 TU들 동안 유힬상태로 남겨졌음을 결정한 이후 경합 중재에 진입할 수도 있다. 중재는, 경합 CxMi 게이트웨이들 (420, 440 및 460) 중 적어도 하나가 MP-CxMi 통신 링크 (410) 의 제어를 위해 경합하기 위해 데이터 신호 (702) 를 하이(high)로 구동할 경우에 시작한다. 경합 CxMi 게이트웨이들 (420, 440 및 460) 중 일부 또는

그 모두는 MP-CxMi 통신 링크 (410) 의 제어를 위한 그 개별 경합을 어췌트하기 위해 데이터 신호 (702) 를 하이로 동시에 및/또는 일제히 구동할 수도 있다. 그 후, 각각의 참여하는 CxMi 게이트웨이 (402, 404 및 406) 는, 데이터 신호 (702) 를 로우(low)로 구동하기 전에 그 대응하는 메시지 (500) 에 대한 우선순위 값을 계산함으로써 결정된 시간 주기 동안 대기한다. 데이터 신호 (702) 가 그 시간 주기 이후 이미 로우이면, 대응하는 CxMi 게이트웨이 (420, 440 및/또는 460) 는 MP-CxMi 통신 링크 (410) 의 제어를 CxMi 메시지 (500) 의 상위 우선순위 송신기에 양보한다.

[0057] CxMi 게이트웨이 (402, 404 및 406) 가 데이터 신호 (702) 를 로우로 구동하기 전에 대기하는 시간 주기는 중재 펄스 (710, 718 또는 720) 의 폭을 계산하기 위한 알고리즘을 사용하여 결정될 수도 있다. 도시된 예 (700) 에 있어서, 그 알고리즘은 중재 펄스 (710, 718 또는 720) 의 지속기간 (t) 를 다음과 같이 계산한다:

[0058]
$$t = TU * ((Message_Priority * N_{Gateways}) + (Gateway_Address + 1)),$$

[0059] 여기서, $N_{Gateways}$ 는 MP-CxMi 통신 링크 (410) 에 접속된 CxMi 게이트웨이들 (420, 440 및 460) 의 수이다. 이 알고리즘에서의 가중화는 게이트웨이 어드레스에 대한 메시지 우선순위를 강조한다. 하지만, 게이트웨이 어드레스는, 동일한 메시지 우선순위를 갖는 메시지들 (500) 간의 타이브레이커 (tiebreaker) 로서 기능할 수 있다. 예를 들어, 상이한 CxMi 게이트웨이들 (420, 440 및/또는 460) 로부터의 2개의 메시지들 (500) 이 동일한 메시지 우선순위를 가질 경우, 가장 낮은 게이트웨이 어드레스를 갖는 CxMi 게이트웨이 (420, 440 또는 460) 로부터 전송된 메시지 (500) 는 중재 펄스들 (710, 718 또는 720) 의 최단치를 생성하기 때문에 중재 프로세스 (700) 에서 우세할 수도 있다.

[0060] 도시된 중재 프로세스 (700) 는, 송신될 메시지들을 갖는 3개의 CxMi 게이트웨이들 (420, 440 및 460) ($N_{Gateways}=3$) 사이의 중재의 일 예와 관련되며, 여기서:

[0061] • 제 1 게이트웨이 (420) 는 게이트웨이 어드레스 = 0, 메시지 우선순위 0 을 갖는 메시지를 가지며, 지속기간 $t_1 = (0*3) + (0+1) = 1$ TU 를 갖는 어췌트 펄스를 생성함;

[0062] • 제 2 게이트웨이 (440) 는 게이트웨이 어드레스 = 1, 메시지 우선순위 0 을 갖는 메시지를 가지며, 지속기간 $t_2 = (0*3) + (1+1) = 2$ TU 를 갖는 어췌트 펄스를 생성함; 그리고

[0063] • 제 3 게이트웨이 (460) 는 게이트웨이 어드레스 = 2, 메시지 우선순위 1 을 갖는 메시지를 가지며, 지속기간 $t_3 = (1*3) + (2+1) = 6$ TU 를 갖는 어췌트 펄스를 생성함.

[0064] 도시된 중재 프로세스 (700) 는, 데이터 신호 (702) 및 클록 신호 (704) 가 미리결정된 시간 주기 동안 로우로 풀링된 이후에 시작한다. 이 "유티" 주기 동안, 모든 CxMi 게이트웨이들 (420, 440 및 460) 은 통상적으로 고 임피던스 상태에 있으며 어떠한 버스 마스터도 정의되지 않는다. 데이터 신호 (702) 및 클록 신호 (704) 는, 모든 CxMi 게이트웨이들 (420, 440 및 460) 이 고 임피던스 상태에 진입할 경우에 개별 킵퍼 회로들 (800) (도 8 참조) 에 의해 유지될 수도 있다. 일 예에 있어서, 3개의 CxMi 게이트웨이들 (420, 440 및 460) 은 고 임피던스 상태로 남겨지고 적어도 2 TU 동안 유티 상태 (예를 들어, 로우 레벨) 에서 데이터 신호를 관측하도록 구성될 수도 있다. 다른 예에 있어서, 3개의 CxMi 게이트웨이들 (420, 440 및 460) 은 고 임피던스 상태로 남겨지고 상이한 또는 가변 시간 주기들 동안 유티 상태 (예를 들어, 로우 레벨) 에서 데이터 신호를 관측하도록 구성될 수도 있다. CxMi 게이트웨이들 (420, 440 및 460) 은 MP-CxMi 통신 링크 (410) 의 제어를 위해 경합하기 위해 데이터 신호 (702) 를 하이로 동시에 및/또는 일제히 구동할 수도 있다. 제 1 CxMi 게이트웨이 (420) 는 1 TU 주기가 경과한 이후에 데이터 신호 (702) 를 로우로 풀링한다. 제 2 및 제 3 CxMi 게이트웨이들 (440 및 460) 은, 데이터 신호 (702) 가 로우로 구동되었음을 검출하고 그리고 다음 중재 페이즈 (706) 의 시작까지 고 임피던스 상태로 남겨진다. 제 2 및 제 3 CxMi 게이트웨이들 (440 및 460) 의 데이터 파형들 (714 및 716) 상의 점선들은, 어떠한 상위 우선순위 메시지도 송신을 위해 이용가능한 것으로 결정되지 않으면 발생되었던 펄스들 (718 및 720) 의 형태를 나타낸다. 제 1 CxMi 게이트웨이 (402) 는 통상적으로, 1 TU 이상의 지연 이후에 발생할 수도 있는, 버스 획득을 완료하였을 때까지 클록 신호를 구동하지 않는다.

[0065] 본 명세서에서 개시된 특정 양태들에 따르면, 중재 어췌트 펄스 (710) 는 CxMi 게이트웨이들 (420, 440 및/또는 460) 중 하나 이상에 의해 개시되고, 최단의 계산된 중재 어췌트 펄스 (710, 718 또는 720) 를 갖는 CxMi 게이트웨이 (420, 440 또는 460) 에 의해 종료된다. 도 7 에 도시된 예에 있어서, 제 1 CxMi 게이트웨이 (420)

는, 최단 중재 어썬트 펄스 (710') 를 갖는 파형 (702') 를 생성하고, 데이터 페이즈 (708) 에 진입하기 전에 1 TU (712) 동안 데이터 신호 (702) 를 로우로 구동하는 것을 계속한다. 그 후, 제 1 CxMi 게이트웨이 (420) 는 CxMi 메시지 (500) 의 VSH 필드를 전송한다. 각각의 중재 프로세스 (700) 에 있어서, 중재 페이즈 (706) 의 총 경과 시간은 가변이고, 그 길이는, 중재 프로세스에서 우세한 메시지 (500) 과 연관된 게이트웨이 어드레스 및 메시지 우선순위에 의해 관리된다.

[0066] 제 2 및 제 3 CxMi 게이트웨이들 (440 및 460) 은, 제 1 CxMi 게이트웨이 (420) 가 상위 우선순위 메시지를 전송하길 원함과 동시에 하위 우선순위 메시지를 전송하기 위해 경합하고 있을 수도 있다. 제 2 CxMi 게이트웨이 (440) 는 펄스 (718) 를 개시할 수도 있고, 제 3 CxMi 게이트웨이 (460) 는 외부 MP-CxMi 통신 링크 (410) 상의 펄스 (720) 를 개시할 수도 있다. 그 후, 제 2 및 제 3 CxMi 게이트웨이들 (440 및 460) 은, 그 개별 펄스 (718 또는 720) 의 시간 주기가 만료할 때까지 데이터 신호 (702) 를 관측할 수도 있다. 하지만, 그 예에 있어서, 데이터 신호 (702) 는 상위 우선순위 제 1 CxMi 게이트웨이 (420) 에 의해 첫번째로 로우로 구동되어, 제 2 CxMi 게이트웨이 (440) 및 제 3 CxMi 게이트웨이 (460) 에게서 데이터 신호 (702) 를 하이 레벨로부터 로우 레벨로 스위칭할 기회를 빼앗고 그리고 제 2 CxMi 게이트웨이 (440) 가 버스 (410) 의 제어를 획득하는 것을 배제한다. 제 1 CxMi 게이트웨이 (420) 가 하위 우선순위 제 2 CxMi 게이트웨이 (440) 및 제 3 CxMi 게이트웨이 (460) 가 데이터 신호 (720) 를 로우로 구동하려고 시도하였을 시간 전에 데이터 신호 (702) 를 로우로 구동하였음을 관측하였으면, 제 2 CxMi 게이트웨이 (440) 및 제 3 CxMi 게이트웨이 (460) 는 고 임피던스 상태로 남겨지고 제 1 CxMi 게이트웨이 (720) 에 의한 송신을 모니터링하고, 후속하여, 다음 경합 프로세스가 시작할 수 있을 때를 결정하기 위해 데이터 신호 (702) 및 클록 신호 (704) 의 유희 상태들을 모니터링한다.

[0067] 각각의 CxMi 게이트웨이 (420, 440 및 460) 에 대해, 일 TU 의 지속기간은 내부 클록을 분할하기 위해 구성 또는 프로그래밍된 클록 분할기를 사용하여 결정될 수도 있다. 내부 클록 및 클록 분할기는 게이트웨이 HCI 내의 게이트웨이 구성 레지스터를 통해 구성될 수도 있다. TU 는 통상적으로, 장치 (400) 에서의 모든 CxMi 게이트웨이들 (420, 440 및/또는 460) 의 가장 느린 이용가능한 클록에 의해 생성될 수 있는 지속기간을 갖도록 선택된다. 분수 분할기는, 합성된 클록의 피크-투-피크 변동이 충분한 정확도의 주기를 생성하면 그리고 다른 CxMi 게이트웨이들 (420, 440 및/또는 460) 로부터의 펄스들을 검출하기 위한 샘플링 윈도우가 충분히 정확하면, 사용될 수도 있다.

[0068] 본 명세서에서 개시된 특정 양태들에 따르면, 경합 CxMi 게이트웨이들 (420, 440 및/또는 460) 은 데이터 신호 (702) 를 하이로 구동하고 0.5 TU 내에 고 임피던스 상태에 진입한다. 미구동된 데이터 신호 (702) 및/또는 미구동된 클록 신호 (704) 의 상태를 유지하기 위하여, 하나 이상의 킵퍼 회로들 (800) (도 8) 이 제공될 수도 있다. 킵퍼 회로 (800) 는 IC 디바이스 (402, 404, 406) 상에 내부적으로 배치되거나, 또는 모든 CxMi 게이트웨이들 (420, 440 및 460) 이 고 임피던스 모드에 진입하였을 경우에 데이터 신호 조건을 유지하기 위해 외부적으로 배치될 수도 있다. 중재 동안, 킵퍼 회로 (800) 는, 최고 우선순위 이벤트를 서빙하는 CxMi 게이트웨이 (420, 440 또는 460) 가 신호 라인 (812) 를 로우로 구동하고 따라서 최단 펄스를 생성할 때까지 신호 라인 (812) 를 하이로 유지한다. 도시된 예에 있어서, 킵퍼 회로 (800) 는, 데이터 신호를 그 최종 구동 상태로 유지하는 고 임피던스 피드백 저항기 (804) 를 갖는 비반전 게이트 (802) 를 포함할 수도 있다. 저항기 (804) 는, 무시할 수 있는 부하를 신호 라인 (812) 에 부가하고 활성 CxMi 게이트웨이 출력에 의해 용이하게 극복되는 충분히 높은 저항을 갖는다.

[0069] 최단 펄스의 주기의 말단에서, 최단 펄스와 연관된 CxMi 게이트웨이 (420, 440 또는 460) 는 고 임피던스 상태를 퇴장하고 신호 라인 (812) 을 구동한다. 예를 들어, 중재 프로세스 (700) 에서 승리한 CxMi 게이트웨이 (420, 440 또는 460) 는 0.5 TU 동안 데이터 신호 (702) 를 로우로 구동하고, 중재 페이즈 (706) 의 종료 이후 클록 신호 (704) 를 구동한다. 전송하기 위한 하위 우선순위 메시지들을 갖는 경합 CxMi 게이트웨이들 (420, 440 및/또는 460) 은 데이터 신호 (704) 가 로우로 구동되었음을 검출하고 중재 프로세스 (700) 를 퇴장할 수도 있다. 중재 프로세스 (700) 에서 우세하지 않은 CxMi 게이트웨이들 (420, 440 및/또는 460) 은 통상적으로, 승리한 메시지가 송신된 이후까지 그 데이터 출력들을 고 임피던스 상태로 유지한다. 오직 신호 천이가 필요한 경우에만 버스를 구동함으로써, 가장 긴급한 메시지를 갖는 CxMi 게이트웨이들 (420, 440 또는 460) 이 다른 CxMi 게이트웨이들 (420, 440 및/또는 460) 에 의해 구동된 펄스보다 데이터 신호 라인 (702) 상의 더 짧은 펄스를 구동하는 것이 가능하다.

[0070] 도 9 는 CxMi 버스 (410) 에 접속된 노드들 사이에서 통신하기 위한 방법의 플로우 차트 (900) 이다. 그 방법은, CxMi 버스 (410) 일 수도 있는 통신 링크에 커플링된 IC 디바이스 (402, 404 또는 406) 에서 수행될 수도

있다. 단계 902 에서, IC 디바이스 (402, 404 또는 406) 는 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합할 수도 있다.

[0071] 단계 904 에서, IC 디바이스 (402, 404 또는 406) 는 제 1 시간 주기 동안 데이터 신호 및 클록 신호를 모니터링할 수도 있다. 제 1 시간 주기의 지속기간은 메시지의 우선순위에 대응한다. 제 1 시간 주기는 통신 링크의 제어를 위해 경합하는 2 이상의 노드들에 대해 상이하게 정의될 수도 있다. 제 1 시간 주기는 통신 링크와 연관된 타이밍 활동들을 위해 정의된 송신 타이밍 유닛의 배수로서 계산될 수도 있다. 데이터 신호는 1 미만의 송신 타이밍 유닛 동안 제 1 전압 레벨에서 구동될 수도 있다. 통신 링크는 상이한 IC 디바이스들 상에 위치한 노드들을 접속시키도록 적응될 수도 있다. 상이한 IC 디바이스들 상에 위치한 노드들은 상이한 내부 클록 레이트들로 동작한다. 송신 타이밍 유닛은 상이한 IC 디바이스들에 의해 사용된 내부 클록들의 가장 느린 클록 주기보다 크거나 같을 수도 있다. 제 1 시간 주기는 통신 링크 상으로 메시지를 송신하도록 구성된 노드의 어드레스와 메시지의 우선순위의 가중 합으로서 계산될 수도 있다. 제 1 시간 주기는 상위 우선순위 메시지들 또는 상위 우선순위 노드들에 대해 더 짧을 수도 있다.

[0072] 본 개시의 일 양태에 있어서, 통신 링크 상으로 메시지를 송신하도록 구성된 노드는, 데이터 신호가 제 1 시간 주기 동안 모니터링되는 동안 고 임피던스 상태에 진입하도록 야기될 수도 있다.

[0073] 본 개시의 일 양태에 있어서, 통신 링크의 제어를 위해 경합하는 것은 통신 링크의 데이터 신호 및 클록 신호가 제 1 전압 레벨에서 데이터 신호를 구동하기 이전 제 2 시간 주기 동안 유희상태이었음을 결정하는 것을 포함할 수도 있다. 예를 들어, 송신될 메시지를 갖는 IC 디바이스들 (402, 404 및/또는 406) 에서의 하나 이상의 노드들은, 클록 및 데이터 신호들이 제 2 시간 주기의 지속기간 동안 유희상태이거나 로우로 구동되거나 또는 하이로 구동되는 동일 때까지 대기할 수도 있다. 제 2 시간 주기는 통신 링크 상으로 메시지를 송신하도록 구성된 노드와 연관된 우선순위 또는 메시지의 우선순위에 기초하여 계산될 수도 있다. 제 2 시간 주기는 상위 우선순위 노드들 및/또는 상위 우선순위 메시지들에 대해 더 짧을 수도 있다.

[0074] 단계 906 에서, IC 디바이스 (402, 404 또는 406) 는 데이터 신호 또는 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨로 남겨지는지 여부를 결정할 수도 있다. 데이터 신호 또는 클록 신호의 전압이 그 시간 주기의 만료 시에 제 1 전압 레벨로 남겨지지 않았다면, 방법은 단계 914 로 진행하고 IC 디바이스 (402, 404 또는 406) 는 통신 링크의 제어를 양보할 수도 있고, 단계 916 에서 다음 중재 페이지를 대기한다. 통신 링크의 제어를 양보하는 것은 통신 링크와 연관된 데이터 신호 및 클록 신호의 제어를 양보하는 것을 포함할 수도 있다.

[0075] 단계 906 에서 데이터 신호 및 클록 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨로 남겨진다고 결정되었으면, 방법은 단계 908 로 진행한다. 단계 910 에서, IC 디바이스 (402, 404 또는 406) 는 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 상의 제어를 어췌트할 수도 있다. 통신 링크의 제어를 어췌트하는 것은 통신 링크와 연관된 데이터 신호 및 클록 신호를 제어하는 것을 포함할 수도 있다.

[0076] 단계 912 에서, IC 디바이스 (402, 404 또는 406) 는 통신 링크의 제어를 어췌트한 이후 통신 상의 메시지를 송신할 수도 있다.

[0077] 도 10 은 CxMi 버스에 접속되고 프로세싱 회로 (1002) 를 채용한 장치의 하드웨어 구현의 단순화된 예를 도시한 다이어그램 (1000) 이다. 일 예에 있어서, 그 장치는, 데이터 인코딩, 포맷팅 및/또는 데이터를 송신하는 것을 위해 사용될 수도 있는 CxMi 게이트웨이들 (420, 440, 460) 과 같은 컴포넌트들, 모듈들 또는 회로들이 장비된 하나 이상의 IC 디바이스들 (402, 404, 및/또는 406) (도 4 참조) 을 포함할 수도 있다. 프로세싱 회로 (1002) 의 하나 이상의 인스턴스들 또는 변형들은 장치 (400) 에 및/또는 IC 디바이스들 (402, 404, 및/또는 406) 중 하나 이상에 배치될 수도 있다. 프로세싱 회로 (1002) 는 버스 (1020) 에 의해 일반적으로 표현되는 버스 아키텍처로 구현될 수도 있다. 버스 (1020) 는 프로세싱 회로 (1002) 의 특정 어플리케이션 및 전체 설계 제약들에 의존하는 임의의 수의 상호접속 버스들 및 브리지들을 포함할 수도 있다. 버스 (1020) 는 프로세서 (1016), 모듈들 또는 회로들 (1004, 1006, 1008, 및 1010), 커넥터들 또는 와이어들 (1014) 을 구동하도록 구성가능한 라인 드라이버들 (1012), 및 컴퓨터 판독가능 저장 매체 (1018) 에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함한 다양한 회로들을 함께 링크시킨다. 버스 (1020) 는 또한, 당 업계에 널리 공지되고 따라서 어떠한 추가로 설명되지 않을 타이밍 소스들, 주변기기들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수도 있다.

[0078] 프로세서 (1016) 는 마이크로 프로세서, 제어기, 디지털 신호 프로세서, 시퀀서, 상태 머신 등을 포함할 수도

있다. 프로세서 (1016) 는 컴퓨터 판독가능 저장 매체 (1016) 상에 저장된 소프트웨어의 실행을 포함한 일반 프로세싱을 책임진다. 소프트웨어는, 프로세서 (1016) 에 의해 실행될 경우, 프로세싱 회로 (1002) 로 하여금 임의의 특정 장치에 대해 상기 설명된 다양한 기능들을 수행하게 한다. 컴퓨터 판독가능 저장 매체 (1018) 는 또한, 소프트웨어를 실행할 경우 프로세서 (1016) 에 의해 조작되는 데이터를 저장하는데 사용될 수도 있다. 프로세싱 회로 (1002) 는 모듈들 (1004, 1006, 1008, 및 1010) 중 적어도 하나를 더 포함한다. 특정 모듈들 (1004, 1006, 1008, 및/또는 1010) 은 컴퓨터 판독가능 저장 매체 (1018) 에 상주/저장된, 프로세서 (1016) 에서 구동하는 소프트웨어 모듈들, 프로세서 (1016) 에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다.

[0079] 일 구성에 있어서, 무선 통신을 위한 장치 (1000) 는 제 1 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크의 제어를 위해 경합하는 수단 (1004, 1006, 1012), 일 시간 주기 동안 데이터 신호 및 클럭 신호를 모니터링하는 수단 (1008, 1012), 데이터 신호 또는 클럭 신호의 전압이 제 1 시간 주기의 만료 시에 제 1 전압 레벨에 있지 않으면 통신 링크의 제어를 양보하는 수단 (1004, 1006, 1012), 데이터 신호의 전압이 시간 주기의 만료 시에 제 1 전압 레벨에 있으면 제 2 전압 레벨에서 데이터 신호를 구동함으로써 통신 링크 (1014) 상의 제어를 어쨌든하는 수단 (1004, 1006, 1012), 및 통신 링크의 제어를 어쨌든한 이후 통신 상의 메시지를 송신하는 수단 (1010, 1008 및 1012) 을 포함한다.

[0080] 전술한 수단들은, 예를 들어, 프로세싱 회로 (226, 246, 266 및/또는 282) (도 2 참조), 게이트웨이들 (220, 240, 260, 280) (도 2 참조), 게이트웨이들 (420, 440, 460) (도 4 참조) 및 저장 매체들 (286) (도 2 참조) 의 일부 조합을 사용하여 구현될 수도 있다.

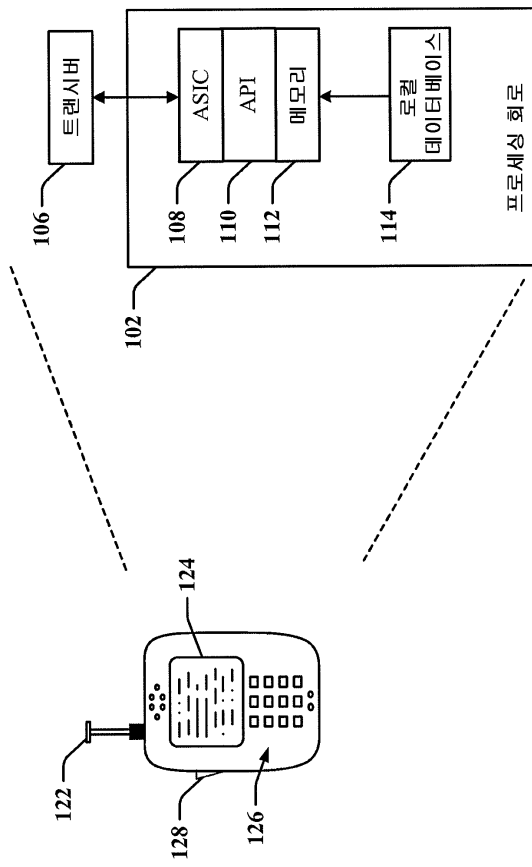
[0081] 개시된 프로세스들에 있어서의 단계들의 특정 순서 또는 계위는 예시적인 접근법들의 예시임이 이해된다. 설계 선호도들에 기초하여, 프로세스들에 있어서의 단계들의 특정 순서 또는 계위가 재배열될 수도 있음이 이해된다. 첨부한 방법 청구항들은 다양한 단계들의 엘리먼트들을 샘플 순서로 제시하며, 제시된 특정 순서 또는 계위로 한정되도록 의도되지 않는다.

[0082] 상기 설명은 당업자로 하여금 본 명세서에서 설명된 다양한 양태들을 실시할 수 있도록 제공한다. 이들 양태들에 대한 다양한 수정들은 당업자에게 용이하게 자명할 것이며, 본 명세서에서 정의된 일반적인 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에서 설명된 양태들로 한정되도록 의도되지 않지만, 랭귀지 청구항들과 부합하는 충분한 범위를 부여받아야 하며, 여기서, 단수로의 엘리먼트들에 대한 언급은 명확하게 그렇게 서술되지 않으면 "하나 또는 단지 하나만" 을 의미하도록 의도되지 않고 오히려 "하나 이상" 을 의미하도록 의도된다. 명확하게 달리 서술되지 않으면, 용어 "일부" 는 하나 이상을 지칭한다. 당업자에게 공지되어 있거나 나중에 공지되게 되는 본 개시 전반에 걸쳐 설명된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 균등물들은 본 명세서에 참조로 명확히 통합되고 청구항들에 의해 포괄되도록 의도된다. 더욱이, 본 명세서에 개시된 어떤 것도, 그러한 개시가 청구항들에 명시적으로 기재되는지 여부에 무관하게 공중에 전용되도록 의도되지 않는다. 어떠한 청구항 엘리먼트도, 그 엘리먼트가 어구 "~를 위한 수단" 을 이용하여 명백하게 기재되지 않는다면 수단 플러스 기능으로서 해석되지 않아야 한다.

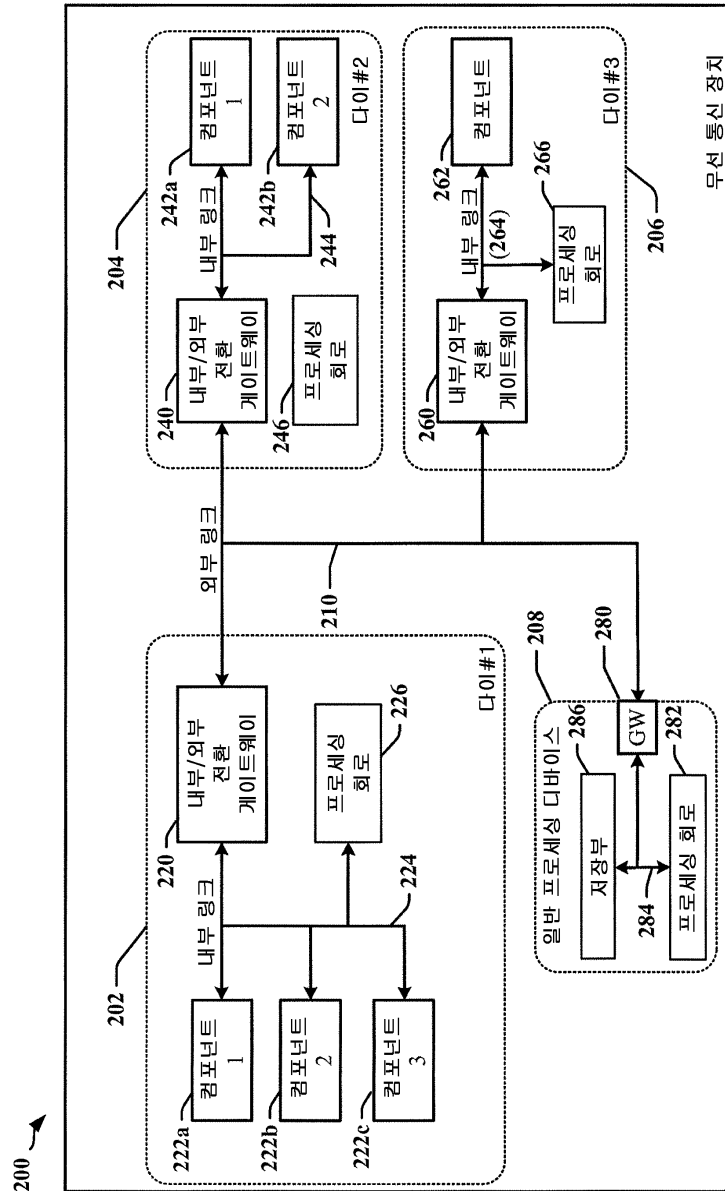
도면

도면1

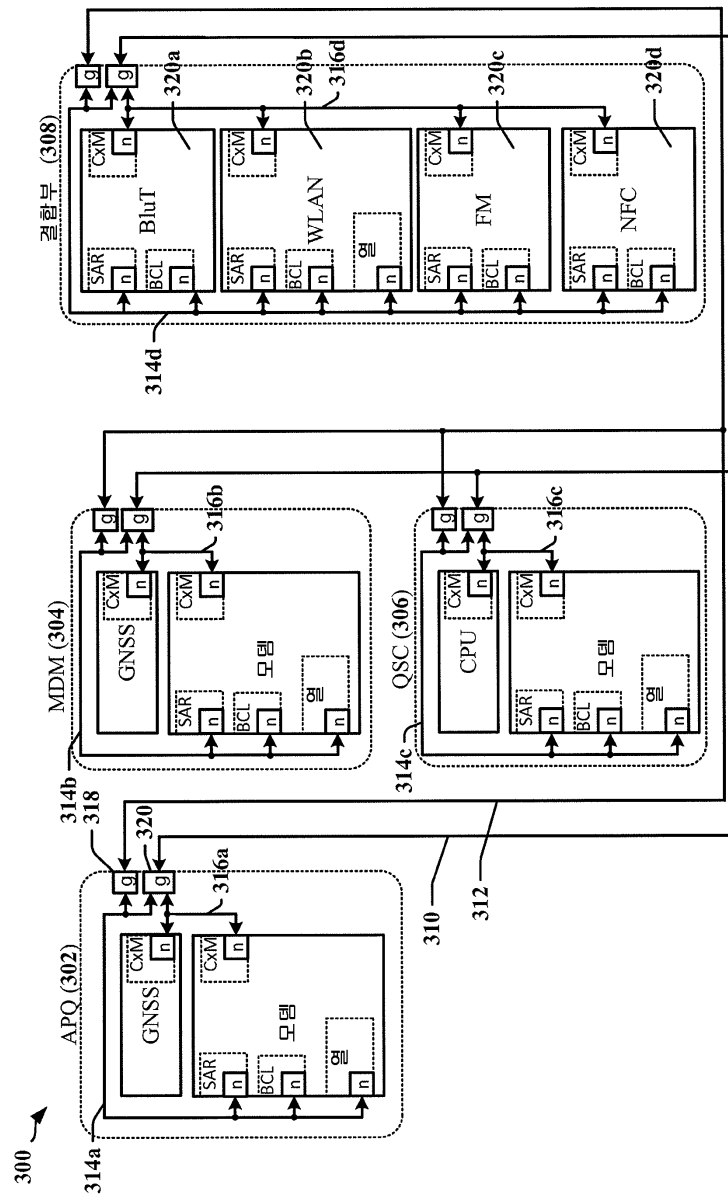
100 ↗



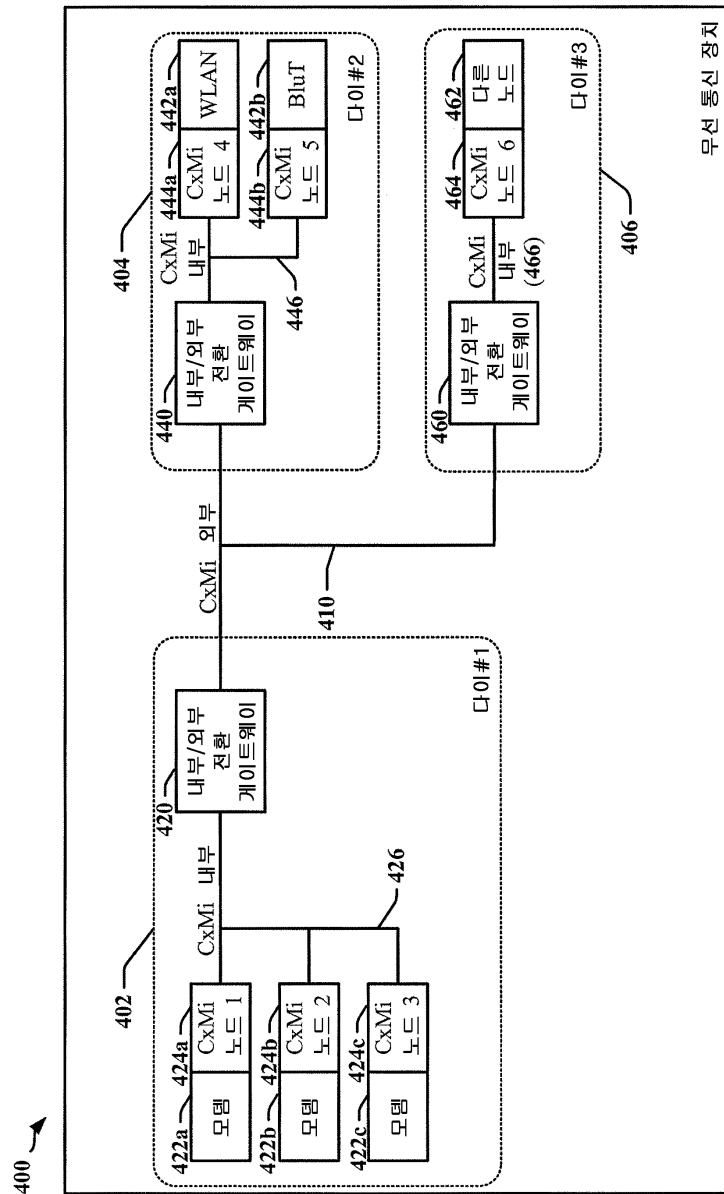
도면2



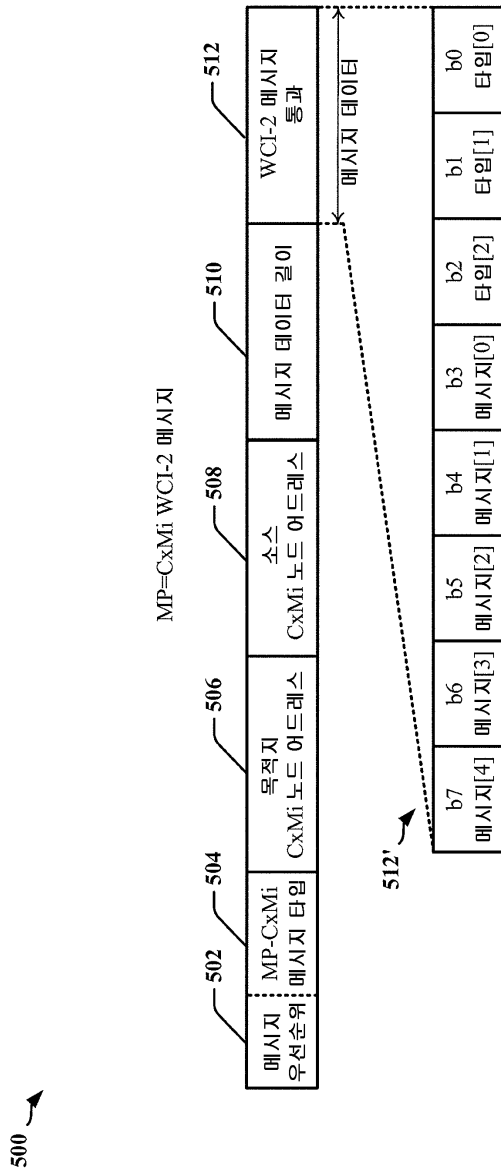
도면3



도면4

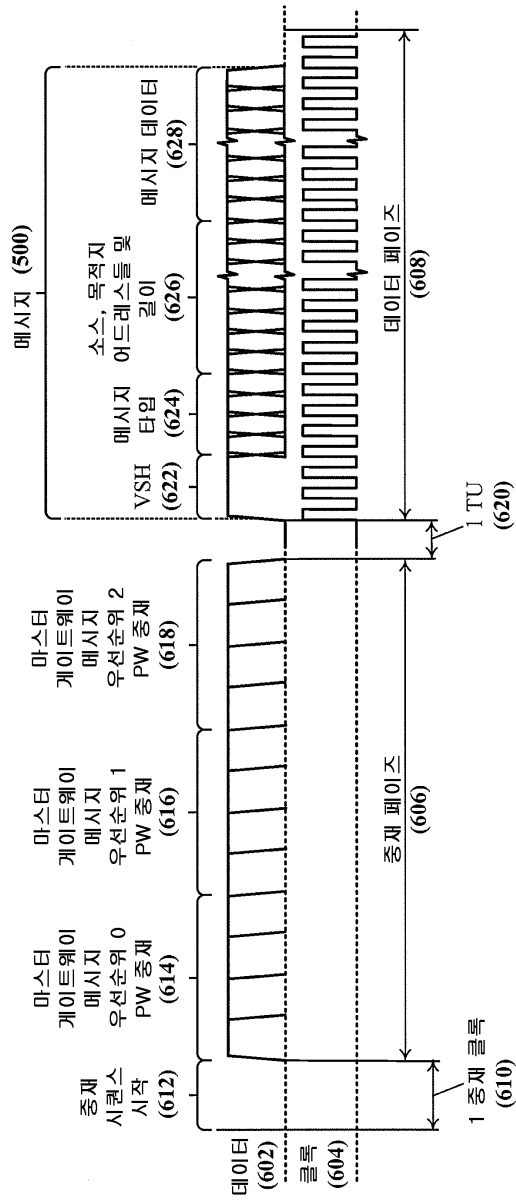


도면5

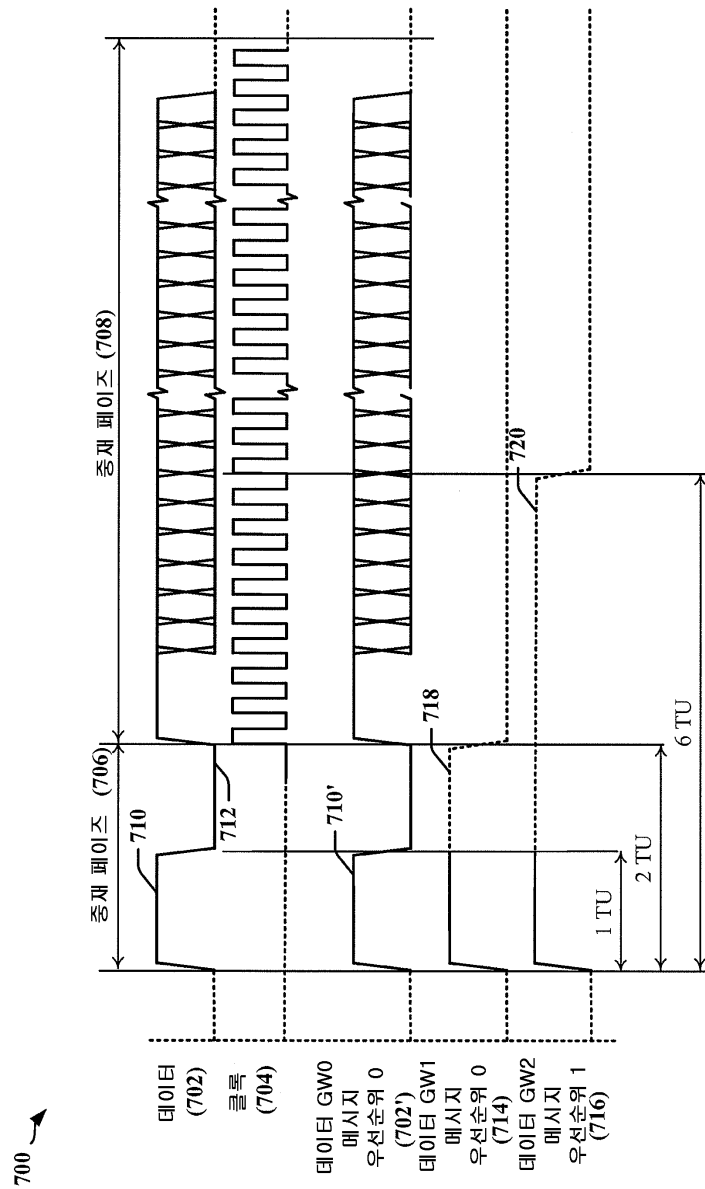


도면6

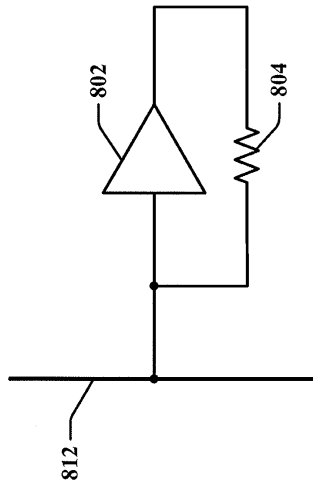
600



도면7

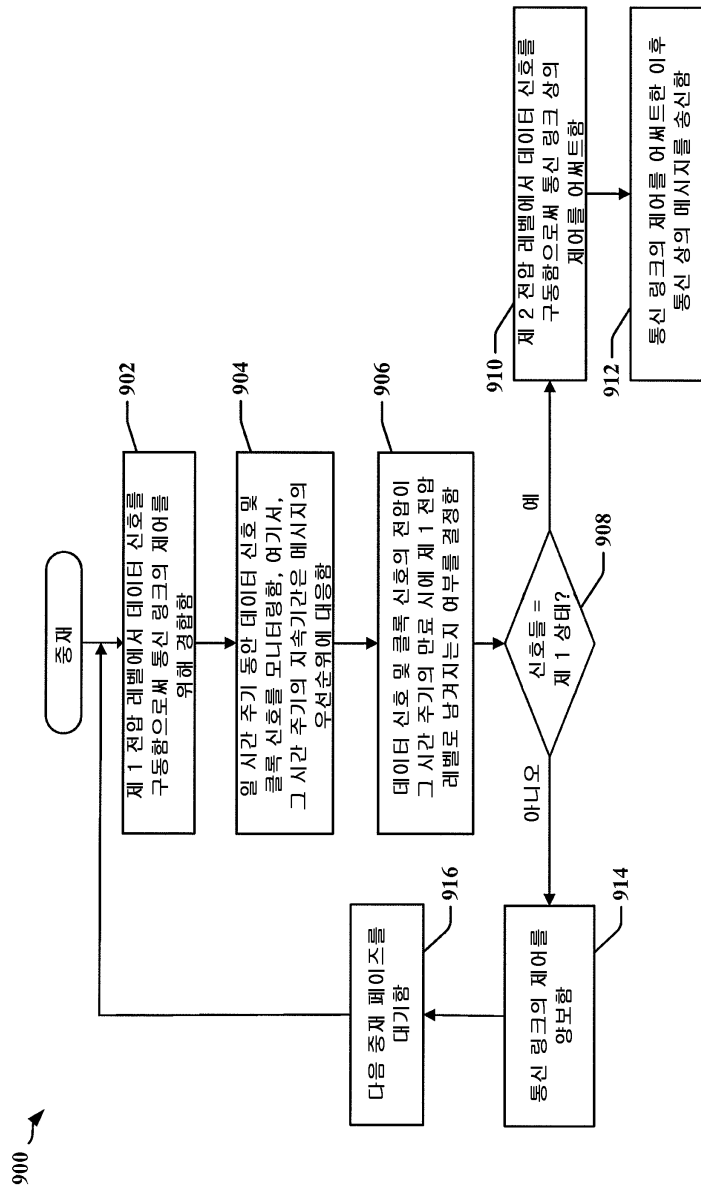


도면8



800 ↗

도면9



도면10

1000

