

【發明說明書】

【中文發明名稱】

記憶體單元及整合式結構

【英文發明名稱】

MEMORY CELLS AND INTEGRATED STRUCTURES

【技術領域】

本文中所揭示之實施例係關於記憶體單元且係關於整合式結構，舉例而言，併入記憶體單元之彼等整合式結構。

【先前技術】

記憶體為電子系統提供資料儲存。快閃記憶體係一種類型之記憶體，且在現代電腦及裝置中具有眾多用途。舉例而言，現代個人電腦可具有儲存於一快閃記憶體晶片上之BIOS。作為另一實例，電腦及其他裝置在固態磁碟機中利用快閃記憶體來代替習用硬碟機變得越來越普遍。作為又一實例，快閃記憶體在無線電子裝置中流行，此乃因其使得製造商能夠在新的通信協定變得標準化時支援該等新的通信協定，且能夠提供使裝置遠端升級以增強特徵之能力。

NAND可為整合式快閃記憶體之一基本架構。一NAND單元單位包含串聯耦合至記憶體單元之一串聯組合(其中該串聯組合通常被稱為一NAND串)之至少一個選擇裝置。NAND架構可經組態於包括垂直堆疊之記憶體單元之一個三維配置中。期望開發經改良之NAND架構。

【發明內容】

【圖式簡單說明】

圖1係具有一實例性NAND記憶體陣列之一區域之一實例性整合式結

構之一圖解性剖面側視圖。

圖2係圖解說明類似於圖1之整合式結構之一整合式結構之實例性操作特性之一能帶圖。

圖3係圖解說明與圖1之整合式結構相似之一整合式結構之實例性操作特性之一能帶圖，且對應於其實例性操作特性在圖2中進行展示之相同結構。

圖4係圖解說明類似於圖1之整合式結構之另一整合式結構及圖2之整合式結構之一替代方案之實例性操作特性之一能帶圖。

【實施方式】

NAND記憶體單元之操作可包括一通道材料與一電荷儲存材料之間的電荷移動，其中「電荷」移動對應於電荷載子(例如，電子及電洞)之移動。舉例而言，程式化一NAND記憶體單元可包括將電荷(例如，電子)自通道材料移動至電荷儲存材料中，且然後將電荷儲存於電荷儲存材料內。抹除NAND記憶體單元可包括將電洞移動至電荷儲存材料中以與儲存於電荷儲存材料中之電子重新組合，且藉此自電荷儲存材料釋放電荷。電荷儲存材料可包括電荷陷獲材料(舉例而言，氮化矽、金屬點等)，該電荷陷獲材料可逆地陷獲電荷載子。期望電荷陷獲材料具有適當電荷陷獲機率及/或電荷陷獲速率以便將電荷載子有效地陷獲並保留於電荷陷獲材料內。一電荷陷獲材料之電荷陷獲機率及電荷陷獲速率可與電荷陷獲材料內之電荷陷阱之體積密度、電荷陷阱之能量(亦即，能量井中之電荷陷阱之深度)等有關。

通道材料可藉由絕緣體/絕緣(insulating)/絕緣(insulative)材料(亦即，在本文中為電材料)與電荷儲存材料分離，且此類絕緣體材料可由一

有效氧化物厚度(EOT)來表徵。可期望絕緣體材料具有足以防止電荷自電荷儲存材料至通道材料之不期望反向遷移(亦即，洩漏)之EOT。然而，增加之EOT可增加自具有相對深的電荷陷阱之材料移除經陷獲電荷之困難。因此，期望工程設計絕緣體材料，該等絕緣體材料適於將電荷儲存材料與通道材料間隔開以達成用於防止不期望洩漏之所要EOT，同時亦准許經深陷獲之電荷在一抹除操作期間被移除。此外，通常亦期望此絕緣體材料不會將電荷載子寄生地陷獲於其中，或期望使此寄生陷獲最小化。某些實施例包含經改良之NAND記憶體單元，該等經改良之NAND記憶體單元將電荷通路結構併入於介於電荷儲存結構與通道材料之間的絕緣體材料內或作為該絕緣體材料。參考圖1至圖4來闡述實例性實施例。

參考圖1，圖解說明一整合式結構10之一部分，其中此部分係一個3維(3D) NAND記憶體陣列12之一片段。整合式結構10包括一垂直堆疊15，該垂直堆疊包括垂直交替層級18及20。實例性層級20包括導體/導電(conducting)/導電(conductive)材料19 (亦即，在本文中為電材料)，且實例性層級18包括絕緣體材料26。一實例性絕緣體材料26係經摻雜或未經摻雜之二氧化矽。在一項實施例中且如所展示，導電材料19包括導電材料28及30。在一項實施例中，導電材料28可被視為一導電芯，且導電材料30可被視為環繞該導電芯之一外導電層。導電材料28及30可包括相對彼此不同之組合物。每一者之實例包含元素金屬(例如，鎢、鈦、銅等)、導電金屬化合物(例如，金屬氮化物、金屬矽化物、金屬碳化物等)及經導電摻雜之半導體材料(例如，矽、鎘等)，包含其之混合物。在一項實施例中，一絕緣體材料32形成環繞外導電材料層30之一絕緣襯裡，且可包括高k材料(例如，氧化鋁)，其中「高k」意指大於二氧化矽之介電常數之一

介電常數。另一選擇係且僅以實例之方式，絕緣體材料32可被消除及/或導電材料19可為均質的。層級18及20可具有任何適合垂直厚度。在某些實施例中，層級18及層級20可具有大約10奈米 (nm)至300 nm之各別垂直厚度。在某些實施例中，層級18及20具有相同垂直厚度且在其他實施例中具有不同垂直厚度。

在實例性實施例中，絕緣體材料26與32一起形成側壁38，該側壁在一項實施例中係垂直的。側壁38可被視為延伸穿過堆疊15之一開口40之側壁。開口40可在自上方或在水平剖面中觀看時具有一連續形狀，且可為(舉例而言)圓形、橢圓形等。因此，圖1之側壁38可由圍繞開口40之周邊延伸之一連續側壁組成。

在某些實施例中，層級20可為一NAND記憶體陣列之字線層級。字線層級20之實例性終端34可充當NAND記憶體單元36之控制閘極區域35，其中記憶體單元36之近似位置在圖1中用括號指示。如所展示，記憶體單元36經垂直堆疊且形成記憶體單元36之一高度上延伸之(例如，垂直)串49(例如，一NAND串)，其中每一串中之記憶體單元之數目係至少部分地由層級20之數目來判定。該堆疊可包括任何適合數目個含導電材料之層級20。舉例而言，堆疊可具有8個此等層級、16個此等層級、32個此等層級、64個此等層級、512個此等層級、1028個此等層級等。另外，記憶體單元36可經構造為相對於個別開口40而有效地完全包繞，使得每一開口40具有一個且僅有一個高度上延伸之串49(例如，水平剖面中之個別串49係一連續完全包繞之環形圈)。另一選擇係，記憶體單元36可經構造為相對於個別開口40而有效地並非完全包繞，使得每一開口40可具有兩個或兩個以上高度上延伸之串49(例如，多個記憶體單元36，其中每層級20具

有多個字線)。

通道材料58於開口40內沿著垂直堆疊15在高度上延伸。此通道材料可包括任何適合材料，舉例而言，包括經適當摻雜之矽、本質上由經適當摻雜之矽組成或由經適當摻雜之矽組成。通道材料58 (如所展示)包括一高度上延伸之圓柱體，舉例而言，如一通常所稱之中空通道構形。通道材料58之一徑向內部容積可包括一空隙空間(未展示)或可包括在通道材料58內沿著開口40之一中部徑向延伸之絕緣體材料60。絕緣體材料60可包括(舉例而言)二氧化矽、氮化矽等。在另一實例性實施例中，通道材料58可完全地填充(未展示)開口40之中心區域以在此中心區域內形成通道材料之一高度上延伸之基座。

一電荷通路結構48自通道材料58橫向(例如，徑向)向外且沿著該通道材料在高度上延伸。電荷通路結構48包括最靠近於通道材料58之一第一材料54及距通道材料58最遠之一第三材料50。一第二材料52介於第一材料54與第三材料50之間。在一項實施例中，第一材料54直接抵靠第二材料52。在一項實施例中，第二材料52直接抵靠第三材料50。一虛線51經提供以圖解性地圖解說明第一材料54與第二材料52之間的一近似邊界，且一虛線53經提供以圖解性地圖解說明第二材料52與第三材料50之間的一近似邊界。在某些實施例中，第一材料54及第三材料50中之一者或兩者並不直接抵靠(未展示)第二材料52。在所展示之實施例中，材料50、52及54具有彼此相同之水平寬度/厚度。在其他實施例中，材料50、52及54中之一或多者可具有與材料50、52及54中之其他者相比不同之一水平厚度(未展示)。以實例之方式，材料50、52及54中之每一者之水平厚度係65 nm至500 nm。下文闡述電荷通路結構48之材料54、52及50之額

外屬性。

電荷儲存材料44自電荷通路結構48橫向(例如，徑向)向外且位於包括導電材料19之層級20內。電荷儲存材料44可包括任一(任何)適合組合物，且在某些實施例中可包括浮動閘極材料(舉例而言，經摻雜或未經摻雜之矽)或電荷陷獲材料(舉例而言，氮化矽、金屬點等)。在某些實施例中，電荷儲存材料44可包括氮化矽、本質上由氮化矽組成或由氮化矽組成。在某些實施例中，電荷儲存材料44可由氮化矽組成，且可具有15 nm至500 nm之一厚度。在一項實施例中且如所展示，電荷儲存材料44沿著電荷通路結構48在高度上延伸，在一項實施例中，電荷儲存材料44直接抵靠電荷通路結構48，且在一項實施例中，電荷儲存材料44直接抵靠電荷通路結構48之第三材料50。

一電荷阻擋區域位於層級20內。此一區域自電荷通路結構48橫向(例如，徑向)向外且自導電材料19橫向(例如，徑向)向內。一實例性電荷阻擋區域(如所展示)包括一絕緣體材料42 (例如，當存在時與絕緣體材料32組合)。絕緣體材料42可包括任一(任何)適合組合物(舉例而言，一或多種氧化物，諸如二氧化矽等)，且可具有任何適合厚度(例如，100 nm至300 nm)。以其他實例之方式，一電荷阻擋區域可包括電荷儲存材料(例如，材料44)之一橫向(例如，徑向)外部分，其中此電荷儲存材料係絕緣的(例如，在絕緣電荷儲存材料44與導電材料19之間不存在任何不同組合物材料之情況下)。無論如何，作為一額外實例，在不存在任何單獨組合物絕緣體材料32/42之情況下，一電荷儲存材料與一控制閘極之導電材料之一界面可足以充當一電荷阻擋區域。此外，導電材料19與材料32/42 (當存在時)之一界面57結合絕緣體材料32/42可一起充當一電荷阻擋區域，且另

一選擇係或另外可充當一絕緣電荷儲存材料(例如，一種氮化矽材料44)之一橫向外區域。一電荷阻擋部可在一記憶體單元中具有以下功能：在一程式化模式中，電荷阻擋部可阻止電荷載子自電荷儲存材料(例如，浮動閘極材料、電荷陷獲材料等)朝向控制閘極向外流出，且在一抹除模式中，電荷阻擋部可阻止電荷載子自控制閘極流動至電荷儲存材料中。因此，一電荷阻擋部可用於阻擋電荷在個別記憶體單元之控制閘極區域與電荷儲存材料之間遷移。

實例性實施例中之堆疊15由一基底62支撐。在基底62與堆疊15之間展示一中斷區以指示在基底62與堆疊15之間可存在額外材料及/或積體電路結構。在某些應用中，此等額外整合式材料可包含(舉例而言)源極側選擇閘極材料(SGS材料)。基底62可包括半導體材料，該半導體材料(舉例而言)包括單晶矽、本質上由單晶矽組成或由單晶矽組成。基底62可被稱為一半導體基板。在此文件之內容脈絡中，術語「半導體基板」或「半導體基板」經定義以意指包括半導體材料之任一構造，該半導體材料包含但不限於塊體半導體材料(諸如，一半導體晶圓)(單獨地或者在包括其上之其他材料之總成中)及半導體材料層(單獨地或者在包括其他材料之總成中)。術語「基板」係指包含但不限於上文所闡述之半導體基板之任一支撐結構。在某些應用中，基底62可對應於含有與積體電路製作相關聯之一或多種材料之一半導體基板。此等材料可包含(舉例而言)耐火金屬材料、障壁材料、擴散材料、絕緣體材料等中之一或多者。

在一項實施例中，電荷通路結構48之第一材料54直接抵靠通道材料58。在一項實施例中，電荷通路結構48之第三材料50直接抵靠電荷儲存材料44。無論如何，在一第一實施例中，第一材料54之介電常數(k)小於

5.0 (亦即，不包含5.0)。在此第一實施例中，第二材料52之能帶隙(BG)與電子親和力(chi)之總和不大於6.7 eV (亦即，包含6.7)且第二材料52之k係至少5.0 (亦即，包含5.0)。在此第一實施例中，第三材料50之BG與chi之總和小於9.0 eV且比第二材料52之BG與chi之總和大至少0.5 eV。

在某些第一實施例中，第一材料54之k係至少3.5。在某些第一實施例中，第一材料54中之至少大多數(亦即，大於50%最多至100%且包含100%)係一種氧化矽(例如，SiO₂、一種非化學計量之氧化矽、一種含有超過矽原子及氧原子之額外原子之氧化矽等)。在某些第一實施例中，第一材料54不含氧化矽。在此文件之內容脈絡中，「不含」一種所述材料包含在該所述材料(在此例項中，第一材料54)中係自0莫耳%至不超過0.001莫耳%。

在某些第一實施例中，第二材料52之BG與chi之總和係至少4.5 eV、在某些此等實施例中係至少5.0 eV、在某些此等實施例中不大於6.5 eV、在某些此等實施例中不大於6.0 eV且在某些此等實施例中係自4.0 eV至6.7 eV。在某些第一實施例中，第二材料52之k不大於60.0、在某些此等實施例中係自10.0至40.0且在某些此等實施例中係自10.0至25.0。

在某些第一實施例中，第二材料52包括鉛、鋯、鉭、鈮或鈦之一種氧化物、一種矽酸鹽、一種鋁酸鹽及一種五倍子酸鹽中之至少一者，包含鉛、鋯、鉭、鈮及鈦中之兩者或兩者以上之混合物。在某些此等實施例中，氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之至少一者係化學計量的且在替代的此等實施例中係非化學計量的。在某些非化學計量實施例中，氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之至少一者包含鉛、鋯、鉭、鈮及鈦中之兩者或兩者以上之一混合物。特定實例包含(不管是化學計量的還

是非化學計量的)氧化鉛、矽酸鉛、鋁酸鉛、五倍子酸鉛、氧化鋯、矽酸鋯、鋁酸鋯、五倍子酸鋯、氧化鈹、矽酸鈹、鋁酸鈹、五倍子酸鈹、氧化鈮、矽酸鈮、鋁酸鈮、五倍子酸鈮、氧化鈦、矽酸鈦、鋁酸鈦、五倍子酸鈦及矽酸鎵。在某些第一實施例中，第二材料52不含氮化矽(無論是化學計量的還是非化學計量的)。

在某些第一實施例中，第三材料50之BG係自4.0 eV至7.0 eV且第三材料之chi係自1.0 eV至2.5 eV。在某些此等實施例中，第三材料50之BG與chi之總和係至少5.0 eV、在某些此等實施例中係自7.0 eV至8.5 eV且在某些此等實施例中係自7.5 eV至8.0 eV。在某些實施例中，第三材料50包括鉛、鋯、鈹、鈮或鈦之一種氧化物、一種矽酸鹽、一種鋁酸鹽及一種五倍子酸鹽中之至少一者，包含鉛、鋯、鈹、鈮及鈦中之兩者或兩者以上之混合物，舉例而言，如上文參考第二材料52所闡述(亦即，其中第三材料50之BG與chi之總和小於9.0 eV且比第一實施例中之第二材料52之BG與chi之總和大至少0.5 eV)。在某些此等實施例中，氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之至少一者係化學計量的且在替代的此等實施例中係非化學計量的。在某些非化學計量實施例中，氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之至少一者包含鉛、鋯、鈹、鈮及鈦中之兩者或兩者以上之一混合物。

在一第二實施例中，第一材料54之k係自3.5至小於5.0，第一材料54之BG係自8.5 eV至9.5 eV，且第一材料54之chi係自0.7 eV至1.1 eV。在此第二實施例中，第二材料52之k係自5.0至60.0，第二材料52之BG係自3.5 eV至5.0 eV，且第二材料52之chi係自1.0 eV至3.0 eV。在此第二實施例中，第三材料50之k小於第二材料52之k且亦係至少4.0，第三材料50之

BG係自4.0 eV至7.0 eV，且第三材料50之chi係自1.0 eV至2.5 eV。在某些第二實施例中，第二材料52之k係至少9.0，第二材料52之BG係小於5.0 eV，且第二材料52之chi係至少2.0 eV。無論如何，理想地，隨著第二材料52之k增加及/或第二材料52之厚度減小，第三材料50之BG與第三材料50之chi之總和減小以更接近於第二材料52之BG加上第二材料52之chi之總和。

根據本發明之記憶體單元及整合式結構可包含第一實施例(亦即，包含其之子實施例)及第二實施例(亦即，包含其之子實施例)之經組合屬性。因此，如所展示及/或相對於第一實施例所闡述之任一(任何)屬性或態樣可應用於第二實施例，且反之亦然。

電荷通路結構48可充當在程式化操作、抹除操作等期間電荷載子穿過其進行穿隧(例如，富爾-諾罕(Fowler-Nordheim)穿隧、弗蘭克爾-普爾(Frenkel-Poole)穿隧、直接穿隧、陷阱輔助穿隧等)或以其他方式通過之一材料。電荷通路結構48經工程設計(如所闡述)以具有適當性質以提供足以防止電荷載子自電荷儲存材料44至通道材料58之不期望反向遷移(亦即，洩漏)之EOT，同時亦准許電荷儲存材料44內之電荷載子在一抹除操作期間自材料44被移除(亦即，自電荷儲存材料44被轉移至通道材料58)。

參考圖2至圖4進一步闡述實例性實施例。參考圖2，展示與圖1之構造相似之一構造之一能帶圖，其展示價(E_v)及導電(E_c)能帶(以伏特為單位)(y軸)依據來自圖1中之開口40之徑向中心之材料58、54、52、50、44、42、32及19之半徑(以nm為單位)而變化。圖2展示針對通道材料58與控制閘極材料19之間的-20伏特之電壓差動之一抹除狀態或動作，藉此電洞(+h)在一區(regime)內自通道材料58自左至右進行穿隧，該區使得此等

穿隧電洞能夠跨越電荷通路結構48而不受第二材料52及第三材料50阻礙。電洞可使容易地自電荷儲存材料44移除電子(e-)。電荷儲存材料44中之電荷載子(例如，電子)可本質上與電洞組合，從而本質上自電荷儲存材料44去除電荷以自一高或最高臨限電壓(V_t)記憶體狀態抹除至低或最低 V_t 記憶體狀態。一所要電壓差動可藉由將適合電壓施加至導電材料19而達成，其中無電壓或者接地電壓被提供至通道材料58。圖3展示與圖2之構造相同之構造之一類似能帶圖，其用於針對通道材料58與控制閘極材料19之間的一+20伏特差動而將一記憶體單元36程式化至一高 V_t 狀態，藉此通道區域材料58內之電荷載子(例如，電子)自左至右進行穿隧以被陷獲於電荷儲存材料44中。

圖2及圖3表示一經適當摻雜之半導體材料58 (例如，多晶矽)、氮化矽(如電荷儲存材料44)、二氧化矽(如絕緣體材料42)及氧化鋁(如絕緣體材料32)。電荷通路結構48之第一材料54係二氧化矽。第二材料52及第三材料50係不同組合物之含矽及鉛之氧化物(舉例而言，不同組合物之矽酸鉛)。具體而言，第二材料52係 $\text{Hf}_{0.9}\text{Si}_{0.1}\text{O}_2$ 且第三材料50係 $\text{Hf}_{0.5}\text{Si}_{0.5}\text{O}_2$ 。針對二氧化矽第一材料54， k 、 BG 及 chi 分別係3.9、9.0 eV及0.9 eV。針對 $\text{Hf}_{0.9}\text{Si}_{0.1}\text{O}_2$ 第二材料52， k 、 BG 及 chi 分別係18.0、4.5 eV及2.0 eV。針對 $\text{Hf}_{0.5}\text{Si}_{0.5}\text{O}_2$ 第三材料50， k 、 BG 及 chi 分別係12.0、6.5 eV及1.5 eV。

圖4展示類似於圖2所展示之實例性實施例之一替代實例性實施例。已在適當之情況下使用來自上文所闡述之圖2實施例之相似編號，其中某些差別由後綴「a」來指示。電荷通路結構48a包括第一材料54a、第二材料52a及第三材料50a。第一材料54a係二氧化矽。第二材料52a係 $\text{Zr}_{0.9}\text{Al}_{0.1}\text{O}_{1.95}$ 。第三材料50a係 $\text{Zr}_{0.3}\text{Si}_{0.7}\text{O}_2$ 。針對二氧化矽第一材料54a，

k、BG及chi同樣分別係3.9、9.0 eV及0.9 eV。針對 $Zr_{0.9}Al_{0.1}O_{1.95}$ 第二材料52a，k、BG及chi分別係27.7、4.3 eV及1.7 eV。針對 $Zr_{0.3}Si_{0.7}O_2$ 第三材料50a，k、BG及chi分別係12.6、7.3 eV及1.1 eV。

根據上文所闡述之第一實施例且根據上文所闡述之第二實施例之記憶體單元提供較大抹除及程式化可靠性，同時與先前技術結構(例如，諸如其中電荷通路結構包括二氧化矽-氮化矽-二氧化矽之一結構)相比，使電荷通路結構48內(且特定而言，在一中部材料52/52a中)之寄生電荷陷獲最小化。

在此文件中，除非另外指示，否則「高度的(高度上)」、「較高」、「上部」、「下部」、「頂部」、「在...之頂部上」、「底部」、「在...上面」、「在...下面」、「在...下」、「在...下方」、「向上」及「向下」通常參考垂直方向。此外，如本文中所使用之「垂直」及「水平」係彼此垂直或在相對彼此垂直10度以內之方向，獨立於基板在三維空間中之定向。「水平」係指沿著一主基板表面之一大體方向(亦即，在10度以內)且可在製作期間相對於該大體方向處理基板。而且，此文件中之「高度上延伸」及「高度上延伸之」囊括自垂直至與垂直成不超過 45° 之一範圍。此外，關於一場效應電晶體之「高度上延伸」、「高度上延伸之」及「垂直的(垂直地)」係參考該電晶體之通道長度之定向，電流在該電晶體之處於兩個不同高度處的兩個源極/汲極區域之間的操作中沿著該電晶體之通道長度流動。

本文中所闡述之材料、區域及結構中之任一者可為均質或非均質的，且無論如何可在此等材料、區域及結構所上覆之任何材料上方為連續或不連續的。此外，除非另外陳述，否則使用任何適合現有或尚待開發之技術來形成每一材料，其中原子層沈積、化學汽相沈積、物理汽相沈積、

磊晶生長、擴散摻雜及離子植入係實例。

在此文件中，「厚度」本身(不存在前述方向性形容詞)被定義為自不同組合物之一緊鄰材料或一緊鄰區域之一最靠近表面垂直地穿過一給定材料或區域之平均直線距離。另外，本文中所闡述之各種材料或區域可具有實質上恆定之厚度或具有可變厚度。若具有可變厚度，則除非另外指示，否則厚度係指平均厚度，且由於厚度係可變的，因此此材料或區域將具有某一最小厚度及某一最大厚度。如本文中所使用，「不同組合物」僅需要可彼此直接抵靠之兩種所陳述材料或區域之彼等部分在化學上及/或物理上係不同的(舉例而言，在此等材料或區域並非同質之情況下)。若該兩種所陳述材料或區域並不彼此直接抵靠，則「不同組合物」僅需要彼此最靠近之該兩種所陳述材料或區域之彼等部分在化學上及/或物理上係不同的(在此等材料或區域並非同質之情況下)。在此文件中，當存在所陳述材料、區域或結構相對於彼此之至少某一實體觸碰接觸時，一材料、區域或結構「直接抵靠」另一者。相比而言，前面沒有「直接」之「在...上方」、「在...上」、「毗鄰」、「沿著」及「抵靠」囊括「直接抵靠」以及其中介入材料、區域或結構不導致所陳述材料、區域或結構相對於彼此之實體觸碰接觸之構造。

總結

在某些實施例中，一記憶體單元按以下次序包括：通道材料、一電荷通路結構、電荷儲存材料、一電荷阻擋區域及一控制閘極。該電荷通路結構包括：一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間。該第一材料之介電常數(k)小於5.0。該第二材料之能帶隙(BG)與電子親和力

(chi)之總和不大於6.7 eV。該第二材料之k係至少5.0。該第三材料之BG與chi之總和小於9.0 eV且比該第二材料之該BG與該chi之該總和大至少0.5 eV。

在某些實施例中，一記憶體單元按以下次序包括：通道材料、一電荷通路結構、電荷儲存材料、一電荷阻擋區域及一控制閘極。該電荷通路結構包括：一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間。該第一材料之介電常數(k)係自3.5至小於5.0，該第一材料之能帶隙(BG)係自8.5 eV至9.5 eV，且該第一材料之電子親和力(chi)係自0.7 eV至1.1 eV。該第二材料之k係自5.0至60.0，該第二材料之BG係自3.5 eV至5.0 eV，且該第二材料之chi係自1.0 eV至3.0 eV。該第三材料之k小於該第二材料之該k且係至少4.0，該第三材料之BG係自4.0 eV至7.0 eV，且該第三材料之chi係自1.0 eV至2.5 eV。

在某些實施例中，一整合式結構包括一垂直堆疊，該垂直堆疊包括導電材料與絕緣體材料之垂直交替層級。通道材料沿著該垂直堆疊在高度上延伸。一電荷通路結構自該通道材料橫向向外且沿著該通道材料在高度上延伸。該電荷通路結構包括：一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間。該第一材料之介電常數(k)小於5.0。該第二材料之能帶隙(BG)與電子親和力(chi)之總和不大於6.7 eV。該第二材料之k係至少5.0。該第三材料之BG與chi之總和小於9.0 eV且比該第二材料之該BG與該chi之該總和大至少0.5 eV。電荷儲存材料自該電荷通路結構橫向向外且位於包括導電材料之該等層級內。一電荷阻擋區域位於包括導電材料之該等層

級內。該電荷阻擋區域自該電荷通路結構橫向向外且自該導電材料橫向向內。

在某些實施例中，一整合式結構包括一垂直堆疊，該垂直堆疊包括導電材料與絕緣體材料之垂直交替層級。通道材料沿著該垂直堆疊在高度上延伸。一電荷通路結構自該通道材料橫向向外且沿著該通道材料在高度上延伸。該電荷通路結構包括：一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間。該第一材料之介電常數(k)係自3.5至小於5.0，該第一材料之能帶隙(BG)係自8.5 eV至9.5 eV，且該第一材料之電子親和力(chi)係自0.7 eV至1.1 eV。該第二材料之k係自5.0至60.0，該第二材料之BG係自3.5 eV至5.0 eV，且該第二材料之chi係自1.0 eV至3.0 eV。該第三材料之k小於該第二材料之該k且係至少4.0，該第三材料之BG係自4.0 eV至7.0 eV，且該第三材料之chi係自1.0 eV至2.5 eV。電荷儲存材料自該電荷通路結構橫向向外且位於包括導電材料之該等層級內。一電荷阻擋區域位於包括導電材料之該等層級內。該電荷阻擋區域自該電荷通路結構橫向向外且自該導電材料橫向向內。

遵照條例，已在語言上關於結構及方法特徵較特定或較不特定地闡述本文中所揭示之標的物。然而，應理解，由於本文中所揭示之方法包括實例性實施例，因此申請專利範圍不限於所展示及所闡述之特定特徵。因此，申請專利範圍係由字面措辭來提供完整範疇，且根據等效內容之教義適當地予以解釋。

【符號說明】

10 整合式結構

- 12 3維NAND記憶體陣列
- 15 垂直堆疊/堆疊
- 18 垂直交替層級/層級
- 19 導體材料/導電材料/材料/控制閘極材料
- 20 垂直交替層級/層級/字線層級/含導電材料之層級
- 26 絕緣體材料
- 28 導電材料
- 30 導電材料/外導電材料層
- 32 絕緣體材料/單獨組合物絕緣體材料/材料
- 34 終端
- 35 控制閘極區域
- 36 NAND記憶體單元/記憶體單元
- 38 側壁
- 40 開口
- 42 絕緣體材料/單獨組合物絕緣體材料/材料
- 44 電荷儲存材料/材料/絕緣電荷儲存材料/氮化矽材料
- 48 電荷通路結構
- 48a 電荷通路結構
- 49 高度上延伸之串/串
- 50 第三材料/材料
- 50a 第三材料
- 51 虛線
- 52 第二材料/材料/中部材料

52a	第二材料/中部材料
53	虛線
54	第一材料/材料
54a	第一材料
57	界面
58	通道材料/材料/通道區域材料/經適當摻雜之半導體材料
60	絕緣體材料
62	基底
e^-	電子
E_c	導電能帶
E_v	價



201901933

【發明摘要】**【中文發明名稱】**

記憶體單元及整合式結構

【英文發明名稱】

MEMORY CELLS AND INTEGRATED STRUCTURES

【中文】

一種記憶體單元按以下次序包括：通道材料、一電荷通路結構、電荷儲存材料、一電荷阻擋區域及一控制閘極。該電荷通路結構包括：一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間。該第一材料之介電常數(k)小於5.0。該第二材料之能帶隙(BG)與電子親和力(chi)之總和不大於6.7 eV。該第二材料之k係至少5.0。該第三材料之BG與chi之總和小於9.0 eV且比該第二材料之該BG與該chi之該總和大至少0.5 eV。

【英文】

A memory cell comprises, in the following order, channel material, a charge-passage structure, charge-storage material, a charge-blocking region, and a control gate. The charge-passage structure comprises a first material closest to the channel material, a third material furthest from the channel material, and a second material between the first material and the third material. Dielectric constant (k) of the first material is less than 5.0. Sum of bandgap (BG) and electron affinity (chi) of the second material is no greater than 6.7 eV. The k of the second material is at least 5.0. Sum of BG and chi of the third material

is less than 9.0 eV and at least 0.5 eV greater than the sum of the BG and the chi of the second material.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 10 整合式結構
- 12 3維NAND記憶體陣列
- 15 垂直堆疊/堆疊
- 18 垂直交替層級/層級
- 19 導體材料/導電材料/材料/控制閘極材料
- 20 垂直交替層級/層級/字線層級/含導電材料之層級
- 26 絕緣體材料
- 28 導電材料
- 30 導電材料/外導電材料層
- 32 絕緣體材料/單獨組合物絕緣體材料/材料
- 34 終端
- 35 控制閘極區域
- 36 NAND記憶體單元/記憶體單元
- 38 側壁
- 40 開口
- 42 絕緣體材料/單獨組合物絕緣體材料/材料
- 44 電荷儲存材料/材料/絕緣電荷儲存材料/氮化矽材料
- 48 電荷通路結構

- 49 高度上延伸之串/串
- 50 第三材料/材料
- 51 虛線
- 52 第二材料/材料/中部材料
- 53 虛線
- 54 第一材料/材料
- 57 界面
- 58 通道材料/材料/通道區域材料/經適當摻雜之半導體材料
- 60 絕緣體材料
- 62 基底

【發明申請專利範圍】

【第1項】

一種記憶體單元，其按以下次序包括：

通道材料；

一電荷通路結構；

電荷儲存材料；

一電荷阻擋區域；

一控制閘極；且

該電荷通路結構包括：

一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間；

該第一材料之介電常數(k)小於5.0；

該第二材料之能帶隙(BG)與電子親和力(chi)之總和不大於6.7 eV，該第二材料之k係至少5.0；且

該第三材料之BG與chi之總和小於9.0 eV且比該第二材料之該BG與該chi之該總和大至少0.5 eV。

【第2項】

如請求項1之記憶體單元，其中該第一材料直接抵靠該第二材料，且該第二材料直接抵靠該第三材料。

【第3項】

如請求項2之記憶體單元，其中該第一材料直接抵靠該通道材料，且該第三材料直接抵靠該電荷儲存材料。

【第4項】

如請求項1之記憶體單元，其中該第一材料之該k係至少3.5。

【第5項】

如請求項4之記憶體單元，其中該第一材料之至少大多數係氧化矽。

【第6項】

如請求項1之記憶體單元，其中該第二材料之該BG與該chi之該總和係至少4.5 eV。

【第7項】

如請求項6之記憶體單元，其中該第二材料之該BG與該chi之該總和係至少5.0 eV。

【第8項】

如請求項6之記憶體單元，其中該第二材料之該BG與該chi之該總和不大於6.5 eV。

【第9項】

如請求項8之記憶體單元，其中該第二材料之該BG與該chi之該總和不大於6.0 eV。

【第10項】

如請求項1之記憶體單元，其中該第二材料之該k不大於60.0。

【第11項】

如請求項10之記憶體單元，其中該第二材料之該k係自10.0至40.0。

【第12項】

如請求項11之記憶體單元，其中該第二材料之該k係自10.0至25.0。

【第13項】

如請求項10之記憶體單元，其中該第二材料包括鉛、鋅、鋁、鈦或

鈦之一種氧化物、一種矽酸鹽、一種鋁酸鹽及一種五倍子酸鹽中之至少一者，包含鉛、鋯、鉭、鈮及鈦中之兩者或兩者以上之混合物。

【第14項】

如請求項13之記憶體單元，其中氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之該至少一者係化學計量的。

【第15項】

如請求項13之記憶體單元，其中氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之該至少一者係非化學計量的。

【第16項】

如請求項13之記憶體單元，其中氧化物、矽酸鹽、鋁酸鹽及五倍子酸鹽中之該至少一者包含鉛、鋯、鉭、鈮及鈦中之兩者或兩者以上之一混合物。

【第17項】

如請求項10之記憶體單元，其中該第二材料不含氮化矽。

【第18項】

如請求項1之記憶體單元，其中該第三材料之該BG與該chi之該總和係至少5.0 eV。

【第19項】

如請求項18之記憶體單元，其中該第三材料之該BG與該chi之該總和係自7.0 eV至8.5 eV。

【第20項】

如請求項19之記憶體單元，其中該第三材料之該BG與該chi之該總和係自7.5 eV至8.0 eV。

【第21項】

如請求項18之記憶體單元，其中該第三材料包括鉛、鋯、鉭、銱或鈦之一種氧化物、一種矽酸鹽、一種鋁酸鹽及一種五倍子酸鹽中之至少一者，包含鉛、鋯、鉭、銱及鈦中之兩者或兩者以上之混合物。

【第22項】

一種記憶體單元，其按以下次序包括：

通道材料；

一電荷通路結構；

電荷儲存材料；

一電荷阻擋區域；

一控制閘極；且

該電荷通路結構包括：

一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間；

該第一材料之介電常數(k)係自3.5至小於5.0，該第一材料之能帶隙(BG)係自8.5 eV至9.5 eV，且該第一材料之電子親和力(chi)係自0.7 eV至1.1 eV；

該第二材料之k係自5.0至60.0，該第二材料之BG係自3.5 eV至5.0 eV，且該第二材料之chi係自1.0 eV至3.0 eV；且

該第三材料之k小於該第二材料之該k且係至少4.0，該第三材料之BG係自4.0 eV至7.0 eV，且該第三材料之chi係自1.0 eV至2.5 eV。

【第23項】

一種整合式結構，其包括：

一垂直堆疊，其包括導電材料與絕緣體材料之垂直交替層級；

通道材料，其沿著該垂直堆疊在高度上延伸；

一電荷通路結構，其自該通道材料橫向向外且沿著該通道材料在高度上延伸，該電荷通路結構包括：

一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間；

該第一材料之介電常數(k)小於5.0；

該第二材料之能帶隙(BG)與電子親和力(chi)之總和不大於6.7 eV，該第二材料之k係至少5.0；且

該第三材料之BG與chi之總和小於9.0 eV且比該第二材料之該BG與該chi之該總和大至少0.5 eV；

電荷儲存材料，其自該電荷通路結構橫向向外且位於包括導電材料之該等層級內；及

一電荷阻擋區域，其位於包括導電材料之該等層級內，該電荷阻擋區域自該電荷通路結構橫向向外且自該導電材料橫向向內。

【第24項】

一種整合式結構，其包括：

一垂直堆疊，其包括導電材料與絕緣體材料之垂直交替層級；

通道材料，其沿著該垂直堆疊在高度上延伸；

一電荷通路結構，其自該通道材料橫向向外且沿著該通道材料在高度上延伸，該電荷通路結構包括：

一第一材料，其最靠近於該通道材料；一第三材料，其距該通道材料最遠；及一第二材料，其介於該第一材料與該第三材料之間；

該第一材料之介電常數(k)係自3.5至小於5.0，該第一材料之能帶隙(BG)係自8.5 eV至9.5 eV，且該第一材料之電子親和力(chi)係自0.7 eV至1.1 eV；

該第二材料之k係自5.0至60.0，該第二材料之BG係自3.5 eV至5.0 eV，且該第二材料之chi係自1.0 eV至3.0 eV；且

該第三材料之k小於該第二材料之該k且係至少4.0，該第三材料之BG係自4.0 eV至7.0 eV，且該第三材料之chi係自1.0 eV至2.5 eV；

電荷儲存材料，其自該電荷通路結構橫向向外且位於包括導電材料之該等層級內；及

一電荷阻擋區域，其位於包括導電材料之該等層級內，該電荷阻擋區域自該電荷通路結構橫向向外且自該導電材料橫向向內。

