

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5314270号  
(P5314270)

(45) 発行日 平成25年10月16日(2013.10.16)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F 1

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 621B

G02F 1/133 (2006.01)

G09G 3/20 611F

G09G 3/20 624B

G09G 3/20 624C

請求項の数 9 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2007-308943 (P2007-308943)

(22) 出願日

平成19年11月29日(2007.11.29)

(65) 公開番号

特開2008-139882 (P2008-139882A)

(43) 公開日

平成20年6月19日(2008.6.19)

審査請求日

平成22年11月19日(2010.11.19)

(31) 優先権主張番号

10-2006-0121681

(32) 優先日

平成18年12月4日(2006.12.4)

(33) 優先権主張国

韓国(KR)

(73) 特許権者 512187343

三星ディスプレイ株式會社

Samsung Display Co., Ltd.

大韓民国京畿道龍仁市器興区三星二路95  
95, Samsung 2 Ro, Gih  
eung-Gu, Yongin-City  
, Gyeonggi-Do, Korea

100121382

弁理士 山下 託嗣

李 素 賢

大韓民国京畿道龍仁市器興区農書洞サムス  
ンエレクトロニクスカンパニー17-10  
03

最終頁に続く

(54) 【発明の名称】表示装置

(57) 【特許請求の範囲】

【請求項 1】

外部から映像データを受信して所定の順序に再配置し、再配置後の映像データを第1制御信号と共に出力し、かつ、その出力のタイミングに合わせて第2制御信号を出力するタイミングコントローラ、

極性の異なる基準電圧を1水平周期以下の所定の周期で交互に入力し、前記第1制御信号に従って前記再配置後の映像データを前記基準電圧に基づいてデータ電圧に変換することにより、極性の異なるデータ電圧を前記所定の周期で交互に出力するライン反転駆動チップ、

前記第2制御信号に応じてゲート信号を出力するゲート駆動回路、

マトリクス状に配置された複数の画素であり、各画素行には第1画素群と第2画素群からなる2つの画素群が交互に配置され、異なる画素行で異なる画素群が同じゲート信号に応じて同じ極性のデータ電圧を受ける複数の画素、を含む表示パネル、及び、

複数のストレージライン、

を有し、

各画素行は先頭の画素から順に1以上の画素ごとに異なる画素群に分けられており、2つの連続する画素行を第1画素行と第2画素行とするとき、前記ストレージラインは、前記第1画素行の前記第1画素群及び前記第2画素行の前記第2画素群と重畠し、

前記第1画素群は第1液晶キャパシタを含み、

前記第2画素群は第2液晶キャパシタを含み、

10

20

前記ストレージラインに印加される交流電圧は、前記第1液晶キャパシタの両端電圧と、前記第2液晶キャパシタの両端電圧を上昇させる、  
表示装置。

【請求項2】

前記第1画素行の前記第1画素群と前記第2画素行の前記第2画素群とは第1極性のデータ電圧を受け、前記第1画素行の前記第2画素群と前記第2画素行の前記第1画素群とは、前記第1極性とは逆の第2極性のデータ電圧を受ける、請求項1に記載の表示装置。

【請求項3】

前記表示パネルは、  
前記ゲート駆動回路に接続され、画素マトリクスの間を行方向に延び、異なる画素行の異なる画素群に同じゲート信号を伝達する複数のゲートライン、及び、

前記ライン反転駆動チップに接続され、画素マトリクスの間を列方向に延びて前記複数のゲートラインと交差し、画素列ごとにデータ電圧を伝達する複数のデータライン、をさらに含む、請求項2に記載の表示装置。

【請求項4】

前記複数のゲートラインはそれぞれ、  
前記第1画素行の前記第1画素群に接続された第1サブゲートライン、  
前記第2画素行の前記第2画素群に接続された第2サブゲートライン、及び、  
前記第1サブゲートラインと前記第2サブゲートラインとの間を接続する接続ライン、を含む、請求項3に記載の表示装置。

【請求項5】

前記第1サブゲートラインは複数であり、前記第1画素行の前記第1画素群に含まれている所定数の画素ごとに1つずつ接続され、

前記第2サブゲートラインは複数であり、前記第2画素行の前記第2画素群に含まれている所定数の画素ごとに1つずつ接続され、

前記接続ラインは複数であり、それが前記第1サブゲートラインの1つと前記第2サブゲートラインの1つとの間を接続している、

請求項4に記載の表示装置。

【請求項6】

前記第1サブゲートラインと前記第2サブゲートラインとは画素マトリクスの行方向に延び、前記接続ラインは画素マトリクスの列方向に延びている、請求項4に記載の表示装置。

【請求項7】

前記第1サブゲートラインと前記第2サブゲートラインとは同じ層に形成され、前記接続ラインは前記複数のデータラインと同じ層に形成されている、請求項6に記載の表示装置。

【請求項8】

前記第1サブゲートラインは前記第1画素行の全体に延び、前記第2サブゲートラインは前記第2画素行の全体に延びている、請求項4に記載の表示装置。

【請求項9】

前記接続ラインは前記表示パネルの周辺領域において前記第1サブゲートラインと前記第2サブゲートラインとの間を接続している、請求項8に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関する。

【背景技術】

【0002】

一般に液晶表示装置は、互いに対向して貼り合わされたカラーフィルター基板とアレイ

10

20

30

40

50

基板、及びそれらの基板の間に挟まれている液晶層から成る。カラーフィルター基板は共通電極で覆われている。アレイ基板では複数の画素電極がマトリクス状に配置され、各画素電極が一つの画素を構成している。液晶表示装置の駆動部は、共通電極に対しては共通電圧を印加し、各画素電極に対してはデータ電圧を個別に印加する。そのとき、各画素電極と共通電極との間に挟まれている液晶層の各部分には、データ電圧と共通電圧との差に応じた強さの電界が形成される。その電界に応じ、液晶層のその部分に含まれた液晶分子の配向が変化する。その結果、液晶層の光透過度が画素ごとに変化する。そのとき得られる光透過度の値はデータ電圧で決まる。カラーフィルター基板には更にカラーフィルター層が備えられている。各画素の色は、液晶層からの光が透過するカラーフィルター層の色で決まる。液晶表示装置はデータ電圧を画素ごとに調節することで液晶層の光透過度を画素ごとに調節する。それにより、所望のカラー映像が画素マトリクスに表示される。

【0003】

共通電圧に対するデータ電圧の極性が一定であれば液晶層には一方向の電界しか生じないので、液晶層が劣化しやすい。従って、液晶表示装置では反転駆動方式を採用し、共通電圧に対するデータ電圧の極性を周期的に反転させる。それにより、一方向の電界に起因する液晶層の劣化を防止している。

【0004】

反転駆動方式には、フレーム反転、ライン反転、及びドット反転の三つの駆動方式が存在する。フレーム反転駆動方式では、共通電圧を直流電圧とし、その共通電圧に対するデータ電圧の極性をフレームごとに反転させる。ライン反転駆動方式では、共通電圧を水平周期の2倍以上の交流電圧とし、その共通電圧に対するデータ電圧の極性を1本以上のライン単位で反転させる。ドット反転駆動方式では、共通電圧に対するデータ電圧の極性を画素単位で反転させる。液晶層の劣化を抑えるだけであればフレーム反転駆動方式で十分である。しかし、フレーム反転駆動方式では画面のちらつき、すなわちフリッカーが生じやすい。ライン反転駆動方式及びドット反転方式は、液晶層の劣化防止に加え、フリッカーの抑制が必要な場合に利用される。

【特許文献1】特開2000-284304号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

フリッカーの抑制効果については、ライン反転駆動方式よりドット反転駆動方式の方が優れている。しかし、駆動系統の簡素化についてはドット反転駆動方式よりライン反転駆動方式の方が容易である。特にライン反転駆動方式ではドット反転駆動方式とは異なり、データ駆動部を単独のチップ、又は一群のチップに組み込むことが容易である。以下、そのチップをライン反転駆動チップという。従って、ライン反転駆動方式はドット反転駆動方式より表示装置の小型化/薄型化及び工程性に優れている。それ故、フリッカーの抑制効果を高く維持したまま、表示装置の更なる小型化/薄型化を実現するには、ライン反転駆動方式とドット反転駆動方式との両方の長所をいずれも生かすことのできる技術が望ましい。

【課題を解決するための手段】

【0006】

本発明による表示装置は、タイミングコントローラ、ライン反転駆動チップ、ゲート駆動回路、表示パネル、及び複数のストレージラインを備えている。タイミングコントローラは、外部から映像データを受信して所定の順序に再配置し、再配置後の映像データを第1制御信号と共に出力し、かつ、その出力のタイミングに合わせて第2制御信号を出力する。ライン反転駆動チップは、極性の異なる基準電圧を1水平周期以下の所定の周期で交互に入力し、第1制御信号に従って再配置後の映像データを基準電圧に基づいてデータ電圧に変換する。それにより、ライン反転駆動チップは1水平周期以下の所定の周期で極性の異なるデータ電圧を交互に出力する。ゲート駆動回路は第2制御信号に応じてゲート信

10

20

30

40

50

号を出力する。表示パネルは、マトリクス状に配置された複数の画素を含む。各画素行には第1画素群と第2画素群からなる2つの画素群が交互に配置されており、先頭の画素から順に1以上の画素ごとに異なる画素群に分けられている。表示パネルでは更に、異なる画素行で異なる画素群が同じゲート信号に応じて同じ極性のデータ電圧を受ける。2つの連続する画素行を第1画素行と第2画素行とするとき、ストレージラインは、第1画素行の第1画素群及び第2画素行の第2画素群と重畠する。ここで、タイミングコントローラは好ましくは、映像データの再配置により、表示パネルの異なる画素行の異なる画素群に対する映像データを一つの画素行に対する映像データとしてライン反転駆動チップに提供する。また、第1画素群は第1液晶キャパシタを含み、第2画素群は第2液晶キャパシタを含み、ストレージラインに印加される交流電圧は、第1液晶キャパシタの両端電圧と、第2液晶キャパシタの両端電圧を上昇させる。

10

**【発明の効果】**

**【0007】**

本発明による表示装置では、ライン反転駆動チップから同時に出力される同じ極性のデータ電圧を、表示パネルの異なる画素行の異なる画素群が受ける。その結果、表示パネルではデータ電圧の極性が、列方向では画素行ごとに反転し、行方向では所定数の画素ごとに反転する。こうして、ライン反転駆動チップを用いたドット反転駆動が実現される。

**【発明を実施するための最良の形態】**

**【0008】**

以下、本発明の好ましい実施形態について、添付の図面を参照しながら詳細に説明する。図1は、本発明の一実施形態による液晶表示装置のブロック図である。図1に示されているように、この液晶表示装置300は、表示パネル100、タイミングコントローラ210、ライン反転駆動チップ220、及びゲート駆動回路230を含む。

20

**【0009】**

図1には示されていないが、表示パネル100は好ましくは、互いに対向して貼り合わされたアレイ基板とカラーフィルター基板、及びそれらの基板の間に挟まれている液晶層から成る。表示パネル100では好ましくは、その背後に設置された光源からアレイ基板の背面に光が照射され、その光が液晶層とカラーフィルター基板とを通して前方に放射される。

**【0010】**

30

アレイ基板は好ましくは、図1に示されているように、m本のデータラインDL1～DLm、n本のゲートラインGL1～GLn、及びn×m個の画素を含む。m本のデータラインDL1～DLmとn本のゲートラインGL1～GLnとは表示パネル100の画面内で絶縁体を間に挟んで互いに交差し、画面をn×m個の領域から成るマトリクスに分けている。各領域には画素電極が一枚ずつ備えられ、一つの画素を構成している。n×m個の画素は好ましくは2つの画素群PG1、PG2に分けられている。第1画素群PG1は奇数番目の列に並ぶ画素から成り、第2画素群PG2は偶数番目の列に並ぶ画素から成る。図1には示されていないが、アレイ基板には更に好ましくは、n本のストレージラインが各ゲートラインGL1～GLnに対して1本ずつ並置されている。

**【0011】**

40

図1には示されていないが、カラーフィルター基板は共通電極で覆われている。共通電極は液晶層を隔てて各画素電極と対向している。カラーフィルター基板には更にカラーフィルター層が画素ごとに又は画素列ごとに設置されている。カラーフィルター層は好ましくは三原色、すなわち、赤、緑、青のいずれかの色光を透過させる。各画素ではアレイ基板の背面から液晶層を透過した光がカラーフィルター層を透過した後に画面から放射される。従って、各画素の色はそのカラーフィルター層の色で決まる。カラーフィルター基板にはその他にブラックマトリクスが備えられていても良い。ブラックマトリクスは画素間の境界に沿って形成され、画素間から漏れる光を遮断する。

**【0012】**

タイミングコントローラ210は好ましくは、外部のグラフィックコントローラから制御

50

信号0 - CS及び入力映像データI - dataを受信する。入力映像データI - dataは各画素の目標の光透過度を示す。制御信号0 - CSは好ましくは、垂直同期信号、水平同期信号、マイクロロック、及びデータイネーブル信号を含む。水平同期信号及びデータイネーブル信号の周期は1水平周期（以下、1Hと略す）に等しい。

【0013】

タイミングコントローラ210は外部からの制御信号0 - CSに基づいてデータ制御信号CS1とゲート制御信号CS2とを生成する。データ制御信号CS1はライン反転駆動チップ220に対して印加され、ゲート制御信号CS2はゲート駆動回路230に対して印加される。データ制御信号CS1は好ましくは、水平同期開始信号、反転信号、及び出力指示信号を含む。水平同期開始信号は、ライン反転駆動チップ220に動作を開始させるときに利用される。反転信号は、ライン反転駆動チップ220にデータ電圧の極性を反転させるときに利用される。出力指示信号は、ライン反転駆動チップ220にデータ電圧の出力時期を指示するときに利用される。ゲート制御信号CS2は好ましくは、垂直同期開始信号、ゲートクロック信号、及び出力イネーブル信号を含む。垂直同期開始信号は、ゲート駆動回路230に動作を開始させるときに利用される。ゲートクロック信号は、ゲート駆動回路230にゲート信号の出力時期を指示するときに利用される。出力イネーブル信号は、ゲート駆動回路230にゲート信号のパルス幅を指示するときに利用される。

10

【0014】

タイミングコントローラ210は更に、入力映像データI - dataに対してガンマ補正等、表示パネル100の特性に合わせた処理を行い、入力映像データI - dataを出力映像データ0 - dataに変換する。タイミングコントローラ210は特に、各画素行に対する入力映像データI - dataを再配置して2組の出力映像データ0 - dataに分ける。各出力映像データ0 - dataは好ましくは、2つの連続する画素行のうち、前の行に含まれる第1画素群PG1と後の行に含まれる第2画素群PG2に対する映像データを含む。タイミングコントローラ210は各出力映像データ0 - dataを一行の画素に対する映像データとしてライン反転駆動チップ220に対して1Hごとに印加する。

20

【0015】

ライン反転駆動チップ220は好ましくは表示パネル100の画面の外側の領域、すなわち周辺領域に、TCP方式又はCOG方式で実装されている。ライン反転駆動チップ220は好ましくはデータ制御信号CS1に応じ、外部のガンマ基準電圧発生部から、共通電圧に対する極性が正であるガンマ基準電圧 $V_{P-GMMA}$ 及び負であるガンマ基準電圧 $V_{N-GMMA}$ を1Hごとに交互に受ける。ライン反転駆動チップ220は更に、出力映像データ0 - dataを画素行単位で受信し、出力映像データ0 - dataの示すm個の画素の各光透過度を、同時に受けたガンマ基準電圧に基づいてデータ電圧に変換する。正のガンマ基準電圧 $V_{P-GMMA}$ を受けたときはそれに基づいて出力映像データ0 - dataを正極性のデータ電圧に変換し、負のガンマ基準電圧 $V_{N-GMMA}$ を受けたときはそれに基づいて出力映像データI - dataを負極性のデータ電圧に変換する。続いて、ライン反転駆動チップ220はデータ制御信号CS1の示すタイミングに従い、データ電圧をm本のデータラインDL1 ~ DLmに対して同時に印加する。その結果、各1Hでは全てのデータラインに対して同じ極性のデータ電圧が印加され、更にその極性が1Hごとに反転する。

30

【0016】

ゲート駆動回路230は好ましくは表示パネル100の周辺領域に直に集積化されている。ゲート駆動回路230は好ましくはゲート制御信号CS2に応じ、ゲート信号をn本のゲートラインGL1 ~ GLnに対して順番に印加する。ゲート駆動回路230は更に好ましくは、ゲート制御信号CS2に従ってゲート信号のレベルをゲートオン電圧 $V_{on}$ とゲートオフ電圧 $V_{off}$ との間で切り換える。特にゲートオン電圧 $V_{on}$ が各ゲートラインGL1 ~ GLnに対して1Hずつ印加される。

40

【0017】

図2は、表示パネル100に備えられている画素の等価回路図である。図2には、2行3列に並ぶ6個の画素、4本のデータライン $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$ 、 $DL_{j+3}$ 、3本のゲートライ

50

ン $GL_{i-1}$ 、 $GL_i$ 、 $GL_{i+1}$ 、及び 3 本のストレージライン $SL_{i-1}$ 、 $SL_i$ 、 $SL_{i+1}$ が示されている（ $i$ 、 $j$  は整数を示す）。6 個の画素は 2 つの画素群 PG1、PG2 に分けられている。各ストレージライン $SL_{i-1}$ 、 $SL_i$ 、 $SL_{i+1}$ は好ましくは、画素行間の境界の上を行方向、すなわち第 1 方向 D1 に沿って真っ直ぐに延びている。各データライン $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$ 、 $DL_{j+3}$ は好ましくは、画素列間の境界の上を列方向、すなわち、第 1 方向 D1 と直交する第 2 方向 D2 に沿って真っ直ぐに延びている。各ゲートライン $GL_{i-1}$ 、 $GL_i$ 、 $GL_{i+1}$ は好ましくは画素行間の境界近傍を第 1 方向 D1、特に各ストレージライン $SL_{i-1}$ 、 $SL_i$ 、 $SL_{i+1}$ に沿って、矩形状に折れ曲がりながら延びている。好ましくは、 $i$  番目のゲートライン $GL_i$ は、第  $i$  行の第 1 画素群 PG1 に含まれる画素と同数の第 1 サブゲートライン SGL1、第 ( $i - 1$ ) 行の第 2 画素群 PG2 に含まれる画素と同数の第 2 サブゲートライン SGL2、及び複数の第 1 接続ライン CL1 を含む。第 1 サブゲートライン SGL1 はそれぞれ、第  $i$  行の第 1 画素群 PG1 に含まれる画素に 1 本ずつ設置され、第 1 方向 D1 に沿って真っ直ぐに延びている。第 2 サブゲートライン SGL2 はそれぞれ、第 ( $i - 1$ ) 行の第 2 画素群 PG2 に含まれる画素に 1 本ずつ設置され、第 1 方向 D1 に沿って真っ直ぐに延びている。第 1 接続ライン CL1 はそれぞれ、画素列間の境界近傍を第 2 方向 D2 に真っ直ぐに延び、 $i - 1$  番目の画素行の第 1 サブゲートライン SGL1 と  $i$  番目の画素行の第 2 サブゲートライン SGL2 との間を接続している。10

#### 【 0 0 1 8 】

図 2 に示されているように、第 1 画素群 PG1 の画素は好ましくは、第 1 スイッチング素子 Tr1、第 1 液晶キャパシタ Clc1、及び第 1 ストレージキャパシタ Cst1 を含む。第 2 画素群 PG2 の画素は好ましくは、第 2 スイッチング素子 Tr2、第 2 液晶キャパシタ Clc2、及び第 2 ストレージキャパシタ Cst2 を含む。各スイッチング素子 Tr1、Tr2 は好ましくは、アレイ基板上に集積化された薄膜トランジスタである。各液晶キャパシタ Clc1、Clc2 は、液晶層を隔てて互いに対向する各画素の画素電極と共に通電極との間に生じる容量と等価である。各ストレージキャパシタ Cst1、Cst2 は好ましくは、同じ画素の画素電極と、その画素の片側に隣接するストレージラインとが間に誘電体層を挟んで重なった部分に生じる容量と等価である。各画素行では、第 1 ストレージキャパシタ Cst1 はその画素行の片側（図 2 では上側）に隣接するストレージラインに結合し、第 2 ストレージキャパシタ Cst2 はその画素行の反対側（図 2 では上側）に隣接するストレージラインに結合している。20

#### 【 0 0 1 9 】

図 2 に示されているように、 $i - 1$  番目の画素行では、第 1 スイッチング素子 Tr1 のゲート電極は、同じ画素に設置された  $i$  番目のゲートライン  $GL_i$  の第 1 サブゲートライン SGL1 に接続され、ソース電極は各画素の同じ側（図 2 では左側）に隣接するデータライン  $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$  に接続され、ドレイン電極は同じ画素の画素電極、すなわち、第 1 液晶キャパシタ Clc1 と第 1 ストレージキャパシタ Cst1 とのそれぞれの一端に接続されている。一方、 $i$  番目の画素行では、第 2 スイッチング素子 Tr2 のゲート電極は、同じ画素に設置された  $i$  番目のゲートライン  $GL_i$  の第 2 サブゲートライン SGL2 に接続され、ソース電極は各画素の同じ側（図 2 では左側）に隣接するデータライン  $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$  に接続され、ドレイン電極は同じ画素の画素電極、すなわち第 2 液晶キャパシタ Clc2 と第 2 ストレージキャパシタ Cst2 とのそれぞれの一端に接続されている。従って、ゲート駆動回路 230 が  $i$  番目のゲートライン  $GL_i$  に対するゲート信号のレベルをゲートオン電圧  $V_{on}$  に維持するとき、 $i - 1$  番目の画素行では第 1 スイッチング素子 Tr1 がターンオンして同じ画素の第 1 液晶キャパシタ Clc1 と第 1 ストレージキャパシタ Cst1 をデータライン  $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$  に接続し、 $i$  番目の画素行では第 2 スイッチング素子 Tr2 がターンオンして同じ画素の第 2 液晶キャパシタ Clc2 と第 2 ストレージキャパシタ Cst2 をデータライン  $DL_j$ 、 $DL_{j+1}$ 、 $DL_{j+2}$  に接続する。40

#### 【 0 0 2 0 】

液晶表示装置 300 は上記の構成を利用して以下のように動作する。

まず、タイミングコントローラ 210 が外部のグラフィックコントローラから入力映像データ I-data 及び制御信号 0-CS を受信する。タイミングコントローラ 210 はそのとき、入力映像データ I-data を再配置して出力映像データ 0-data に変換し、かつ、データ制御信50

号CS1とゲート制御信号CS2とを生成する。タイミングコントローラ210はその後、ゲート制御信号CS2をゲート駆動回路230に送り、データ制御信号CS1と出力映像データ0-dataとをライン反転駆動チップ220に送る。

【0021】

データ制御信号CS1に従い、ライン反転駆動チップ220はi番目の出力映像データ0-dataを受信する。ここで、その出力映像データ0-dataは、i-1番目の画素行に含まれる第1画素群PG1とi番目の行に含まれる第2画素群PG2に対する映像データを含む。ライン反転駆動チップ220はそのとき、それらの映像データから各画素の目標のデータ電圧を選択し、正のガンマ基準電圧 $V_{P-GMMA}$ 又は負のガンマ基準電圧 $V_{N-GMMA}$ のいずれかに基づいて目標のデータ電圧を生成する。その後、ライン反転駆動チップ220は各画素に対するデータ電圧を、その画素に接続されたデータラインDL1～DLmに対して印加する。

10

【0022】

ゲート駆動回路230はゲート制御信号CS2に従ってゲートオン電圧 $V_{on}$ をi番目のゲートラインGLiに対して印加する。そのとき、i-1番目の画素行では第1スイッチング素子Tr1がターンオンし、i番目の画素行では第2スイッチング素子Tr2がターンオンする。従って、ライン反転駆動チップ220によって各データラインDL1～DLmに対して印加されたデータ電圧が、ターンオンした各スイッチング素子Tr1、Tr2を通じて同じ画素の画素電極に対して印加される。すなわち、i-1番目の画素行の第1画素群PG1とi番目の画素行の第2画素群PG2とに対して同じ極性(図2では負)のデータ電圧が同時に印加される。

20

【0023】

共通電極に対しては好ましくは直流電圧が印加されている。従って、i-1番目の画素行の第1画素群PG1とi番目の画素行の第2画素群PG2とでは、各画素電極に対して印加されたデータ電圧と共通電極の電圧との間の差によって同じ画素の液晶キャパシタClc1又はClc2が充電され、その両端電圧がデータ電圧に対応する値に調節される。その両端電圧によって液晶層には電界が生じ、その電界の強さに応じて液晶分子の配列が変化する。その結果、その画素の光透過度が入力映像データ1-dataの示す目標値に調節される。

【0024】

好ましくは、i番目のストレージラインSLiに対しては外部から交流電圧が印加される。更に好ましくは、i番目のゲートラインGLiに対するゲート信号のレベルがゲートオン電圧からゲートオフ電圧に下がると同時に、その交流電圧の中心値に対する極性が反転する。その極性反転の向きが、そのときに各データラインに対して印加されたデータ電圧の極性に合うように、交流電圧の位相は調節されている。具体的には、データ電圧の極性が正であるときは交流電圧の極性が負から正に反転し、データ電圧の極性が負であるときは交流電圧の極性が正から負に反転する。それにより、i-1番目の画素行では第1液晶キャパシタClc1と第1ストレージキャパシタCst1との間で電荷の再配置が生じ、第1液晶キャパシタClc1の両端電圧が上昇する。その結果、第1液晶キャパシタClc1の両端電圧が1フレームの間、目標値に安定に維持される。同様に、i番目の画素行では第2液晶キャパシタClc2と第2ストレージキャパシタCst2との間で電荷の再配置が生じ、第2液晶キャパシタClc2の両端電圧が上昇する。その結果、第2液晶キャパシタClc1の両端電圧が1フレームの間、目標値に安定に維持される。

30

【0025】

ライン反転駆動チップ220は1Hごとにデータ電圧の極性を反転させる。一方、ゲート駆動回路230は1Hごとに異なるゲートラインに対してゲートオン電圧 $V_{on}$ を印加する。それにより、2つの連続する画素行のうち、前の行に含まれる第1画素群PG1と後の行に含まれる第2画素群PG2とに対して同じ極性のデータ電圧が印加される。このような過程の繰り返しにより、全てのゲートラインGL1～GLnに対してゲートオン電圧 $V_{on}$ が印加され、全ての画素に対してデータ電圧が印加される。こうして、1フレームの映像が表示パネル100の画面に表示される。更に、図1及び図2に±の符号で示されているように、データ電圧の極性が画素ごとに反転する。すなわち、ドット反転駆動が実現される。

40

【0026】

50

1 フレームの表示が終われば次のフレームの表示が始まる。そのとき、タイミングコントローラ210はライン反転駆動チップ220に対する反転信号の状態を制御することで、ライン反転駆動チップ220に、前のフレームで利用されたガンマ基準電圧とは反対の極性のガンマ基準電圧を利用させる。こうして、データ電圧の極性はフレームごとに反転する。

#### 【 0 0 2 7 】

図2に示されている等価回路は好ましくは、図3に示されている構成で実現される。図3は特に、図2に示されている破線で囲まれているアレイ基板の部分1の平面図である。図4 Aは図3に示されている切断線II - II'に沿った断面図であり、図4 Bは図3に示されている切断線III - III'に沿った断面図である。以下、アレイ基板の構成を製造工程順に説明する。

10

#### 【 0 0 2 8 】

図4 A及び図4 Bにはアレイ基板のベース111が示されている。ベース111の上にはシリコン膜が好ましくは低圧CVD (LPCVD) 法によって蒸着されている。そのシリコン膜は更に好ましくはレーザー光の照射によって結晶化され、ポリシリコン膜を形成している。その他に、シリコン膜は非晶質シリコン膜であっても良い。そのシリコン膜を好ましくはドライエッ칭によってパターニングすることで、アクティブ層A1が図3及び図4 Aに示されている位置に形成されている。アクティブ層A1は好ましくは画素ごとに一つずつ設けられ、特に画素行間の境界近傍に拡がっている。アクティブ層A1の一端は画素行間の境界に沿ってストレージラインの下地に拡がり、他端は画素列間の境界まで延びてデータラインの下地に達している。更に、i - 1番目の画素行の第1画素群PG1に含まれるアクティブ層A1と、i番目の画素行の第2画素群PG2に含まれるアクティブ層A1とは行方向に沿って画素列ごとに交互に並んでいる。

20

#### 【 0 0 2 9 】

ベース111の上には更に、図4 A及び図4 Bに示されているように、ゲート絶縁膜112が形成され、アクティブ層A1を覆って上層部から絶縁している。ゲート絶縁膜112は好ましくはプラズマCVD (PECVD) 法によって蒸着されている。好ましくは、ゲート絶縁膜112の厚さは1000 程度である。

#### 【 0 0 3 0 】

ゲート絶縁膜112及びベース112の上にはゲートメタルが形成されている。ゲートメタルは好ましくは、ゲート絶縁膜112及びベース112の表面全体に一旦蒸着された後にドライエッ칭によってパターニングされる。その結果、ゲートメタルは、図3、図4 A、及び図4 Bに示されているように、フローティングゲートFG、第1サブゲートラインSGL1、第2サブゲートラインSGL2、及びn本のストレージラインSL<sub>i</sub> (i = 1, 2, ..., n) に分割されている。

30

#### 【 0 0 3 1 】

図3に示されているように、フローティングゲートFGは画素列間の境界で各データラインDL<sub>j</sub> (j = 1, 2, ..., m) の下地を列方向に延びている。フローティングゲートFGは更に、画素行ごとに分割されている。第1サブゲートラインSGL1は各画素行の第1画素群PG1に含まれる画素ごとに1本ずつ設置され、行方向に沿って延びている。第2サブゲートラインSGL2は各画素行の第2画素群PG2に含まれる画素ごとに1本ずつ設置され、行方向に延びている。各サブゲートラインSGL1、SGL2の先端は好ましくはデータラインの下地を越えて隣列の画素に達している。各ストレージラインSL<sub>i</sub>は画素行間の境界を行方向に真っ直ぐに延びている。i - 1番目の画素行の第1サブゲートラインSGL1とi番目の画素行の第2サブゲートラインSGL2とはi番目のストレージラインSL<sub>i</sub>に対して対称的に配置されている。各サブゲートラインSGL1、SGL2からは一対のゲート電極GE1、GE2が列方向に突き出し、図4 Aに示されているように、ゲート絶縁膜112を隔てて同じ画素のアクティブ層A1に重なっている。また、各ストレージラインSL<sub>i</sub>は図4 Aに示されているように、各画素でゲート絶縁膜112を隔ててアクティブ層A1に重なっている。それらの間に寄生する容量がその画素のストレージキャパシタCst1、Cst2として利用される。

40

#### 【 0 0 3 2 】

50

ゲートメタルを上記のようにパターニングした後にイオン注入を行うことにより、各画素のアクティブ層A1ではゲート電極GE1、GE2で覆われた部分の両側にスイッチング素子Tr1、Tr2のソース部及びドレイン部が形成されている。ここで、スイッチング素子Tr1、Tr2がP型トランジスタである場合はボロン等の陽イオンがアクティブ層A1に導入され、N型トランジスタである場合はリン等の陰イオンが導入されている。

【0033】

図4A及び図4Bに示されているように、各サブゲートラインSGL1、SGL2、各ゲート電極GE1、GE2、及び各ストレージラインSL<sub>i</sub>は層間絶縁膜113で覆われ、上層部から絶縁されている。層間絶縁膜113は好ましくはPECVD法によって蒸着されている。層間絶縁膜113は更に、アレイ基板の表面を平坦化している。

10

【0034】

図3及び図4Aに示されているように、層間絶縁膜113には画素ごとに一対のピアホールV1、V2、及び一対のコンタクトホールH1、H2が形成されている、第1ピアホールV1からはゲート絶縁膜112が除去され、その下地にあるアクティブ層A1のソース部が露出している。第2ピアホールV2からはゲート絶縁膜112が除去され、その下地にあるアクティブ層A1のドレイン部が露出している。第1コンタクトホールH1からは同じ画素又は隣接の画素の第1サブゲートラインSGL1の先端が露出し、第2コンタクトホールH2からは同じ画素又は隣接の画素の第2サブゲートラインSGL2の先端が露出している。

【0035】

層間絶縁膜113の上にはデータメタルが形成されている。データメタルは好ましくは層間絶縁膜113の表面全体に一旦蒸着された後にドライエッティングによってパターニングされる。それにより、データメタルは、図3、図4A、及び図4Bに示されているように、m本のデータラインDL<sub>j</sub> (j = 1, 2, ..., m)、第1接続ラインCL1、ソース電極SE1、及びドレイン電極DE1、DE2に分割されている。

20

【0036】

図3に示されているように、各データラインDL<sub>j</sub>は画素列間の境界を列方向に真っ直ぐに延びている。図4Bに示されているように、各データラインDL<sub>j</sub>は特に、列方向に一列に並んでいるn個のフローティングゲートFGに重なっている。好ましくは、各データラインDL<sub>j</sub>の幅は各フローティングゲートFGの幅より狭い。

【0037】

ソース電極SE1は図4Aに示されているように、各画素の第1ピアホールV1に形成され、そこから露出しているアクティブ層A1のソース部をその直上のデータラインDL<sub>j</sub>に接続している。ドレイン電極DE1、DE2は各画素に一つずつ形成され、図3及び図4Aに示されているように、ゲート絶縁膜112及び層間絶縁膜113を隔てて各画素のアクティブ層A1に重なっている。各ドレイン電極DE1、DE2の端部は層間絶縁膜113を隔ててストレージラインSL<sub>i</sub>に重なっている。各ドレイン電極DE1、DE2は図4Aに示されているように、第2ピアホールV2を通して直下のアクティブ層A1のドレイン部に接続されている。こうして、各画素では、ゲート電極GE1/GE2、ソース電極SE1、ドレイン電極DE1/DE2、ゲート絶縁膜112、及びアクティブ層A1のソース部とドレイン部が各スイッチング素子Tr1/Tr2を構成している。アクティブ層A1がポリシリコン膜である場合は各スイッチング素子Tr1、Tr2はポリシリコントランジスタとして構成されている。アクティブ層A1が非晶質シリコン膜である場合は各スイッチング素子Tr1、Tr2は非晶質シリコントランジスタとして構成されている。

30

【0038】

図3に示されているように、第1接続ラインCL1は画素行間の境界に画素列ごとに1本ずつ設置され、列方向D2に真っ直ぐに延び、各ストレージラインSL<sub>i</sub>と交差している。図3及び図4Aに示されているように、第1接続ラインCL1の一端は第1コンタクトホールH1を通して第1サブゲートラインSGL1に接続され、他端は第2コンタクトホールH2を通して第2サブゲートラインSGL2に接続されている。こうして、各ストレージラインSL<sub>i</sub>に対して対称的に配置されている第1サブゲートラインSGL1と第2サブゲートラインSGL2とが第1接続ラインCL1によって互いに接続されることにより、各ゲートラインGL<sub>i</sub>が構成され

40

50

ている。

【 0 0 3 9 】

図 4 A 及び図 4 B に示されているように、パターニングされたデータメタルを含むアレイ基板の表面全体には保護膜 114 が蒸着されている。保護膜 114 はアレイ基板の表面全体を覆い、アレイ基板に形成されたパターンを保護する。保護膜 114 には好ましくは画素ごとに第 3 コンタクトホール H3 が形成され、そこから各画素のドレイン電極 DE1、DE2 が露出している。

【 0 0 4 0 】

図 3、図 4 A、及び図 4 B に示されているように、保護膜 114 の上には透明導電膜が蒸着され、パターニングによって画素ごとに画素電極 PE1、PE2 に分割されている。透明導電膜は好ましくは酸化インジウム錫 (Indium Tin Oxide: ITO) または酸化インジウム亜鉛 (Indium Zinc Oxide: IZO) から成る。各画素電極 PE1、PE2 は、ストレージライン SL<sub>i</sub> とデータライン GL<sub>i</sub> とで区切られた各画素の領域のほぼ全体を覆っている。各画素電極 PE1、PE2 は好ましくは、両側に配置されたフローティングゲート FG に重なっている。各画素電極 PE1 / PE2 は更に、図 4 A に示されているように、第 3 コンタクトホール H3 を通して同じ画素のドレイン電極 DE1 / DE2 に接続されている。こうして、各画素電極 PE1 / PE2 は、同じ画素のスイッチング素子 Tr1 / Tr2 がターンオンするとき、ドレイン電極 DE1 / DE2、ゲート電極 GE1 / GE2 に重なっているアクティブ層 A1 の部分に形成されたチャネル、及びソース電極 SE1 を通してデータライン DL<sub>j</sub> からデータ電圧を受ける。

【 0 0 4 1 】

図 3 及び図 4 B に示されている例では、各データライン DL<sub>j</sub> と各画素電極 PE1、PE2 との間が近いので、それらの間に寄生する容量が比較的大きい。従って、各画素電極に対してデータ電圧が印加されたとき、各データライン DL<sub>j</sub> と各画素電極 PE1、PE2 との間の境界に面した液晶層の部分では他の部分に比べて電界の方向が乱れ、液晶分子の配向方向が他の部分の配向方向から大きく変化しやすい。その場合、液晶層のその部分では光透過度が目標値から外れやすい。しかし、図 3 及び図 4 B に示されているように、フローティングゲート FG の幅が直上のデータライン DL<sub>j</sub> の幅より広く、更に各画素電極 PE1、PE2 の端部がフローティングゲート FG に重なっている。従って、アレイ基板の背面に入射した光はフローティングゲート FG によって遮られるので、各データライン DL<sub>j</sub> と各画素電極 PE1、PE2 との間の境界に面した液晶層の部分には到達しない。こうして、その部分からの光漏れが防止される。

【 0 0 4 2 】

図 1 ~ 3 に示されている実施形態では、各画素行の画素が順番の偶奇に応じて 2 つの画素群 PG1、PG2 に分けられている。その他に、各画素行の画素が、連続して並ぶ 3 個の画素ごとに 2 つの画素群 PG1、PG2 に分けられていても良い。その場合でも、以下のようにしてデータ電圧の極性を画素群 PG1、PG2 ごとに反転できる。図 5 に、その場合でのアレイ基板の平面図を示す。尚、図 5 に示されている構成要素のうち、図 3 に示されている構成要素と同様なものに対しては、図 3 で付されている参照符号と同じ参照符号を付す。更に、それら同様な構成要素については、図 3 に示されているものについての上記の説明を援用する。

【 0 0 4 3 】

図 5 に示されているように、i 番目のゲートライン GL<sub>i</sub> の第 1 サブゲートライン SGL1 は i - 1 番目の画素行の第 1 画素群 PG1 に設置され、特に、連続して並ぶ 3 個の画素ごとに 1 本ずつ配置されている。一方、i 番目のゲートライン GL<sub>i</sub> の第 2 サブゲートライン SGL2 は i 番目の画素行の第 2 画素群 PG2 に設置され、特に、連続して並ぶ 3 個の画素ごとに 1 本ずつ配置されている。各第 1 サブゲートライン SGL1 には 3 個の画素の第 1 スイッチング素子 Tr1 が共通に接続され、各第 2 サブゲートライン SGL2 には 3 個の画素の第 2 スイッチング素子 Tr2 が共通に接続されている。従って、図 5 に示されている構造では、データ電圧の極性が行方向では 3 個の画素ごとに反転する。尚、この構造では、各ゲートライン GL<sub>i</sub> に含まれる第 1 接続ライン CL1 の総数が、図 3 に示されている構造での総数の 1 / 3 で良

10

20

30

40

50

い。すなわち、1本のゲートライン当たりのコンタクトホールH1、H2の総数が図3での総数の1/3で良い。その結果、各ゲートラインGL<sub>i</sub>の接触抵抗が低い。

#### 【0044】

図2及び図3に示されている実施形態では、各ゲートラインが画素列ごとに列方向への折れ曲がりを繰り返しながら、行方向に延びている。その他に、以下のように、行方向に真っ直ぐに延びている2本のサブゲートラインを端点で連結して1本のゲートラインとして利用しても良い。図6に、そのゲートラインを利用した画素の等価回路図を示し、図7にその場合のアレイ基板の平面図を示す。尚、図6及び図7に示されている構成要素のうち、図2及び図3に示されている構成要素と同様なものに対しては、図2及び図3で付されている参照符号と同じ参照符号を付す。更に、それら同様な構成要素については、図3に示されているものについての上記の説明を援用する。

10

#### 【0045】

図6及び図7に示されているように、表示パネルには、画素行と同数、すなわちn本の第1サブゲートラインGL<sub>i</sub>(i=1, 2, ..., n)と同数の第2サブゲートラインGL'<sub>i</sub>とが備えられている。i番目の第1サブゲートラインGL<sub>i</sub>はi-1番目の画素行を行方向に真っ直ぐに延びている。i番目の第2サブゲートラインGL'<sub>i</sub>はi番目の画素行を行方向に真っ直ぐに延びている。i番目の第1サブゲートラインGL<sub>i</sub>とi番目の第2サブゲートラインGL'<sub>i</sub>とは好ましくはi番目のストレージラインSL<sub>i</sub>に対して対称的に配置されている。各第1サブゲートラインGL<sub>i</sub>は各画素行の第1画素群PG1に含まれる画素でのみゲート電極GE1を含む。すなわち、第1サブゲートラインGL<sub>i</sub>には第1スイッチング素子Tr1のみが接続されている。各第2サブゲートラインGL'<sub>i</sub>は各画素行の第2画素群PG2に含まれる画素でのみゲート電極GE2を含む。すなわち、第2サブゲートラインGL'<sub>i</sub>には第2スイッチング素子Tr2のみが接続されている。i番目の第1サブゲートラインGL<sub>i</sub>とi番目の第2サブゲートラインGL'<sub>i</sub>とは同じ側の端で第2接続ラインCL2によって接続されている。

20

#### 【0046】

第2接続ラインCL2は更にゲート駆動回路230に接続されている。ゲート駆動回路230はi番目のゲート信号を、第2接続ラインCL2を通してi番目の第1サブゲートラインGL<sub>i</sub>と第2サブゲートラインGL'<sub>i</sub>との間に同時に出力する。こうして、一対のサブゲートラインGL<sub>i</sub>、GL'<sub>i</sub>が、同じゲート信号を伝達するゲートラインとして機能する。それにより、i-1番目の画素行の第1画素群PG1とi番目の画素行の第2画素群PG2とに対して同じ極性(図6では負)のデータ電圧が同時に印加される。その結果、図6及び図7に±の符号で示されているようにデータ電圧の極性が画素ごとに反転する。すなわち、ドット反転駆動が実現される。

30

#### 【0047】

図6及び図7に示されている実施形態では、i番目の第1サブゲートラインGL<sub>i</sub>と第2サブゲートラインGL'<sub>i</sub>とが端点でのみ接続されているので、サブゲートラインGL<sub>i</sub>、GL'<sub>i</sub>間の接触抵抗が低い。

#### 【0048】

尚、図6及び図7では各画素行の画素が順番の偶奇に応じて2つの画素群PG1、PG2に分けられている。その他に、各画素行の画素が図5と同様に、連続して並ぶ3個の画素ごとに2つの画素群PG1、PG2に分けられていても良い。その場合、各画素行では、連続して並ぶ3個の画素ごとに、スイッチング素子Tr1/Tr2の接続されるゲートラインが切り換えられている。

40

#### 【0049】

図1に示されている実施形態ではライン反転駆動チップ220が全てのデータラインに対してデータ電圧を同時に印加する。その他に、データラインが予め複数のグループに分けられ、ライン反転駆動チップ220がデータラインのグループごとにデータ電圧を同時に印加し、印加先のグループが周期的に切り換えられても良い。図8に、そのような機能を持つ液晶表示装置350のブロック図を示す。尚、図8に示されている構成要素のうち、図1に示されている構成要素と同様な構成要素に対しては、図1で付されている参照符号と同

50

じ参照符号を付す。更に、それら同様な構成要素については、図1に示されている構成要素についての説明を援用する。

#### 【0050】

図8に示されている液晶表示装置350は、図1に示されているものに含まれる構成要素に加え、ライン選択回路240をさらに含む。ライン選択回路240は好ましくはライン反転駆動チップ220とデータラインDL1～DL3mとの間に備えられている。この液晶表示装置350では更に、データラインが3m本設置され、好ましくは画面の左端から順に1本ずつ、3つのグループに分けられている。それに合わせて各画素行に含まれる画素が、好ましくは画面の左端から順に1個ずつ、3つのグループに分けられている。各画素の構造は好ましくは図5に示されている構造と同様である。その場合、各画素行では、スイッチング素子Tr1、Tr2が画素群PG1、PG2ごとに異なるゲートラインに接続されている。一方、各画素群PG1、PG2では、連続して並ぶ3個の画素が更に異なるグループに分けられている。その他に、各画素の構造が従来のものであっても良い。その場合、各画素行では、スイッチング素子がいずれも同じゲートラインに接続されている。

#### 【0051】

タイミングコントローラ210は、図1に示されているものとは異なり、データ制御信号C S1を1Hの1/3倍、すなわちH/3に等しい周期で変化させる。それにより、ライン反転駆動チップ220は図1に示されているものに比べ、3倍の速度で動作する。

#### 【0052】

タイミングコントローラ210は更に、各画素行、すなわち3m個の画素に対する入力映像データI-dataを再配置して3組の出力映像データ0-dataに分ける。各出力映像データ0-dataは好ましくは、各画素行の3つの画素群のいずれか、すなわちm個の画素に対する映像データを含む。タイミングコントローラ210は各出力映像データ0-dataを一行の画素に対する映像データとしてライン反転駆動チップ220に対して印加する。但し、その印加の周期は好ましくはH/3に等しい。

#### 【0053】

一方、タイミングコントローラ210は図1に示されているものとは異なり、選択制御信号CS3を新たに生成し、ライン選択回路240に対して印加する。選択制御信号CS3は好ましくは3種類の選択信号TG1、TG2、TG3を含む。タイミングコントローラ210は各1Hで好ましくはH/3ずつ、第1選択信号TG1、第2選択信号TG2、第3選択信号TG3をその順にアクティブにする。すなわち、正論理のときは各選択信号のレベルをハイレベルにし、負論理のときはローレベルにする。

#### 【0054】

ライン反転駆動チップ220はm本の出力端子OT1～OTmを含む。ライン反転駆動チップ220は外部から、H/3に等しい周期で正のガンマ基準電圧V<sub>P-GMMA</sub>及び負のガンマ基準電圧V<sub>N-GMMA</sub>を交互に受ける。ライン反転駆動チップ220は更に、出力映像データ0-dataを画素群単位で受信し、出力映像データ0-dataの示すm個の画素の各光透過度を、同時に受けたガンマ基準電圧に基づいてデータ電圧に変換する。正のガンマ基準電圧V<sub>P-GMMA</sub>を受けたときはそれに基づいて出力映像データ0-dataを正極性のデータ電圧に変換し、負のガンマ基準電圧V<sub>N-GMMA</sub>を受けたときはそれに基づいて出力映像データ0-dataを負極性のデータ電圧に変換する。ライン反転駆動チップ220は続いて、データ電圧をm本の出力端子OT1～OTmから同時に出力する。その結果、各H/3では全ての出力端子から同じ極性のデータ電圧が出力され、更にその極性がH/3ごとに反転する。

#### 【0055】

ライン選択回路240の入力端子はライン反転駆動チップ220のm本の出力端子OT1～OTmに接続され、それらからH/3ごとに正極性のデータ電圧又は負極性のデータ電圧を交互に受信する。ライン選択回路240の出力端子は3m本のデータラインDL1～DLmに接続されている。ライン選択回路240は選択制御信号CS3に従い、j番目の出力端子OTj(j=1、2、…、m)から受信したデータ電圧を、各1Hのうち、最初のH/3では3j-2番目のデータラインDL1、DL4、…に対して印加し、次のH/3では3j-1番目のデータライン

10

20

30

40

50

DL2、DL5、…に対して印加し、最後のH/3では3j番目のデータラインDL3、DL6、…に対して印加する。それにより、データ電圧の極性は、各1Hではデータラインごとに反転し、各データラインでは1Hごとに反転する。

#### 【0056】

図9にライン選択回路240の等価回路図を示す。図9に示されているように、ライン選択回路240は好ましくは3種類の選択素子ST<sub>1-j</sub>、ST<sub>2-j</sub>、ST<sub>3-j</sub>をm個ずつ含む(j=1、2、…、m)。各選択素子は好ましくはトランジスタである。ライン反転駆動チップ220の各出力端子OT<sub>j</sub>には3種類の選択素子ST<sub>1-j</sub>、ST<sub>2-j</sub>、ST<sub>3-j</sub>の各入力端子が一つずつ接続されている。第1選択素子ST<sub>1-j</sub>の出力端子は3j-2番目のデータラインDL<sub>3j-2</sub>に接続され、第2選択素子ST<sub>2-j</sub>の出力端子は3j-1番目のデータラインDL<sub>3j-1</sub>に接続され、第3選択素子ST<sub>3-j</sub>の出力端子は3j番目のデータラインDL<sub>3j</sub>に接続されている。m個の第1選択素子ST<sub>1-j</sub>は第1グループG1を成し、m個の第2選択素子ST<sub>2-j</sub>は第2グループG2を成し、m個の第3選択素子ST<sub>3-j</sub>は第3グループG3を成す。各グループG1、G2、G3では共通の選択信号TG1、TG2、TG3に応じて全ての選択素子が同時にオンオフする。各1Hでは、まず第1選択信号TG1に応じて第1選択素子ST<sub>1-j</sub>がH/3の間、オン状態を維持する。それにより、j番目の出力端子OT<sub>j</sub>から受けたデータ電圧が第1選択素子ST<sub>1-j</sub>を通して3j-2番目のデータラインDL1、DL4、…に伝達される。次に、第2選択信号TG2に応じて第2選択素子ST<sub>2-j</sub>がH/3の間、オン状態を維持する。それにより、j番目の出力端子OT<sub>j</sub>から受けたデータ電圧が第2選択素子ST<sub>2-j</sub>を通して3j-1番目のデータラインDL2、DL5、…に伝達される。最後に、第3選択信号TG3に応じて第3選択素子ST<sub>3-j</sub>がH/3の間、オン状態を維持する。それにより、j番目の出力端子OT<sub>j</sub>から受けたデータ電圧が第3選択素子ST<sub>3-j</sub>を通して3m番目のデータラインDL3、DL6、…に伝達される。

#### 【0057】

各画素の構造が図5に示されているものである場合、ゲート駆動回路230がゲートオン電圧V<sub>on</sub>をi番目のゲートラインGL<sub>i</sub>に対して印加するとき、1Hの間、i-1番目の画素行では第1スイッチング素子Tr1がオン状態を維持し、i番目の画素行では第2スイッチング素子Tr2がオン状態を維持する。それにより、同じ1Hの間に、i-1番目の画素行では第1画素群PG1に対してデータ電圧が印加され、i番目の画素行では第2画素群PG2に対してデータ電圧が印加される。更に各画素群PG1、PG2では、連続して並ぶ3個の画素に対してデータ電圧が順番にH/3ずつ印加される。それら3個の画素間でデータ電圧の極性が交互に反転する。従って、i-1番目の画素行の第1画素群PG1とi番目の画素行の第2画素群PG2とでは、連続して並ぶ3個の画素間でのデータ電圧の極性のパターンが等しい。例えば、i-1番目の画素行の第1画素群PG1では、連続して並ぶ3個の画素に対するデータ電圧の極性が順に+、-、+であるとき、i番目の画素行の第2画素群PG2でも、連続して並ぶ3個の画素に対するデータ電圧の極性が順に+、-、+である。一方、i-1番目の画素行とi番目の画素行とでは、同じ画素群PG1/PG2に含まれる、連続して並ぶ3個の画素間でのデータ電圧の極性のパターンが逆である。例えば、i-1番目の画素行の第1画素群PG1では、連続して並ぶ3個の画素に対するデータ電圧の極性が順に+、-、+であるとき、i番目の画素行の第1画素群PG2では、連続して並ぶ3個の画素に対するデータ電圧の極性が順に-、+、-である。以上の結果、データ電圧の極性が画素ごとに反転する。すなわち、ドット反転駆動が実現される。

#### 【0058】

上述の好ましい実施形態はあくまでも例示に過ぎない。本発明の属する技術分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、上記の実施形態を様々に置換し、変形し、又は変更可能であろう。このような置換、変形、及び変更も本発明の技術的範囲に属すると解されるべきである。

#### 【図面の簡単な説明】

#### 【0059】

【図1】本発明の一実施形態による液晶表示装置のブロック図

【図2】図1に示されている表示パネルに備えられている画素の等価回路図

10

20

30

40

50

【図3】図2に示されている破線Iで囲まれているアレイ基板の部分の平面図

【図4 A】図3に示されている切断線II-II'に沿った断面図

【図4 B】図3に示されている切断線III-III'に沿った断面図

【図5】本発明の他の実施形態によるアレイ基板の平面図

【図6】本発明のさらに他の実施形態による画素の等価回路図

【図7】図6に示されている破線IVで囲まれているアレイ基板の部分の平面図

【図8】本発明の他の実施形態による液晶表示装置のブロック図

【図9】図8に示されているライン選択回路の等価回路図

【符号の説明】

【0060】

10

100 表示パネル

210 タイミングコントローラ

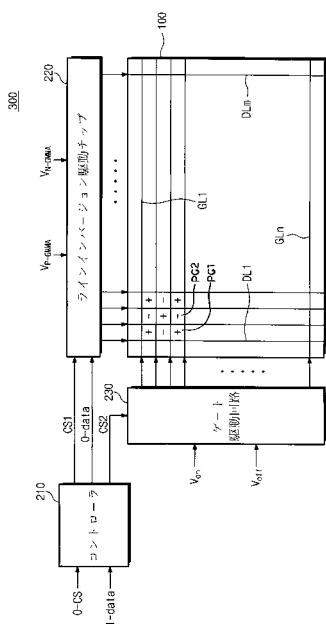
220 ライン反転駆動チップ

230 ゲート駆動回路

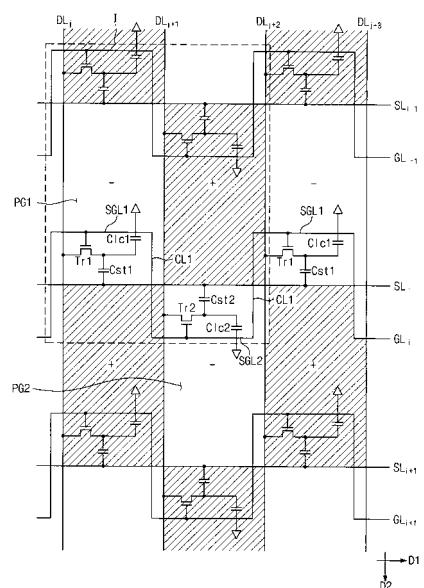
240 ライン選択回路

300、350 液晶表示装置

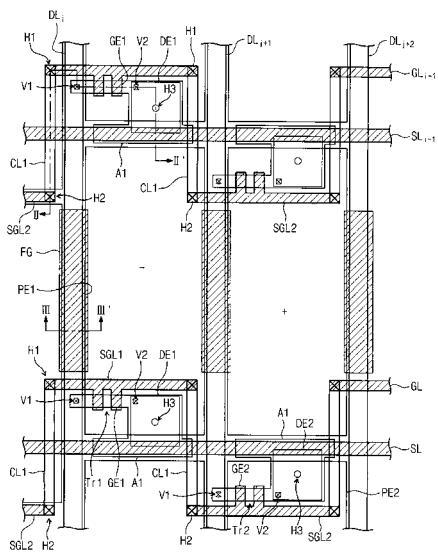
【図1】



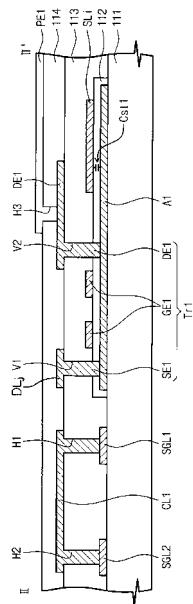
【図2】



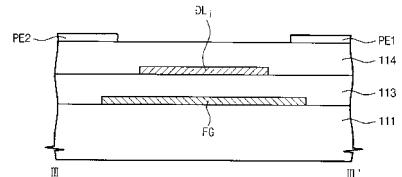
【図3】



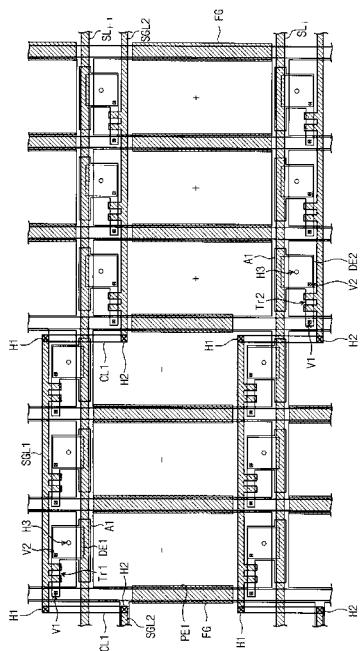
【図4 A】



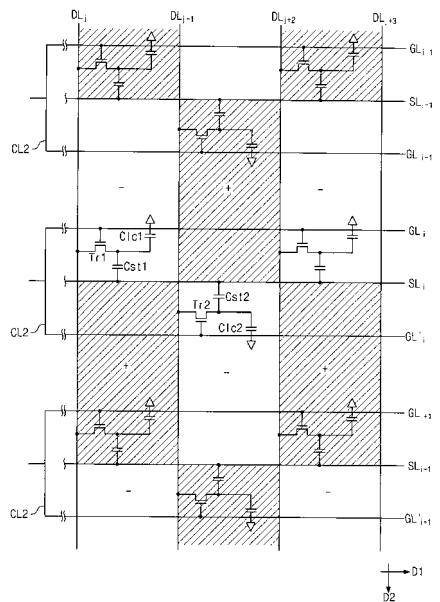
【図4 B】



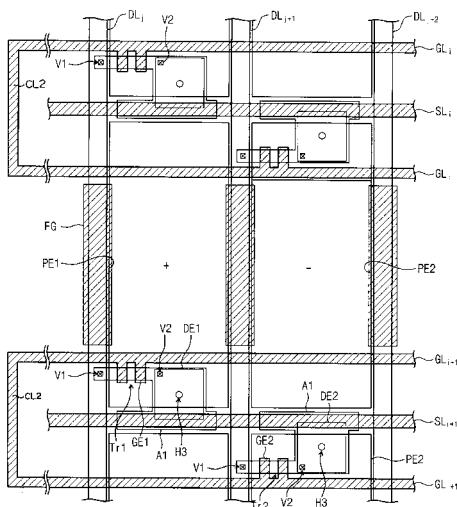
【図5】



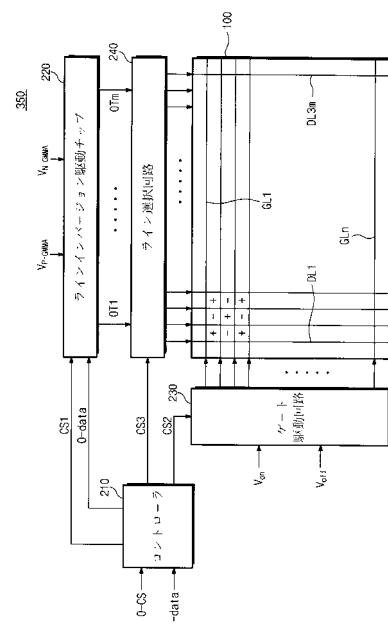
【図6】



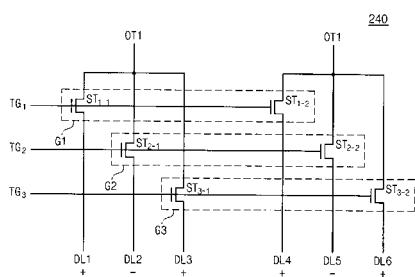
【 义 7 】



【 図 8 】



【図9】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 X  
G 0 2 F 1/133 5 5 0

(72)発明者 朴 俊 河

大韓民国釜山廣域市釜山鎮區開琴洞 9 2 - 1 ヒュンダイアパート 1 0 2 - 8 0 7

(72)発明者 金 一 坤

大韓民国ソウル銅雀區上道洞 4 3 1 レミアンサンド 3 - チャアパート 3 2 7 - 8 0 3

審査官 森口 忠紀

(56)参考文献 特開平 1 1 - 3 3 7 9 1 1 (JP, A)

特開 2 0 0 3 - 1 7 7 3 7 5 (JP, A)

特開平 0 4 - 2 2 3 4 2 8 (JP, A)

特開 2 0 0 0 - 2 8 4 3 0 4 (JP, A)

特開平 0 9 - 1 5 9 9 9 8 (JP, A)

特開 2 0 0 6 - 2 3 5 6 2 7 (JP, A)

特開平 7 - 3 1 8 9 0 1 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3